

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003 - 43945

(P2003 - 43945A)

(43)公開日 平成15年2月14日 (2003.2.14)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ト [*] (参考)	
G 0 9 F 9/00	352	G 0 9 F 9/00	352	2 G 0 3 6
G 0 1 R 31/00		G 0 1 R 31/00		2 H 0 8 8
G 0 2 F 1/13	101	G 0 2 F 1/13	101	2 H 0 9 2
	1/1368		1/1368	5 C 0 0 6
G 0 9 F 9/30	338	G 0 9 F 9/30	338	5 C 0 8 0

審査請求 未請求 請求項の数 18 O L (全 18数) 最終頁に続く

(21)出願番号 特願2001 - 236330(P2001 - 236330)

(22)出願日 平成13年8月3日(2001.8.3)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 折井 俊彦

神奈川県横浜市保土ヶ谷区神戸町134番地

ソニー・エルエスアイ・デザイン株式会社
内

(72)発明者 秋元 修

東京都品川区北品川6丁目7番35号 ソニー
株式会社内

(74)代理人 100086841

弁理士 脇 篤夫 (外 1 名)

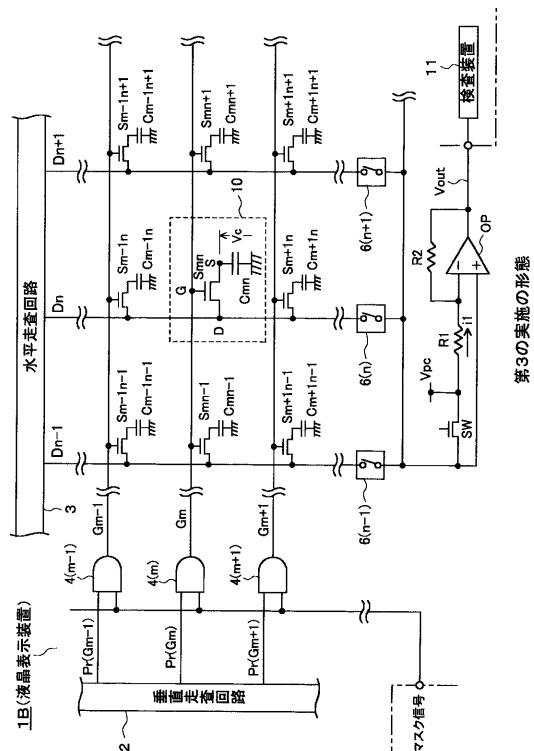
最終頁に続く

(54)【発明の名称】 検査方法、半導体装置、及び表示装置

(57)【要約】 (修正有)

【課題】半導体回路基板としてのウェハが形成された段階で検査ができるようにして、製造能率や製造コストを改善する。

【解決手段】 液晶表示装置を構成する半導体基板を検査するのにあたって、1本のデータ線に接続される全画素スイッチのうちから選択した、複数の画素スイッチに接続される画素容量に蓄積させた電荷を、同じ1つのデータ線から同時に読み出すようにする。これにより、データ線に得られる電位変化を大きなものとしている。そして、このデータ線に得られる電位変化を増幅して、さらに大きなものとして出力し、これを検査に用いるようにする。これによって、液晶表示装置の小型化や高精細化に伴って配線容量に対する画素容量の比が小さくなったことに関わらず、画素セル駆動回路の不良状態に応じた電位変化を的確に検出可能となる。



第3の実施の形態

【特許請求の範囲】

【請求項 1】 画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法であって、
1 本のデータ線に対して接続される全画素スイッチのうちから選択した複数の画素スイッチに接続される画素容量に対して電荷を保持させる電荷保持工程と、
上記電荷保持工程により複数の画素容量において保持された電荷を上記 1 本のデータ線から同時に検出する検出工程と、
を含むことを特徴とする検査方法。

【請求項 2】 上記検出工程は、
上記電荷保持工程により電荷を保持している複数の画素容量に接続される各画素スイッチを同時にオンとする画素スイッチ制御工程、
を含むことを特徴とする請求項 1 に記載の検査方法。

【請求項 3】 上記画素スイッチ制御工程は、
異なる画素スイッチ制御線に対応する複数の走査信号が重複して出力される重複期間が生じるようにして、所定タイミングで上記複数の走査信号を出力させる走査信号出力工程と、
上記重複期間においてのみ、上記複数の走査信号が画素スイッチ制御線に供給されるように走査信号経路の導通 / 非導通を制御する制御工程と、
を含むことを特徴とする請求項 2 に記載の検査方法。

【請求項 4】 データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、
上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査時に対応しては、任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、
上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、を半導体基板に形成している、
ことを特徴とする半導体装置。

【請求項 5】 上記垂直走査手段は、
上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで垂直方向の走査が可能とされると共に、検査時においては、異なる画素スイッチ制御線に対応する複数の走査信号が重複して出力される重複期間が生じるようにして、所定タイミングで上記複数の走査信号を出力可能な垂直走査回路と、
上記重複期間内においてのみ、上記走査信号が画素スイッチ制御線に供給されるように走査信号経路の導通 / 非

導通を制御する導通制御回路部とを備える、
ことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 複数の上記データ線のうちから、外部検査装置に対して接続すべきデータ線を択一的に選択するための選択回路を上記半導体基板に形成している、
ことを特徴とする請求項 4 に記載の半導体装置。

【請求項 7】 半導体基板と、該半導体基板に対して対向して配置される共通電極を有する対向基板と、上記半導体基板と対向基板との間に介在する液晶層とを備えて成り、

上記半導体基板は、
データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、
上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査時に対応しては、任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、
上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段とが形成されている、
ことを特徴とする表示装置。

【請求項 8】 上記垂直走査手段は、
上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで垂直方向の走査が可能とされると共に、検査時においては、異なる画素スイッチ制御線に対応する複数の走査信号が重複して出力される重複期間が生じるようにして、所定タイミングで上記複数の走査信号を出力可能な垂直走査回路と、

上記重複期間内においてのみ、上記走査信号が画素スイッチ制御線に供給されるように走査信号経路の導通 / 非導通を制御する導通制御回路部とを備える、
ことを特徴とする請求項 7 に記載の表示装置。

【請求項 9】 複数の上記データ線のうちから、外部検査装置に対して接続すべきデータ線を択一的に選択するための選択回路を上記半導体基板に形成している、
ことを特徴とする請求項 7 に記載の表示装置。

【請求項 10】 画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法であって、
上記画素容量に対して保持させた電荷に応じた電位レベルをデータ線に発生させる電位発生工程と、
上記電位発生工程により上記データ線に発生した電位レベルを、上記半導体基板に形成される増幅回路によって増幅する増幅工程と、

上記増幅工程により得られる増幅出力を検出する検出工程と、

を含むことを特徴とする検査方法。

【請求項 1 1】 データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされる垂直走査手段と、上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、

上記データ線に発生する電位レベルを入力し、この入力した電位レベルを増幅して外部検査装置に対して出力可能な増幅手段とを半導体基板に形成している、ことを特徴とする半導体装置。

【請求項 1 2】 複数のデータ線のうちから、上記増幅手段に接続すべきデータ線を択一的に選択するための選択回路を上記半導体基板に形成している、ことを特徴とする請求項 1 1 に記載の半導体装置。

【請求項 1 3】 半導体基板と、該半導体基板に対して対向して配置される共通電極を有する対向基板と、上記半導体基板と対向基板との間に介在する液晶層とを備えて成り、

上記半導体基板は、

データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、

上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされる垂直走査手段と、

上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、

上記データ線に発生する電位レベルを入力し、この入力した電位レベルを増幅して外部検査装置に対して出力可能な増幅手段とが形成されている、

ことを特徴とする表示装置。

【請求項 1 4】 複数の上記データ線のうちから、上記増幅手段に接続すべきデータ線を択一的に選択するための選択回路を上記半導体基板に形成している、

ことを特徴とする請求項 1 3 に記載の表示装置。

【請求項 1 5】 画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法であって、

1 本のデータ線に対して接続される全画素スイッチのう

10

ちから選択した複数の画素スイッチに接続される画素容量に対して電荷を保持させる電荷保持工程と、

上記電荷保持工程により複数の画素容量において保持されている電荷に応じた電位レベルを上記 1 本のデータ線に発生させる電位発生工程と、

上記電位発生工程により上記データ線に発生した電位レベルを、上記半導体基板に形成される増幅回路によって増幅する増幅工程と、

上記増幅工程により得られる増幅出力を検出する検出工程と、

を含むことを特徴とする検査方法。

【請求項 1 6】 データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、

20

上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査時に対応しては、任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、

上記データ線に発生する電位レベルを入力し、この入力した電位レベルを増幅して外部検査装置に出力可能な増幅手段と、を半導体基板に形成している、

ことを特徴とする半導体装置。

【請求項 1 7】 半導体基板と、該半導体基板に対して対向して配置される共通電極を有する対向基板と、上記半導体基板と対向基板との間に介在する液晶層とを備えて成り、

30

上記半導体基板は、

データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、

上記画素スイッチをオンさせるための走査信号を上記画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査時に対応しては、

40

任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、上記データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、

上記データ線に発生する電位レベルを入力し、この入力した電位レベルを増幅して外部検査装置に出力可能な増幅手段とが形成されている、

ことを特徴とする表示装置。

【請求項 1 8】 複数のデータ線のうちから、上記増幅手段に接続すべきデータ線を択一的に選択するための選

50

択回路を上記半導体基板に形成している、ことを特徴とする請求項 17 に記載の表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画素駆動用セルがマトリクス状に配列されるようにして形成される半導体基板の検査方法と、この検査方法に対応した半導体基板から成る半導体装置と、このような半導体装置を備えた表示装置とに関するものである。

【0002】

【従来の技術】アクティブマトリクス方式を採用した液晶表示装置が、例えば液晶プロジェクタ装置や、液晶ディスプレイ装置などに広く採用されている。図 6 は、上記したようなアクティブマトリクス方式による液晶表示装置 100 としての回路構成例を示している。アクティブマトリクス方式による液晶表示装置は、周知のように、半導体基板上に対して、例えば画素スイッチと、この画素スイッチに接続される画素容量を備えた画素セル駆動回路をマトリクス状に配列させるようにして形成している。そして、この半導体基板に対して、共通電極を形成した対向基板を対向させ、これら半導体基板と対向基板との間に液晶を封入するようにした構造を有している。

【0003】半導体基板上に形成される画素セル駆動回路の個々の構造は、例えば、図 6 において破線により括弧部分の画素セル駆動回路 10 として示すように、画素スイッチ S11、画素容量 C11、及び画素電極 P11 を備える。この場合、画素スイッチには、Nチャンネル型の FET (Field Effect Transistor) が用いられている。画素スイッチ S11 のソースは、画素容量 C11 を介して共通電極 (又はグランド) と接続される。また、画素スイッチ S11 のソースと画素容量 C11 との接続点には、画素電極 P11 が接続される。なお、液晶表示装置において「画素セル」は、この画素電極ごとに対応した液晶層における表示領域をいうことになる。また、画素スイッチ S11 のゲートに対しては、垂直走査回路 2 から引き出されるゲート線 G1 が接続され、ドレインに対しては、水平走査回路 3 から引き出されるデータ線 D1 が接続される。1つの画素セル駆動回路はこのようにして形成された上で、図示するようにして半導体基板上においてマトリクス状に配置される。

【0004】また、半導体基板には、例えばシフトレジスタを備えた垂直走査回路 2 及び水平走査回路 3 が形成される。垂直走査回路 2 は、水平方向に引き出されているゲート線 G1, G2...Gv を順次走査する。また、水平走査回路 3 は、垂直方向に引き出されているデータ線 D1, D2, D3 ~ Dh を順次走査する。

【0005】上記のようにして形成される半導体基板に対しては、共通電位 Vcom が印加される共通電極を有した対向電極を対向させるようにして配置する。そし

て、このようにして対向する位置関係により配置された半導体基板 100 と対向電極との間に液晶を封入することで液晶層 5 が形成される。液晶表示装置 100 全体としてはこのような構造を有することになる。

【0006】図 7 のタイミングチャートは、上記構造による液晶表示装置 100 における画素セルの駆動タイミングを示している。垂直走査回路 2 は、シフトレジスタによって、その出力を 1 ラインずつシフトさせていく。これにより、図 7 (a) (b) (c) に示すように、ゲート線 G1 G2 G3... の順で、垂直方向に沿ってゲート線を線順次的に走査することになる。図示するように、走査期間においてはゲート線には電源電圧 VDD が印加されるが、このとき、そのゲート線に接続された画素スイッチがオン状態となる。また、走査が行われていないときには、グランド電位 VSS となって、画素スイッチはオフ状態となる。

【0007】図 7 (d) は、図 7 (a) に示すゲート線 G1 に対する走査が始まる区間 A を拡大して示している。図 7 (d) に示すようにして、ゲート線 G1 の走査が開始されると、このゲート線 G1 に接続される行に配列されている画素スイッチ S11 ~ S1h は全てオン状態となる。そして、ゲート線 G1 が走査されている期間内においては、水平走査回路 3 は、図 7 (e) ~ (g) に示すようにして、データ線 D1 D2 D3... の順で水平方向にデータに対応した電圧 V1, V2, V3... を印加していく。つまり、水平方向における走査を行う。水平走査回路 3 もシフトレジスタによって、出力を印加すべきデータ線を順次シフトさせていくことで、上記した動作を得るようにされる。

【0008】先ず、図 7 (e) に示すようにしてデータ線 D1 が走査されると、このときオン状態にある画素スイッチ S11 を介して電圧 V1 のレベルに対応する電荷が蓄積されることになる。つまり、1つの画素に対するデータの書き込みが行われる。これによって、画素容量 C11 には、蓄積された電荷に対応した電位が発生する。ここでは、電圧値 V1 に対応させて電位 V1 として示している。

【0009】この電位 V1 は、画素電極 P11 にも現れることになる。そして、この画素電極 P11 の電位 V1 と、これに対向する対向電極の共通電位 Vcom との電位差に応じて、画素電極 P11 の位置に対応する液晶層 5 の液晶が励起されることになる。つまり、画素セルが駆動される。なお、画素容量に蓄積された電荷、つまりデータは、図 7 (e) のデータ線 D1 の走査タイミングと、図 7 (h) の電荷蓄積タイミングからも分かるように、1つのデータ線に対する走査 (データの書き込み) が終了して、次のデータ線の走査に移行した後も、継続して保持されるようになっており、液晶 (画素セル) を励起し続けることになる。

【0010】このようにして、データ線 D1 の走査が行

10

20

30

40

50

われた後は、図7(f)に示すようにしてデータ線D2の走査が行われることになる。そして、同様に、図7(i)に示されるように、画素スイッチS12を介して画素容量C12に対してデータの書き込みが行われる。また、この後においては、図7(g)に示すようにして次のデータ線D3の走査が行われ、図7(j)に示すように、画素スイッチS13を介して画素容量C12に対してデータの書き込みが行われることになる。

【0011】このような1行分の水平方向の走査が終了して、これと共に、ゲート線G1に対する走査も終了すると、続いては、図7(b)に示すようにして、次のゲート線G2に対する走査が開始される。そして、このゲート線G2を走査している期間内においても、図7(e)~図7(j)により説明したように、水平方向における走査、つまりゲート線G2に対応する水平ラインの画素セルへのデータの書き込みが行われるものである。そして、この後は、図7(c)に示すようにして、次のゲート線G3を走査した状態で、図7(e)~図7(j)に示されるタイミングによって、ゲート線G2に対応する水平ラインの画素セルへのデータの書き込みを行う。以降は、残るゲート線を順次走査していくとともに、各ゲート線の走査期間内においては、同様に、そのゲート線に対応する水平ラインの画素セルへのデータ書き込みを行っていく。このようにして、アクティブマトリクス方式の液晶表示装置では、垂直走査回路2及び水平走査回路3によって、ゲート線を順次駆動するように走査していくとともに、1ゲート線の走査期間内において、データ線を順次駆動してデータを書き込んでいくように走査していくことで、画素セルを順次駆動していく。

【0012】ところで、上記構造による液晶表示装置を構成する半導体基板であるが、その製造過程において、回路に不良、欠陥が形成されてしまうことがある。つまり、画素スイッチや画素容量が短絡したり、また、ゲート線、データ線が断線若しくは短絡しているなどして、正常に動作しない画素セル駆動回路が存在する可能性を有している。このため、液晶表示装置を製造する過程においては、半導体基板上の回路に欠陥がないかどうかを検査することが行われる。

【0013】このような半導体基板回路の欠陥についての検査は、例えば次のようにして行われている。まずは、検査対象である半導体基板から引き出したデータ線と検査装置とを接続しておく。そして、半導体基板に対しては、表示時と同様のタイミングで垂直走査回路2及び水平走査回路3による駆動を行うようにされる。つまり、例えば図7により説明したのと同じようにして画素セルの駆動を行う。この場合、データ書込が行われた画素セル駆動回路に接続されているデータ線には、正常であれば、書き込まれたデータに応じたレベルの電位が発生しているはずであるが、何らかの欠陥がある場合に

は、その電位レベルは、正常値とは異なるレベルとなっているはずである。そこで、この電位レベルを検査装置により検出する、つまりデータ線から画素容量の電荷を読み込むことで、画素セル駆動回路の欠陥について検査することが可能となるものである。

【0014】

【発明が解決しようとする課題】しかしながら、近年においては、例えばプロジェクタ装置などへの採用を考慮して、液晶表示装置について小型化し、また、解像度の向上のために単位面積あたりの画素数を増加させることが求められている。この際、例えば、液晶表示装置について、画素数はそのままとしたうえで、装置全体の寸法を1/2にしようとしたり、また、装置の寸法は変更せずに、解像度を2倍にしようとしたら、どちらの場合にも、画素セルの縦/横の寸法は、ともに1/2程度にまで縮小させる必要が生じてくる。仮に、画素セルの形状が正方形であるとして、この画素セルの縦/横の寸法を1/2にしようとしたら、画素容量としては1/4となってしまう。

【0015】製造上の都合から、画素セル駆動回路内の画素スイッチについては、サイズの小型化に限界がある。このため、ほぼ限界までに画素スイッチを小型化したとして、さらに画素セルを小型にしなければならないとすれば、画素容量のほうのサイズを小さくしていかなるを得ない。従って、例えば、画素セル駆動回路を1/2のサイズに縮小しようとする場合を考えると、画素スイッチのサイズが既に相当に小さい場合には、画素容量のサイズを縮小する割合が増えてくるので、画素容量のサイズは、1/4よりもさらに縮小する必要に迫られることになる。

【0016】ここで、データ線の容量を考えてみると、例えば液晶表示装置の縦/横の寸法を1/2にした場合において、データ線の横方向の幅は変更しないとすれば、縦方向の長さのみが1/2となるわけであり、その面積としてのサイズは1/2となる。つまり、データ線の容量は1/2の縮小で済むことになってしまう。つまり、縮小率としては、画素容量の1/4となるのに対して、データ線の容量は1/2までしか縮小されないという、容量的なアンバランスが生じる。

【0017】さらに、液晶表示装置のサイズはそのままとして、解像度を2倍にしようとした場合には、データ線の長さに変更はないのに関わらず、データ線に接続される画素スイッチ数が2倍に増加するので、画素スイッチをこれまで以上に小さくできない場合には、増加した画素スイッチのドレイン容量の分だけ、データ線の容量が増加することになる。このように、画素セルの小型化を促進させていくほど、画素容量に対するデータ線の容量の比が大きくなっていき、いわゆる配線容量が支配的となってくる。そして、このような場合に、画素容量の電荷をデータ線から読み出そうすれば、データ線にお

る電位の変化は、その検出が困難なほどに小さいものになってしまうことがある。先に説明した手法による半導体基板の検査は、画素容量の電荷をデータ線から読み出すようにしていることから、上記のようにして画素容量に対する配線容量の比が大きくなってしまった場合には、検査を適切に行うことは困難なものとなっている。

【0018】このため、現状においては、液晶を封入した後の液晶表示装置としての完成品に対して実際に画像を表示させ、これを例えば目視することで画素の欠陥を検査せざるを得ないという状況にあった。このようにして、液晶表示装置が完成した段階において検査をするのでは、例えば欠陥が発見された場合には、再度分解しての修理を行うか、若しくは破棄せざるを得ない。つまり、半導体基板に形成される回路の検査に関しては、液晶表示装置として組み込みが行われる以前の、例えば半導体回路基板としてのウェハが形成された段階で検査できるようにすることが、製造能率や製造コストの点で好ましい。

【0019】

【課題を解決するための手段】そこで本発明は上記した課題を考慮して、画素スイッチと、該画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法として次のように構成することとした。つまり、1本のデータ線に対して接続される全画素スイッチのうちから選択した複数の画素スイッチに接続される画素容量に対して電荷を保持させる電荷保持工程と、電荷保持工程により複数の画素容量において保持された電荷を上記1本のデータ線から同時に検出する検出工程とを含めることとした。

【0020】また、半導体装置としては、次のように構成することとした。つまり、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査時に対応しては、任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段とを半導体基板に形成して構成するものである。

【0021】また、表示装置としては次のように構成することとした。本発明の表示装置は、共通電極を有する半導体基板と、この半導体基板に対して対向して配置される対向基板と、半導体基板と対向基板との間に介在する液晶層とを備えて成る。そして、上記半導体基板は、

データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査時に対応しては、任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段とが形成されるものとした。

【0022】上記各構成によれば、1本のデータ線に対応して接続される画素セル駆動回路における画素容量のうち、任意の複数の画素容量に対して電荷を保持させたうえで、この電荷を同時に、同一のデータ線から読み込んで検出する工程を含むようにしている。或いは、1本のデータ線に接続される複数の画素スイッチを同時にオンさせることのできる構成を備えることで、複数の画素容量に対して蓄積された電荷に応じた電位が、同一のデータ線に同時に得られるようにしている。本発明の場合において、複数の画素容量に蓄積された電荷を、同一のデータ線から読み出すことは、即ち、これら複数の画素容量の電荷の総量が検出できることを意味するが、これにより、データ線に得られる電位変化を、例えば1つの画素容量に蓄積された電荷を読み出す場合よりも大きなものとすることができる。

【0023】また、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法として、次のようにも構成する。つまり、画素容量に対して保持させた電荷に応じた電位レベルをデータ線に発生させる電位発生工程と、この電位発生工程によりデータ線に発生した電位レベルを、半導体基板に形成される増幅回路によって増幅する増幅工程と、この増幅工程により得られる増幅出力を検出する検出工程とを含ませることとした。

【0024】また、半導体装置としては、次のようにも構成することとした。つまり、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされる垂直走査手段と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、データ線に発生する電位レベルを入力し、この入力した電位レベルを増幅して外部検査装置に対して出力可

能な増幅手段とを半導体基板に形成して構成することとした。

【0025】また、共通電極を有する半導体基板と、この半導体基板に対して対向して配置される対向基板と、半導体基板と対向基板との間に介在する液晶層とを備えて成る表示装置として、次のようにも構成することとした。つまり、上記半導体基板として、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力すること

で、垂直方向の走査が可能とされる垂直走査手段と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、データ線に発生する電位レベルを入力し、この入力した電位レベルを増幅して外部検査装置に対して出力可能な増幅手段とが形成されていることとしたものである。

【0026】上記各構成においては、データ線に得られる電位レベルを基板内に形成される増幅手段（増幅回路）によって増幅するようにしている。検査のために、画素容量に蓄積された電荷をデータ線から読み出す場合には、データ線における電位変化を検出することになるのであるが、本発明では、増幅作用によって、電位変化によるレベル変動を拡大して検出することが可能とされる。

【0027】また、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路が、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列されて形成される半導体基板に対する検査方法として次のように構成する。即ち、1本のデータ線に対して接続される全画素スイッチのうちから選択した複数の画素スイッチに接続される画素容量に対して電荷を保持させる電荷保持工程と、この電荷保持工程により複数の画素容量において保持されている電荷に応じた電位レベルを上記1本のデータ線に発生させる電位発生工程と、この電位発生工程によりデータ線に発生した電位レベルを、半導体基板に形成される増幅回路によって増幅する増幅工程と、この増幅工程により得られる増幅出力を検出する検出工程とを含めることとした。

【0028】また、半導体装置としては次のように構成する。つまり、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査時に対応しては、任意の複数の

画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、データ線に発生する電位レベルを入力し、この入力した電位レベルを増幅して外部検査装置に出力可能な増幅手段と、を半導体基板に形成していることとした。

【0029】また、共通電極を有する半導体基板と、この半導体基板に対して対向して配置される対向基板と、半導体基板と対向基板との間に介在する液晶層とを備えて成る表示装置において、上記半導体基板には、データ線と画素スイッチ制御線との交点位置に対応してマトリクス状に配列され、画素スイッチと、この画素スイッチに対して接続されて画素データを保持する画素容量とからなる画素セル駆動回路と、画素スイッチをオンさせるための走査信号を画素スイッチ制御線に対して順次出力することで、垂直方向の走査が可能とされたうえで、検査時に対応しては、任意の複数の画素スイッチを同時にオンさせるための検査用走査信号を生成することのできる垂直走査手段と、データ線に対して所定のタイミングでデータ信号を印加するようにして水平方向の走査を行うことのできる水平走査手段と、データ線に発生する電位レベルを入力し、この入力した電位レベルを増幅して外部検査装置に出力可能な増幅手段とが形成されていることとした。

【0030】上記各構成としては、まず、1本のデータ線に対応して接続される画素セル駆動回路における画素容量のうち、任意の複数の画素容量に対して電荷を保持させたうえで、この電荷を同時に、同一のデータ線から読み込んで検出する工程を含むようにしている。或いは、1本のデータ線に接続される複数の画素スイッチを同時にオンさせることのできる構成を備えることで、複数の画素容量に対して蓄積された電荷に応じた電位が、同一のデータ線に同時に得られるようにしている。これによって、1つのデータ線に、複数の画素容量に蓄積された電荷の総量に対応した電位を発生させることを可能としている。つまり、例えば1つの画素容量の電荷をデータ線に読み込ませる場合と比較して、より大きな電位の変化を得ることを可能としている。そしてまた、上記のようにして得られた複数の画素容量の電荷に対応する電位レベルを増幅することで、検査のために検出される電位のレベル変化をより大きなものとしているものである。つまり、本発明は、複数の画素容量に蓄積された電荷の総量に対応した電位を発生させることと、この電位の増幅という、2つの電位レベル変化拡大のための構成を併用することで、画素容量の電荷に応じた電位レベルの変化がより顕著となるようにしているものである。

【0031】

【発明の実施の形態】以下、本発明の実施の形態について説明を行っていくこととする。本実施の形態として

は、例えば液晶プロジェクタ装置などをはじめとする各種映像機器、電子機器に採用される、アクティブマトリクス方式の液晶表示装置を例に挙げることにする。

【0032】図1は、本発明の第1の実施の形態としての液晶表示装置の回路構成例を示している。この図に示される液晶表示装置1の基本構造としては、半導体基板上に対して、少なくとも、例えばマトリクス状に配列される画素セル駆動回路をはじめとする所要の回路を形成する。そして、この半導体基板に対して、共通電極を形成した対向基板を対向させ、これら半導体基板と対向基板との間に液晶を封入するようにした構造を有している。

【0033】本実施の形態の場合、半導体基板にはシリコン(Si)の材質によるシリコン基板が用いられる。そして、この半導体基板に対して、画素セル駆動回路10をマトリクス状に配列するようにして形成すると共に、垂直走査回路2、水平走査回路3、及びゲート線の各々に対して挿入されるANDゲート4と、データ線の各々に対して挿入されるスイッチ回路6とを形成する。

【0034】先ず、この半導体基板上に形成される画素セル駆動回路10の回路構成を、図1において破線で括弧で示す部位を例に説明する。1つの画素セル駆動回路10は、図のように、画素スイッチ S_{mn} 、画素容量 C_{mn} 、及び画素電極 P_{22} を備える。画素スイッチ S_{mn} は、例えばFET(電界効果トランジスタ)としての構造を有している。画素スイッチ S_{mn} のゲートは、ゲート線 G_m に対して接続され、ドレインは、データ線 D_n と接続される。なお、各ゲート線及びデータ線も、半導体基板に対して形成されるものである。また、画素スイッチ S_{mn} のソースは、画素容量 C_{mn} の一端と接続される。画素容量 C_{mn} の他端は、この場合には、共通電極に対して接続される。また、画素スイッチのソースと画素容量 C_{mn} の接続点は、画素電極 P_{22} に対して接続される。そして、このようにして形成される画素セル駆動回路10が、図示するようにして行方向と桁方向に沿って、マトリクス状に配列されるものである。また、このようにして画素セル駆動回路10が形成される半導体基板としては、各画素セル駆動回路10の画素電極 P がマトリクス状に配列されて表出している状態となる。

【0035】垂直走査回路2は、例えばシフトレジスタを備えて形成され、行(1水平ライン)ごとに、垂直方向への走査を行うために設けられる。つまり、表示時には、1水平走査期間ごとに、ゲート線 G_{m-1} 、 G_m 、 G_{m+1} の順で、パルス状の走査信号(走査パルス)を出力することでゲート線を走査する。例えば垂直走査回路2の走査によってゲート線 G_m が駆動されれば、ゲート線 G_m と接続されている1行分の画素スイッチ(S_{m-1} 、 S_{mn} 、 S_{m+1})のゲートにゲート電圧が印加されて、これらの画素スイッチ(S_{m-1} 、 S_{mn} 、 S_{m+1})がオンとなる。

$n-1$ 、 S_{mn} 、 S_{m+1})がオンとなる。

【0036】但し、本実施の形態においては、半導体基板の検査に対応するために、垂直走査回路2と各ゲート線(G_{m-1} 、 G_m 、 G_{m+1} ...)との間に、ANDゲート4($m-1$)、4(m)、4($m+1$)が介在するようにして設けられる。ANDゲート4($m-1$)、4(m)、4($m+1$)に対しては、それぞれ、垂直走査回路2から引き出されたゲート線 P_r (G_{m-1})、 P_r (G_m)、 P_r (G_{m+1})が一方の入力端子に接続され、他方の入力には、マスク信号が共通に接続される。

【0037】例えば、垂直走査回路2は、ゲート線 G_m に対応しては、Hレベルに対応する走査信号をゲート線 P_r (G_m)に出力して走査を行うようにされるが、このときの走査信号は、ANDゲート4(m)の一方の入力端子に対して入力されることになる。そして、このときに、Lレベルのマスク信号がANDゲート4(m)に入力されていれば、ANDゲート4(m)の出力はLレベルとなるので、ゲート線 G_m からは走査信号が出力されず、従って、画素スイッチ(S_{m-1} 、 S_{mn} 、 S_{m+1})はオフとなる(マスクされる)。これに対して、Hレベルのマスク信号が入力されてANDゲート4(m)の出力がHレベルとなれば、ゲート線 G_m に対して走査信号が出力され、画素スイッチ(S_{m-1} 、 S_{mn} 、 S_{m+1})はオンとなる。

【0038】なお、上記したような、ANDゲート4とマスク信号によるゲート線へのマスク動作は、後述するようにして検査時において行われるものであり、表示時には、ANDゲート4によるマスク制御は行わない。

【0039】水平走査回路3も、シフトレジスタ等を備えて形成される回路であり、外部から入力される1水平ラインごとのデータを、順次シフトすることで、各データ線 D_{n-1} 、 D_n 、 D_{n+1} を順次走査するようにして駆動する。

【0040】また、本実施の形態においては、各データ線 D_{m-1} 、 D_m 、 D_{m+1} ...に対して、図示するように、スイッチ6($n-1$)、6(n)、6($n+1$)が接続される。これらスイッチ6も半導体基板上に形成されるもので、例えばCMOS型の回路として構成される。このようにして設けられるスイッチ6は、後述する検査時において、外部の検査装置11と接続するためのデータ線を選択するために用いられる。ここでは、検査装置11によって、その開閉が制御されるものとしている。このようにして、本実施の形態の半導体基板上には、上記のようにして、画素セル駆動回路10、データ線、ゲート線、垂直走査回路2、水平走査回路3に加えて、検査時に必要となるANDゲート4及びスイッチ6が形成される。

【0041】そして、このようにして形成される半導体

基板に対しては、共通電位 V_{com} が印加される共通電極が形成された対向基板が対向するようにして配置される。そして、この半導体基板と、対向基板との間に、液晶を封入することで液晶層 5 を形成する。このようにして、本実施の形態の液晶表示装置 1 が構成される。

【0042】このようにして形成される液晶表示装置 1 による画像表示時の動作は、簡略には次のようになる。本実施の形態の場合、表示時においては、ANDゲート 4 は用いられないことから、例えばマスク信号を定常的に Hレベルとしておくようにする。あるいは、ここでは 10 図示しないが、ANDゲート 4 をパスして、垂直走査回路 2 から引き出されるゲート線 $Pr(G_m - 1)$, $Pr(G_m)$, $Pr(G_m + 1)$ が、それぞれ、ゲート線 $G_m - 1$, G_m , $G_m + 1$ と接続されるようにする。つまりは、垂直走査回路 2 により、ゲート線 $G_m - 1$, G_m , $G_m + 1 \dots$ を直接的に走査するように回路が形成されればよい。

【0043】そして、表示時における垂直走査回路 2 及び水平走査回路 3 の走査としては、先に図 7 にて説明したと同様のタイミングで行われればよいものとされ 20 る。つまり、垂直走査回路 2 は、シフトレジスタの動作によって、1 水平走査期間ごとのタイミングで出力をシフトしていくことで、順次、1 行目から最終行までのゲート線を走査していく。これにより、例えば或る水平走査期間においては、ゲート線 $G_m - 1$ に接続される行の画素スイッチ S_{m-1n-1} , S_{m-1n} , S_{m-1n+1} にゲート電圧が印加されてオンとなり、続く水平走査期間においては、上記画素スイッチ S_{m-1n-1} , S_{m-1n} , S_{m-1n+1} は、オフ状態とされたう 30 えで、次のゲート線 G_m に接続される行の画素スイッチ S_{mn-1} , S_{mn} , S_{mn+1} がオンとされる。以降、同様にして残るゲート線に対する走査が行われていくものである。

【0044】そして、上記のようにして 1 つのゲート線が走査される期間内においては、水平走査回路 3 におけるシフトレジスタの動作によって、1 桁目から最終桁までのデータ線を順次駆動していくことが行われる。ここで、データ線を駆動するとは、画素データに対応する電圧値を水平走査回路 3 からデータ線に対して出力することをいう。ここで、例えばゲート線 G_m を走査している 40 期間内において、データ線 $D_n - 1$ の駆動が行われたとする。このときには、ゲート線 G_m にゲートが接続される画素スイッチ S_{mn-1} , S_{mn} , S_{mn+1} がオンとなっているわけであるが、データ線 $D_n - 1$ が駆動されることで、このゲート線 G_m とデータ線 $D_n - 1$ の交点にある画素スイッチ S_{mn-1} に接続される画素容量 C_{mn-1} に対して、データ線 $D_n - 1$ に印加された電圧値（データ）に応じた電荷が、画素スイッチ S_{mn-1} のドレインソースを介して蓄積される。この蓄積された電荷量に応じた電位が画素容量 C_{mn-1} の両端に 50

発生する。つまり、画素容量 C_{mn-1} に対してデータの書き込みが行われたことになる。そして、このデータ書き込みによって画素容量 C_{mn-1} に生じた電位は、同じ画素スイッチ S_{mn-1} のソースに接続された画素電極 P_{21} にも発生することになる。

【0045】そして、データ線 $D_n - 1$ によるデータの書き込みが終了したとされると、画素容量 C_{mn-1} に書き込まれたデータは保持した上で、次のデータ線 D_n に対する駆動が行われる。従って、この場合には、ゲート線 G_m とデータ線 D_n の交点にある画素スイッチ S_{mn} に接続される画素容量 C_{mn} に対して、データの書き込みが行われ、画素電極 P_{22} に電位が発生することになる。

【0046】ここで、画素電極 P に対しては、液晶層 5 が介在するようにして、電位 V_{com} が印加されている共通電極が対向して配置されている。そして、上記のようにして、画素電極 P_{21} , P_{22} においてデータに対応する電位が順次発生すると、この画素電極 P_{21} の電位と、電位 V_{com} との電位差に応じて、その間に介在する液晶層 5 の液晶が反応して励起されることになる。つまり、画素セルの駆動が順次行われていくものである。

【0047】そして、上記のようにして、ゲート線 G_m の走査期間内において水平走査回路 3 がデータ線を順次駆動していくことが行われ、1 水平ラインの画素の駆動が終了したとされると、垂直走査回路 2 では、ゲート線 G_m の走査を終了して、次のゲート線 $G_m - 1$ の走査を行う。そして、このゲート線 $G_m - 1$ の走査期間内において、水平走査回路 3 がデータ線を順次駆動して、同様に 1 水平ライン分の画素の駆動を行うようにされる。このような動作が、全水平ラインごとに行われることで、1 画面のデータの書き込みが完了することになる。そして、この 1 画面分のデータの書き込みが、例えばフィールド周期で繰り返されることで、画像表示が行われるものである。

【0048】そして、本実施の形態としては、液晶表示装置 1 を構成する半導体基板について、この半導体基板上に形成された回路に不良、欠陥がないかどうかについての検査を行うのであるが、この検査は、例えば次のようにして行うようにされる。

【0049】図 2 は、本実施の形態が対応する半導体基板の検査時において、所要の段階で行われるとされる画素セルの駆動タイミングを示している。この図に示す駆動タイミングによっては、結果的に、複数のゲート線を同時に立ち上げ、また、立ち下げることができる。

【0050】水平走査回路 2 内のシフトレジスタによっては、図 2 (a) に示すようにして、ゲート線 $Pr(G_m - 1)$ に対して、例えば通常の 1 ゲート線走査期間よりも長いとされる所定長の走査パルスが出力されるようにする。つまり、通常の 1 ゲート線走査期間が、期間 t

1 ~ t 2の時間長に対応するものであるとして、この場合には、その3倍の時点t 1 ~ t 4の期間にわたって走査パルス出力するものである。そして、例えば次のゲート線Pr (Gm)に対する走査パルス出力としては、図7 (b)に示すようにして、例えば時点t 1から通常の1ゲート線走査期間分シフトしたとされる時点t 2のタイミングで開始するようにされる。そして、この場合にも、そのパルス出力幅は、通常の1ゲート線走査期間の3倍となるようにしており、従って、期間t 2 ~ t 5にわたってパルス出力する。同様にして、次のゲート線Pr (Gm + 1)に対しても、時点t 2から通常の1ゲート線走査期間分シフトさせた時点から、通常の1ゲート線走査期間の3倍のパルス幅によって走査パルス出力するようにされる。つまり、期間t 3 ~ t 6にわたってパルス出力する。

【0051】上記のようにして、通常の1ゲート線走査期間の3倍のパルス長によってゲート線Pr (Gm - 1)、Pr (Gm)、Pr (Gm + 1)を走査していくことによって、これらのゲート線が走査される期間t 1 ~ t 6において、図示するようにして、これらの走査パルス出力が重複する重複期間T 3が形成されることになる。そして、本実施の形態においては、図2 (d)に示すようにして、上記各ゲート線 (Gm - 1)、Pr (Gm)、Pr (Gm + 1)が走査される期間t 1 ~ t 6において、重複期間T 3より前の期間t 1 ~ t 3においては、マスク信号をLレベルとする。これにより、ANDゲート4 (m - 1)、4 (m)、4 (m + 1)からはLレベル (グランド電位Vss) が出力されることになる。この場合には、Lレベルとして、グランド電位Vssが出力されることとなっているので、ANDゲート4 (m - 1)、4 (m)、4 (m + 1)の出力と接続される各ゲート線Gm - 1、Gm、Gm + 1は、図2 (e) (f) (g)に示すようにして、期間t 1 ~ t 3においては、グランド電位Vssとなる。従って、この期間t 1 ~ t 3においては、各ゲート線Gm - 1、Gm、Gm + 1に接続されている画素スイッチは、オフ状態にあるようにされる。つまり、この期間においては、垂直走査回路2から出力されたパルスはマスク信号によりマスクされている状態にあることとなる。

【0052】そして、重複期間T 3の開始時点である時点t 3に至ったタイミングで、図2 (d)に示すようにして、マスク信号をHレベル (電源電位VDD) に切り換える。この時点では、ゲート線 (Gm - 1)、Pr (Gm)、Pr (Gm + 1)において同時にパルスが出力されているので、マスク信号がHレベルとなったことによっては、ANDゲート4 (m - 1)、4 (m)、4 (m + 1)からは電源電位VDDによるHレベルが出力されることになり、ゲート線Gm - 1、Gm、Gm + 1には電源電位VDDが得られることになる。つまり、マスク信号によるマスクが解除され、図2 (e) (f) (g)に示

すように、ゲート線Gm - 1、Gm、Gm + 1が時点t 3において同時に立ち上げられることとなる。

【0053】この後、重複期間T 3が終了する時点t 4に至ると、マスク信号はLレベルとなるように切り換えが行われる。これによって、時点t 4においては、再度マスク信号によるマスクが再開されることとなって、ゲート線Gm - 1、Gm、Gm + 1には、グランド電位Vssとなる。つまり、ゲート線Gm - 1、Gm、Gm + 1が同時に立ち下げられる。

【0054】このようにして、本実施の形態においては、複数の連続するゲート線を同時に立ち上げ、また、立ち下げることができるようにしている。なお、この場合には、3本のゲート線を同時に立ち上げ / 立ち下げるようにしているが、図2の説明からも理解されるように、例えば垂直走査回路2から出力すべきパルス幅を、同時に立ち上げ / 立ち下げるべきゲート線数に応じて変更するなど、信号出力タイミングなどについて必要な変更を行うことで、同時に立ち上げ / 立ち下げるべきゲート線数は、任意に変更することができる。そして、この同時に立ち上げ / 立ち下げるべきゲート線数の実際としては、検査時の都合などに応じて適宜変更されるべきものである。

【0055】続いては、上記したように複数のゲート線の同時走査が可能であることを前提として、本実施の形態としての半導体基板の検査の手順例について説明を行っていくこととする。

手順1 : ここでは、検査対象として、図1の場データ線Dnに接続された3つの画素セル駆動回路10を選択したものとす。つまり、データ線Dnと接続される、画素スイッチSm - 1n、Smn、及びSm + 1nを備えた各画素セル駆動回路10が検査対象となる。また、これらの画素セル駆動回路が検査対象とされたことに対応して、スイッチ6のうち、データ線Dnと接続されるスイッチ6 (n)のみをオンとして、これ以外のスイッチ6はオフとするようにされる。これによって、データ線Dnのラインが検査装置11と接続されることになる。そして、この手順1としては、これらの画素セル駆動回路10における3つの画素容量Cm - 1n、Cmn、Cm + 1nに対してデータの書き込みを行う。このためには、例えば図2により説明したようにして、垂直走査回路2により、同時にゲート線Gm - 1、Gm、Gm + 1を立ち上げて、画素スイッチSm - 1n、Smn、Sm + 1nがオンの状態となるようにしたうえで、水平走査回路3により、データ線Dnに対してデータを出力する。これによって、オン状態にある画素スイッチSm - 1n、Smn、Sm + 1nのドレインソースを介して、画素容量Cm - 1n、Cmn、Cm + 1nの各々に対してデータの書き込みが行われる。つまり、画素容量Cm - 1n、Cmn、Cm + 1nの各々において電荷が蓄積されるものである。なお、この画素容量Cm - 1

n 、 $C_{m,n}$ 、 $C_{m+1,n}$ に対するデータの書き込みに関しては、必ずしも、同時に行う必要はないものであり、例えばゲート線 G_{m-1} 、 G_m 、 G_{m+1} を順次立ち上げると共に、このゲート線が立ち上がったタイミングで、順次データ線 D_n に対してデータを出力するようにしてもよいものである。

【0056】手順2：上記手順1による画素容量 $C_{m-1,n}$ 、 $C_{m,n}$ 、 $C_{m+1,n}$ に対するデータの書き込みが終了したら、それまで立ち上げていたゲート線 G_{m-1} 、 G_m 、 G_{m+1} を立ち下げることを行う。これは、例えば上記手順1によるデータの書き込みが、図2に示した走査タイミングによって行われているもののであるならば、図2の時点 t_4 における動作として示すように、マスク信号をLレベルとすることで実現することができる。そして、このようにして、画素容量 $C_{m-1,n}$ 、 $C_{m,n}$ 、 $C_{m+1,n}$ に対するデータの書き込みが行われた状態で、ゲート線 G_{m-1} 、 G_m 、 G_{m+1} が立ち下げられれば、画素スイッチ $S_{m-1,n}$ 、 $S_{m,n}$ 、 $S_{m+1,n}$ はオフ状態となるのであるが、これにより、データ書き込みによって画素容量 $C_{m-1,n}$ 、 $C_{m,n}$ 、 $C_{m+1,n}$ に蓄積された電荷が放出されることなく、保持されることになる。

【0057】手順3：画素容量 $C_{m-1,n}$ 、 $C_{m,n}$ 、 $C_{m+1,n}$ において電荷が保持されている状態になったら、水平走査回路3又は検査装置によって、データ線 D_n に対して任意の電圧をチャージする。これによって、データ線 D_n はハイインピーダンスの状態となる。

【0058】手順4：続いては、データ線 D_n がハイインピーダンスとなっている状態のもとで、図2に示したようにして、ゲート線 G_{m-1} 、 G_m 、 G_{m+1} を同時に立ち上げることを行う。これによって、これまでオフ状態にあった画素スイッチ $S_{m-1,n}$ 、 $S_{m,n}$ 、 $S_{m+1,n}$ は、同時にオン状態に移行することになるが、これによって、データ線 D_n には、画素スイッチ $S_{m-1,n}$ 、 $S_{m,n}$ 、 $S_{m+1,n}$ に接続されている画素容量 $C_{m-1,n}$ 、 $C_{m,n}$ 、 $C_{m+1,n}$ に蓄積されていた電荷に応じた電位変化が現れることになる。つまり、3つの画素容量 $C_{m-1,n}$ 、 $C_{m,n}$ 、 $C_{m+1,n}$ の電荷の総量に応じた電位変化が現れる。

【0059】手順5：上記のようにしてデータ線 D_n に現れた3つの画素容量 $C_{m-1,n}$ 、 $C_{m,n}$ 、 $C_{m+1,n}$ の電荷の総量に応じた電位変化は、スイッチ6(n)を介してデータ線 D_n と接続された検査装置11において検出されることになる。そして、検査装置11側では、検出された電位変化に基づいて検査結果を得るようにされる。上記した電位変化の検出に基づいて検査すべき項目としては特に限定しないが、例えば、画素容量値が適正であるか否かの確認、画素データ書き込み時間の確認、画素容量の短絡の有無の確認、ゲート線及びデータ線の短絡、断線の有無の確認などを行うことができる。

【0060】以上が本実施の形態としての検査手順となるが、ここで、検査対象を、他のデータ線に接続された画素セル駆動回路10に変更する場合には、例えば検査装置11による制御によって、スイッチ6についての切り換えを行うようにする。例えば、データ線 D_n に接続された画素セル駆動回路10から、データ線 D_{n+1} に接続された画素セル駆動回路10に検査対象を変更するのであれば、これまでオンとされていたスイッチ6(n)はオフとして、かわりにスイッチ6(n+1)をオンとするように制御すればよいことになる。

【0061】このような本実施の形態としての検査方法によれば、例えばデータ線に現れる電位の変化幅は、複数の画素容量に保持された電荷の総量に対応するものとなる。つまり、本実施の形態としては、1つの画素容量に保持された電荷によって現れる電位変化よりも大きな電位変化幅を得ることができる。例えば液晶表示装置の小型化や高精細化にともなっては、前述したように、画素容量に対するデータ線の容量の比がこれまでよりも大きくなる。このため、従来のように、画素セルを1つ1つ駆動して、1つの画素容量に保持された電荷によって現れる電位変化を検出するという検査方法によっては、的確な検査結果を得ることが困難であった。このため、現状としては、半導体基板のみによる検査を行わずに、液晶表示装置として完成させてから画像を表示させて、目視による検査を行わざるを得なかったものである。

【0062】これに対して、本実施の形態では、データ線には、適正な検査結果を得るに足るだけの顕著な電位変化が現れるのであるから、画素容量に対するデータ線の容量の比が大きいとされる場合でも、半導体基板の検査を的確に行うことが可能となる。そして、これによって、液晶表示装置を製造する前の、半導体基板に回路が形成された段階で検査を行うようにすることが容易に実現されるものである。また、本実施の形態としては、一度に複数の画素セル駆動回路10を検査するようにしているために、例えば従来のようにして1つ1つの画素セル駆動回路を駆動して検査する場合より、効率よく検査を行うことも可能となる。

【0063】続いては、本発明の第2の実施の形態について説明を行う。図3は、第2の実施の形態に対応する液晶表示装置1Aとしての回路構成を示している。なお、この図において、図1と同一とされる部分については同一符号を付して、ここでの説明は省略する。また、この図3においては、液晶表示装置1Aにおいて、主として半導体基板に形成される回路部を示しているものとされる。従って、ここでは、液晶層5及び共通電位 V_{com} が印加される対向電極の図示は省略している。また、半導体基板上に実際に形成される部位のうち、各画素スイッチのソースに対して接続される画素電極の図示も、ここでは省略している。さらにここでは、検査装置11がスイッチ6のオン/オフを制御するための制御線

の図示も省略している。

【0064】この図3に示す回路においては、例えば図1に示した回路において垂直走査回路2とゲート線との間に設けられたゲート回路は省略される。つまり、この第2の実施の形態では、垂直走査回路2からは、直接、ゲート線(G_{m-1} , G_m , G_{m+1})が引き出されるものである。また、この場合には、画素容量の端部は共通電極ではなく、グランドに対して設置されているが、図1の場合と同様に、共通電極に接続する回路構成としてもよいものである。そして、この実施の形態において

10
【0065】この場合の増幅回路7は、スイッチ6の出力側のラインがスイッチSWの一端に対して接続されるとともに、演算増幅器OPの非反転入力端子に対して接続される。つまり、増幅回路7の入力に対しては、スイッチ6を介するようにして、画素スイッチのドレインが接続されるデータ線が接続されるものである。スイッチ

20
【0066】図4は、上記図3に示した液晶表示装置1Aの半導体基板を検査する際の手順に従った、所定部位の状態遷移を示すタイミングチャートである。この図を参照して、第2の実施の形態としての検査の手順を説明していくこととする。

【0067】手順1：第2の実施の形態において、一連の検査手順によって検査される対象は、1つの画素セル駆動回路となる。ここでは、検査対象として、データ線Dnに接続された画素セル駆動回路10のうち、画素スイッチSmnを備えている画素セル駆動回路10を選択した場合について述べる。従って、この場合には、スイッチ6のうち、データ線Dnと接続されるスイッチ6

40

(n)のみをオンとして、これ以外のスイッチ6はオフとするように制御し、これによって、データ線Dnのラインのみが検査装置11と接続されるようにする。そして、この場合の手順1としては、検査対象となっている画素セル駆動回路10内の画素容量Cmnのみに対してデータの書き込みを行う。このため、例えば図4に示す電荷蓄積期間において、垂直走査回路2によりゲート線Gmを走査する。これによって、ゲート線Gmに接続された各画素スイッチSmn-1、Smn、Smn+1はオン状態となる。つまり、図4(a)に示すようにし

50

て、電荷蓄積期間において画素スイッチSmnをオンとする状態が得られる。また、この期間においては、図4(b)に示すようにして、増幅回路7内のスイッチSWは、オフ状態にあるように制御しておく。そして、この状態の下で、水平走査回路3によってデータ線Dnを駆動することで、画素スイッチSmnを介して接続される画素容量Cmnに対しては、データ線Dnから印加されたデータの電圧値に応じた電荷が蓄積されることになる。つまり、データの書き込みが行われる。ここでは、電荷が蓄積されることで、図4(c)に示すようにして、画素容量Cmnの両端電圧は、グランド電位Vssから、或る所定の電圧レベルVdが発生する状態に遷移する。

【0068】手順2：上記のようにして画素容量Cmnに対して電荷を蓄積させた後においては、図4における電荷保持期間として示すようにして、垂直走査回路2によりゲート線Gmの走査を終了させて、図4(a)に示すようにして画素スイッチSmnをオフとする。また、このときには、図4(b)に示すようにスイッチSWをオン状態に切り換えることで、データ線DnがスイッチSWを介して電位Vpcと接続されるようにする。これにより、データ線Dnは、電位Vpcによりチャージされるので図4(d)に示すようにして、データ線電位Vdataとしては、電位Vpcが発生してハイインピーダンスの状態となる。このようにして各部が動作する電荷保持期間では、画素スイッチSmnがオフとされたことで、前の電荷蓄積期間において画素容量Cmnに蓄積された電荷はそのまま保持されることになるので、その両端電圧としては、図4(c)に示すようにして、電圧レベルVdが維持されることになる。また、スイッチSWがオンとされたことによって、演算増幅器OPの出力Voutとしては、図4(e)に示すように、電圧Vpcに対応するレベルが現れる。

【0069】手順3：続いては、図4(a)の電荷読み出し期間として示すように、直前の電荷保持期間においてはオフ状態にあった画素スイッチSmnをオン状態にし、また、直前の電荷保持期間においてオン状態にあったスイッチSWをオフ状態にする。この状態では、オン状態にある画素スイッチSmnを介して、画素容量Cmnに保持されていた電荷がデータ線Dnから読み出されることになる。ここで、データ線Dnの寄生容量と、データ線Dnに接続される画素スイッチのドレイン容量とを合わせた容量をCdとする。そして、この場合において、画素容量Cmnに蓄積されていた電荷と容量Cdに蓄積されていた電荷の総和は変化しないのであるから、画素容量Cmnに蓄積されていた電荷を読み出したことによりデータ線Dnに現れる電位レベルVd1としては、

$$V_{d1} = (C_{mn} \cdot V_d + C_d \cdot V_{pc}) / (C_{mn} + C_d)$$

により表されることになる。そして、このようにして電位レベル V_{d1} が発生することで、図4(d)に示すようにして、データ線電位 V_{data} としては、電荷保持期間においては電位レベル V_{pc} が維持されていた状態から、続く電荷読み出し期間では電位レベル V_{d1} に変化するという状態遷移が得られる。

【0070】ここで、上記したデータ線電位 V_{data} における電位レベル V_{pc} と電位レベル V_{d1} との電位差について、

$$V_{pc} - V_{d1} = V$$

として表すこととすると、演算増幅器OPは、反転入力端子の電位も V_{d1} となるように動作することになる。

このため、抵抗 $R1$ にかかる両端電圧は V となり、抵抗 $R1$ を流れる電流 i_1 は、

$$i_1 = V / R1$$

により表されるレベルとなる。そして、この電流 i_1 が抵抗 $R2$ に流れることになるため、演算増幅器OPの出力 V_{out} は、

$$V_{out} = V_{pc} - ((R1 + R2) / R1) \cdot V$$

として表されることになる。即ち、図4(e)に示すようにして、電荷読み出し期間の出力 V_{out} は、直前の電荷保持期間における電位レベル V_{out} に対して、 $((R1 + R2) / R1) \cdot V$ の電位差を有したレベルに変化することとなる。このような動作が得られることで、本実施の形態としては、図4(d)と図4(e)を比較して分かるように、増幅回路7においては、データ線における電位 V_{pc} から電位 V_{d1} としての電位変化である V を増幅して出力することで、より大きな電位変化としていることになる。なお、増幅回路7としての増幅度は抵抗 $R1$ 、 $R2$ の各抵抗値の組み合わせによって調整することができる。

【0071】本実施の形態では、上記のようにしてデータ線電位を増幅した出力 V_{out} を検査装置11に入力することになる。これにより、本実施の形態では、データ線に得られる小さな電位変化をより大きな電位変化として見るができることになる。つまり、本実施の形態では、データ線に得られる電位変化が小さいものであるとしても、これを増幅することによって補償しているものである。従って、本実施の形態としても、先の実施の形態と同様に、例えば画素容量に対するデータ線の容量の比が大きく、データ線に得られる電位変化が小さくなったとされても、確実な検査結果を得ることが可能になるものである。また、液晶を封入して組み込みを行う前の半導体基板が製造された段階での検査が可能となることも同様である。

【0072】なお、例えば増幅回路7は、半導体回路基板に形成せずに、例えば検査装置側で増幅するようにしても、データ線の電位変化を増幅することに代わりはないのではあるが、例えば、検査装置側で増幅とした場合には、半導体基板のデータ線と検査装置とを接続す

るための配線の容量や抵抗成分などの影響を受けてしまうことになる。このため、データ線の電圧を検査装置側で検出する段階では、その電位変化はより微弱なものとなっており、これを増幅しても画素セルの欠陥を判定できる程度の電位変化幅を得ることは困難となる。これに対して、本実施の形態のように半導体基板に増幅回路を備えれば、上記したような半導体基板と検査装置とを接続するための配線による伝達ロスの影響は排除できるものである。

10 【0073】続いては、本発明の第3の実施の形態について説明する。図5は、第3の実施の形態に対応する液晶表示装置1Bの回路構成例を示している。なお、この図において、図1及び図3と同一部分には同一符号を付して説明を省略する。また、この図5においても、液晶表示装置1Bとしての構造のうち、主としては、半導体基板に形成される回路部を示しているものとされ、ここでも、液晶層5及び対向電極、及び画素電極の図示は省略している。

【0074】この図5に示す液晶表示装置1Bの半導体基板の回路構成としては、図1に示したANDゲート4が備えられると共に、図3に示した増幅回路7が備えられる。このようにして形成される本実施の形態の回路は、第1の実施の形態としての回路と、第2の実施の形態としての回路が組み合わせられた形態を採っていることになる。従って、検査手順としても、第1の実施の形態と第2の実施の形態により説明した手順が組み合わせられることとなるものである。以下、図5に示す回路構成の半導体基板について検査を行う場合の手順を記す。

【0075】手順1：本実施の形態としても、大きくは、図4により説明した、電荷蓄積期間 電荷保持期間

電荷読み出し期間に対応する手順によって検査が行われるものとされる。但し、本実施の形態においては、電荷蓄積期間に対応する手順1によっては、同じデータ線に接続した任意の複数の画素スイッチをオン状態とした上で、これら複数の画素スイッチに接続される画素容量に対してデータ書き込みを行って電荷を蓄積させることになる。つまり、複数の画素容量において、その両端電圧 V_c (図4(c))として、電位レベル V_d が生じるようにするものである。なお、ここでは、具体的には、図5においてデータ線 D_n と接続される3つの画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} をオンとして、これらに接続される3つの画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に対してデータ書き込みを行って、電位レベル V_d を発生させたものとする。

【0076】手順2：この場合において手順2に対応する電荷保持期間としては、画素スイッチ S_{m-1n} 、 S_{mn} 、 S_{m+1n} をオフとすることで、画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} に蓄積された電荷を保持させる。従ってこの場合にも、画素容量 C_{m-1n} 、 C_{mn} 、 C_{m+1n} の両端電圧 V_c としては、電圧レベル V

dが維持される(図4(d))。また、この場合にも、スイッチSWをオン状態に切り換える(図4(b))ことで、データ線Dnを電位Vpcによりチャージさせ、データ線電位Vdataに電位Vpcを発生させる(図4(d))。これにより、データ線Dnはハイインピーダンスとなり、また、演算増幅器OPの出力Voutとしては、電圧Vpcに対応するレベルが現れる(図4(e))。

【0077】手順3：この場合の図4の電荷読み出し期間が対応する手順3としては、3つの画素スイッチSm-1n、Smn、Sm+1nを「同時に」オン状態とする。このためには、先に図2に示したタイミングによって、画素の駆動を行えばよい。また、これと同時にスイッチSWをオフ状態にする。従って、この場合には、オン状態にある3つの画素スイッチSm-1n、Smn、Sm+1nを介して、画素容量Cm-1n、Cmn、Cm+1nに保持されていた電荷の総容量がデータ線Dnから読み出されることになる。従って、例えば図4(d)において示される、データ線の電位Vpcから電位Vd1への変化である電位差Vとしては、例えば1つの画素容量の電荷を読み出す場合よりも、大きなものとして、演算増幅器OPの出力Vout(図4(e))としては、この電位差Vが増幅されたものが得られることになる。

【0078】このように、第3の実施の形態においては、先ず、先の第1の実施の形態の場合と同様にして、複数の画素容量に蓄積させた電荷を同一データ線から同時に読み出すようにしている。これにより、先ず、データ線に対して画素容量に蓄積された電荷に応じた電位変化を発生させる段階において、より大きな電位変化が得られるようにしているものである。そしてさらに、上記のようにして得られた電位変化を増幅して出力することで、その電位変化をより大きなものとしている。従って、本実施の形態としては、検査のために検出すべきデータ線の電位変化として、例えば第1、第2の実施の形態よりもさらに大きな変化幅が得られるものであり、より確実な検査結果を得ることも可能となるものである。

【0079】なお、上記各実施の形態において検査のために形成されるANDゲート4、スイッチ6などは、必ずしも、全てのゲート線及びデータ線に対して設けられる必要はない。つまり、例えば半導体基板が形成される1枚のウエハ全体において、或る一部領域についてのみ、ANDゲート4、スイッチ6が接続されてもよいものである。この場合、全ての画素セル駆動回路についてチェックすることはできないが、一部領域を検査するだけでも、例えば、各ウエハごとの不良、欠陥の傾向を知ることができるため、十分に製造能率の向上等には寄与できるものである。また、この場合には、例えば全ゲート線、データ線にANDゲート4やスイッチ6を設ける場合よりも、半導体基板に形成すべきANDゲート4や

スイッチ6の数を著しく削減することができるので、それだけ、半導体基板の単位面積あたりにおける検査用回路の占有率を低いものとして、より多くの画素セル駆動回路を効率的に形成することも可能となる。また、上記各実施の形態として説明した回路構成や検査手順は、これまでの記載内容に限定されるものではなく、実際に行われる検査の状況等に応じて適宜変更されて構わないものである。

【0080】

【発明の効果】以上説明したように本発明によれば、液晶表示装置を構成する半導体基板を検査するのにあたって、1本のデータ線に接続される全画素スイッチのうちから選択した、複数の画素スイッチに接続される画素容量に蓄積させた電荷を、同じ1つのデータ線から同時に読み出すようにすることを可能としている。ここで、複数の画素容量の電荷を同時に読み出すのにあたっては、これら画素容量と接続される画素スイッチを同時にオンとすることで実現するようにしている。そして、このような構成であれば、一度に読み出される画素容量の電荷量は、例えば1つの画素容量の電荷を読み出す場合よりも増加することになるので、データ線に得られる電位変化をより大きなものとして、例えば液晶表示装置の小型化や高精細化が図られたことで、配線容量に対して画素容量が比率的に小さくなってしまっているような半導体基板であっても、画素セル駆動回路の不良状態に応じた電位変化を的確に検出することが可能となり、例えば、これまでは困難であったとされる、液晶封入前の半導体基板のままの状態での検査が容易に可能となるものである。そして、これによって、例えば製造能率の向上や製造コストの低減が図られることになる。また、この発明によれば、一度に複数の画素セルについての検査が可能となるので、1つ1つの画素セルを検査する従来の場合よりも、検査の作業効率が向上されるといって効果も有している。

【0081】また、他の本発明の構成によれば、データ線から読み出した画素容量の電荷を増幅して出力するようにされるが、これによっても、検出力であるデータ線の電位変化をより大きなものとして可能としている。従って、この発明によっても、上記発明と同様に、液晶表示装置の小型化や高精細化に伴って配線容量に対する画素容量の比が小さくなったことに関わらず、正しい検査結果を得ることが可能になるものである。

【0082】そしてまた、さらに他の本発明の構成によれば、同一データ線に対して接続される複数の画素スイッチと接続される画素容量に蓄積させた電荷を、同じ1つのデータ線から同時に読み出すようにしたうえで、この電荷の読み出しによって生じたデータ線の電位変化を増幅して出力することを可能としている。この発明によれば、同じ1つのデータ線から同時に、複数の画素容量の電荷を読み出すことによってデータ線に得られる

電位変化を大きなものとし、さらに、このデータ線に得られる電位変化を増幅することで、その電位変化をより大きなものとしていることになる。つまり、この発明によっては、検出力としてのデータ線の電位変化を、さらに大きなものとするを可能としており、従って、例えば、画素セル駆動回路の不良状態に応じた電位変化も、さらに的確に検出することが可能となるものである。また、この発明においても、一度に複数の画素セルについての検査が行われることで、1つ1つの画素セルを検査する場合よりも、検査の作業効率は向上されることとなる。

【0083】更には、上記各発明においては、検査を実現するために必要とされる、同一データ線に接続される画素スイッチを同時にオンとするための回路や、増幅手段としての回路を、画素セル駆動回路が形成される半導体基板に形成するようにしているのので、上述した半導体回路基板のままの状態での検査を、さらに容易に可能としているものである。また、上記構成の下で、複数のデータ線のうちから、必要なデータ線を選択して検査装置、若しくは上記増幅手段に接続するためのスイッチ（選択回路）を半導体基板上に形成することによって、例えば検査装置に対して引き出すライン数を削減することができる。また、1つのデータ線ごとに対応させて1つの増幅回路を設けることなく、複数のデータ線に対して1つの増幅回路を設ければよくなる。従って、それだけ検査時における配線はいたずらに複雑になることなく検査能率は向上される。また、半導体基板に形成される検査用の回路面積を小さなものとして、より高い*

*効率で半導体基板に画素駆動系の回路を形成していくことも可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に対応する液晶表示装置の回路構成を示す図である。

【図2】第1の実施の形態としての検査のもとで実行される、画素スイッチを同時にオン/オフするための動作を示すタイミングチャートである。

【図3】本発明の第2の実施の形態に対応する液晶表示装置の回路構成を示す図である。

【図4】第2の実施の形態としての検査手順に対応した各部の動作を示すタイミングチャートである。

【図5】本発明の第3の実施の形態としての液晶表示装置の回路構成を示す図である。

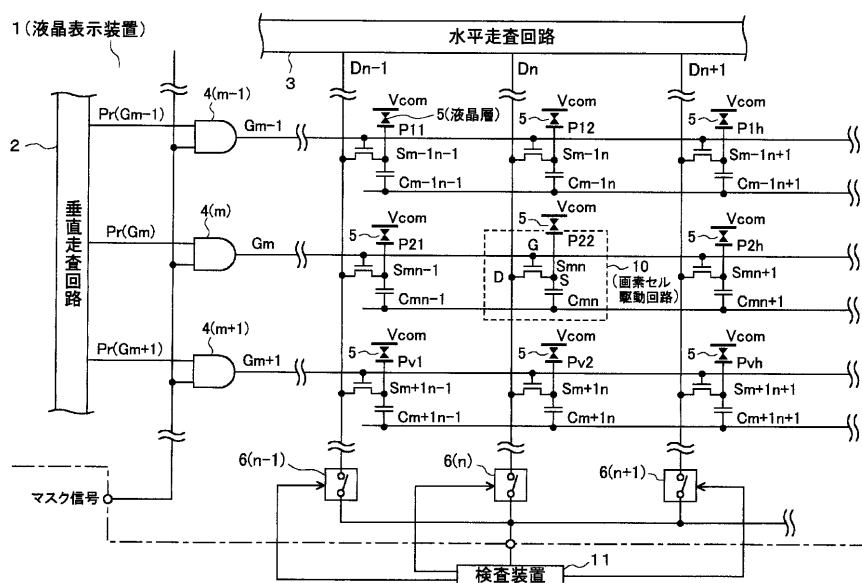
【図6】従来例としての液晶表示装置の回路構成例を示す図である。

【図7】液晶表示装置における表示駆動タイミングを示すタイミングチャートである。

【符号の説明】

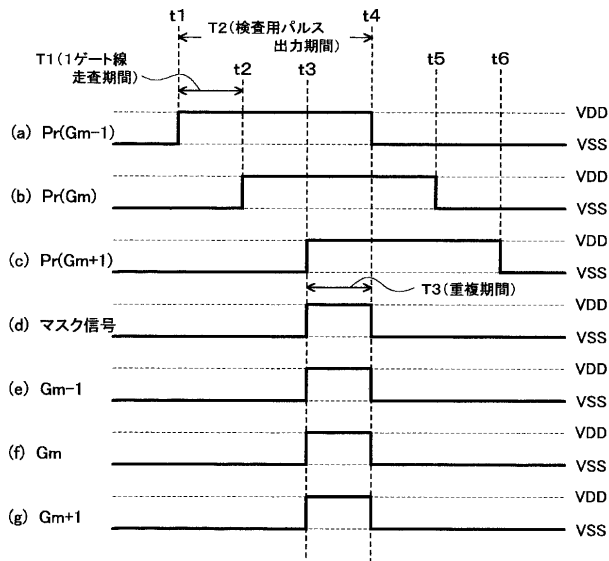
- 1, 1A, 1B 液晶表示装置、2 垂直走査回路、3 水平走査回路、4 (m-1), 4 (m), 4 (m+1) ゲート回路、5 液晶層、6 (n-1), 4 (n), 4 (n+1) スイッチ、7 増幅回路、11 検査装置、SW スイッチ、OP 演算増幅器、Gm-1, Gm, Gm+1 ゲート線、Dn-1, Dn, Dn+1 データ線、Smn 画素スイッチ、Cmn 画素容量、P 画素電極

【図1】

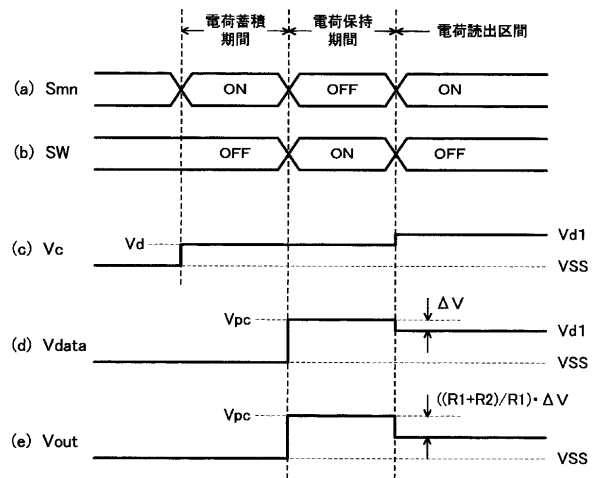


第1の実施の形態

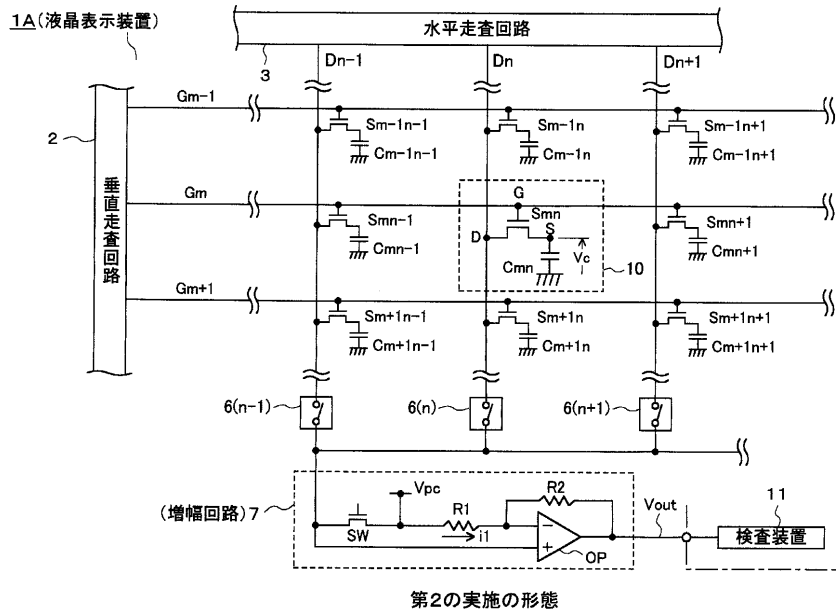
【図2】



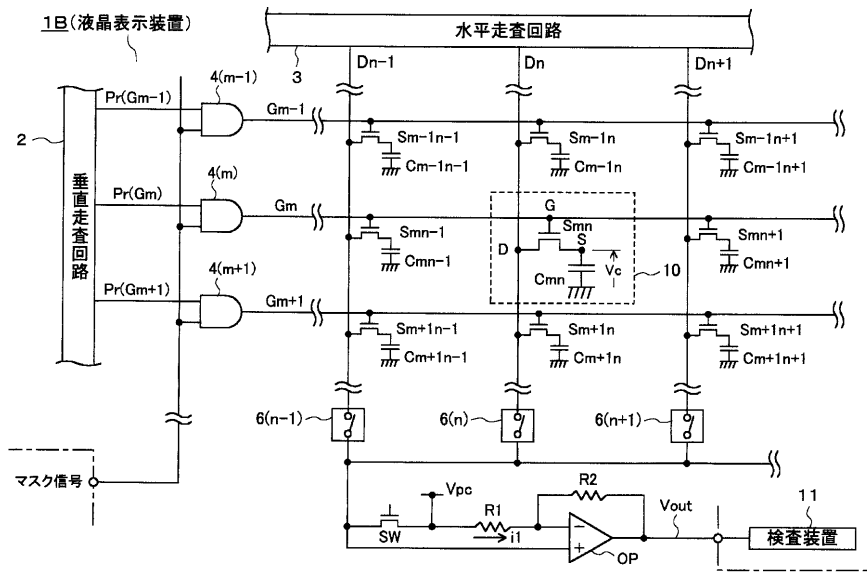
【図4】



【図3】

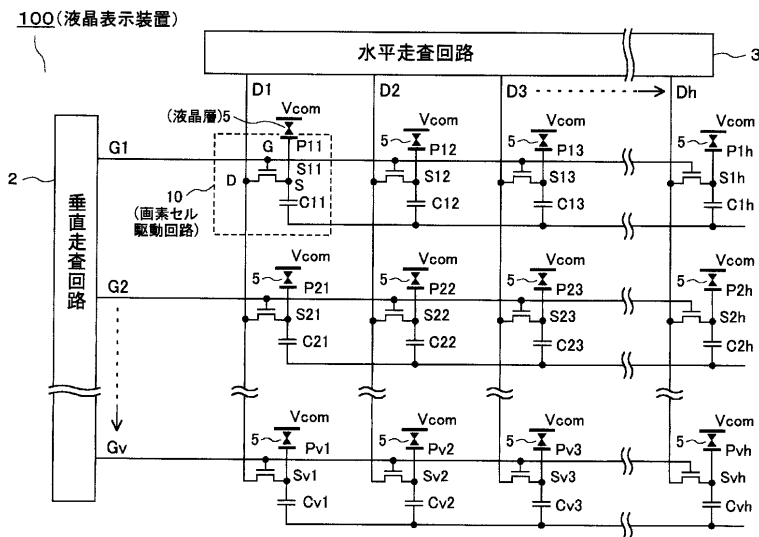


【図5】

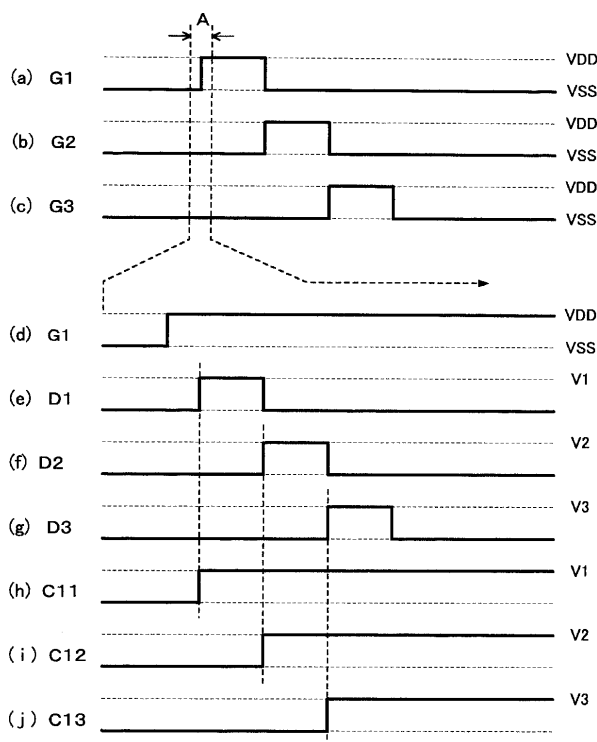


第3の実施の形態

【図6】



【図7】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 9 G 3/20	6 2 1	G 0 9 G 3/20	6 2 1 M 5 C 0 9 4
	6 7 0		6 7 0 Q 5 G 4 3 5
3/36		3/36	

(72)発明者 安部 仁
 神奈川県横浜市保土ヶ谷区神戸町134番地
 ソニー・エルエスアイ・デザイン株式会
 社内

F タ-ム(参考) 2G036 AA19 AA27 AA28 BA33 BB12
 2H088 FA12 FA13
 2H092 JB77 MA56 NA30
 5C006 BB16 BC03 BC11 BC20 BF25
 EB01 EB05 FA51
 5C080 AA10 BB05 DD15 DD25 DD28
 FF11 JJ02 JJ04
 5C094 AA43 BA03 BA43 CA19 EA03
 FB14 FB19 HA08
 5G435 AA17 BB12 CC09 EE37 KK09
 KK10 LL06 LL07 LL08

(72)発明者 安藤 直樹
 神奈川県横浜市保土ヶ谷区神戸町134番地
 ソニー・エルエスアイ・デザイン株式会
 社内

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2003043945A5	公开(公告)日	2004-10-07
申请号	JP2001236330	申请日	2001-08-03
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	折井俊彦 秋元修 安部仁 安藤直樹		
发明人	折井 俊彦 秋元 修 安部 仁 安藤 直樹		
IPC分类号	G09G3/36 G09F9/00 G02F1/13 G01R31/00 G09F9/30 G02F1/1368 G09G3/20 G02F1/1362		
CPC分类号	G02F1/136259 G02F2001/136254 G09G3/3648		
FI分类号	G09F9/00.352 G01R31/00 G02F1/13.101 G02F1/1368 G09F9/30.338 G09G3/20.621.M G09G3/20.670.Q G09G3/36		
F-TERM分类号	2G036/AA19 2G036/AA27 2G036/AA28 2G036/BA33 2G036/BB12 2H088/FA12 2H088/FA13 2H092/JB77 2H092/MA56 2H092/NA30 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF25 5C006/EB01 5C006/EB05 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD15 5C080/DD25 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ04 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA03 5C094/FB14 5C094/FB19 5C094/HA08 5G435/AA17 5G435/BB12 5G435/CC09 5G435/EE37 5G435/KK09 5G435/KK10 5G435/LL06 5G435/LL07 5G435/LL08 2H092/GA59 2H092/JA24 2H192/AA24 2H192/FB02 2H192/GD03 2H192/HB04 2H192/HB13 2H192/HB23 2H192/JB02		
其他公开文献	JP2003043945A JP3707404B2		

摘要(译)

(带更正) 解决的问题: 通过在形成作为半导体电路板的晶片的阶段进行检查来提高制造效率和制造成本。在检查构成液晶显示装置的半导体基板时, 将其存储在与从连接至一条数据线的像素开关中选择的多个像素开关连接的像素电容中。电荷从同一条数据线上同时读出。结果, 数据线上的电势变化变大。然后, 在该数据线上获得的电势变化被放大并输出为较大的电势变化, 用于检查。结果, 尽管由于液晶显示装置的小型化和高清晰度而导致像素电容与配线电容之比减小, 但仍可以根据像素单元驱动电路的缺陷状态准确地检测电势变化。成为