

(19)日本国特許庁（J P）

(12) **公開特許公報** (A)

(11)特許出願公開番号
特開2002－353457
(P2002－353457A)

(43)公開日 平成14年12月6日(2002.12.6)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		G 0 9 F 9/30	5 C 0 9 4
G 0 9 F 9/30	338	9/35	5 F 0 4 8
9/35		H 0 1 L 21/20	5 F 0 5 2
H 0 1 L 21/20		27/08	5 F 1 1 0
		331 E	
審査請求 未請求 請求項の数 4 O L (全 6 数) 最終頁に続く			

(21)出願番号 特願2001－156011(P2001－156011)

(22)出願日 平成13年5月24日(2001.5.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 佐野 浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 中崎 能彰

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外5名)

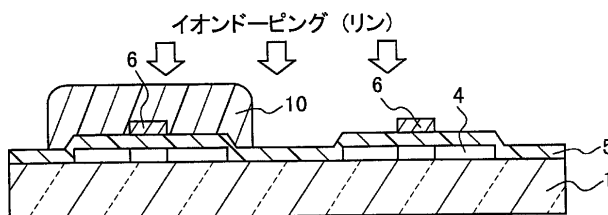
最終頁に続く

(54)【発明の名称】 薄膜トランジスタアレイ及びそれを用いた液晶表示装置

(57)【要約】

【課題】 T F Tを繰り返し作製した場合であっても充分な特性再現性を得ることができる薄膜トランジスタ及びそれを用いた液晶表示装置を提供する。

【解決手段】 基体上にpチャネル型薄膜トランジスタ及びnチャネル型薄膜トランジスタを有する薄膜トランジスタアレイであって、その製造工程において、pチャネル型薄膜トランジスタのソース・ドレイン領域及びnチャネル型薄膜トランジスタのソース・ドレイン領域に含まれるドナーの濃度が各々異なり、かつアクセプタの濃度も各々異なる。



【特許請求の範囲】

【請求項1】 基体上に半導体層により構成されるpチャネル型薄膜トランジスタ及びnチャネル型薄膜トランジスタを有する薄膜トランジスタアレイであって、その製造工程において、前記pチャネル型薄膜トランジスタのソース・ドレイン領域及び前記nチャネル型薄膜トランジスタのソース・ドレイン領域に含まれるドナーの濃度が各々異なり、かつアクセプタの濃度も各々異なることを特徴とする薄膜トランジスタアレイ。

【請求項2】 前記半導体層が多結晶シリコンにより構成されていることを特徴とする請求項1に記載の薄膜トランジスタアレイ。

【請求項3】 前記基体がガラス基板であることを特徴とする請求項1又は2記載の薄膜トランジスタアレイ。

【請求項4】 請求項1から3のいずれか一項に記載の薄膜トランジスタアレイを用いて構成されることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置やイメージセンサ等に応用される薄膜トランジスタアレイに関する。

【0002】

【従来の技術】近年、家庭用ビデオカメラのビューファインダやノート型パソコン等に液晶表示装置が搭載されているが、これらの液晶表示装置のなかでも高画質表示が可能なアクティブマトリックス型液晶表示装置が特に注目されている。このアクティブマトリックス型液晶表示装置には、画素電極のスイッチング素子として、薄膜トランジスタ(Thin Film Transistor:以下、「TFT」という。)が良く用いられている。

【0003】このような従来のTFTの例が、「International Electron Devices Meeting Technical Digest 91」の555頁から558頁(IEDM91, p. 555~558)において開示されている。以下に、その一例について、図5から図8に示す工程により製造されるTFTについて説明する。

【0004】図5において、まずガラス基板1上に非晶質シリコンを形成し、シリコンを結晶化させて、半導体層2を形成する。そして、図6に示すように半導体層2の上にゲート絶縁膜5が、さらにその上にゲート電極6が形成されている。また、不純物導入をする工程として、最終的にpチャネル型TFTを形成するソース・ドレイン領域3にアクセプタを導入している。

【0005】その後、図7に示すようにpチャネル型TFTのソース・ドレイン領域3及びnチャネル型TFTのソース・ドレイン領域4にドナーを導入する。このとき、pチャネル型TFTにはアクセプタ及びドナーの両

方が導入されることになるが、ドーパント濃度を調整することによって、最終的にはアクセプタのみが有効に機能するように調整する。そして、図8に示すように、層間絶縁膜7、コンタクトホール、ソース・ドレイン電極8、保護膜9を形成することによってTFTアレイが構成されることになる。

【0006】以上のように構成された従来のTFTにおいては、pチャネル型TFTのソース・ドレイン領域3とnチャネル型TFTのソース・ドレイン領域4においては、ドナーの濃度は同程度の濃度になっている。

【0007】

【発明が解決しようとする課題】しかしながら、上述したような構成のTFTアレイにおいては、TFTを繰り返し作製した場合に、十分な特性再現性を得ることができない場合が生じるという問題点があった。すなわち、ソース・ドレイン領域にドナー及びアクセプタの両方が含まれているために、ドーパントの濃度及び活性化状態等が均一ではなくバラツキを有する。したがって、ソース・ドレイン領域における抵抗値が安定せず、十分な特性再現性を得ることが困難になってしまうという問題である。

【0008】本発明は上記問題点を解消するために、TFTを繰り返し作製した場合であっても十分な特性再現性を得ることができる薄膜トランジスタ及びそれを用いた液晶表示装置を提供することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するために本発明にかかる薄膜トランジスタアレイは、基体上に半導体層により構成されるpチャネル型薄膜トランジスタ及びnチャネル型薄膜トランジスタを有する薄膜トランジスタアレイであって、その製造工程において、pチャネル型薄膜トランジスタのソース・ドレイン領域及びnチャネル型薄膜トランジスタのソース・ドレイン領域に含まれるドナーの濃度が各々異なり、かつアクセプタの濃度も各々異なることを特徴とする。

【0010】かかる構成により、ソース・ドレイン領域にアクセプタとドナーの両方が添加されることがなくなり、ソース・ドレイン領域における抵抗値が安定するため、十分な特性再現性を得ることが可能となる。

【0011】また、本発明にかかる薄膜トランジスタアレイは、半導体層が多結晶シリコンにより構成されることが好ましい。高性能な薄膜トランジスタによりCMOSを構成することができるからである。

【0012】また、本発明にかかる薄膜トランジスタアレイは、基体がガラス基板であることが好ましい。大面積の基板が安価で入手できるからである。

【0013】次に上記目的を達成するために本発明にかかる液晶表示装置は、上述したような薄膜トランジスタアレイを用いて構成されることを特徴とする。かかる構成により、ソース・ドレイン領域にアクセプタとドナー

の両方が添加されることがなくなり、ソース・ドレイン領域における抵抗値が安定するため、充分な特性再現性を得ることができる液晶表示装置を実現することが可能となる。

【0014】

【発明の実施の形態】以下、本発明の実施の形態にかかる薄膜トランジスタアレイについて、図面を参照しながら説明する。図1から図4には本発明の実施の形態にかかる薄膜トランジスタアレイの工程断面図を示しており、図5から図8には従来の薄膜トランジスタアレイの工程断面図を示している。

【0015】従来の薄膜トランジスタアレイにおいては、図6及び図7に示すように、pチャネル型TFTのソース・ドレイン領域3及びnチャネル型TFTのソース・ドレイン領域4のうち少なくとも一方の領域に、ドナー及びアクセプタの両方が添加されているのが通常である。

【0016】ドナー及びアクセプタの両方が添加されている理由としては、下記のような理由が考えられる。従来の技術では、不純物注入時におけるマスク材料としてレジストを用いることは困難であった。すなわち、不純物注入時に基板表面温度が上昇することから、レジストを除去することが困難になるためである。例えば、液晶表示装置等に用いられる熱伝導率比較的小さいガラスに形成したアレイの場合においては、当該温度上昇がより一層顕著となっている。したがって、レジストの代わりにゲート電極に使用する金属材料を注入マスクとして用いることで、レジストを使用しない構成としているのが一般的である。

【0017】しかし、例えばゲート電極材料をマスクに使用した場合には、図5から図8に示すように、1回目及び2回目の不純物注入時にpチャネル型TFTのソース・ドレイン領域3にアクセプタ及びドナーが添加されることになる。また、図5から図8に示すように、ゲート電極を注入マスクとして使用した場合には注入に関連するフォトリソグラフィーの工程は2回で済むのに対して、図1から図4に示すように、レジストを注入マスクに使用した場合にはフォトリソグラフィーの工程は3回になってしまう。このため、工程削減の観点からも図5から図8のような構成とするのが一般的である。

【0018】このように、ソース・ドレイン領域にアクセプタ及びドナーの両方が添加されると、アクセプタとドナーの両方の添加濃度や活性化状態のバラツキによって、TFT特性の再現安定性が問題になることがわかる。しかし、レジスト除去方法の進展や注入装置の改善も進歩しており、注入マスクとしてレジストを使用することも比較的容易になってきている。さらに、TFT特性の再現安定性をより高める必要もある。

【0019】したがって、pチャネル型TFTのソース・ドレイン領域3とnチャネル型TFTのソース・ドレ

イン領域4に不純物を別々に添加する等することにより、pチャネル型薄膜トランジスタのソース・ドレイン領域3及びnチャネル型薄膜トランジスタのソース・ドレイン領域4に含まれるドナーの濃度が異なり、かつアクセプタの濃度も異なっている構成とすることによって、ソース・ドレイン領域の抵抗値を安定化させることができ、ひいてはTFT特性の再現安定性を向上させることができる。

【0020】具体的には、まず図1において、ガラス基板1上に、半導体層2の前駆体として、プラズマCVD法により膜厚50nmの非晶質シリコンを成膜する。次に、450℃で1時間の熱処理を行うことによって、非晶質シリコン中の水素含有量を減少させる。これは、次の結晶化工程において、水素が突沸してシリコン膜が損傷するのを防ぐためである。

【0021】なお、本実施の形態においてはガラス基板1を用いているが、特にこれに限定されるものではなく、表面が絶縁性であるものであれば何でも良い。例えば、プラスチック基板や表面に絶縁膜を形成した金属板等であっても良い。

【0022】そして、例えば波長308nmのXeClレーザを約300mJ/cm²のエネルギー密度で照射することで、半導体層2として多結晶シリコンを形成する。

【0023】なお、本実施の形態においては、半導体層2として多結晶シリコンを使用しているが、CMOS構成の薄膜トランジスタアレイを構成できるものなら特に限定するものではなく、例えば単結晶シリコンや微結晶シリコン、シリコン・ゲルマニウム等であっても良い。

【0024】また、本実施の形態においては、半導体層2の前駆体を結晶化するためにXeClレーザ光を照射しているが、特にこれに限定されるものではなく、シリコン膜を溶融し瞬間的に固化して結晶化できる方法ならば何でも良く、例えばArイオンレーザ光の照射やRTA(rapid thermal annealing)法による熱アニール処理等であっても良い。

【0025】次に、図2に示すように、フォトリソグラフィー及びエッチングを用いて島状に加工し、その上にゲート絶縁層5としてプラズマCVD法により膜厚1000nmのSiO₂を形成する。そして、ゲート電極6として膜厚200nmのTaをスパッタ法により成膜し、フォトリソグラフィー及びエッチングを用いて加工する。

【0026】なお、本実施の形態においては、ゲート絶縁層としてプラズマCVD法により形成したSiO₂を用いているが、特にこれに限定されるものではなく、ゲート絶縁膜として機能するものなら何でも良い。例えば、減圧CVD法やスパッタ法、あるいはECR-CVD法等の成膜手法を用いて形成したSiO₂やSiNx、もしくはプラズマ酸化や高圧酸化等で形成したSi

O₂等であっても良い。

【0027】また、本実施の形態においては、ゲート電極としてTaを用いているが、かかる材料についても特に限定されるものではなく、電極として機能できるものであれば何でも良い。例えば、Al、Mo、Ti、Crやこれらを主成分とする合金金属等であっても良い。

【0028】次に、図3に示すように、フォトリソグラフィによってフォトレジスト11をnチャネル型TFTの上に形成する。そして、フォトレジスト11をイオン・ドーピング時のマスクとして用いて、ソース・ドレイン領域3を形成する。

【0029】次に、フォトレジスト11を除去した後、フォトリソグラフィによってフォトレジスト10をpチャネル型TFTの上に形成する。そして、フォトレジスト10をイオン・ドーピング時のマスクとして用いて、ソース・ドレイン領域4を形成する。

【0030】このとき、例えば高周波放電プラズマによりガスを分解してイオンを生成し、質量分離をせずに加速して注入する方法、いわゆるイオン・ドーピング法によって、水素ガスで希釈したジボランガス又はフォスフィンガスを用いて、各々アクセプタとなるホウ素又はドナーとなる燐を導入する。このようにすることで、450℃程度の熱処理によって不純物を活性化することが可能となる。

【0031】なお、本実施の形態においては、所定の元素を導入する方法としてイオン・ドーピング法を用いているが、特にこれに限定されるものではなく、所定の元素を導入できる方法ならば何でも良い。例えば、イオン注入法やプラズマドーピング法等であってもよい。

【0032】また、本実施の形態においては、ソース・ドレイン領域を形成するドナーとして燐を用いているが、これはnチャネル型薄膜トランジスタを作製する場合にドナーとして機能するものであれば特に限定されるものではなく、例えば砒素等であっても良い。

【0033】さらに、本実施の形態においては、ソース・ドレイン領域を形成するアクセプタとしてホウ素を用いているが、pチャネル型薄膜トランジスタを作製する場合にアクセプタとして機能するものであれば特に限定されるものではなく、例えばアルミニウム等であっても良い。

【0034】次に、図4に示すように、層間絶縁層7として例えば常圧CVD法により膜厚300nmのSiO₂を形成した後、フォトリソグラフィ及びエッチングによってコンタクトホールを形成する。さらに、ソース・ドレイン電極8を例えば膜厚500nmのTiを成膜して、加工する。そして、保護膜9として、例えば膜厚500nmのSiNxをPCVD法により形成した後、例えば基板温度300℃、圧力1 Torr (1×10⁻³ Pa)の水素雰囲気中において1時間の熱処理を行なうことで、薄膜トランジスタアレイが完

*成する。

【0035】なお、本実施の形態においては、ソース電極及びドレイン電極としてチタンを用いているが、特にこれに限定されるものではなく、電極として機能するのでありさえすれば何でも良い。例えば、クロム、タンタル、モリブデン、アルミニウム等の金属や不純物を大量にドーピングした多結晶シリコンやITO等の透明導電層等であっても良い。

【0036】また、本実施の形態においては、層間絶縁層として常圧CVD法により形成したSiO₂を用いているが、特にこれに限定されるものではなく、絶縁層として機能するものであれば何でも良い。例えば、減圧CVD法、プラズマCVD法、スパッタ法、又はECRCVD法等の成膜手法を用いて形成した窒化シリコンや酸化タンタル等であっても良い。

【0037】以上のように構成された実施の形態にかかる薄膜トランジスタアレイによれば、ソース・ドレイン領域にアクセプタとドナーの両方が添加されない構成であることから、pチャネル型TFTのソース・ドレイン領域及びnチャネル型TFTのソース・ドレイン領域の抵抗値が安定することにより、ソース・ドレイン領域の抵抗値の再現安定性が向上し、TFTアレイの特性の再現安定性を向上させることが可能となる。

【0038】

【発明の効果】以上のように本発明にかかる薄膜トランジスタアレイによれば、ソース・ドレイン領域にアクセプタとドナーの両方が添加されない構成のため、ソース・ドレイン領域の抵抗値の再現安定性が向上し、TFTアレイの特性の再現安定性を向上させることが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態にかかる薄膜トランジスタアレイにおける工程断面図

【図2】 本発明の実施の形態にかかる薄膜トランジスタアレイにおける工程断面図

【図3】 本発明の実施の形態にかかる薄膜トランジスタアレイにおける工程断面図

【図4】 本発明の実施の形態にかかる薄膜トランジスタアレイにおける工程断面図

【図5】 従来の薄膜トランジスタアレイにおける工程断面図

【図6】 従来の薄膜トランジスタアレイにおける工程断面図

【図7】 従来の薄膜トランジスタアレイにおける工程断面図

【図8】 従来の薄膜トランジスタアレイにおける工程断面図

【符号の説明】

1 ガラス基板

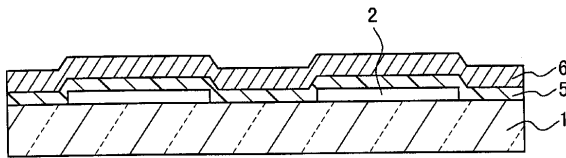
2 半導体層

- 7
3 ソース・ドレイン領域 (p型)
4 ソース・ドレイン領域 (n型)
5 ゲート絶縁層
6 ゲート電極
7 層間絶縁層

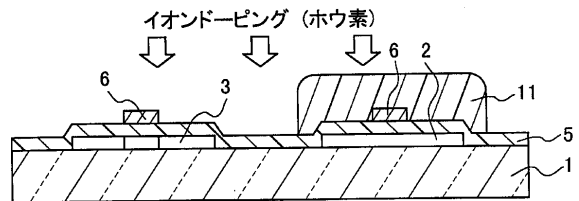
- 8
*8 ソース・ドレイン電極
9 保護膜
10 フォトリソグ (ホウ素導入マスク)
11 フォトリソグ (リン導入マスク)

*

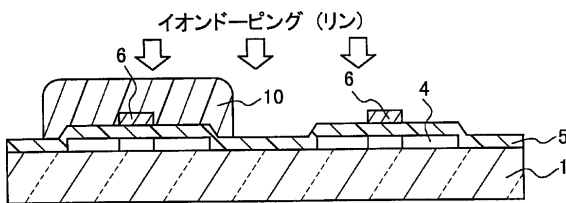
【図1】



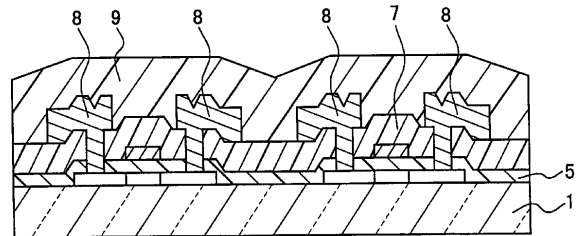
【図2】



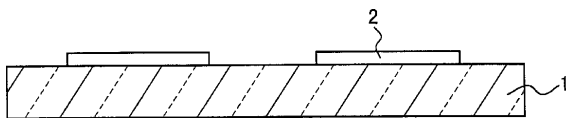
【図3】



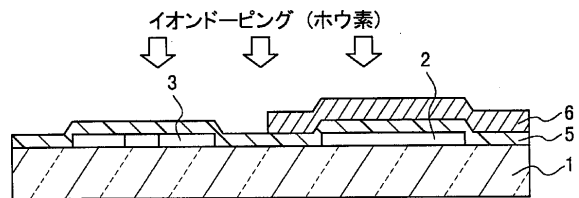
【図4】



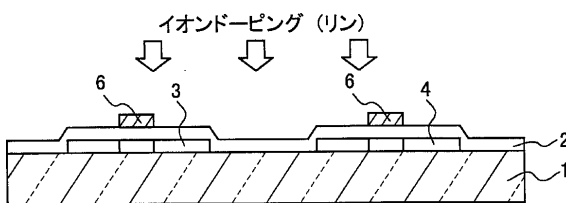
【図5】



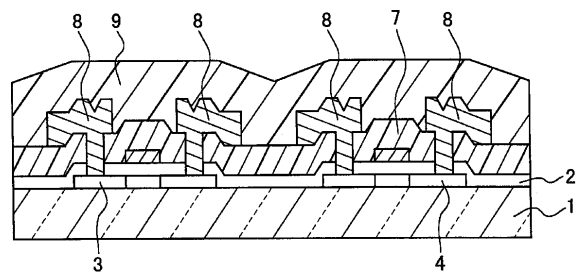
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁷
H01L 21/8238
27/08

識別記号
331

F I
H01L 29/78

テーマコード^{*} (参考)

616V
613A

27/092

27/08

3 2 1 E

F ターム(参考) 2H092 JA28 JA41 KA04 KA07 MA26
MA27 MA30 PA01
5C094 AA13 AA21 AA43 AA53 BA03
BA43 CA19 DA09 DA13 DB01
DB04 EB02 FA01 FB12 FB14
FB15 GB10
5F048 AC04 BA16 BB09 BC20 BE08
BG07
5F052 AA02 AA24 AA25 BB01 BB07
DA02 DB03 JA01 JA04
5F110 AA30 BB02 BB04 BB10 CC02
DD01 DD02 EE03 EE04 EE06
EE44 FF02 FF03 FF23 FF25
FF28 FF30 FF31 FF32 GG01
GG02 GG12 GG13 GG14 GG25
GG45 HJ01 HJ12 HJ13 HJ18
HJ23 HL03 HL04 HL07 HL08
NN03 NN04 NN22 NN23 NN24
NN34 NN35 NN72 NN78 PP02
PP03 PP04 PP35 QQ24

专利名称(译)	薄膜晶体管阵列和使用其的液晶显示装置		
公开(公告)号	JP2002353457A	公开(公告)日	2002-12-06
申请号	JP2001156011	申请日	2001-05-24
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	佐野浩 中崎能彰		
发明人	佐野 浩 中崎 能彰		
IPC分类号	G02F1/1368 G09F9/30 G09F9/35 H01L21/20 H01L21/8238 H01L27/08 H01L27/092 H01L29/786		
FI分类号	G02F1/1368 G09F9/30.338 G09F9/35 H01L21/20 H01L27/08.331.E H01L29/78.616.V H01L29/78.613.A H01L27/08.321.E H01L27/088.331.E H01L27/092.E		
F-TERM分类号	2H092/JA28 2H092/JA41 2H092/KA04 2H092/KA07 2H092/MA26 2H092/MA27 2H092/MA30 2H092/PA01 5C094/AA13 5C094/AA21 5C094/AA43 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA09 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EB02 5C094/FA01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GB10 5F048/AC04 5F048/BA16 5F048/BB09 5F048/BC20 5F048/BE08 5F048/BG07 5F052/AA02 5F052/AA24 5F052/AA25 5F052/BB01 5F052/BB07 5F052/DA02 5F052/DB03 5F052/JA01 5F052/JA04 5F110/AA30 5F110/BB02 5F110/BB04 5F110/BB10 5F110/CC02 5F110/DD01 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF23 5F110/FF25 5F110/FF28 5F110/FF30 5F110/FF31 5F110/FF32 5F110/GG01 5F110/GG02 5F110/GG12 5F110/GG13 5F110/GG14 5F110/GG25 5F110/GG45 5F110/HJ01 5F110/HJ12 5F110/HJ13 5F110/HJ18 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL07 5F110/HL08 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN34 5F110/NN35 5F110/NN72 5F110/NN78 5F110/PP02 5F110/PP03 5F110/PP04 5F110/PP35 5F110/QQ24 2H192/AA24 2H192/CB02 2H192/CB53 2H192/HA84 2H192/HA90 5F152/AA13 5F152/BB02 5F152/CC02 5F152/CC04 5F152/CC05 5F152/CE05 5F152/CE06 5F152/CE14 5F152/CE24 5F152/CE45 5F152/FF03 5F152/FF04 5F152/FF11 5F152/FG18		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种即使重复制造TFT也能够获得足够的特性再现性的薄膜晶体管，以及使用该薄膜晶体管的液晶显示装置。薄膜晶体管阵列在其制造过程中包括在基板上具有p沟道型薄膜晶体管和n沟道型薄膜晶体管，p沟道型薄膜晶体管的源/漏区和n沟道型薄膜晶体管的源/漏区的薄膜晶体管阵列。每个供体具有不同的浓度，每个受体具有不同的浓度。

