

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2002 - 350802

(P2002 - 350802A)

(43)公開日 平成14年12月4日(2002.12.4)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト [*] (参考)
G 0 2 F 1/13	101	G 0 2 F 1/13	2 H 0 8 8
	1/1343		2 H 0 9 2
G 0 9 F 9/00	352	G 0 9 F 9/00	5 C 0 9 4
	9/30		5 G 4 3 5
	338		
		338	

審査請求 未請求 請求項の数 3 O L (全 3 数) 最終頁に続く

(21)出願番号 特願2001 - 157024(P2001 - 157024)

(22)出願日 平成13年5月25日(2001.5.25)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 米谷 善唯

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100112128

弁理士 村山 光威

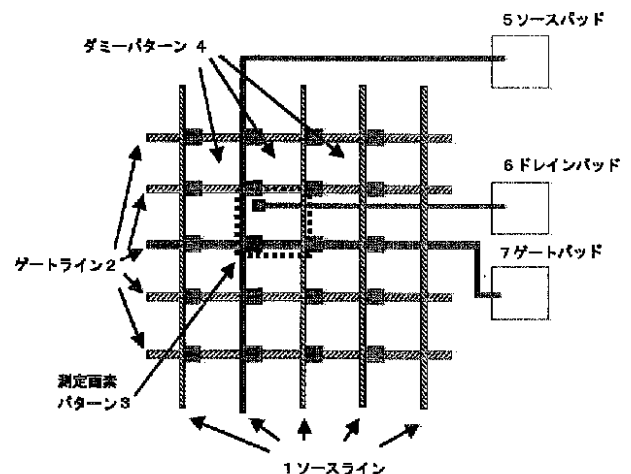
最終頁に続く

(54)【発明の名称】 液晶表示装置およびその製造方法

(57)【要約】

【課題】 液晶表示装置のT F T薄膜トランジスタ形成工程において、トランジスタ特性を評価するテストパターンと画素本体内のパターンの密度差からドライエッチによるローディング効果で、加工形状が異なり、特性に差が現れる。そのローディング効果を軽減する液晶表示装置を提供する。

【解決手段】 液晶表示装置のアレイ基板における画素本体の周辺に、画素本体内と同一パターンで、画素本体の特性評価に用いられる測定画素パターン3を形成するとともに、この測定画素パターン3の周辺を囲むように、画素本体内と同一パターンのダミーパターン4を形成する。測定画素パターン3を測定するために測定用針当てパッドへ配線し、ソースパッド5、ドレインパッド6、ゲートパッド7へ取りだし針を当てて測定する。



【特許請求の範囲】

【請求項 1】 液晶表示素子のアレイ基板における画素本体の周辺に、前記画素本体内部と同一パターンで、前記画素本体の特性評価に用いられる測定画素パターンと、前記測定画素パターンの周辺を囲むように配され前記画素本体内部と同一パターンのダミーパターンとからなるテストパターンを設けたことを特徴とする液晶表示装置。

【請求項 2】 ダミーパターンを画素本体内部と同一パターンにすることにより、通常のブロック状のダミーパターンを配することで起こりうる静電気の影響を無くしたことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】 液晶表示素子のアレイ基板における画素本体の周辺に、前記画素本体内部と同一パターンで、前記画素本体の特性評価に用いられる測定画素パターンを形成するとともに、前記測定画素パターンの周辺を囲むように前記画素本体内部と同一パターンのダミーパターンを形成することを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ (TFT) 液晶表示装置に係り、特に、液晶表示装置のアレイ基板における特性評価用のテストパターンに関するものである。

【0002】

【従来の技術】従来、特に半導体のような微細加工を必要とする場合には、ドライエッチ技術によるローディング効果抑制のためにパターン未形成領域にダミーパターンを形成する。ローディング効果とはパターンの密度差によってドライエッチングの製造工程で加工形状が異なる現象である。

【0003】以下に従来の液晶表示装置のアレイ工程テストパターンについて説明する。アレイ工程テストパターンとは、画素本体内部のパターンの特性を調べるために、画素本体内部のパターンを取り出したものと、測定用針当てパッドおよび取りだし配線で構成される。

【0004】図 2 は、従来のテストパターンの構造を示したものであり、トランジスタ用のテストパターンの平面図である。図 2 において、1 はソースライン、2 はゲートライン、3 は画素本体内部のトランジスタと同一パターンを一つ取り出した測定画素パターンである。測定画素パターン 3 を測定するために測定用針当てパッドへ配線し、ソースパッド 5、ドレインパッド 6、ゲートパッド 7 へ取りだし針を当てて測定を行う。

【0005】

【発明が解決しようとする課題】しかしながら、上記の従来例の構成では、テストパターンは様々なパターンが存在するため広い領域が必要となり、通常、画素本体内部の周辺に配置され、特にトランジスタ用テストパターンのようなものでは、図 2 の測定画素パターン 3 の周辺にパターンが存在しないために、トランジスタ形成のため

*の工程であるドライエッチによるローディング効果により、画素本体内部と加工状態が異なって、トランジスタ特性に差が生ずるという問題があった。

【0006】本発明は、このような従来の問題点を解決し、ドライエッチのローディング効果を低減するようにした液晶表示装置およびその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】この目的を達成するために、本発明は、テストパターン内部にある測定画素パターンを画素本体内部と同一にするとともに、測定画素パターンの周辺部に画素本体内部と同一パターンのダミーパターンを配置する構成としたものである。

【0008】

【発明の実施の形態】以下、発明の実施の形態について図面を参照しながら説明する。

【0009】図 1 は、本発明の一実施の形態におけるトランジスタ用のテストパターンを示したものである。図 1 において、1 はソースライン、2 はゲートライン、3 は画素本体内部と同一の画素パターンを一つ取り出した測定画素パターンである。測定画素パターン 3 を中心に、その周辺に画素本体内部と同一の画素パターンをダミーパターン 4 として配置する。また、測定画素パターン 3 を測定するために測定用針当てパッドへ配線し、ソースパッド 5、ドレインパッド 6、ゲートパッド 7 へ取りだし針を当てて測定を行う。

【0010】図 2 の構成と異なるのは、測定画素パターン周辺に画素本体内部と同一のダミーパターンを配置して、従来問題であった測定画素パターンと画素本体内部パターンとの密度差を無くすようにしたことである。ダミーパターンは測定画素パターンを中心にしてそれを囲むように周辺に配置し、密度差を無くすには片側 5 つの画素パターン以上の配置をすることが必要である。

【0011】また、ダミーパターンとして、従来ブロック状のパターンが通常用いられるが、液晶表示装置では静電気を帯びやすく、したがって、ブロック状のパターンは静電気を考慮すると不適であるため、本発明はその点を考慮したパターンを使用する。

【0012】

【発明の効果】以上説明したように、本発明によれば、特性評価用のテストパターン内のトランジスタ測定パターンである測定画素パターンを中心にして、画素本体内部と同一パターンを測定画素パターンの周辺に設けることにより、トランジスタ形成工程におけるドライエッチによるローディング効果を抑制でき、画素本体内部と同一のトランジスタ特性をテストパターンで得ることが実現できる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態におけるテストパターンの平面図

【図2】従来技術におけるテストパターンの平面図

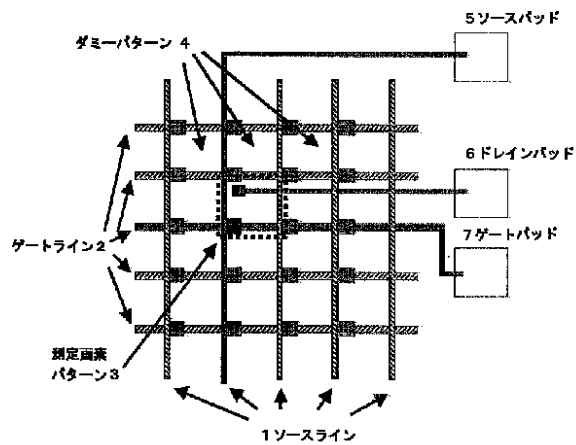
【符号の説明】

- 1 ソースライン
2 ゲートライン
3 測定画素パターン

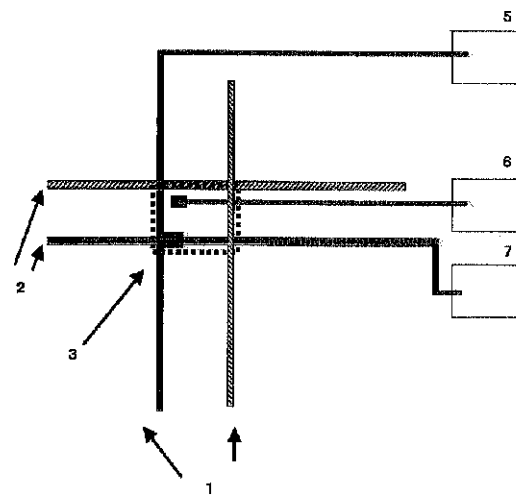
- *4 ダミーパターン
5 ソースパッド
6 ドレインパッド
7 ゲートパッド

*

【図1】



【図2】



フロントページの続き

(51)Int.Cl.⁷
G 0 9 F 9/35

識別記号

F I
G 0 9 F 9/35

テ-マ-コード (参考)

F タ-ム(参考) 2H088 FA12 FA13 MA20
2H092 JB77 NA30 PA06
5C094 AA42 AA43 BA03 BA43 CA19
DA13 EA01 EA03 FA01 FB12
FB14 FB15 GB10
5G435 AA16 AA17 AA19 BB12 CC09
EE37 GG31 HH12 HH13 HH14
KK05

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2002350802A	公开(公告)日	2002-12-04
申请号	JP2001157024	申请日	2001-05-25
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	米谷善唯		
发明人	米谷 善唯		
IPC分类号	G02F1/13 G02F1/1343 G09F9/00 G09F9/30 G09F9/35		
FI分类号	G02F1/13.101 G02F1/1343 G09F9/00.352 G09F9/30.330.Z G09F9/30.338 G09F9/35 G09F9/30.330		
F-TERM分类号	2H088/FA12 2H088/FA13 2H088/MA20 2H092/JB77 2H092/NA30 2H092/PA06 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA01 5C094/EA03 5C094/FA01 5C094/FB12 5C094/FB14 5C094/FB15 5C094/GB10 5G435/AA16 5G435/AA17 5G435/AA19 5G435/BB12 5G435/CC09 5G435/EE37 5G435/GG31 5G435/HH12 5G435/HH13 5G435/HH14 5G435/KK05 2H092/JA24		
外部链接	Espacenet		

摘要(译)

在液晶显示装置的TFT薄膜晶体管形成工艺中，由于用于评估晶体管特性的测试图案与像素体中的图案之间的密度差异，由于干法刻蚀产生的加载效果，加工形状会有所不同，并且会出现特性差异。提供了一种降低装载效果的液晶显示装置。SOLUTION：在液晶显示装置的阵列基板上，在像素主体的周边上以与像素主体相同的图案形成用于像素主体的特性评估的测量像素图案3，并形成测量像素图案3的周边。具有与像素主体中的图案相同的图案的伪图案4被形成为围绕它。为了测量测量像素图案3，对测量针垫进行布线，并且使取出针与源焊盘5，漏极垫6和栅极垫7接触以进行测量。

