

(19)日本国特許庁（J P）

(12) **公開特許公報** (A)

(11)特許出願公開番号

特開2002－203970

(P2002－203970A)

(43)公開日 平成14年7月19日(2002.7.19)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 29/786		G 0 2 F 1/1368	2 H 0 9 2
G 0 2 F 1/1368		G 0 9 F 9/30	338 5 C 0 9 4
G 0 9 F 9/30	338	H 0 1 L 29/78	616 S 5 F 1 1 0
H 0 1 L 21/336			612 D
			616 T
審査請求 未請求 請求項の数 7 O L (全 6 数)			

(21)出願番号 特願2000－401843(P2000－401843)

(22)出願日 平成12年12月28日(2000.12.28)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 瀬角 康人

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100062144

弁理士 青山 葆 (外 1 名)

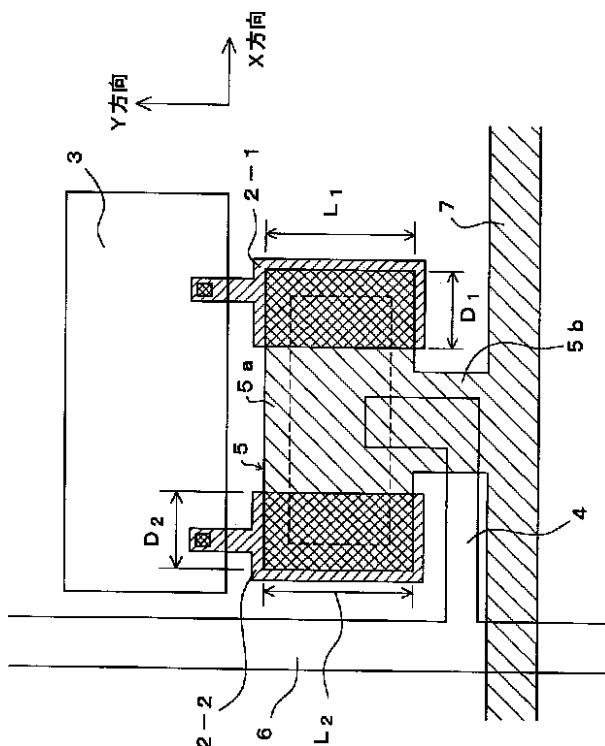
最終頁に続く

(54)【発明の名称】 薄膜トランジスタ及びそれを用いた液晶表示装置

(57)【要約】

【課題】 製造工程時のゲート・ドレイン間の形成容量の変動を低減する薄膜トランジスタ、及び、画像表示上の品質不良を低減する液晶表示装置を提供する。

【解決手段】 画素電極と、画素電極にドレイン電極を介して接続されてなる薄膜トランジスタとをマトリクス状に配列してなる液晶表示装置において、薄膜トランジスタは、そのゲート電極5の対向する2つの端部のうちの一の端部を含むゲート電極の領域と重なるように形成された第一のドレイン電極2－1と、第一のドレイン電極2－1と対称に形成され、かつ、ゲート電極5の他の端部を含むゲート電極の領域と重なるように形成された第二のドレイン電極2－2とを有する。



【特許請求の範囲】

【請求項1】 ドレイン電極とゲート電極を有した薄膜トランジスタにおいて、

前記ゲート電極に対して前記ドレイン電極の位置関係が、所定の位置関係からずれた場合でも、ゲート電極とドレイン電極との重なり部分で生じる形成容量が一定となるように、形成容量の変化を抑制する容量変動抑制手段を有することを特徴とする薄膜トランジスタ。

【請求項2】 前記容量変動抑制手段は、前記ゲート電極とドレイン電極の重なり部分において、ゲート電極とドレイン電極間の位置関係が所定の位置関係からずれた場合に形成容量を増加させる形成容量増加手段と、ゲート電極とドレイン電極間の位置関係が所定の位置関係からずれた場合に形成容量を減少させる形成容量減少手段とを備えたことを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 前記ゲート電極が対向する2つの端部と該2つの端部を結ぶ方向に対して直交方向に設けられた1つの端部とからなる略T字状形状を有する場合に、前記形成容量増加手段は、前記ゲート電極の対向する2つの端部のうちの1つの端部を含むゲート電極の領域と重なるように形成された第1のドレイン電極からなり、前記形成容量減少手段は、前記第1のドレイン電極と対称に形成され、かつ、ゲート電極の対向する2つの端部のうちの他の端部を含むゲート電極の領域と重なるように形成された第2のドレイン電極からなることを特徴とする請求項2記載の薄膜トランジスタ。

【請求項4】 前記ゲート電極の対向する2つの端部の形状はそれぞれ矩形であることを特徴とする請求項3記載の薄膜トランジスタ。

【請求項5】 前記ゲート電極の対向する2つの端部の形状はそれぞれ円弧形状であることを特徴とする請求項3記載の薄膜トランジスタ。

【請求項6】 前記ゲート電極の対向する2つの端部の形状はそれぞれ三角形であることを特徴とする請求項3記載の薄膜トランジスタ。

【請求項7】 請求項1ないし請求項6のいずれかに記載の薄膜トランジスタをマトリクス状に配して各画素の表示制御に用いることを特徴とする液晶表示装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、液晶表示装置に好適な薄膜トランジスタに関し、さらに、アクティブマトリクス型液晶パネルのような薄膜トランジスタをスイッチング素子として用いる液晶表示装置に関する。

【0002】

【従来の技術】 近年、CRTディスプレイの分野において、軽量薄型の実現、省電力及び省スペースといった利点から液晶表示装置が徐々にシェアを広げつつある。その理由として、液晶ディスプレイの品質の向上に対する

販売価格の低下や、液晶製造技術の進歩による大型液晶パネルの商用ベースでの供給が可能になってきたことがあげられる。

【0003】 図4に従来のアクティブマトリクス型液晶表示装置の回路図を示す。同図に示すように信号配線6と走査配線7とが互いに直交する方向に複数設けられており、その交差部毎に薄膜トランジスタ1aが設けられている。薄膜トランジスタ1aのドレイン電極2は、画素電極3と電気的に接続されている。この画素電極3により液晶表示の1つの画素における表示が制御される。信号配線6と、トランジスタ1aのソース電極4とが電気的に接続され、走査配線7と、トランジスタ1aのゲート電極5とが電気的に接続されている。

【0004】 図5は、図4に示す回路の1つの画素に対応する部分の具体的な構造を示す図である。図5は、アモルファスシリコン（以下「a-Si」という。）に代表される半導体材料からなる薄膜トランジスタ1aをスイッチング素子として集積化した場合の単位画素の平面図である。前述の通り、薄膜トランジスタ1aは信号電圧を供給するソース電極4と、走査電圧を供給するゲート電極5、及び、画素電極3に薄膜トランジスタ1aを介して信号電圧を供給するドレイン電極2とで構成される。

【0005】 それぞれの電極は以下の工程を経て形成される。すなわち、まず、膜を蒸着した上に、感光性ポリイミド膜（以下「レジスト膜」という。）を塗布する。その後、Crで形成されたマスク上のパターンを例えば紫外線を用いて基板上のレジスト膜に転写する露光工程、紫外線が照射されたレジストの感光部を除去する現像工程、さらにレジスト膜より露出した部分の蒸着膜を除去するエッチング工程が行なわれる。

【0006】 図6は、図5中のA-A'線上の断面を示した図である。ガラス基板8上に、まずゲート電極5が形成され、その上にSiH₄系ガスを主成分とするグロー放電分解により例えばSi₃N₄よりなるゲート絶縁層9とa-Si層を全面に堆積して、島状のa-Si層10を形成する。その上層に例えばSi₃N₄よりなるエッチングストッパー層12を形成し、その上層にオーミック性を改善するためのドナーまたはアクセプタとなる例えば燐を含んだa-Si層11、及び、ソース電極、ドレイン電極及びそれに接続されてなる信号配線6、走査配線7を同時に形成する。

【0007】

【発明が解決しようとする課題】 液晶パネルの高密度化及び大画面化にともない、画像表示性能の向上が切望されている。しかしながら上記のような構成では、高密度化に伴うトランジスタサイズの縮小化により、画像表示性能の維持や向上に困難性が高くなってきた。その課題の一つがフリッカーの低減である。

【0008】 このフリッカーは、駆動回路への高負荷化を招き、それに伴うコストアップ、さらには、画像品質

の高品質化が図れず経済的機会損失によるロスコストを生じる。このように、液晶分野の経済性及び品質の面で重要な課題である。

【0009】図5において、ゲート電極5とドレイン電極2の交差部においては形成容量(Cgd)が存在する。この形成容量は、画像表示駆動時の走査信号をオフしたときに、画素電極3に印加された電圧を引き下げたまま、正規の電圧が画素電極3に印加できない原因になるものである。この形成容量は液晶パネル全体で均一であれば、例えば、信号電圧にオフセット電圧を加え印加電

10 圧の底上げを行うことにより改善可能であるが、液晶パネル全体で不均一のときにフリッカーが発生する。

【0010】形成容量の不均一は、前述の露光工程における露光装置の性能(例えばゲート電極5の形成パターンに対するドレイン電極2の形成パターンの位置合わせ精度)や液晶パネルにおける局所的な位置合わせ精度の低下(以下「合わせズレ」という。)により発生する。すなわち、合わせズレによりゲート電極5とドレイン電極2の重なり部の面積が画素毎に様でなくなり、画素毎の形成容量値が異なってしまう。これにより、液晶パ

20 ネルに局所的にフリッカーが発生する。この対策として、露光装置の性能を極限まで高めて、前述の合わせズレを除去することが考えられるが、複数台の露光装置間の位置合わせ精度のバラツキや各露光装置が有する特性を合致させて、液晶表示に用いる薄膜トランジスタを生産することは、露光装置の管理や運用を考慮すると、現実には不適當である。

【0011】特に、画素電極3の配置がデルタ配置で信号配線6の引き出しが横方向に交互に左右に引き出されている場合は、ゲート電極とドレイン電極の各々のレイ

30 ャーのずれで生ずる画素各々の形成容量の増減が隣合う画素毎に異なり、フリッカーの発生傾向が異なり、画面全体で一様でなく、フリッカー対策に困難性を伴う。

【0012】本発明は上記課題に鑑みてなされたものであり、ゲート電極とドレイン電極間の交差部の面積の局所的な合わせズレが発生した場合でも、その間の形成容量の変動を抑制した薄膜トランジスタ及びその薄膜トランジスタを用いて画像品質の低下を抑制した液晶表示装置を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明に係る薄膜トランジスタは、正常な画像品質の維持に必要な、ゲート電極とドレイン電極間の交差部の面積の局所的な合わせズレを補正する構造を有する。

【0014】より、具体的には、本発明に係る薄膜トランジスタは、ドレイン電極とゲート電極を有した薄膜トランジスタにおいて、ゲート電極に対してドレイン電極の位置関係が、所定の位置関係からずれた場合でも、ゲート電極とドレイン電極との重なり部分で生じる形成容量が一定となるように、形成容量の変化を抑制する容量

変動抑制手段を有する。

【0015】容量変動抑制手段は、ゲート電極とドレイン電極の重なり部分において、ゲート電極とドレイン電極間の位置関係が所定の位置関係からずれた場合に形成容量を増加させる形成容量増加手段と、ゲート電極とドレイン電極間の位置関係が所定の位置関係からずれた場合に形成容量を減少させる形成容量減少手段とからなってもよい。

【0016】ゲート電極が対向する2つの端部と該2つの端部を結ぶ方向に対して直交方向に設けられた1つの端部とからなる略T字形状を有する場合は、形成容量増加手段は、ゲート電極の対向する2つの端部のうちの1つの端部を含むゲート電極の領域と重なるように形成された第1のドレイン電極からなるのが好ましい。また、形成容量減少手段は、第1のドレイン電極と対称に形成され、かつ、ゲート電極の対向する2つの端部のうちの他の端部を含むゲート電極の領域と重なるように形成された第2のドレイン電極からなるのが好ましい。

【0017】ゲート電極の対向する2つの端部の形状はそれぞれ、矩形、円弧、三角形の形状を有していてもよい。

【0018】請求項1ないし請求項6のいずれかに記載の薄膜トランジスタをマトリクス状に配して各画素の表示制御に用いることを特徴とする液晶表示装置。

【0019】

【発明の実施の形態】以下、添付の図面を参照しながら本発明に係る薄膜トランジスタ及びそれを用いた表示装置の実施の形態を詳細に説明する。

【0020】(実施の形態1)図1は本発明に係る液晶表示装置に使用される薄膜トランジスタ及びその周辺部を示した図である。薄膜トランジスタは液晶表示装置の画素毎に設けられ、各画素の表示制御に使用される。同図に示すように薄膜トランジスタはソース電極4と、ドレイン電極2-1、2-2と、ゲート電極5とを有する。ゲート電極5は矩形の電極部分5aとそれに接続する配線接続部分5bとからなる略T字形状を有しており、配線接続部分5bを介して走査配線7と電気的に接続されている。ドレイン電極2-1、2-2は、ゲート電極5の横長の電極部分の両端にそれぞれ配置され、ゲート電極5の端部を包含するように形成される。ドレイン電極2-1、2-2は、ゲート電極5に対して対称に形成されている。ソース電極4は信号配線6に電気的に接続されている。

【0021】以上のようにゲート電極5に対して対称にドレイン電極2-1、2-2を配置することにより、ゲート電極5とドレイン電極2-1、2-2との間でX方向に合わせズレが生じた場合、一方のドレイン電極とゲート電極間ではそれらの交差部分の面積(以下「交差面積」という。)が増加し、他方のドレイン電極とゲート電極間では交差面積が減少する。結果として、全体にお

いて交差面積の増減が相殺されて一定値に保持される。つまり、薄膜トランジスタの製造時におけるドレイン電極とゲート電極間の合わせズレの発生時において、ドレイン電極2-1、2-2とゲート電極5の重なり部分の一方が形成容量(Cgd)を増加させる手段として機能し、他方が形成容量を減少させる手段として機能する。これにより、ゲート電極5とドレイン電極2-1、2-2間の合わせズレがあっても、ゲート電極5とドレイン電極2-1、2-2間の形成容量を全体として一定に保持することができる。したがって、このような薄膜トランジスタを用いた液晶表示装置では画面全体のフリッカを低減できる。

【0022】以下、薄膜トランジスタの形成容量の変動の抑制について説明する。図1において、横方向をX方向、縦方向をY方向とし、ドレイン電極2-1とゲート電極5との重なり部分のX方向の長さをD1、Y方向の長さをL1とする。同様に、ドレイン電極2-2とゲート電極5との重なり部分のX方向の長さをD2、Y方向の長さをL2とする。ゲート電極5とドレイン電極2-1との交差部分の面積(以下「交差面積」という。)をS1、ゲート電極5とドレイン電極2-2との交差面積をS2とすると、それらは次式で求まる。

$$S1 = L1 \times D1$$

$$S2 = L2 \times D2$$

【0023】ゲート電極5とドレイン電極2-1、2-2との交差面積の合計Sは次の様になる。

$$S = S1 + S2 = L1 \times D1 + L2 \times D2$$

【0024】一方のドレイン電極2-1と、他方のドレイン電極2-2とは、同一の露光工程により同時に形成されることから、ゲート電極5に対する対称性は変化することがない。又、対称性を有することから、 $L1 = L2$ かつ $D1 = D2$ である。また、ドレイン電極2-1、2-2のY方向における長さは、ゲート電極5とドレイン電極2-1、2-2との間の合わせズレがY方向に生じたときでも、それらの交差面積S1、S2が変化しないよう、十分なマージンを持って決定されている。

【0025】今、前述の露光装置におけるゲート電極5に対するドレイン電極2-1、2-2の合わせズレとしてX方向にDxのズレが発生した場合を考える。ゲート電極5に対するドレイン電極2-1、2-2の交差面積をそれぞれS1'、S2'とし、その合計面積をS'とすると、それらの値は次式で求まる。

$$S1' = (D1 - Dx) \times L1$$

$$S2' = (D2 + Dx) \times L2$$

$$S' = S1' + S2' = L1 \times D1 + L2 \times D2$$

すなわち、合わせズレが発生した後の面積S'は、そのズレが発生しない場合の面積Sと同じである。

【0026】同様に、合わせズレとしてY方向にDyのズレが発生した場合、ドレイン電極2-1、2-2のY方向における長さは、合わせズレに対して十分なマージ

ンを持って決定されているため、

$$S1' = L1 \times D1$$

$$S2' = L2 \times D2$$

$$S' = S1' + S2' = L1 \times D1 + L2 \times D2$$

となり、この場合にも合わせズレが発生した後の面積S'は、ズレが発生しない場合の面積Sと同じである。

【0027】以上のように、本実施形態の薄膜トランジスタでは、合わせズレが発生しても、ゲート電極5とドレイン電極2-1、2-2との交差面積は一定に保たれ、そこに発生する形成容量を全体で均一に保持することができる。このような薄膜トランジスタを用いた液晶表示装置では、画像品質の劣化、特にフリッカーの発生を容易に抑えることができ、製造上のロスコストの低減が図れる。

【0028】図2に、本発明に係る薄膜トランジスタのゲート電極5及びドレイン電極2-1、2-2の形状の変形例を示す。図2の(a)では、ゲート電極5の電極部は両端において円弧形状部分を有した形状である。図2の(b)では、ゲート電極5の電極部は両端において三角形形状部分を有している。図2に示すようなゲート電極5の形状の場合であっても、ドレイン電極2-1、2-2を、ゲート電極5の各端において、その電極部分を所定のマージンを有して包含するように構成することにより、ゲート電極5及びドレイン電極2-1、2-2形成時の合わせズレがあっても、全体としてそのズレの影響を緩和することができる。

【0029】(実施の形態2)図3は実施の形態1の薄膜トランジスタ1を使用した液晶表示装置の回路図である。図3に示す回路はアクティブマトリクス型の液晶表示装置における回路である。液晶表示装置は一对の基板間に液晶が封入されており、一方の基板上にマトリクス状に配列された画素電極を有しており、この画素電極に所定の電圧を印加することによって基板間の液晶の状態を変化させ、光の透過率を制御することにより所望の画像表示を得る。

【0030】図3に示すように、信号配線6と走査配線7とが互いに直交する方向に複数設けられており、走査配線7と信号配線6の交差部毎に本実施形態の薄膜トランジスタ1が設けられている。信号配線6と、トランジスタ1のソース電極4とが電氣的に接続され、走査配線7と、トランジスタ1のゲート電極5とが電氣的に接続されている。また、画素電極3とドレイン電極2が電氣的に接続されている。

【0031】一つの画素に映像信号を書き込む際は、走査配線7に走査パルスを印加して同一行のトランジスタ1をオンさせ、このトランジスタ1を介して信号電圧を信号配線(yj、yj+1・・・)6から画素電極3に印加することにより、映像信号を画素電極3に書き込む。その後、行方向(xi、xi+1)に順次走査することにより画像表示機能が実現できる。

【0032】実施の形態1の薄膜トランジスタを以上のようにして液晶表示装置に用いることにより、薄膜トランジスタの製造工程時にゲート電極とドレイン電極間の合わせズレが発生した場合でも、各画素の形成容量の変動が抑制されるため、液晶表示装置において、フリッカの発生を抑えることができ、画像品質の劣化を防止できる。

【0 0 3 3】

【発明の効果】本発明によれば、薄膜トランジスタにおいて、製造工程時にゲート電極に対するドレイン電極の局部的合わせズレが発生しても、その交差部の形成容量の変動を抑制でき、液晶パネル全体で均一にすることができる。したがって、そのような薄膜トランジスタを液晶表示装置に使用することにより、液晶表示装置における画像品質の劣化、特にフリッカーの発生を容易に抑えることができ、製造上のロスコストの低減が図れる。

【図面の簡単な説明】

【図1】 本発明に係る薄膜トランジスタの構成図

【図2】 本発明に係る薄膜トランジスタの変形例を示*

*した図

【図３】 本発明に係る薄膜トランジスタを使用したアクティブマトリクス型液晶表示装置の表示部の等価回路

【図４】 従来のアクティブマトリクス型液晶表示装置の表示部の等価回路図

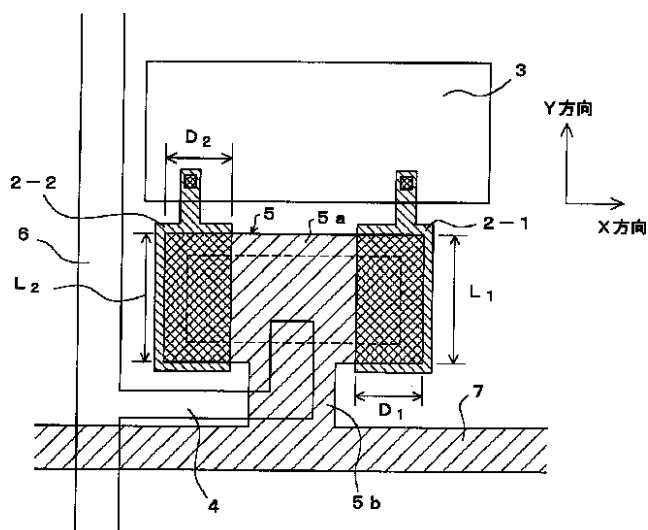
【図5】 従来のアクティブマトリクス型液晶表示装置の表示部の単位画素部分の平面図

【図6】 従来のアクティブマトリクス型液晶表示装置の表示部の単位画素部分の断面図

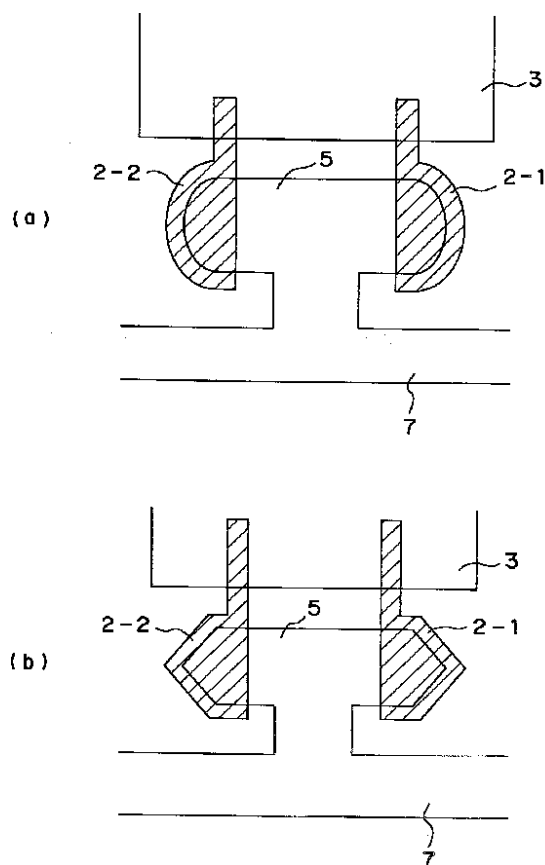
【符号の説明】

- 1, 1 a 薄膜トランジスタ
- 2, 2-1, 2-2 ドレイン電極
- 3 画素電極
- 4 ソース電極
- 5 ゲート電極
- 6 信号配線
- 7 走査配線

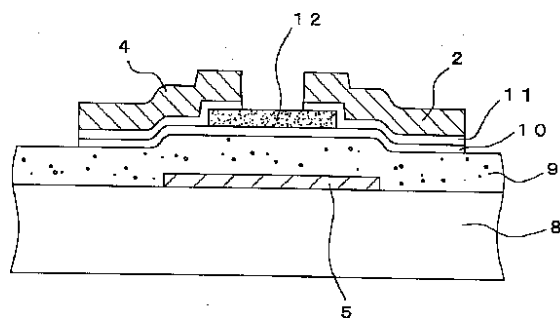
【图 1】



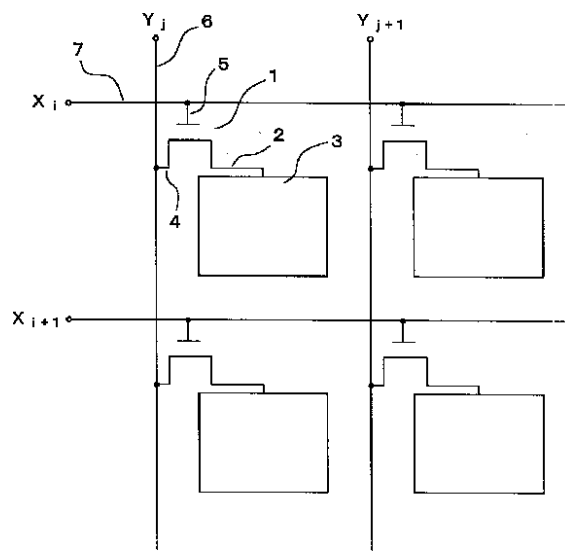
【图 2】



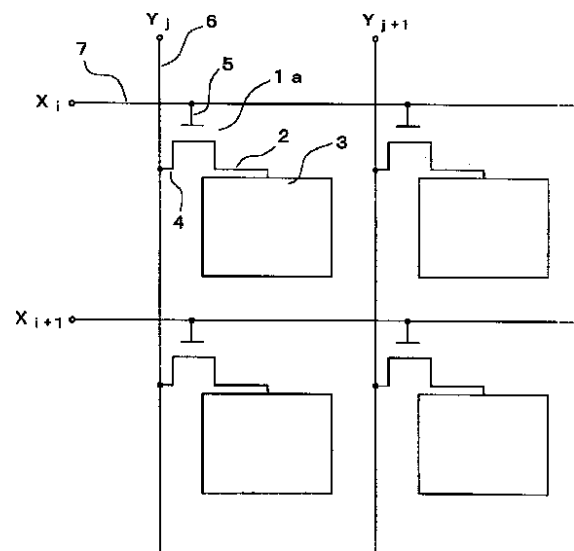
【图 6】



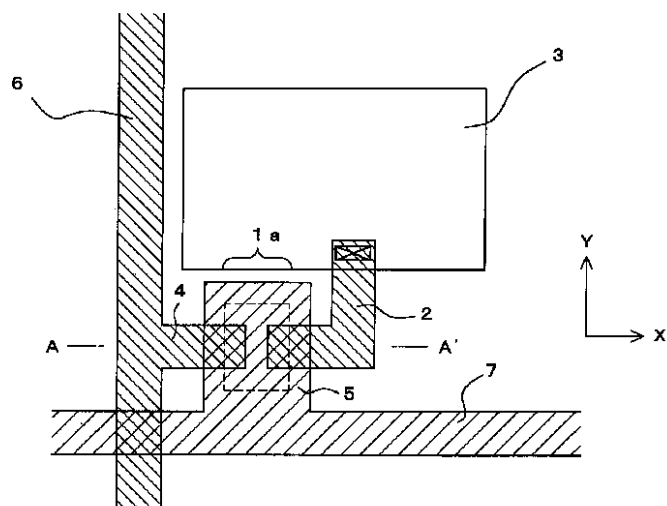
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 2H092 JA26 JA29 JA38 JA42 JA44
 JB13 JB23 JB32 JB33 JB38
 KA05 KA07 KA16 KA18 MA05
 MA08 MA14 MA15 MA16 MA18
 MA19 MA20 MA27 MA35 MA37
 MA41 NA24 NA25 NA27 NA29
 PA06
 5C094 AA03 BA03 BA43 CA19 EA04
 EA07
 5F110 AA02 AA04 AA30 BB01 CC07
 EE24 HM04 HM12 HM13 HM20
 NN72 NN77

专利名称(译)	薄膜晶体管和使用该薄膜晶体管的液晶显示装置		
公开(公告)号	JP2002203970A	公开(公告)日	2002-07-19
申请号	JP2000401843	申请日	2000-12-28
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	瀬角康人		
发明人	瀬角 康人		
IPC分类号	G02F1/1368 G09F9/30 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.616.S H01L29/78.612.D H01L29/78.616.T		
F-TERM分类号	2H092/JA26 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA44 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/KA05 2H092/KA07 2H092/KA16 2H092/KA18 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA27 2H092/MA35 2H092/MA37 2H092/MA41 2H092/NA24 2H092/NA25 2H092/NA27 2H092/NA29 2H092/PA06 5C094/AA03 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA07 5F110/AA02 5F110/AA04 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE24 5F110/HM04 5F110/HM12 5F110/HM13 5F110/HM20 5F110/NN72 5F110/NN77 2H192/AA24 2H192/CB05 2H192/CB45 2H192/CB71 2H192/CC02 2H192/CC42		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种在制造过程中减少栅极和漏极之间的形成电容的变化的薄膜晶体管，以及减少图像显示中的质量缺陷的液晶显示装置。在其中像素电极和通过漏极连接到像素电极的薄膜晶体管以矩阵布置的液晶显示装置中，薄膜晶体管具有栅电极5的彼此面对的两个端部。第一漏电极2-1形成为与包括第一漏电极2-1和第二漏电极2-1的一端的栅电极的区域重叠并且与第一漏电极2-1对称 第二漏电极2-2形成为与包括其端部的栅电极的区域重叠。

