

(19)日本国特許庁(J P)

(12) 公開特許公報(A) (11)特許出願公開番号

特開2001 - 312251

(P2001 - 312251A)

(43)公開日 平成13年11月9日(2001.11.9)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-コ-ト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
	560		5 C 0 5 8
G 0 9 G 3/20	641	G 0 9 G 3/20	5 C 0 6 0
		641 A	5 C 0 8 0
		641 E	

審査請求 未請求 請求項の数 9 O L (全 20数) 最終頁に続く

(21)出願番号 特願2000 - 128007(P2000 - 128007)

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(22)出願日 平成12年4月27日(2000.4.27)

(72)発明者 中村 耕治

愛知県刈谷市昭和町1丁目1番地 株式会社

デンソー内

(72)発明者 柿崎 勝

愛知県刈谷市昭和町1丁目1番地 株式会社

デンソー内

(74)代理人 100071135

弁理士 佐藤 強

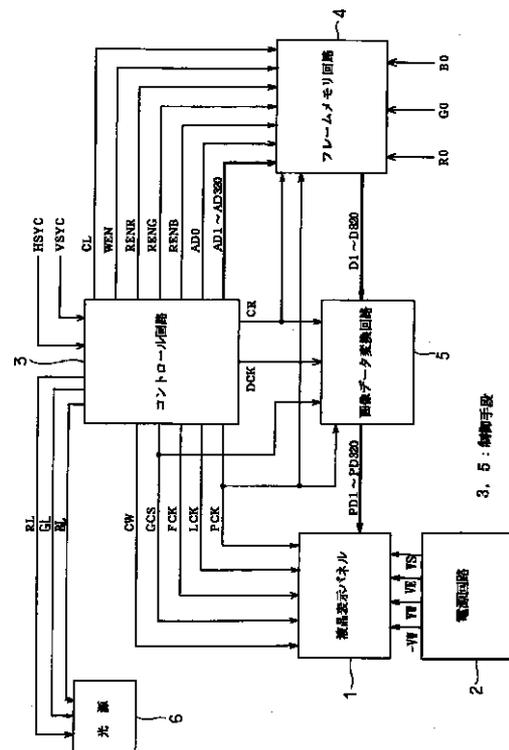
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 セルギャップや温度のばらつきによる表示むらを低減し、中間調を高品質で表示する。

【解決手段】 液晶表示パネル1は、反強誘電性液晶を挟んで対向する一対の基板の一方に画素電極とこれに接続されたスイッチング素子とがマトリクス状に形成され、他方に共通の対向電極が形成されている。コントロール回路3は、各フレームにおいて全画素を一旦強誘電状態(明状態)とした後、フレームメモリ回路4から読み出した画像データに基づいて、各画素を強誘電状態(明状態)とする時間と反強誘電状態(暗状態)とする時間との比率を制御し、その比率に応じた中間調表示を可能とする。



3, 5 : 制御手段

【特許請求の範囲】

【請求項1】 液晶を挟んで対向する一対の基板の一方に、画素に対応して複数の画素電極とこれら各画素電極にそれぞれ接続されたスイッチング素子とが形成され、前記基板の他方に、前記画素電極と対向する対向電極が形成された液晶表示パネルと、

この液晶表示パネルの各画素を、第1の光学的安定状態または第2の光学的安定状態の何れかの状態となるように制御するとともに、前記液晶パネルに表示する画像を表すデータに基づいて、各画素に対し表示画像の各フレーム内において前記第1の光学的安定状態となる時間と前記第2の光学的安定状態となる時間との比率を制御することにより階調表示制御を実行する制御手段とを備えて構成されていることを特徴とする液晶表示装置。

【請求項2】 前記液晶表示パネルに対する偏光手段を備え、

前記第1の光学的安定状態は前記偏光手段を通して画素が明るく表示される明状態であり、

前記第2の光学的安定状態は前記偏光手段を通して画素が暗く表示される暗状態であることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記液晶は反強誘電性液晶であって、各画素は、前記反強誘電性液晶が強誘電状態にある時に前記明状態となり、前記反強誘電性液晶が反強誘電状態にある時に前記暗状態となることを特徴とする請求項2記載の液晶表示装置。

【請求項4】 前記制御手段は、各フレームを複数のサブフレームに分割し、これら各サブフレームごとに各画素を前記明状態または前記暗状態の何れかの状態とすることにより前記階調表示制御を実行することを特徴とする請求項3記載の液晶表示装置。

【請求項5】 前記制御手段は、中間調表示を行う画素について、各フレーム内において連続した一群のサブフレームを前記明状態とし、前記1フレーム内において連続した他の一群のサブフレームを前記暗状態とすることにより前記階調制御を実行することを特徴とする請求項4記載の液晶表示装置。

【請求項6】 前記液晶表示パネルに対向する位置に光源が配置され、前記制御手段は、各フレームにおいて、その開始時に前記光源を消灯させた状態で全ての画素を一斉に前記明状態となるように制御し、その後前記光源を点灯させるとともに各画素について前記階調制御の実行を開始することを特徴とする請求項5記載の液晶表示装置。

【請求項7】 前記制御手段は、前記階調制御の実行開始時点よりも少なくとも前記反強誘電性液晶の明状態から暗状態への状態変化時間だけ遅れて前記光源を点灯制御するとともに、フレームの終了時点から少なくとも前記光源の残光時間だけ前に前記光源を消灯制御することを特徴とする請求項6記載の液晶表示装置。

【請求項8】 前記制御手段は、前記対向電極の電位を制御することにより全ての画素を明状態とし、前記スイッチング素子により前記画素電極の電位を制御することにより各画素を明状態に保持しあるいは明状態から暗状態へと変化させることを特徴とする請求項3ないし7の何れかに記載の液晶表示装置。

【請求項9】 前記スイッチング素子は単結晶シリコン基板の一主面に形成され、前記画素電極は入射光を反射可能なように前記スイッチング素子を覆った状態に形成されていることを特徴とする請求項1ないし8の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示パネルに画像を表示するもので、特に中間調による表示が可能な液晶表示装置に関する。

【0002】

【発明が解決しようとする課題】特開平7-43676号公報には、表示画像のデータに基づいて、反強誘電性液晶が封入された液晶表示パネルの各画素に印加する電圧値を制御し、反強誘電性液晶が反強誘電状態となっている暗領域と強誘電状態となっている明領域との面積比率を変化させることにより中間調表示を行うようにしたマルチドメインスイッチング方式による液晶表示装置が開示されている。

【0003】この液晶表示装置は、単純マトリクス型でありながら、電圧制御により比較的容易に中間調表示を行うことができる。しかし、前記反強誘電状態の領域と強誘電状態の領域とが混在するマルチドメイン状態は、液晶表示パネルのセルギャップや温度により変化し易いことから光学的にも不安定な状態であって、パネル面各部におけるセルギャップのばらつきや温度のばらつきなどにより、中間調を表示したときに表示むらが発生し易かった。

【0004】このうち温度に起因する表示むらを補償するためには、例えば液晶表示パネルに温度センサを配設し、その温度センサで検出した温度に基づいて所望する中間調が得られるように各画素に印加する電圧を制御する必要があった。この場合、パネル面各部における温度のばらつきを検出するために多数の温度センサが必要となり、液晶表示装置が複雑化するとともにコストの上昇を招いていた。

【0005】本発明は上記事情に鑑みてなされたもので、その目的は、液晶表示パネルのセルギャップや温度のばらつきによる表示むらを低減し、中間調を高品質で表示することができる液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】上記した目的を達成するために請求項1に記載した手段を採用できる。この手段

によれば、制御手段は、液晶表示パネルの各画素を、2つの異なる光学的安定状態のうち何れかの状態となるように制御する。この光学的安定状態とは、セルギャップや温度などが変化した場合であっても光学的状態（例えば透過率や反射率）の変化が小さい画素状態をいう。そして、制御手段は、各画素電極にそれぞれ接続されたスイッチング素子を用いて、各画素ごとに、表示画像の各フレーム内における2つの光学的安定状態の時間比率を制御するので、液晶表示パネルにはこの時間比率に応じた表示状態すなわち中間調により画像が表示される。

【0007】この手段では、各画素はつねに光学的安定状態に制御されるので、例えば各画素への印加電圧を連続的に可変設定することにより（つまり光学的に不安定な状態をも用いて）中間調を表示する従来構成のものとは異なり、セルギャップや温度のばらつきによる光学的状態の変化が小さくなり、表示むらの発生が抑制される。これにより、中間調を高品質で表示することができる。

【0008】また、本手段は、2つの光学的安定状態の時間比率に応じて中間調を表示するので、温度に応じた液晶の特性に基づいて精度良く印加電圧を制御しなければならない従来構成のものとは異なり、2つの光学的安定状態に対応して予め決められた電圧のみを用いて中間調を表示でき、電圧制御が不要となって階調表示制御を簡単化できる。

【0009】請求項2に記載した手段によれば、偏光手段を備えることにより、偏光面の回転や複屈折などの液晶の光学的性質を利用することができる。この場合、液晶が第1の光学的安定状態になると偏光手段を通して画素が明状態となり、第2の光学的安定状態になると偏光手段を通して画素が暗状態となるので、第1の光学的安定状態となる時間と第2の光学的安定状態となる時間との比率を制御することにより中間調表示が可能となる。

【0010】請求項3に記載した手段によれば、液晶として反強誘電性液晶を採用した。反強誘電性液晶は、電界印加状態に応じて3つの安定した分子配列状態を持つ。すなわち、強い電界が与えられた場合には電界の向きに応じて2つの安定した分子配列状態のうちの何れか一方の状態（第1の光学的安定状態、強誘電状態）となり、無電界時または弱い電界が与えられた場合には1つの安定した分子配列状態（第2の光学的安定状態、反強誘電状態）となる。

【0011】その強誘電状態（明状態）と反強誘電状態（暗状態）との間の状態変化に要する時間は短いので、階調表示制御における明状態と暗状態との時間比率とそれにより実際に表示される中間調の輝度とがほぼ比例した関係となる。

【0012】また、本手段によれば、使用温度範囲内において反強誘電性液晶が確実に強誘電状態に移行する電圧およびその強誘電状態が確実に保持される電圧を用い

ることにより、温度に応じた電圧制御を不要とすることができる。

【0013】さらに、各画素についてスイッチング素子が設けられており、暗状態の画素には電圧が印加されないので、反強誘電性液晶特有の反強誘電状態から強誘電状態へ転移する際の前駆現象による光漏れがなく、コントラストを高めることができる。

【0014】請求項4に記載した手段によれば、サブフレームの数に応じた階調数を得ることができる。この場合、明状態と暗状態との間の応答が速い反強誘電性液晶を用いているので、サブフレームの数を増やすことにより、より高精度の階調表示を行うことが可能となる。

【0015】請求項5に記載した手段によれば、制御手段は、例えばフレームの開始からその画素の階調に応じた数のサブフレームを連続して明状態に制御し、その後フレームの終了までの間のサブフレームを連続して暗状態に制御するので、中間調を表示する場合における明状態と暗状態との間の状態変化が1度で済む。従って、状態変化に伴って1フレーム内において画素の状態が不定となる時間（以下、状態変化時間と称す）が減少し、階調表示制御に従った高精度の中間調表示が可能となる。

【0016】請求項6に記載した手段によれば、制御手段は、全面同時駆動すなわち各フレームの開始時に光源を消灯させた状態で全ての画素を一斉に明状態に移行させ、その後光源を点灯制御するとともに各画素について上記階調表示制御を実行する。これにより、液晶表示パネルの画素数が多い場合であっても、画素を明状態とするための電荷充電時間を十分に確保することができ、不足充電による明状態への応答低下を防止することができる。反強誘電性液晶は自発分極が大きく画素のセルギャップが比較的小さいため、スイッチング素子の負荷として大きいという事情があり、十分な輝度を得る上で上記全面同時駆動は特に有効となる。

【0017】さらに、全面同時駆動を採用すると、各画素の階調表示制御と光源の点灯制御・消灯制御との同期が取り易くなるとともに、光源の光利用効率が向上し、一層高輝度を得ることができる。

【0018】請求項7に記載した手段によれば、制御手段は、階調表示制御の実行開始時点よりも少なくとも明状態から暗状態への状態変化時間だけ遅れて光源を点灯制御するので、光源点灯時において暗表示に制御する画素から光が漏れるのを防止することができ、コントラストを高めることができる。また、制御手段は、フレームの終了時点から少なくとも光源の残光時間だけ前に光源を消灯制御するので、次のフレームにおいて全画素を一斉に明状態とした場合に光源の残光により各画素からその残光が漏れるのを防止することができ、コントラストを高めることができる。

【0019】請求項8に記載した手段によれば、制御手段は、対向電極の電位を制御することにより全ての画素

を明状態とし、スイッチング素子により画素電極の電位を制御することにより各画素を明状態に保持しあるいは明状態から暗状態へと変化させて階調表示制御を実行する。

【0020】この場合、反強誘電性液晶の強誘電状態（明状態）を保持するための保持電圧および反強誘電状態（暗状態）に変化させるための消去電圧は、反強誘電状態を強誘電状態に変化させるための書き込み電圧に比べて低い。従って、本手段によれば画素電極の電位を制御するスイッチング素子の耐圧を下げることができ、比較的

低コストの製造プロセスを採用できる。
【0021】請求項9に記載した手段によれば、スイッチング素子は移動度の高い単結晶シリコン基板上に形成されるので、スイッチング素子の充放電能力を高められるとともに高周波駆動が可能となる。これにより、フレーム周波数を高めることができる。また、画素電極はスイッチング素子を覆うように設けられるので、開口率を大きくすることができ、輝度を高めることができる。

【0022】

【発明の実施の形態】以下、本発明の一実施形態について、図面を参照しながら説明する。図1は、カラー表示可能なマトリクス型液晶表示装置（以下、液晶表示装置と称す）の全体的な電気的構成を示している。この液晶表示装置は、反射型の液晶表示パネル1、電源回路2、コントロール回路3、フレームメモリ回路4、画像データ変換回路5および光源6から構成されている。ここで、コントロール回路3および画像データ変換回路5は、本発明でいう制御手段に相当する。以下、これらの具体的構成について図1ないし図7を用いて説明する。

【0023】図2は、反射型の液晶表示パネル1の模式的断面図を示している。この図2において、各画素に対応した画素電極7がマトリクス状に形成されたアクティブマトリクス基板8と、各画素の共通電極である透明電極9（対向電極に相当）が形成された対向基板10とが、柱状スペーサ11により一定距離だけ離間した状態で対向し、これらアクティブマトリクス基板8と対向基板10との間には反強誘電性液晶12が封入されている。

【0024】反強誘電性液晶12は、強い電界が印加された場合に、2つの安定した分子配列状態（強誘電状態）うちの何れか一方の状態（第1の光学的安定状態に相当）となり、無電界時または弱い電界が印加された場合に、1つの安定した分子配列状態（反強誘電状態、第2の光学的安定状態に相当）となる。そして、反強誘電性液晶12は、所定の書き込み電圧が印加されて強誘電状態に変化した後は、その書き込み電圧よりも低い保持電圧が印加された状態でその強誘電状態を保持し、その保持電圧よりも十分に低い消去電圧（本実施形態では0V）が印加されると反強誘電状態に変化する特性（いわゆるダブルヒステリシス特性）を有している。

【0025】アクティブマトリクス基板8は以下のように構成されている。すなわち、単結晶のシリコン基板13の一主面には、各画素ごとに設けられるMOSトランジスタ群（図4に示すトランジスタ211~214、インバータ素子215）およびコンデンサ216、217がマトリクス状に形成されるとともに、それらトランジスタ213、214（本発明でいうスイッチング素子に相当）のドレインに接続される電源線LVS、LVEが形成されている。なお、図2には、トランジスタ213、214と電源線LVS、LVEのみが示されている。

【0026】そして、これらMOSトランジスタ群やコンデンサ216、217を埋めるようにSiO₂などの絶縁材料からなる平坦化層14が形成されている。平坦化層14の上面部には、低抵抗であって且つ可視光に対する反射率が高い電極材料例えばアルミニウムからなる矩形島状の画素電極7が、各画素に対応してマトリクス状に区画形成されている。この画素電極7は、反射板としての機能も果たすようになっている。なお、各画素電極7は、上記トランジスタ213、214のソースと電気的に接続されている。

【0027】上面部に画素電極7が埋め込まれた状態に形成された平坦化層14は、その表面が化学的機械研磨（CMP:Chemical Mechanical Polishing）により高精度に平坦化されている。そして、その平坦化面には、酸化タンタルやSiO₂などの絶縁材料からなる絶縁膜15、ラビング処理されたポリイミドなどの有機高分子膜からなる配向膜16が積層されている。

【0028】一方、対向基板10は、ガラス基板17の一主面にITO（Indium tin Oxide）やZnOなどの電極材料からなる透明電極9、絶縁膜18、ラビング処理された配向膜19を順に積層することにより構成されている。

【0029】液晶パネル1は反射型であるため、これらアクティブマトリクス基板8と対向基板10との間の液晶層の厚さd（セルギャップ）は、反強誘電性液晶12の屈折率異方性をnとすると、 $n \cdot 2d = 0.25$ の条件をほぼ満足するように設定される。従って、例えばnが0.16の反強誘電性液晶12を用いる場合、厚さdはほぼ0.8μmとなるように設定すれば良い。

【0030】図3は、液晶表示パネル1に対して設けられる光学系の構成を模式的に示している。液晶表示パネル1の対向基板10側に対向して光源6が配置されており、その液晶表示パネル1と光源6の間には偏光ビームスプリッタ20（本発明でいう偏光手段に相当）が配置されている。そして、液晶表示パネル1からの反射光が偏光ビームスプリッタ20により反射される方向（液晶表示パネル1の方線方向に対する直交方向）には、その反射光からなる画像を映し出すためのスクリーン21が配置されている。

【0031】光源6は、赤色LED、緑色LEDおよび

青色LEDから構成されている。これら各色のLEDは、それぞれ信号RL、GL、BLがHレベルの時点灯(オン)するようになっている。コントロール回路3は、これら3色のLEDを時分割発光させることによりカラー化を図っているため、液晶表示パネル1にはカラーフィルタが不要となる。

【0032】光源6からの出射光は、偏光ビームスプリッタ20を通過することにより直線偏光となって液晶表示パネル1に入射し、液晶層を通過して画素電極7で反射される。この場合、反強誘電性液晶12が強誘電状態にあると、反射光は楕円偏光となって液晶表示パネル1から出射し、偏光ビームスプリッタ20において反射してスクリーン21に画像が映し出される(明状態に相当)。これに対し、反強誘電性液晶12が反強誘電状態にあると、反射光は液晶表示パネル1から直線偏光のまま出射し偏光ビームスプリッタ20を通過するので、スクリーン21に画像は映し出されない(暗状態に相当)。

【0033】続いて、上記液晶表示パネル1の電気的構成について図4ないし図6を参照しながら説明する。なお、以降の説明において特に画素を区別する必要があるときは、液晶表示パネル1に形成された1600列、1200行の各画素を、それぞれG(1,1)、G(2,1)、...、G(m,n)、...、G(1600,1200)により表す。

【0034】図4は、液晶表示パネル1の要部の電気的構成を示している。液晶表示パネル1は、マトリクス回路部210、列駆動回路220、ゲート駆動回路230および共通電極駆動回路240(図6参照)から構成されている。これら各回路は、上述したシリコン基板13の一面に形成されている。

【0035】このうちマトリクス回路部210は、同一回路構成を持つ1600×1200個の画素から構成されている。例えば画素G(1,1)について説明すると、データ保持用のコンデンサ216の充放電を行うトランジスタ211のドレインおよびゲートには、それぞれ列駆動回路220から出力されるデータ信号C1およびゲート駆動回路230から出力されるゲート信号R1が与えられている。また、トランジスタ211のソースは、前記コンデンサ216を介してグラウンドに接続されるとともにトランジスタ212のドレインに接続されている。

【0036】トランジスタ212は、コンデンサ206の電荷を全画素同時にデータ保持用のコンデンサ207に移すためのもので、そのゲートにはコントロール回路3から出力される信号FCKが与えられている。トランジスタ212のソースとグラウンドとの間には前記コンデンサ207が接続され、トランジスタ212のソースは、トランジスタ213のゲートに接続されるとともにインバータ素子215を介してトランジスタ214のゲ

ートに接続されている。

【0037】トランジスタ213、214は、画素電極7(図2参照)の電位を設定するためのもので、これらのソースはともに画素電極7に接続され、ドレインにはそれぞれ電源回路2から電圧VS、VEが与えられている。なお、図4において、画素の電極部はコンデンサCにより示されている。

【0038】ゲート駆動回路230は、シフトレジスタの回路構成となっている。そして、コントロール回路3から出力される信号FCK、LCK、PCKを入力とし、1行目の画素G(1,1)、G(2,1)、...、G(1600,1)に対してゲート信号R1を与え、2行目の画素G(1,2)、G(2,2)、...、G(1600,2)に対してゲート信号R2を与え、以下同様にして3行目、4行目、...、1200行目の画素に対してゲート信号R3、R4、...、R1200を与えるようになっている。

【0039】具体的には、フリップフロップFA0のD入力端子、CK入力端子(立下り動作)には、それぞれ信号FCK、PCKが与えられており、フリップフロップFA0のQ出力端子はフリップフロップFA1のD入力端子に接続されている。フリップフロップFA1のCK入力端子(立上り動作)には信号LCKが与えられており、そのQ出力端子からは上記ゲート信号R1が出力されるようになっている。

【0040】フリップフロップFA2のD入力端子、CK入力端子(立上り動作)には、それぞれ上記ゲート信号R1、信号LCKが与えられており、そのQ出力端子からゲート信号R2が出力されるようになっている。フリップフロップFA3~FA1200についても同様の構成となっている。

【0041】ところで、本実施形態の液晶表示装置は、データ線の本数を低減するために、1本のデータ線で5画素分(5列分)のデータを送るように工夫されている。すなわち、列駆動回路220は、画像データ変換回路5から並列に出力された表示データ信号PD1(第1列目~第5列目の画素の表示データ)、PD2(第6列目~第10列目の画素の表示データ)、...、PD320(第1596列目~第1600列目の画素の表示データ)を信号PCKに同期して入力し、第1列目~第1600列目の各画素に対応した列データ信号C1~C1600に変換後、それらをラインクロック信号LCKに同期してマトリクス回路部210に対し一斉に出力するように構成されている。

【0042】図5は、列駆動回路220の電気的構成を示しており、表示データ信号PD1、...、PD320に対して、それぞれシフトレジスタを構成するフリップフロップFB1~FB5およびフリップフロップFC1~FC5が設けられている。フリップフロップFB1~FB5のCK入力端子、フリップフロップFC1~FC5

のCK入力端子には、それぞれ信号PCK、信号LCKが与えられている。また、フリップフロップFB1のQ出力端子は、フリップフロップFC1のD入力端子とフリップフロップFB2のD入力端子とに接続されている。この接続形態は、他のフリップフロップFB2～FB5およびFC2～FC5についても同様である。

【0043】そして、表示データ信号PD1に対応したフリップフロップFC1～FC5のQ出力端子からは、それぞれ列データ信号C1～C5が出力され、表示データ信号PD2に対応したフリップフロップFC1～FC5のQ出力端子からは、それぞれ列データ信号C6～C10が出力され、以下同様にして列データ信号C11～C1600が出力される。

【0044】図6は、共通電極駆動回路240の電気的構成を示している。この共通電極駆動回路240は、共通電極である透明電極9(図2参照)の電位COMを、4つの異なる電位-VW、VW、VE、VSのうちの何れの電位に設定するためのもので、2入力型のAND回路AL1～AL4、NOT回路NL1、NL2およびトランジスタSC1～SC4から構成されている。

【0045】コントロール回路3から出力される信号CWは、AND回路AL1、AL2に入力されるとともにNOT回路NL2を介してAND回路AL3、AL4に入力され、コントロール回路3から出力される信号GCSは、AND回路AL1、AL3に入力されるとともにNOT回路NL1を介してAND回路AL2、AL4に入力されるようになっている。これらAND回路AL1～AL4の出力端子は、それぞれトランジスタSC1～SC4のゲートに接続されている。

【0046】トランジスタSC1、SC2、SC3、SC4のソースは、それぞれ図2には示されていないトランスファ部を介して透明電極9に接続されており、ドレインにはそれぞれ電源回路2から電圧-VW、VW、VE、VSが与えられるようになっている。本実施形態において、電圧-VW、VW、VE、VSは、それぞれ-20V、20V、0V、5Vに設定されている。

【0047】コントロール回路3は、例えばマイクロコンピュータを主体として構成されており、垂直同期信号VSYCおよび水平同期信号HSYCに同期して後述する階調表示制御を実行するようになっている。この場合、コントロール回路3は、図1に示すように液晶表示パネル1に対して信号CW、GCS、FCK、LCK、PCKを出力し、フレームメモリ回路4に対して信号CL、WEN、RENR、RENG、RENB、CR、PCKおよびアドレス信号AD0、AD1～AD320を出力し、画像データ変換回路5に対して信号GCS、DCK、CR、PCKを出力し、さらに光源6に対して信号RL、GL、BLを出力するようになっている。このうち、アドレス信号ADj(j=0～320)は、それぞれ列のアドレスを示すADjHと行(水平ライン)の

アドレスを示すADjVとから構成されている。

【0048】図7は、フレームメモリ回路4の概略的な電気的構成を示している。フレームメモリ回路4は、R(赤)用フレームメモリ4a、G(緑)用フレームメモリ4b、B(青)用フレームメモリ4cから構成されている。表示画像のアナログRGB信号は、図示しないインターフェース回路で6bit(64階調)のデジタル画像データに変換され、画像データ信号R0(赤の画像データ)、G0(緑の画像データ)、B0(青の画像データ)としてそれぞれフレームメモリ4a、4b、4cに入力されるようになっている。

【0049】このフレームメモリ回路4は、コントロール回路3から垂直同期信号VSYCおよび水平同期信号HSYCに同期して出力される書込信号WEN、アドレス信号AD0およびクロック信号CLに従って、画像データを上記フレームメモリ4a、4b、4cに記憶するようになっている。

【0050】また、フレームメモリ回路4は、信号RENR、RENG、RENB、CR、PCKおよびアドレス信号AD1～AD320に従って、上記フレームメモリ4a、4b、4cから順次画像データを読み出されるようになっている。なお、フレームメモリ回路4は、画像データ変換回路5に対して1本のデータ線で5画素分(5列分)の画像データを送るようになっている。

【0051】画像データ変換回路5は、信号GCS、DCK、CR、PCKに基づいて、フレームメモリ回路4から並列して入力した画像データ信号D1～D320に対して階調表示制御としてのデータ変換処理を実行し、それにより変換された表示データ信号PD1～PD320を液晶表示パネル1に対して並列して出力するようになっている。

【0052】次に、本実施形態の作用について図8ないし図18も参照しながら説明する。まず、画像データをフレームメモリ4a、4b、4cに書き込むタイミングについて図8を参照しながら説明する。図8において、書込信号WENがHレベルのとき、フレームメモリ4a、4b、4cは、それぞれ6bitの画像データ信号R0、G0、B0を入力し、クロック信号CLに同期してこれら画像データ信号R0、G0、B0の各データをアドレス信号AD0により指定されたメモリ領域に1画面分(図8ではK画面目)記憶する。

【0053】K画面目の画像データは、垂直同期信号VSYCの立ち上がりから始まり、次に垂直同期信号VSYCが立ち上がるまで続く。各画像データ信号R0、G0、B0は、画素G(1,1)のデータD1,1を先頭として、画素G(2,1)、…、G(1600,1)、G(1,2)、…、G(1600,2)、…、G(1,1200)、…、G(1600,1200)のデータD2,1、…、D1600,1、D1,2、…、D1600,2、…、D1,1200、…、D1600,1200

0からなり、これらが順にフレームメモリ4 a、4 b、4 cに送られてくる。図9は、フレームメモリ4 a、4 b、4 cへの書き込みデータを表したものである。ここで、 D_m, n は画素 $G(m, n)$ に表示する画像データを示している。

【0054】さて、液晶表示装置が実行する階調表示制御は、概ね次の通りである。すなわち、液晶表示装置は、フレームメモリ4 a、4 b、4 cに書き込まれた1フレーム分の画像データに基づいて、そのフレームの表示画像のうち赤色の画像データ $RD1, 1, \dots, RD1600, 1200$ の表示処理を実行後、その同じフレームについて緑色の画像データ $GD1, 1, \dots, GD1600, 1200$ の表示処理を実行し、さらにその同じフレームについて青色の画像データ $BD1, 1, \dots, BD1600, 1200$ の表示処理を実行する。この時分割表示制御に合わせ、コントロール回路3は、赤色LED、緑色LEDおよび青色LEDを時分割発光させる。

【0055】液晶表示装置は、各色の画像データの表示処理において1フレームを65のサブフレームに等分割し、そのうち第1、第2サブフレームにおいて透明電極9の電位を切り替えて液晶表示パネル1の全画素に書き込み電圧を与え、全画素を一旦強誘電状態（明状態）に変化させる。この間、光源6のLEDを全て消灯状態とする。

【0056】その後、液晶表示装置は、光源6（表示処理中の色のLED）を点灯し、当該フレームの第3サブフレームから第65サブフレームにおいて、各画素に対し保持電圧から消去電圧に切り替えるタイミングを制御する。これにより、各フレーム内において画素が強誘電状態（明状態）となる時間と反強誘電状態（暗状態）となる時間との比率が制御され、64階調の階調表示制御が行われる。

【0057】この間、液晶表示パネル1は、フレームごとにより正フィールドと負フィールドとを交互に繰り返すことにより交流駆動されている。正フィールドでは透明電極9に対し画素電極7の電位が高く設定され、反強誘電性液晶12には正の書き込み電圧および正の保持電圧が印加される。一方、負フィールドでは透明電極9に対し画素電極7の電位が低く設定され、反強誘電性液晶12には負の書き込み電圧および負の保持電圧が印加される。

【0058】以下、この階調表示制御についてさらに詳しく説明する。図10～図12は、1フレームの画像を液晶表示パネル1に表示する際の各信号のタイミングチャートを示している。これらの図は、図10に示すタイミングチャートの右端から図11に示すタイミングチャートの左端に繋がり、さらに図11に示すタイミングチャートの右端から図12に示すタイミングチャートの左端に繋がるように描かれている。

【0059】すなわち、図10には赤色の画像データの

第3サブフレームのデータ読出期間の開始から第4サブフレームのデータ読出期間の途中までが示され、図11には当該第4サブフレームのデータ読出期間の途中から青色の画像データについての第1サブフレームのデータ準備期間の途中までが示され、図12には当該第1サブフレームのデータ準備期間の途中から第3サブフレームのデータ読出期間の途中までが示されている。

【0060】各図には、上から順に、アドレス信号AD1H、AD1V、画像データ信号D1、アドレス信号AD320H、AD320V、画像データ信号D320、信号PCK、DCK、CR、RENr、REng、REnB、LCK、選択されるゲート信号、信号FCK、GCS、CWが示されている。

【0061】信号CRがLレベルとなる第3サブフレームから第65サブフレームまでの各データ読出期間において、フレームメモリ回路4（ここではフレームメモリ4 a）から同一フレームについての赤色の画像データ $RD1, 1 \sim RD1600, 1200$ が画像データ信号D1～D320として読み出される。そして、画像データ変換回路5は、画像データ信号D1～D320のそれぞれについて、図13に示すフローチャートに従ったデータ変換処理（後述）を実行し、変換により得られた表示データ信号PD1～PD320を液晶表示パネル1の列駆動回路220に出力する。

【0062】また、信号CRがHレベルとなる第1サブフレームおよび第2サブフレームのデータ準備期間においては、フレームメモリ回路4からの画像データの読み出しは行われず、画像データ変換回路5は、Lレベルを有する表示データ信号PD1～PD320を準備して液晶表示パネル1の列駆動回路220に出力する。

【0063】なお、各サブフレームについての上記データ読出期間およびデータ準備期間と、その表示データ信号PD1～PD320が実際に液晶表示パネル1に出力されるデータ表示期間とは、ほぼ1サブフレーム分だけずれている。

【0064】さて、各サブフレームにおけるフレームメモリ4 aからの画像データの読み出しは、第1行（第1水平ライン）から開始され第1200行（第1200水平ライン）まで順次行われる。各水平ラインについて1600個存在する画素の画像データは、320本のデータ線を用いて次のように読み出される。

【0065】すなわち、フレームメモリ4 aのうちアドレス信号AD1～AD320により指定されたアドレスから信号PCKの立上りに同期して320個の画像データが並列して読み出される。この場合、アドレス信号AD1（つまりAD1HとAD1V）に従って液晶表示パネル1における第1列目～第5列目の画像データが順次読み出され、それらが画像データ信号D1として画像データ変換回路5に送られて表示データ信号PD1に変換される。

【0066】同様に、アドレス信号AD2、…、AD320に従ってそれぞれ第6列目～第10列目の画像データ、…、第1596列目～第1600列目の画像データが順次読み出され、それらが画像データ信号D2、…、D320として画像データ変換回路5に送られて表示データ信号PD2、…、PD320に変換される。

【0067】図5に示す列駆動回路220において、表示データ信号PD1～PD320に対してそれぞれ設けられたフリップフロップFB1は、信号PCKの立上りに同期して表示データ信号PD1～PD320を取り込み、その取り込んだデータを出力端子Qから出力する。フリップフロップFB1～FB5はシフトレジスタを構成するため、上記取り込まれたデータは、信号PCKが入力されるごとにフリップフロップFB1からFB5へと順次移される。

【0068】そして、信号PCKが5クロック入力された時点（例えば、第1水平ラインの画像データの場合は第2水平ラインのデータ読出期間の開始時）において、列駆動回路220が備える1600個全てのフリップフロップFB1～FB5にそれぞれ第1列から第1600列までの表示データが取り込まれた状態となる。そして、このタイミングから若干遅れて、列駆動回路220が備える1600個全てのフリップフロップFC1～FC5に対して信号LCKが与えられる。これらフリップフロップFC1～FC5は、信号LCKの立上りに同期して、第1列目～第1600列目の表示データを保持するとともに、これら表示データを一齐にデータ信号C1～C1600として出力する。

【0069】一方、図4に示すゲート駆動回路230は、信号LCKの立上りに同期して動作するシフトレジスタであって、フリップフロップFA1～FA1200のQ出力端子からそれぞれゲート信号R1～R1200を出力する。また、フリップフロップFA0は、ゲート信号R1をLレベルからHレベルに設定する際のタイミング調整を行っている。

【0070】第1水平ライン、…、第1200水平ラインの各水平ラインに対し順次データ信号C1～C1600が出力されるのに同期して、対応する水平ラインのゲート信号R1、…、R1200が順次Hレベルとなる。ゲート信号がHレベルになると、その水平ラインの各画素においてトランジスタ211がオンとなり、表示データ（LレベルまたはHレベル）が各画素のコンデンサ216に記憶される。

【0071】各サブフレームにおいて、全画素のコンデンサ216に表示データが記憶されると、その次のサブフレームの表示データが列駆動回路220から出力される前に、信号FCKが信号PCK1周期分だけHレベルになる。信号FCKがHレベルになると、全画素のトランジスタ212が一齐にオンとなり、コンデンサ216に記憶された表示データがコンデンサ217にも記憶さ

れるようになる。そして、信号FCKがLレベルになると、トランジスタ212が一齐にオフとなり、コンデンサ217に記憶された表示データは次に信号FCKがHレベルになるまでの間（つまり当該サブフレームのデータ表示期間）保持される。

【0072】その結果、各画素においてコンデンサ217に記憶された表示データがHレベルの場合、トランジスタ213がオンとなり、画素電極7にVSの電位が与えられる。また、コンデンサ217に記憶された表示データがLレベルの場合、トランジスタ214がオンとなり、画素電極7にVEの電位が与えられる。なお、第1、第2サブフレームのデータ表示期間においては、全画素の表示データはLレベルであるため、全ての画素電極7にVEの電位が与えられる。

【0073】さて、液晶表示装置は、画素電極7の電位および透明電極9の電位をともに可変設定可能とすることにより、反強誘電性液晶12への印加電圧を制御し、各画素を強誘電状態（明状態）あるいは反強誘電状態（暗状態）の何れかの状態となるように制御している。

【0074】透明電極9の電位は、信号CWと信号GCSとに基づいて共通電極駆動回路240（図6参照）により制御される。信号CWは、全画素を一旦明状態とする第1、第2サブフレームのデータ表示期間においてHレベルとなり、中間調表示をするために使用される第3サブフレームから第65サブフレームまでのデータ表示期間においてLレベルとなる。また、信号GCSは、正フィールド（Hレベル）と負フィールド（Lレベル）とを区別するための信号である。

【0075】正フィールドの場合、第1、第2サブフレームのデータ表示期間においてトランジスタSC1がオンとなり、透明電極9には-VWの電位が与えられる。また、第3サブフレームから第65サブフレームまでのデータ表示期間においてトランジスタSC3がオンとなり、透明電極9にはVEの電位が与えられる。

【0076】一方、負フィールドの場合、第1、第2サブフレームのデータ表示期間においてトランジスタSC2がオンとなり、透明電極9にはVWの電位が与えられる。また、第3サブフレームから第65サブフレームまでのデータ表示期間においてトランジスタSC4がオンとなり、透明電極9にはVSの電位が与えられる。

【0077】つまり、第1、第2サブフレームのデータ表示期間（図14～図16に示す時間幅t1に相当）においては、全画素に対し、透明電極9の電位を基準として $VE - (-VW) = VW$ （正フィールド）または $VE - VW = -VW$ （負フィールド）の電圧（書き込み電圧）が印加される。この書き込み電圧VW、-VWは、液晶表示パネル1の使用温度範囲内およびセルギャップのばらつきの範囲内において、第1、第2サブフレームのデータ表示期間内に反強誘電性液晶12が強誘電状態に変化するのに十分な電圧に設定されている。

【0078】これに対し、第3サブフレームから第65サブフレームまでのデータ表示期間においては、後述するように画素電極7の電位は以下ようになる。

(正フィールドの場合)

画素が明状態の場合：画素電極7の電位 = V_S

画素が暗状態の場合：画素電極7の電位 = V_E

(負フィールドの場合)

画素が明状態の場合：画素電極7の電位 = V_E

画素が暗状態の場合：画素電極7の電位 = V_S

【0079】従って、画素に印加される電圧は以下のようになる。

(正フィールドの場合)

画素が明状態の場合：画素に印加される電圧 = V_S

画素が暗状態の場合：画素に印加される電圧 = $0V$

(負フィールドの場合)

画素が明状態の場合：画素に印加される電圧 = $-V_S$

画素が暗状態の場合：画素に印加される電圧 = $0V$

【0080】保持電圧 V_S 、 $-V_S$ は、液晶表示パネル1の使用温度範囲内およびセルギャップのばらつきの範囲内において、反強誘電性液晶12が強誘電状態を保持するのに十分な電圧に設定されている。

【0081】次に、画像データ変換回路5が実行するデータ変換処理について図13を参照しながら説明する。このデータ変換処理は、信号 PCK に同期してステップS1からスタートする。すなわち、画像データ変換回路5は、ステップS1において信号 CR のレベルを判断し、Lレベルにある(YES)と判断した場合つまり第3サブフレームから第65サブフレームまでのデータ読出期間の場合には、ステップS2に移行してフレームメモリ回路4から画像データ Dm, n を読み込む。上述したように、この画像データ Dm, n は6bitのデータで、画素 $G(m, n)$ の階調を000000Bから111111Bまでの64階調により表している。

【0082】ステップS3において、画像データ変換回路5は信号 GCS のレベルを判断する。ここで、正フィールドの場合には、信号 GCS がHレベルにある(YES)と判断してステップS4に移行し、負フィールドの場合には、信号 GCS がLレベルにある(NO)と判断してステップS6に移行する。

【0083】正フィールドの場合、画像データ変換回路5は、読み込んだ画像データ Dm, n が変数 K よりも大きいかどうかを判断する(ステップS4)。この変数 K は、後述するように、第1、第2サブフレームのデータ準備期間において0にクリアされ、第3サブフレーム、第4サブフレーム、...、第65サブフレームの各データ読出期間において、それぞれ0、1、2、...、62の値を持つ。

【0084】そして、画像データ変換回路5は、ステップS4において画像データ Dm, n が変数 K よりも大きい(YES)と判断するとステップS5に移行して表示

データ $P D m, n$ をHレベルに設定し、画像データ $D m, n$ が変数 K 以下である(NO)と判断するとステップS7に移行して表示データ $P D m, n$ をLレベルに設定する。なお、正フィールドの場合、表示データ $P D m, n$ をHレベル、Lレベルに設定すると、当該画素 $G(m, n)$ にはそれぞれ保持電圧、消去電圧が印加される。

【0085】一方、負フィールドの場合、画像データ変換回路5は、読み込んだ画像データ $D m, n$ が変数 K よりも大きいかどうかを判断する(ステップS6)。そして、画像データ変換回路5は、画像データ $D m, n$ が変数 K よりも大きい(YES)と判断するとステップS7に移行して表示データ $P D m, n$ をLレベルに設定し、画像データ $D m, n$ が変数 K 以下である(NO)と判断するとステップS5に移行して表示データ $P D m, n$ をHレベルに設定する。負フィールドの場合、表示データ $P D m, n$ をLレベル、Hレベルに設定すると、当該画素 $G(m, n)$ にはそれぞれ保持電圧、消去電圧が印加される。

【0086】さらに、画像データ変換回路5は、ステップS1において信号 CR がHレベルにある(NO)と判断した場合つまり第1および第2サブフレームのデータ準備期間の場合には、フレームメモリ回路4からの画像データの読み込みは行わず、ステップS8に移行して表示データ $P D m, n$ をLレベルに設定する。

【0087】以上のステップにより表示データ $P D m, n$ が設定されると、画像データ変換回路5は、その表示データ $P D m, n$ を液晶表示パネル1に対し出力し(ステップS9)、信号 DCK のレベルを判断する。この信号 DCK は、図10~図12に示すように各サブフレームの終了を示す信号で、信号 PCK 1周期分だけHレベルとなる。

【0088】ここで、画像データ変換回路5は、信号 DCK がLレベルである(NO)と判断すると、信号 PCK に同期して再び上述したステップS1からの処理を開始する。これに対し、画像データ変換回路5は、信号 DCK がHレベルである(YES)と判断すると、ステップS11に移行して信号 CR のレベルを判断する。そして、画像データ変換回路5は、信号 CR がLレベルである(YES)と判断すると、ステップS12に移行して変数 K をインクリメントし、信号 CR がHレベルである(NO)と判断すると、ステップS13に移行して変数 K を0にクリアする。変数 K の設定後、信号 PCK に同期して再び上述したステップS1からの処理を開始する。

【0089】さて、図14、15、16は、それぞれ暗表示(黒表示)の画素、中間調表示の画素、明表示(白表示)の画素について、透明電極9の電位、画素電極7の電位、画素への印加電圧、光源6の輝度および画素の輝度を示す波形図である。また、図17は、光源6の制

御を説明するための波形図で、上から順に信号CW、RL、GL、BL、赤色LED・緑色LED・青色LEDのオンオフ動作、光源6のオンオフ動作の各波形を示している。さらに、図18は、液晶表示パネル1に緑色の中間調を持つ画像を表示した場合における透明電極9の電位、画素電極7の電位、画素への印加電圧、光源6の輝度、画素の反射率および画素の輝度を示す波形図である。

【0090】以下、これら図14ないし図18も参照しながら、コントロール回路3による光源6の制御まで含めた画素の階調表示制御について説明する。第1、第2サブフレームのデータ表示期間(時間幅 t_1)では、全ての画素に書き込み電圧 VW (正フィールドの場合)または $-VW$ (負フィールドの場合)が印加され、第2サブフレームのデータ表示期間の終了するまでには全画素の反強誘電性液晶12が強誘電状態(明状態)に変化する。しかし、この期間における明状態は、第3サブフレームから第65サブフレームを用いて行う階調制御のいわば準備状態であるため、スクリーン21に明るく映し出されないようにする必要がある。

【0091】そこで、コントロール回路3は、この期間において信号RL、GL、BLをLレベルとし、光源6内の赤色LED、緑色LED、青色LEDを全て消灯するように制御する。光源6からの出射光が遮断された状態では、画素が強誘電状態(明状態)であってもスクリーン21上においては暗く表示される。さらに、コントロール回路3は、LEDの残光による影響を排除するため、第1サブフレームのデータ表示期間の開始よりも時間 t_3 (例えば数十 μs 程度)だけ早い時点において信号RL、GL、BLをLレベルとする。

【0092】第2サブフレームのデータ表示期間が終了すると、コントロール回路3は、信号RL、GL、BLのうち当該フレームで表示する画像データの色に対応した信号をHレベルとし、光源6内のLEDのうち1つを発光させる。図17および図18に示すように、発光は1フレームごとに赤色(R)LED、緑色(G)LED、青色(B)LEDの順に行われる。なお、フレーム周波数を例えば60Hz以上に設定することにより、ちらつきや色割れを伴うことなくフルカラー表示が可能となる。

【0093】この場合、例えば画像データが0(暗表示)の画素には、第3サブフレームのデータ表示期間の開始時点から直ちに消去電圧が印加される。しかし、反強誘電性液晶12が強誘電状態(明状態)から反強誘電状態(暗状態)に変化するには若干の時間を要する。そこで、コントロール回路3は、第3サブフレームのデータ表示期間の開始時点ではなく、その時点よりも時間 t_2 (例えば数百 μs 程度)だけ遅れた時点において信号RL、GL、BLの何れかをHレベルとすることにより、コントラストの低下を防止している。

【0094】さて、一旦強誘電状態(明状態)とされた各画素は、第3サブフレームないし第65サブフレームにおいて、それぞれの画像データに基づいて強誘電状態(明状態)から反強誘電状態(暗状態)に変化するタイミングがサブフレームを単位として制御される。

【0095】例えば、正フィールドの場合、画素 $G(m, n)$ の画像データを $Dm, n(0)$ とすると、当該画素について第3サブフレームから第 $(2 + Dm, n)$ サブフレームまでの表示データ $P Dm, n$ がHレベルとなり、その表示期間(図15、図16における時間幅 t_4)において画素電極7の電位は V_S となる。透明電極9の電位は $V_E (= 0V)$ であるため、画素 $G(m, n)$ には保持電圧 V_S が印加され、画素 $G(m, n)$ は明状態を保持する。

【0096】そして、第 $(3 + Dm, n)$ サブフレームから第65サブフレームまでの表示データ $P Dm, n$ がLレベルとなり、その表示期間(図15における時間幅 t_5)において画素電極7の電位は V_E となる。透明電極9の電位は V_E であるため、画素 $G(m, n)$ の印加電圧は $0V$ (消去電圧)となり、画素 $G(m, n)$ は暗状態となる。

【0097】また、画像データ Dm, n が0(暗表示)の場合、第3サブフレームから第65サブフレームまでの表示データ $P Dm, n$ が全てLレベルとなり、その表示期間(図14における時間幅 t_5)において画素 $G(m, n)$ の印加電圧は $0V$ (消去電圧)となり、画素 $G(m, n)$ は暗状態となる。

【0098】一方、負フィールドの場合、第3サブフレームから第 $(2 + Dm, n)$ サブフレームまでの表示データ $P Dm, n$ がLレベルとなり、その表示期間(図15、図16における時間 t_4)において画素電極7の電位は V_E となる。透明電極9の電位は V_S であるため、画素 $G(m, n)$ には保持電圧 $-V_S$ が印加され、画素 $G(m, n)$ は明状態を保持する。

【0099】そして、第 $(3 + Dm, n)$ サブフレームから第65サブフレームまでの表示データ $P Dm, n$ がHレベルとなり、その表示期間(図15における時間幅 t_5)において画素電極7の電位は V_S となる。透明電極9の電位は V_S であるため、画素 $G(m, n)$ の印加電圧は $0V$ (消去電圧)となり、画素 $G(m, n)$ は暗状態となる。

【0100】また、画像データ Dm, n が0(暗表示)の場合、第3サブフレームから第65サブフレームまでの表示データ $P Dm, n$ が全てHレベルとなり、その表示期間(図14における時間幅 t_5)において画素 $G(m, n)$ の印加電圧は $0V$ (消去電圧)となり、画素 $G(m, n)$ は暗状態となる。

【0101】これにより、各フレームの各色ごとに、画素が明状態となる時間と暗状態となる時間との比率が64階調に制御され、各画素がその階調に応じた色と輝度

で表示されることにより、スクリーン21上には外部から入力した画像データに基づく画像が映し出される。例えば、図18に示す画素は緑色の中間調として表示される。

【0102】以上述べたように、本実施形態の液晶表示装置は、各フレームごとに、反強誘電性液晶12を用いた液晶表示パネル1の全画素を一旦強誘電状態（明状態）とし、その後各画素について強誘電状態（明状態）から反強誘電状態（暗状態）にするタイミングを制御して画素が明状態となる時間と暗状態となる時間との時間比率を可変設定可能としたので、暗表示（黒表示）と明表示（白表示）は勿論、上記時間比率に応じた中間調表示が可能となる。

【0103】この場合、本実施形態の液晶表示装置は、画素への印加電圧の振幅を制御して反強誘電状態と強誘電状態との混在状態（マルチドメイン状態）を制御する従来構成の液晶表示装置とは異なり、光学的に安定した2つの状態すなわち強誘電状態（明状態）と反強誘電状態（暗状態）のみを用いて中間調を表示する。

【0104】従って、使用温度範囲内において所定時間（図14～図16における時間 t_1 ）内に反強誘電性液晶12が確実に強誘電状態に変化するように書き込み電圧 VW 、 $-VW$ を設定し、その強誘電状態が確実に保持されるように保持電圧 VS 、 $-VS$ を設定することにより、セルギャップや温度のばらつきによる表示むらの発生を抑制することができ、中間調を持つ画像を高品質で表示することができる。また、温度に応じた電圧制御が不要となり、階調表示制御が簡便化される。

【0105】しかも、各画素ごとにトランジスタ213、214を設けることにより、暗状態の画素には電圧が印加されないの、反強誘電性液晶12特有の反強誘電状態から強誘電状態へ転移する際の前駆現象による光漏れがなく、コントラストを高めることができる。

【0106】また、液晶表示パネル1に用いられる反強誘電性液晶12は、強誘電状態（明状態）と反強誘電状態（暗状態）との間の状態変化に要する時間が短いため、画像データに基づいて制御される明状態と暗状態との時間比率とそれによりスクリーン21上に表示される中間調の輝度とがほぼ比例した関係となり、階調表示制御が一層容易となる。

【0107】さらに、液晶表示装置は、第1、第2サブフレームにおいて一旦明状態とした各画素について、第3サブフレームからその画像データに応じた数のサブフレームを連続して明状態に保持し、その後第65サブフレームまでを連続して暗状態に制御するので、1フレーム内において明状態から暗状態への変化が1度だけとなり、画素の状態が不定となる時間（状態変化時間）が減少する。これにより、一層高精度の中間調表示が可能となる。

【0108】液晶表示パネル1は、サブフレームごと

に、各画素の画素電極7に画像データに基づく電位を一斉に与える全面同時駆動を行うので、液晶表示パネル1の画素数が多い場合であっても、画素を明状態とするための電荷充電時間を十分に確保することができ、不足充電（不足放電）による明状態（暗状態）への応答低下を防止することができ、輝度を向上させることができる。また、全面同時駆動を採用すると、各画素の表示と光源6の点灯・消灯制御との同期が取り易くなり、光源6からの出射光の利用効率が向上してより高輝度を得ることができる。

【0109】コントロール回路3は、第1、第2サブフレームにおいて全画素を一旦明状態とした後、第3サブフレームの開始から、少なくとも反強誘電性液晶12の明状態から暗状態への状態変化時間よりも長く設定された時間 t_2 だけ遅れて光源6を点灯するので、暗表示（黒表示）とする画素からの光漏れを防止でき、コントラストを高めることができる。

【0110】また、コントロール回路3は、第1サブフレームの開始時点に対し、少なくとも光源6の残光時間よりも長く設定された時間 t_3 だけ前に光源6を消灯制御するので、第1、第2サブフレームにおいて光源6の残光が漏れるのを防止することができ、コントラストを高めることができる。

【0111】さらに、コントロール回路3は、例えば正フィールドの場合、共通電極である透明電極9に対し書き込み電圧 $-VW$ （ $-20V$ ）を印加し、画素ごとに設けられたトランジスタ213、214を介して画素電極7に対し保持電圧 VS （ $5V$ ）、消去電圧 VE （ $0V$ ）を印加するので、トランジスタ213、214の耐圧を下げることができ、比較的低コストの製造プロセスを採用できる。

【0112】そして、これらトランジスタ213、214は移動度の大きい単結晶のシリコン基板13上に形成されているので、トランジスタ213、214の充放電能力が高くなり且つ高周波駆動が可能となる。また、シリコン基板13上に平坦化層14を設け、その上面部に反射板の機能を併せ持つ画素電極7を配設したので、開口率が高くなり輝度の向上を図ることができる。

【0113】なお、本発明は、上記した実施形態に限定されるものではなく、次のように変形または拡張が可能である。上記実施形態では、各色について1フレームを65のサブフレームに等分割し、このうち2つのサブフレームを使用して全画素を明状態とし、63のサブフレームを使用して64階調の表示を行ったが、これらサブフレームの設定数は、液晶表示装置の使用温度範囲や液晶の特性などに応じて適宜決定すれば良い。

【0114】液晶表示パネル1はマトリクス型に替えてセグメント型を用いても良い。また、カラー表示に限らず単色表示としても良く、さらに反射型に限らず透過型としても良い。スイッチング素子は、MOSトランジス

タに限らず他の能動素子であっても良い。液晶表示パネル1に使用する液晶としては反強誘電性液晶12に限られず、例えば強誘電性液晶、ネマチック液晶を採用しても良い。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す液晶表示装置の全体的な電気的構成図

【図2】液晶表示パネルの模式的断面図

【図3】液晶表示パネルに対して設けられる光学系の模式的構成図

【図4】液晶表示パネルの要部について示す電気的構成図

【図5】列駆動回路の電気的構成図

【図6】共通電極駆動回路の電気的構成図

【図7】フレームメモリ回路の概略的な電気的構成図

【図8】フレームメモリへの画像データの書き込み動作を示すタイミングチャート

【図9】フレームメモリへの書き込みデータを示す図

【図10】画像データの読み出し動作および表示データの液晶表示パネルへの表示動作を示す各信号のタイミングチャート(その1)

【図11】画像データの読み出し動作および表示データの液晶表示パネルへの表示動作を示す各信号のタイミングチャート(その2)

*【図12】画像データの読み出し動作および表示データの液晶表示パネルへの表示動作を示す各信号のタイミングチャート(その3)

【図13】画像データ変換回路が実行するデータ変換処理を示すフローチャート

【図14】暗表示とする画素の電極電位、印加電圧、輝度および光源の輝度を示す波形図

【図15】中間調表示とする画素の電極電位、印加電圧、輝度および光源の輝度を示す波形図

10 【図16】明表示とする画素の電極電位、印加電圧、輝度および光源の輝度を示す波形図

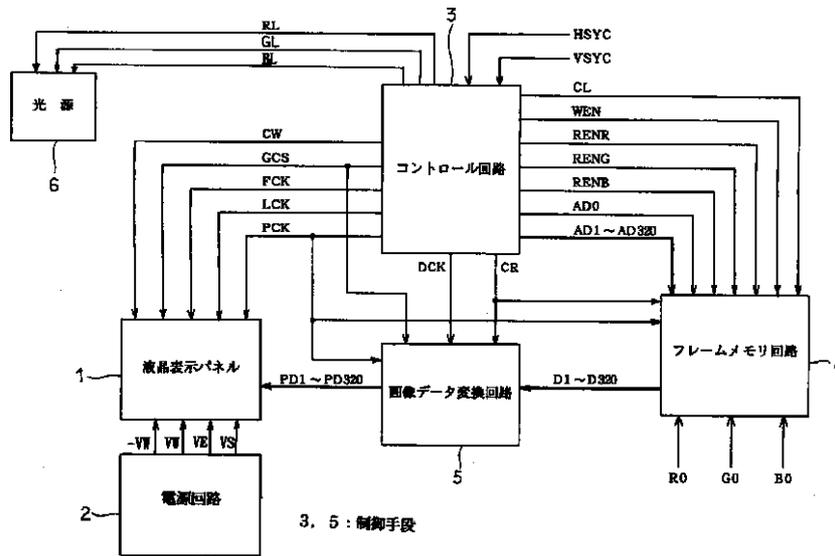
【図17】光源制御を説明するための波形図

【図18】液晶表示パネルに緑色の中間調の画像を表示した場合における画素の電極電位、印加電圧、反射率、輝度および光源の輝度を示す波形図

【符号の説明】

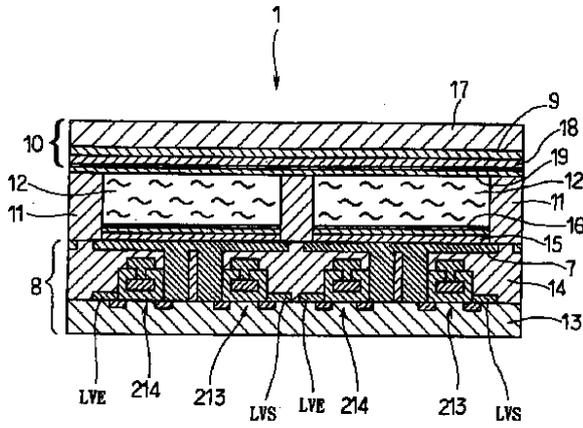
1は液晶表示パネル、3はコントロール回路(制御手段)、5は画像データ変換回路(制御手段)、6は光源、7は画素電極、8はアクティブマトリクス基板(基板)、9は透明電極(対向電極)、10は対向基板(基板)、12は反強誘電性液晶、13はシリコン基板(単結晶シリコン基板)、20は偏光ビームスプリッタ(偏光手段)、213、214はトランジスタ(スイッチング素子)を示す。

【図1】



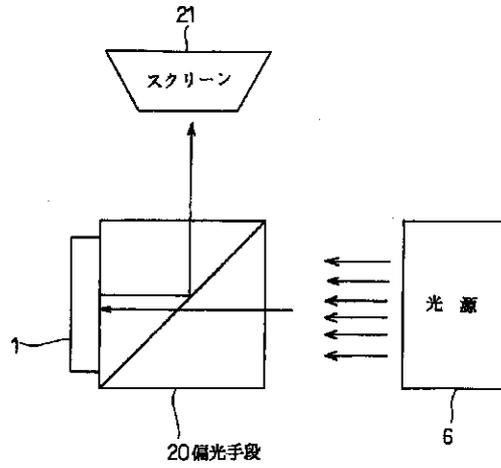
3, 5: 制御手段

【図2】

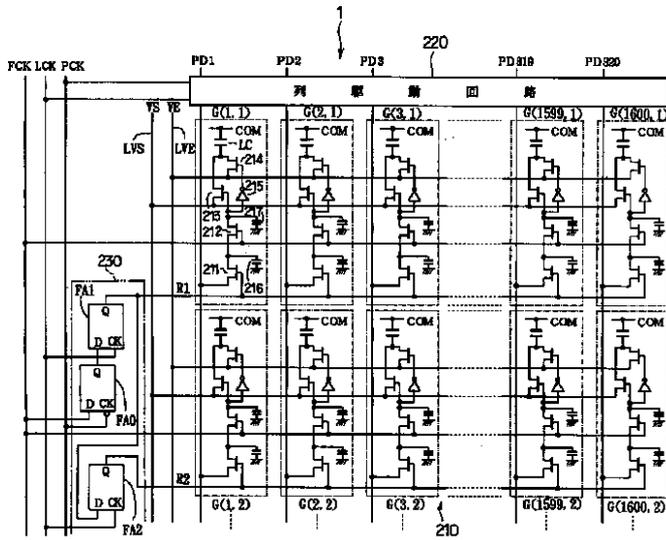


- 7: 画素電極
- 9: 対向電極
- 8, 10: 基板
- 12: 液晶
- 13: 単結晶シリコン基板
- 213, 214: スイッチング素子

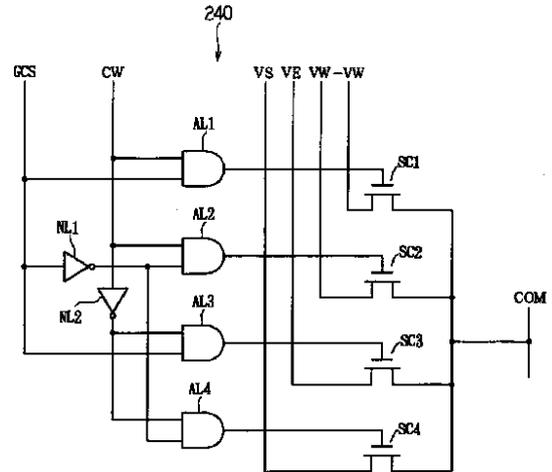
【図3】



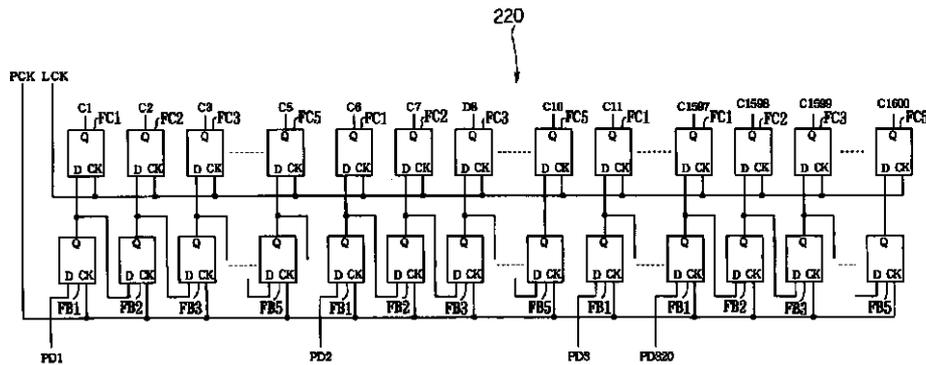
【図4】



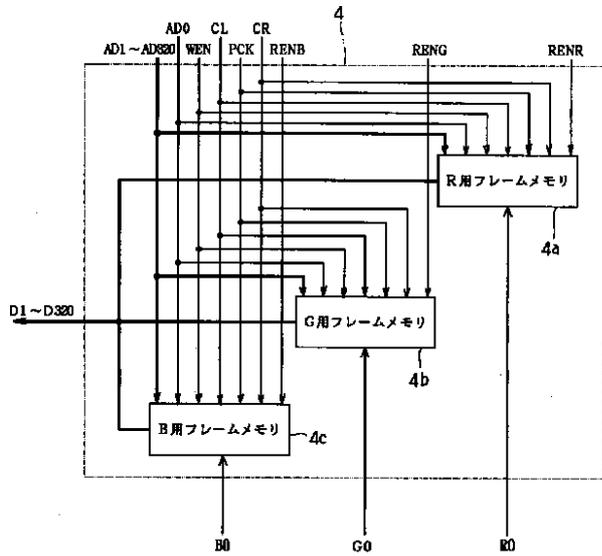
【図6】



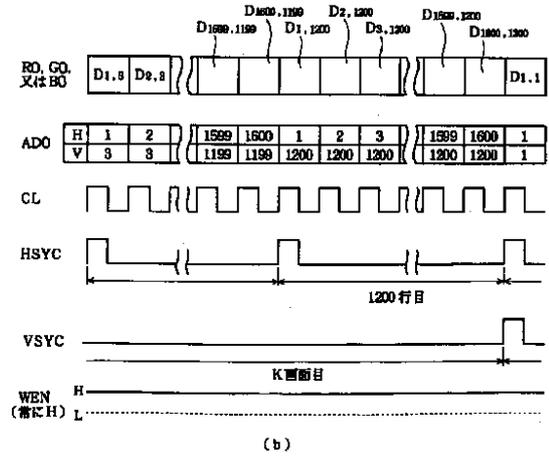
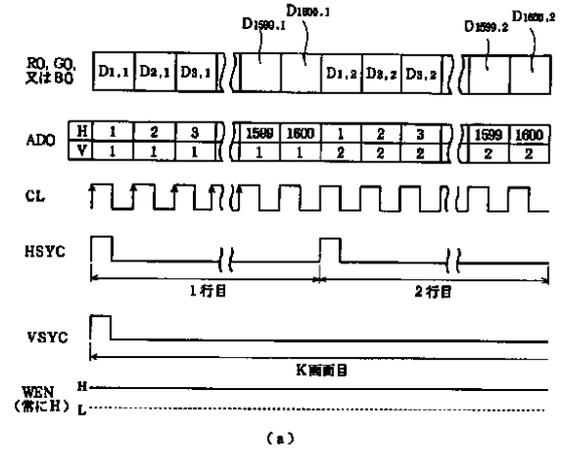
【図5】



【図7】



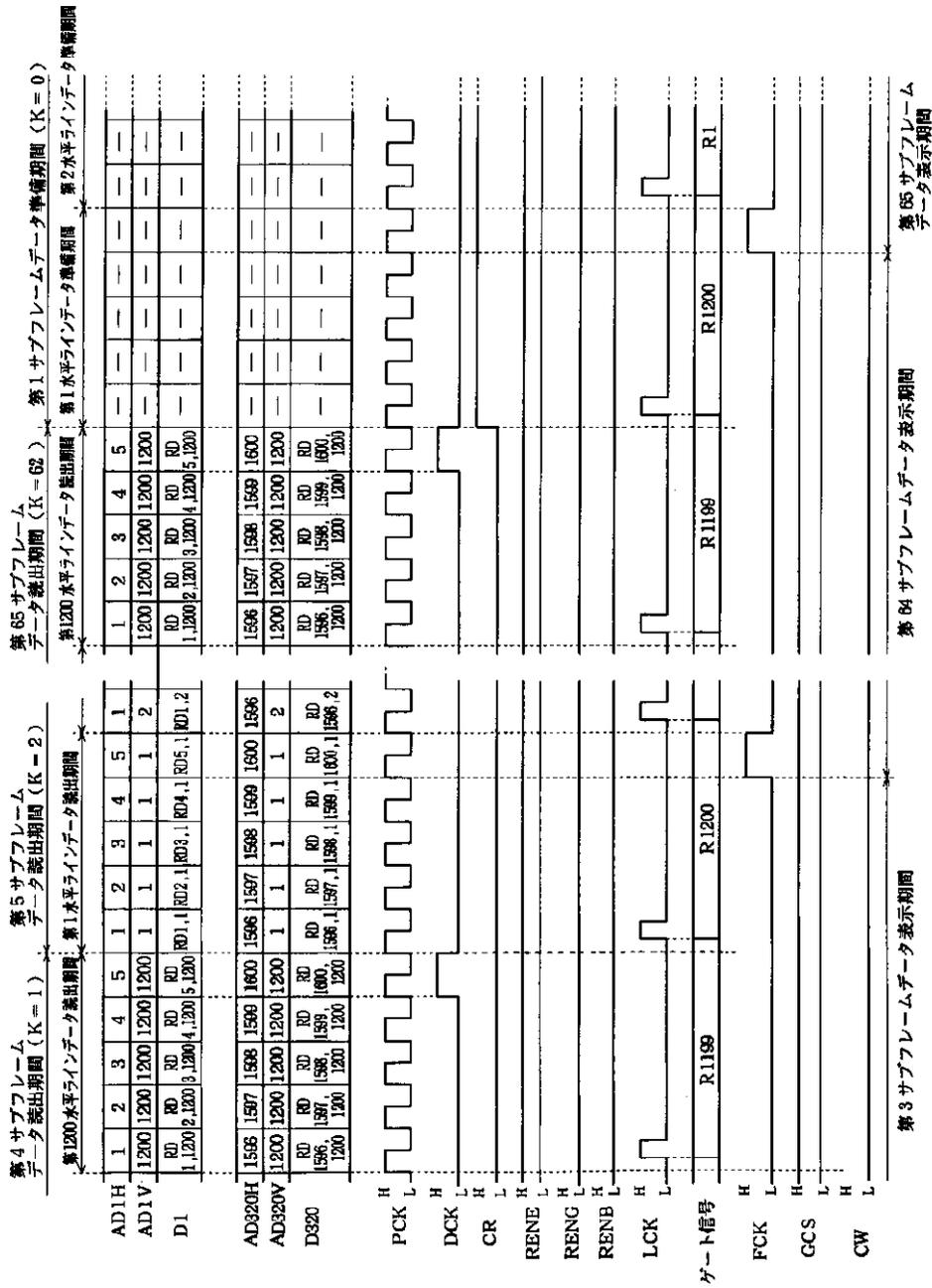
【図8】



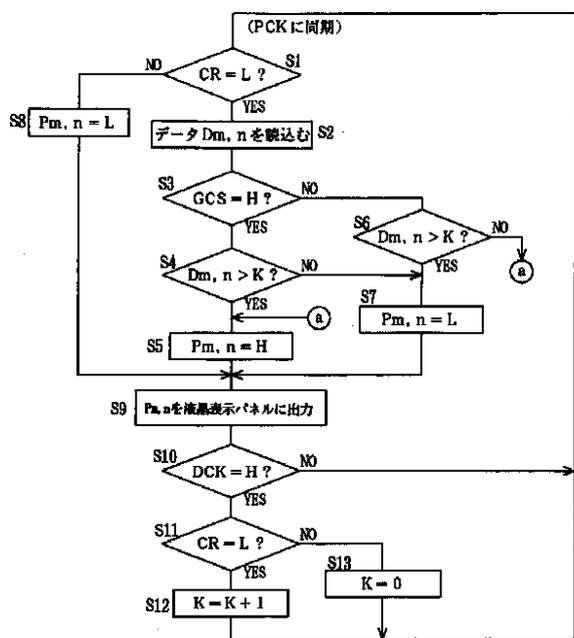
【図9】

	H	1	2	3	4	5	6	7					
V		D1.1	D2.1	D3.1	D4.1	D5.1	D6.1	D7.1		D1597.1	D1598.1	D1599.1	D1600.1
	1	D1.1	D2.1	D3.1	D4.1	D5.1	D6.1	D7.1		D1597.2	D1598.2	D1599.2	D1600.2
	2	D1.2	D2.2	D3.2	D4.2	D5.2	D6.2	D7.2		D1597.3	D1598.3	D1599.3	D1600.3
	3	D1.3	D2.3	D3.3	D4.3	D5.3	D6.3	D7.3		D1597.4	D1598.4	D1599.4	D1600.4
	4	D1.4	D2.4	D3.4	D4.4	D5.4	D6.4	D7.4					
	1200	D1.1200	D2.1200	D3.1200	D4.1200	D5.1200	D6.1200	D7.1200		D1597.1200	D1598.1200	D1599.1200	D1600.1200

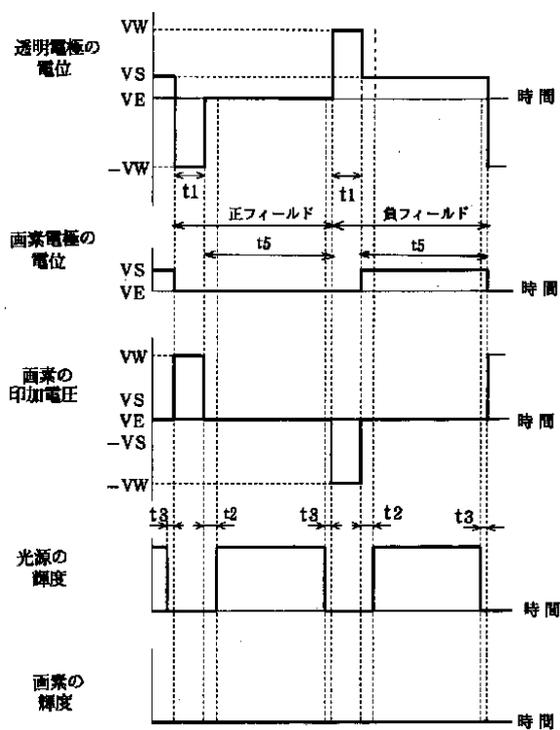
【図11】



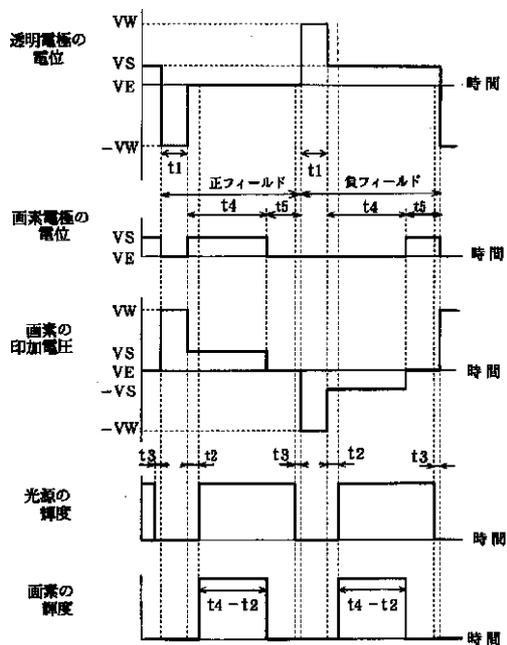
【図13】



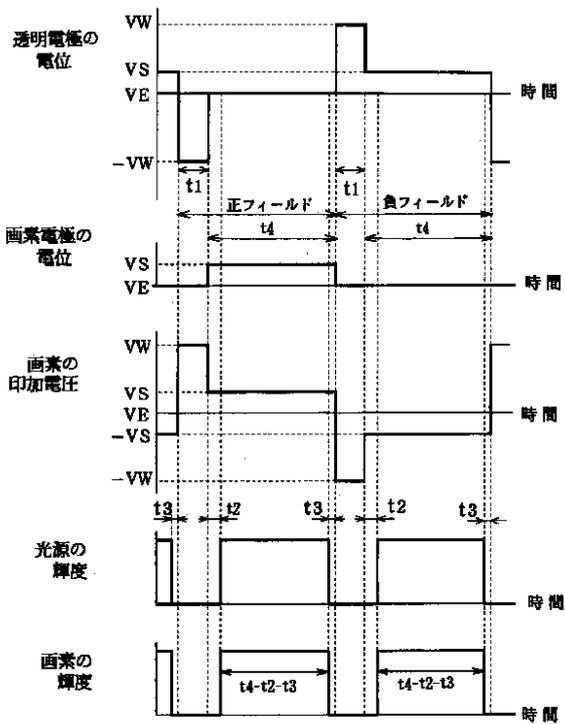
【図14】



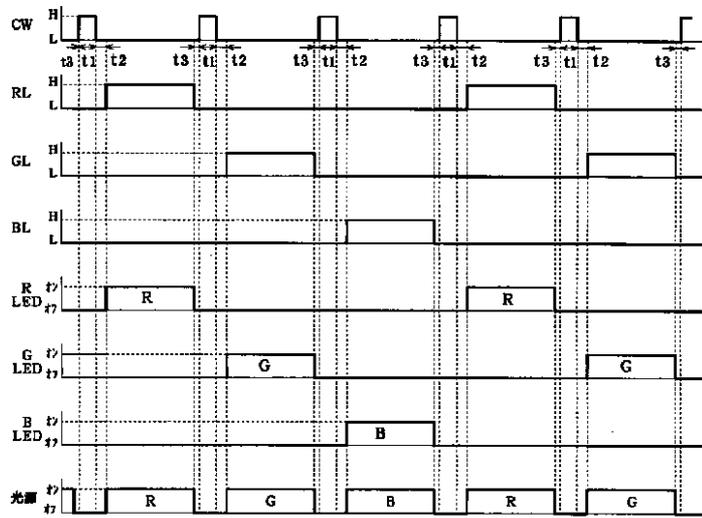
【図15】



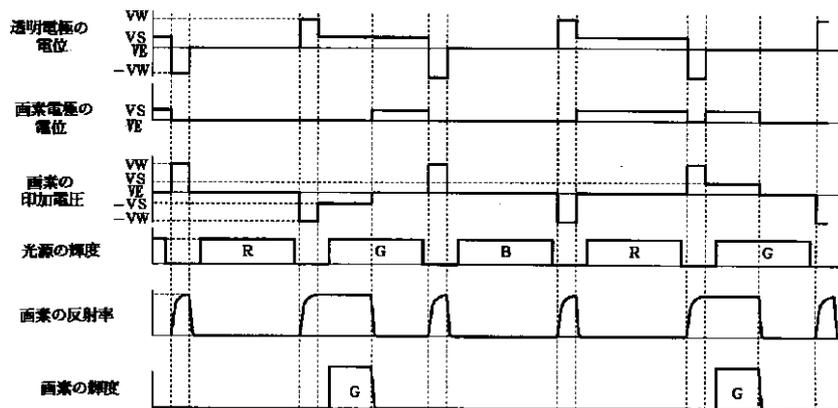
【図16】



【図17】



【図18】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	FI	テ-マコード(参考)
G 0 9 G 3/34		G 0 9 G 3/34	J
H 0 4 N 5/66	1 0 2	H 0 4 N 5/66	1 0 2 B
9/30		9/30	

Fターム(参考) 2H093 NA16 NA33 NA43 NA55 NA80
NC03 NC13 NC22 NC23 NC25
NC26 NC28 NC33 ND06 ND52
NE07 NF20 NG02
5C006 AA14 AA15 AA22 AC11 AF01
AF44 BA11 BB16 BC16 BF02
BF06 BF26 EA01 FA56
5C058 AA07 AB03 BA06 BB13 EA01
EA13 EA26
5C060 BA03 BA08 BB13 BC00 BC01
BC05 BE05 BE10 DA06 DA07
DB03 DB09 DB13 HA13 HA16
HB25 HB26
5C080 AA10 BB05 CC03 DD05 EE29
FF11 JJ02 JJ03 JJ04 JJ06
JJ07

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001312251A	公开(公告)日	2001-11-09
申请号	JP2000128007	申请日	2000-04-27
[标]申请(专利权)人(译)	日本电装株式会社		
申请(专利权)人(译)	Denso公司		
[标]发明人	中村耕治 柿崎勝		
发明人	中村 耕治 柿崎 勝		
IPC分类号	G02F1/133 G09G3/20 G09G3/34 G09G3/36 H04N5/66 H04N9/30		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.560 G09G3/20.641.A G09G3/20.641.E G09G3/34.J H04N5/66.102.B H04N9/30		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA43 2H093/NA55 2H093/NA80 2H093/NC03 2H093/NC13 2H093/NC22 2H093/NC23 2H093/NC25 2H093/NC26 2H093/NC28 2H093/NC33 2H093/ND06 2H093/ND52 2H093/NE07 2H093/NF20 2H093/NG02 5C006/AA14 5C006/AA15 5C006/AA22 5C006/AC11 5C006/AF01 5C006/AF44 5C006/BA11 5C006/BB16 5C006/BC16 5C006/BF02 5C006/BF06 5C006/BF26 5C006/EA01 5C006/FA56 5C058/AA07 5C058/AB03 5C058/BA06 5C058/BB13 5C058/EA01 5C058/EA13 5C058/EA26 5C060/BA03 5C060/BA08 5C060/BB13 5C060/BC00 5C060/BC01 5C060/BC05 5C060/BE05 5C060/BE10 5C060/DA06 5C060/DA07 5C060/DB03 5C060/DB09 5C060/DB13 5C060/HA13 5C060/HA16 5C060/HB25 5C060/HB26 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/JJ07 2H093/NC42 2H193/ZA03 2H193/ZC15 2H193/ZD25 2H193/ZE31 2H193/ZF03 2H193/ZQ26 2H193/ZR02		
代理人(译)	佐藤 强		
外部链接	Espacenet		

摘要(译)

解决的问题：减少由于液晶盒间隙和温度变化引起的显示不均匀，并显示高质量的半色调。液晶显示面板（1）在彼此相对的一对基板中的一个基板上，隔着反铁电性液晶具有像素电极和与矩阵状连接的像素电极连接的开关元件，在另一侧具有共用的对电极。形成。控制电路3将每个帧中的所有像素临时设置为铁电状态（亮状态），然后基于从帧存储电路4读取的图像数据，将每个像素设置为铁电状态（亮状态）的时间。通过控制相对于反铁电状态（暗状态）的比率，可以根据该比率显示半色调。

