

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 305510

(P2001 - 305510A)

(43)公開日 平成13年10月31日(2001.10.31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133 550	2 H 0 9 3
G 0 9 G 3/20	622	G 0 9 G 3/20 622 F	5 C 0 0 6
		622 Q	5 C 0 8 0
3/36		3/36	

審査請求 未請求 請求項の数 5 O L (全 8 数)

(21)出願番号 特願2000 - 122689(P2000 - 122689)

(22)出願日 平成12年4月24日(2000.4.24)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 山野 敦浩

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 千田 耕司

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

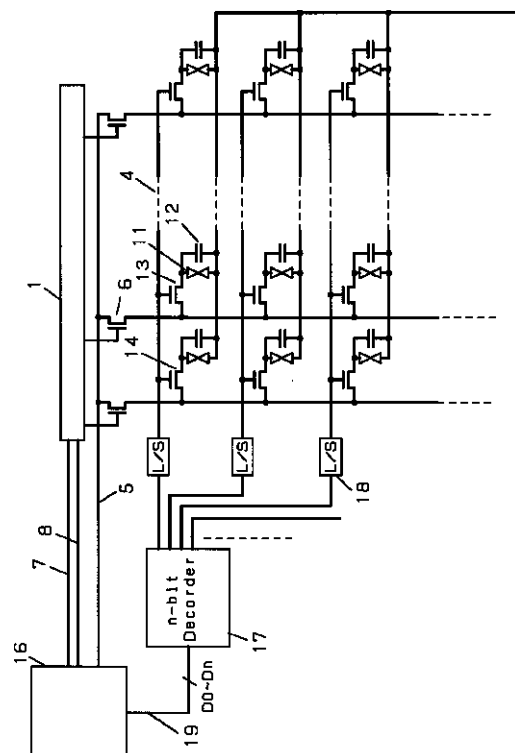
最終頁に続く

(54)【発明の名称】 アクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 より小さなレイアウト面積でデコーダ回路を構成する。

【解決手段】 薄膜トランジスタによる駆動回路内蔵型アクティブマトリクス液晶表示装置において、薄膜トランジスタで構成された垂直走査回路の構成として、外部液晶コントローラ回路からのアドレス信号をデコーダ回路でデコードすることにより、走査信号配線をランダム走査する構成であって、薄膜トランジスタによるデコーダ回路の構成として、プルアップ抵抗と複数のスイッチング素子で構成されたことを特徴とする。



【特許請求の範囲】

【請求項 1】絶縁基板上にマトリクス状に配置された複数の表示信号配線と複数の走査信号配線と、前記各表示信号配線と前記各走査信号配線の交点に対応して配置された複数の画素電極と、前記各画素電極に接続された複数のスイッチング素子と、前記走査信号配線に信号を与える垂直走査回路とを含むアクティブマトリクス型液晶表示装置であって、前記垂直走査回路が外部液晶コントローラからのアドレス信号をデコードすることにより、前記走査信号配線をランダム走査するデコーダ回路で構成されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】前記デコーダ回路が、プルアップ抵抗と複数の薄膜トランジスタによるスイッチング素子で構成されたことを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【請求項 3】前記プルアップ抵抗の抵抗値が、前記スイッチング素子の直列 ON 抵抗の 4 倍以上であることを特徴とする請求項 2 記載のアクティブマトリクス型液晶表示装置。

【請求項 4】前記プルアップ抵抗が、N チャンネル型薄膜トランジスタの LDD 部を構成する N - 抵抗を利用して構成されたことを特徴とする請求項 3 記載のアクティブマトリクス型液晶表示装置。

【請求項 5】前記薄膜トランジスタが、低温ポリシリコンによる薄膜トランジスタであることを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタによる駆動回路内蔵方式アクティブマトリクス型液晶表示装置の駆動回路に関するものであり、主に低消費電力駆動が可能なパルス幅変調 (PWM) 等のデジタル駆動を実現することを目的とするものである。

【0002】

【従来の技術】薄膜トランジスタによる駆動回路内蔵方式アクティブマトリクス型液晶表示装置のアレー基板の一般的な構成を図 4 に示す。図 4 において、1 は水平走査回路、2 は垂直走査回路、3 は表示信号配線 (ソースライン)、4 は走査信号配線 (ゲートライン)、5 は画像信号配線、6 は表示信号配線用スイッチング素子、7 は水平走査回路用クロック信号、8 は水平走査回路用スタートパルス信号、9 は垂直走査回路用クロック信号、10 は垂直走査回路用スタートパルス信号、11 は液晶素子、12 は蓄積容量、13 は画素電極、14 は画素電極用スイッチング素子 (画素トランジスタ)、15 は対向電極 V_{com} であり、これらは同一のガラス基板 (図示せず) 上に同一の工程を用いて形成されている。16 は外部液晶コントローラである。

【0003】図 4 の液晶表示装置の動作を簡単に説明す

ると、外部液晶コントローラ 16 から画像信号配線 5 に入力された画像信号データは、水平走査回路 1 により表示信号配線用スイッチング素子 6 が 1 水平走査期間にわたって順次 ON されて、表示信号配線 3 に順次書き込まれていく。表示信号配線 3 は、液晶パネルの大きさにもよるが、一般に数 pF ~ 数 10 pF 程度の配線容量を持っており、書き込まれた画像信号を保持できる。一方、走査信号配線 4 には、垂直走査回路 2 により 1 水平走査期間ごとに、順次高電圧が書き込まれていく。走査信号配線 4 は、画素電極 13 を通して画素電極用スイッチング素子 14 (1 ライン分) に接続されているので、1 ライン分の画素電極用スイッチング素子が一斉に ON し、表示信号配線 3 に保持された画像信号データが、液晶素子 11 並びに蓄積容量 12 に書き込まれて、液晶素子をコントロールする。1 水平走査期間にわたって、1 ライン分の画像信号データが液晶素子 11 に書き込まれると、走査信号配線 4 には低電圧が書き込まれ、1 ライン分の画素電極用スイッチング素子が一斉に OFF し、液晶素子 11 に書き込まれた画像信号データを保持する。以上の動作が各ラインごとに順次行われることにより、液晶パネル全体の液晶素子に画像信号データを書き込まれ表示が可能となる。

【0004】図 5 に、薄膜トランジスタによる垂直走査回路 2 の一般的な構成を示す。垂直走査回路はシフトレジスタで構成されているので、外部からクロック信号を入力する必要がある。クロック信号は通常、外部液晶コントローラ 16 から入力されるが、外部液晶コントローラは結晶 Si で作られているので電源電圧が低く、クロック信号は低振幅であるため、薄膜トランジスタで構成されたシフトレジスタ回路を駆動できない。従って、図 5 に示すように、レベルシフタ回路 a を設けて、低振幅のクロック信号を高振幅のクロック信号に変換して、シフトレジスタに入力している。シフトレジスタの出力信号は、レベルシフタ回路 b を通して、14 の画素電極用スイッチング素子の ON, OFF 用の高電圧、低電圧に変換されて走査信号配線 4 に伝達される。

【0005】

【発明が解決しようとする課題】しかしながらこのようなシフトレジスタ型の垂直走査回路の構成では、走査信号配線は上から下に順番にしか走査できず、ランダムに走査することはできない。低消費電力駆動が可能なパルス幅変調 (PWM) 等のデジタル駆動を実現するためには、走査信号配線はランダムに走査する必要があり、垂直走査回路は液晶コントローラからのアドレス信号をデコードする回路で構成しなければならない。何ビットのデコーダ回路が必要なのかは、走査信号配線の本数により決まるが、サブミクロン加工が不可能な薄膜トランジスタで、このようなデコード回路を CMOS 構成で実現し内蔵すると、大きなレイアウト面積を必要とし、実用的ではない。本発明はかかる点に鑑みてなされたもの

であり、より小さなレイアウト面積でデコーダ回路を構成することにより、低消費電力駆動が可能なパルス幅変調（PWM）等のデジタル駆動を実現する薄膜トランジスタによる駆動回路内蔵方式アクティブマトリクス型液晶表示装置とその駆動回路を提供することを目的とする。

【0006】

【課題を解決するための手段】上記目的を達成するために、本発明による薄膜トランジスタによる駆動回路内蔵方式アクティブマトリクス型液晶表示装置は、垂直走査回路として、プルアップ抵抗と複数のスイッチング素子で構成されたデコーダ回路で構成されたことを特徴とする。これにより、従来のCMOS回路で構成されたデコーダ回路と比較して、より簡単な回路構成となるので、加工ルールの大きな薄膜トランジスタでもより小さなレイアウト面積で駆動回路を内蔵でき、低消費電力駆動が可能なパルス幅変調（PWM）等のデジタル駆動を、駆動回路内蔵方式アクティブマトリクス型液晶表示装置で実現することが可能となる。

【0007】

【発明の実施の形態】本発明は、絶縁基板上にマトリクス状に配置された複数の表示信号配線と複数の走査信号配線の交点上の画素電極に、スイッチング素子を具備したアクティブマトリクス型液晶表示装置において、走査信号配線に信号を与える垂直走査回路が、薄膜トランジスタにより液晶表示装置に内蔵された構成であって、垂直走査回路が外部液晶コントローラからのアドレス信号をデコードすることにより、走査信号配線をランダム走査することを特徴としている。

【0008】この構成によれば、走査信号配線をランダムに走査することができるので、低消費電力駆動が可能なパルス幅変調（PWM）等のデジタル駆動を、駆動回路内蔵方式アクティブマトリクス型液晶表示装置で実現することが可能となる。

【0009】本発明は、さらに薄膜トランジスタによる駆動回路において、薄膜トランジスタによるデコーダ回路の構成として、プルアップ抵抗と複数のスイッチング素子で構成されたことを特徴としている。

【0010】この構成によれば、従来のCMOS回路で構成されたデコーダ回路と比較して、トランジスタ素子の数が半分以下となって回路規模が小さくなり、加工ルールの大きな薄膜トランジスタでもレイアウト面積は小さくなり、駆動回路を内蔵することが可能となる。

【0011】本発明は、さらに薄膜トランジスタによる駆動回路において、プルアップ抵抗の抵抗値として、薄膜トランジスタによるスイッチング素子の直列ON抵抗の4倍以上としたことを特徴としている。

【0012】この構成によれば、薄膜トランジスタによるスイッチング素子のON抵抗が大きくても、デコーダ回路のLow出力信号は、必ず電源電圧の1/5以下と

なって誤動作することはないので、スイッチング素子を最小設計ルールで作成でき、レイアウト面積を小さくすることができる。

【0013】本発明は、さらに薄膜トランジスタによる駆動回路において、プルアップ抵抗の構成方法として、Nチャンネル型薄膜トランジスタのLDD部を構成するN-抵抗を利用したことを特徴としている。

【0014】この構成によれば、プルアップ抵抗をシート抵抗の大きいN-抵抗で構成するので、より小さいレイアウト面積でデコーダ回路を実現することができる。また、N-抵抗はばらつきが比較的大きいが、プルアップ抵抗値をスイッチング素子の直列ON抵抗の4倍以上としているので、正しくLow信号が出力され、誤動作することはない。

【0015】本発明は、さらに薄膜トランジスタによる駆動回路において、薄膜トランジスタとして、低温ポリシリコンによる薄膜トランジスタを用いたことを特徴としている。

【0016】この構成によれば、低温ポリシリコンによる薄膜トランジスタを用いると、プロセスは複雑となるが、アモルファスシリコン等の他の薄膜トランジスタを用いるよりも、より小さなレイアウト面積で駆動回路を実現できる。

【0017】以下、本発明の各実施の形態を説明する。

【0018】（実施の形態1）図1を用いて、本発明の実施の形態1について説明する。図1に示すように、本発明は、垂直走査回路が、走査信号配線の本数によって決まるnビットのデコーダ回路で構成され、薄膜トランジスタにより液晶表示装置に内蔵された構成であることを特徴としている。17はnビットのデコーダ回路、18はレベルシフト回路、19は液晶コントローラからの外部デジタル信号である。図1において、液晶コントローラ16からは、走査すべき走査信号配線のアドレス信号が垂直走査回路に入力される。垂直走査回路では、このアドレス信号をデコーダ回路によりデコードすることにより、走査すべき走査信号配線にON信号が出力される。デコーダ回路と走査信号配線間にはレベルシフト回路があって、デコーダ回路からのON信号を高電圧に昇圧して、画素トランジスタをONし、表示信号を書き込む。また、選択されていない走査信号配線に対しては、デコーダ回路からOFF信号が出力され、レベルシフト回路により低電圧に降圧され、画素トランジスタをOFF状態に保つ。

【0019】以上の動作を、液晶コントローラから走査すべき走査信号配線のアドレス信号を出力して繰り返すことにより、走査信号配線のランダム走査が可能となり、低消費電力駆動が可能なパルス幅変調（PWM）等のデジタル駆動を実現することができる。

【0020】（実施の形態2）本発明の実施の形態2であるデコーダ回路について説明する。一般に、液晶表示

パネルの走査信号配線の本数は200本以上あるので、8ビット程度のデコーダ回路が必要であるが、説明の都合上、ここでは6ビットデコーダ回路を想定して説明する。6ビットデコーダを単純にCMOS回路で構成すると、図6に示すように、6入力NAND回路が64個必要となる。6入力NAND回路は、図7に示すように、12個のトランジスタ素子で構成されるので、6ビットデコーダ全体では、 $12 \times 64 = 768$ 個のトランジスタ素子が必要となる。

【0021】一般には、トランジスタ素子を減らすために、図8に示すように、6ビットデコーダ回路を3ビットデコーダ $\times$ 3ビットデコーダで構成する。この場合、図9に示すような3ビットデコーダ回路が計9個必要となる。このような3ビットデコーダ回路を従来のCMOS回路で構成すると、図10に示す3入力NANDが8個必要となり、6ビットデコーダ回路全体で必要なトランジスタ素子数は $9 \times 8 \times 6 = 432$ 個となって、6入力NAND回路を用いる場合より、トランジスタ素子数が減少する。

【0022】本発明の第2の実施例では、このトランジスタ素子数を更に減少させる構成を提供するものである。図2、3に本発明の薄膜トランジスタによるデコーダ回路(6ビットの場合)を示す。6ビットデコーダ回路の回路構成は、図8と同じ3ビットデコーダ回路a $\times$ 3ビットデコーダ回路b構成であり、3ビットデコーダ回路a、bとも、プルアップ抵抗とNch薄膜トランジスタによるスイッチング素子で形成されている。図2は図8における3ビットデコーダ回路bを、図3は図8における3ビットデコーダ回路aを示している。この構成により、プルアップ抵抗からグラウンドラインまで、シリーズに接続された3つのスイッチング素子がすべてONになっているパスだけ、Lowレベルの信号が出力され、その他のパスはプルアップ抵抗を通して、Highレベルの信号が出力される。この構成では、14個のトランジスタ素子で構成される3ビットデコーダ回路が9個必要なので、6ビットデコーダ回路全体では、わずか126個($= 14 \times 9$)のトランジスタ素子で実現できる。

【0023】以上の説明は、6ビットデコーダ回路の場合であり、実際には8ビット程度のデコーダ回路が必要であって、本発明のデコーダ回路による効果は更に大きくなり、特にサブミクロン加工が不可能な薄膜トランジスタによる内蔵型液晶駆動回路では、大いにその威力を発揮するものである。

【0024】(実施の形態3)本発明の実施の形態3では、デコーダ回路を形成するプルアップ抵抗について言及する。本発明のデコーダ回路は、実施の形態2で説明したように、電源電圧をプルアップ抵抗とシリーズに接続されたスイッチング素子のON抵抗で抵抗分割した値が出力される。従って、出力信号が十分Lowレベルと

*なるためには、プルアップ抵抗をスイッチング素子の直列ON抵抗の4倍以上確保しておけばよい。例えば、スイッチング素子として、Nch薄膜トランジスタを用いた場合、トランジスタのゲート幅/ゲート長=1程度で設計すると、1個当たりのスイッチング素子のON抵抗は約50k Ω 程度であり、それがシリーズに3個接続されるので(3ビットデコーダの場合)、直列ON抵抗は150k Ω 程度となり、プルアップ抵抗はその4倍の600k Ω 程度とすればよい。

【0025】このような抵抗値の大きいプルアップ抵抗は、Nch薄膜トランジスタのLDD部を構成するN-抵抗を用いればよい。一般に、N-シート抵抗は10k $\Omega/\square \sim 50k\Omega/\square$ 程度あるので、例えば600k Ω のプルアップ抵抗を幅4 μm で作成した場合、長さは240 μm (10k $\Omega/\square$ の場合) $\sim$ 48 μm (50k $\Omega/\square$ の場合)で作成できる。N-シート抵抗は、装置の性能等により比較的ばらつきが大きい、プルアップ抵抗をスイッチング素子の直列抵抗の4倍以上確保しておけば、多少シート抵抗がばらついていても、誤動作することはない。

【0026】(実施の形態4)本発明の実施の形態4では、本発明のデコーダ回路による垂直走査回路を低温ポリシリコンによる薄膜トランジスタで内蔵して、パルス幅変調(PWM)によるデジタル駆動を実現したことについて言及する。一般に、従来のアナログ駆動では、携帯端末から出力されるデジタルの表示信号をD/A変換し、オペアンプを通して液晶パネルに供給する。D/A変換部とオペアンプは大きな消費電力を費やし、動画表示で約30mW程度(2 $\sim$ 3インチクラスの液晶パネルの場合)の消費電力を費やしていた。それに対して、本発明の低温ポリシリコンによるデコーダ方式内蔵型垂直走査回路のデジタル駆動では、D/A変換部やオペアンプが必要無いので、動画表示で約5mW程度の消費電力であった。

【0027】

【発明の効果】以上のように、本発明の薄膜トランジスタによるデコーダ回路の垂直走査回路を内蔵した液晶表示装置によれば、低消費電力駆動が可能なパルス幅変調(PWM)等のデジタル駆動を、より少ないレイアウト面積で実現することが可能となり、その実用的効果は大きい。

【図面の簡単な説明】

【図1】本発明の第1の実施形態における垂直走査回路の回路図

【図2】本発明の第2の実施形態におけるデコーダ回路bの回路図

【図3】本発明の第2の実施形態におけるデコーダ回路aの回路図

【図4】薄膜トランジスタによる駆動回路内蔵方式アクティブマトリクス型液晶表示装置の一般的な構成図

【図5】薄膜トランジスタによる垂直走査回路の一般的な構成図

【図6】6ビットデコーダ回路を示す図

【図7】6入力NANDを示す図

【図8】6ビットデコーダ回路を示す図

【図9】3ビットデコーダ回路を示す図

【図10】3入力NANDを示す図

【符号の説明】

1 水平走査回路

2 垂直走査回路

3 表示信号配線

4 走査信号配線

5 画像信号配線

6 表示信号配線用スイッチング素子

*7 水平走査回路用クロック信号

8 水平走査回路用スタートパルス信号

9 垂直走査回路用クロック信号

10 垂直走査回路用スタートパルス信号

11 液晶素子

12 蓄積容量

13 画素電極

14 画素電極用スイッチング素子

15 対向電極

10 16 外部液晶コントローラ

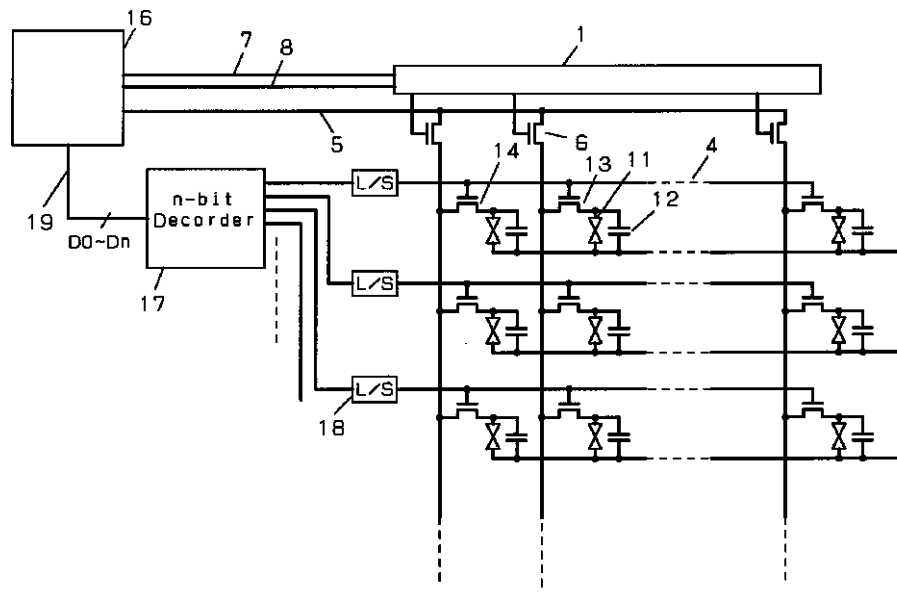
17 nビットデコーダ回路

18 レベルシフト回路

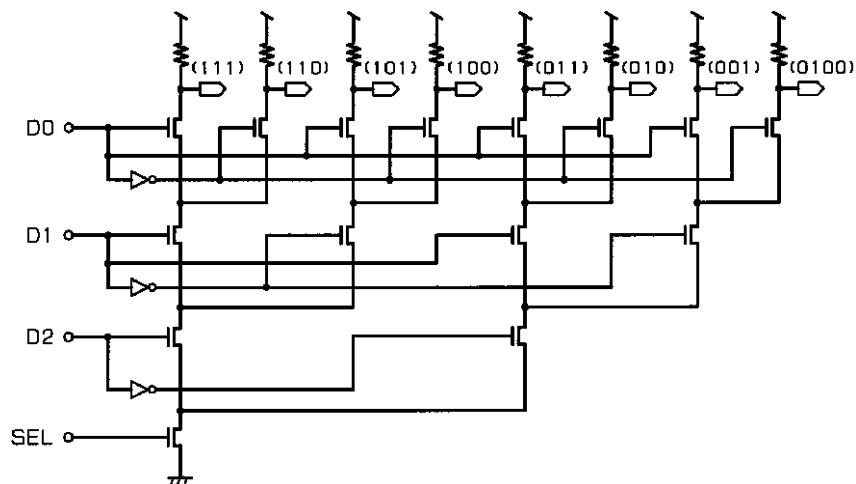
19 デジタル信号

*

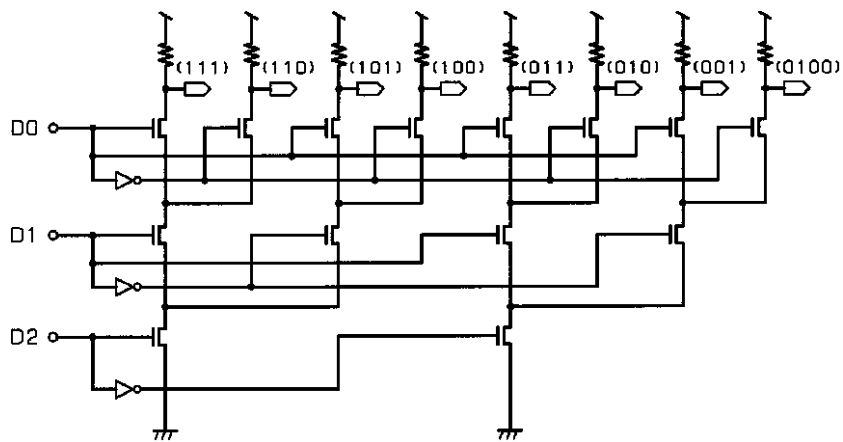
【図1】



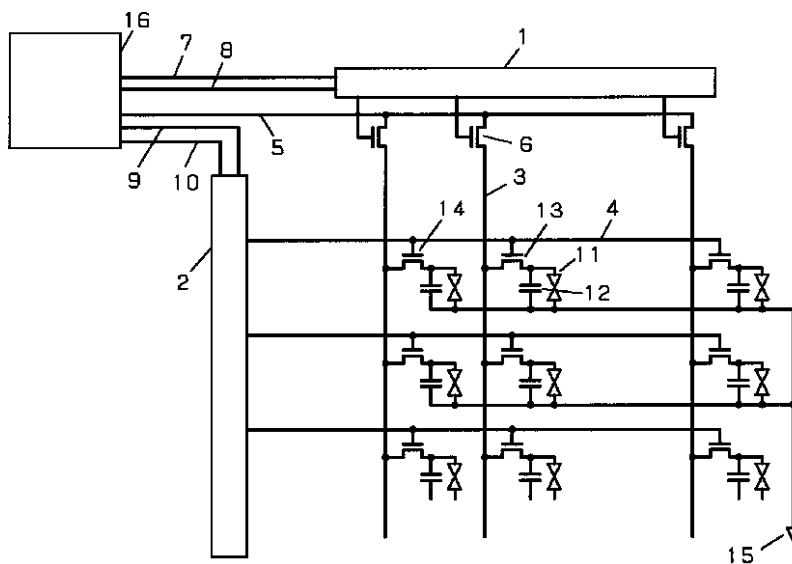
【図2】



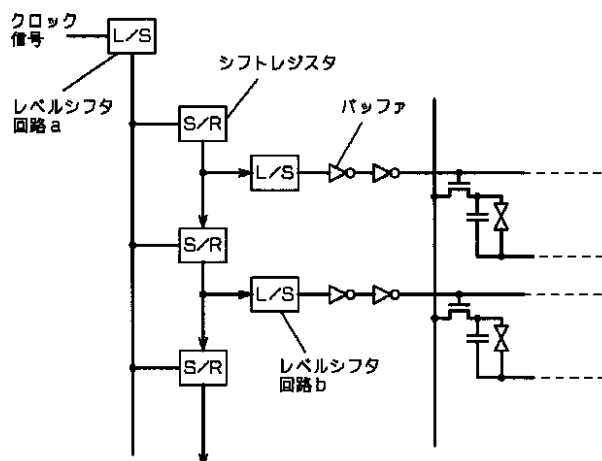
【図3】



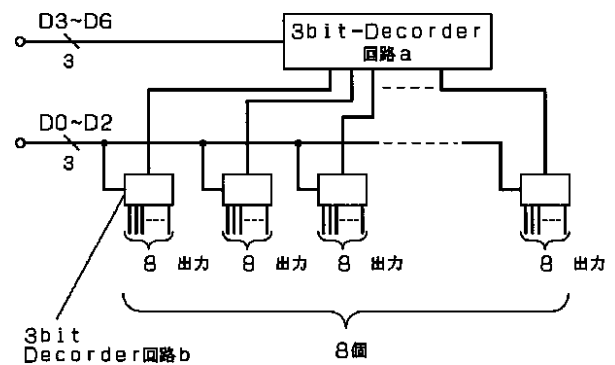
【図4】



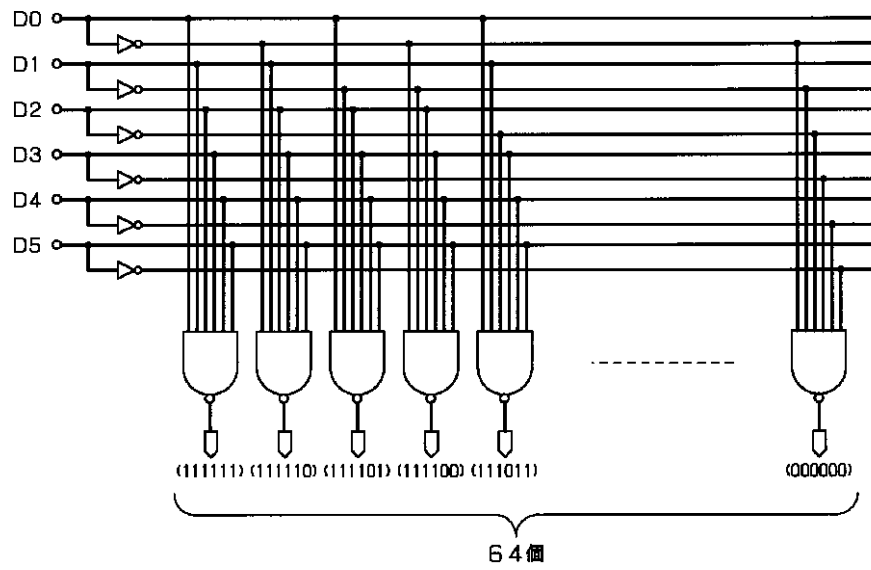
【図5】



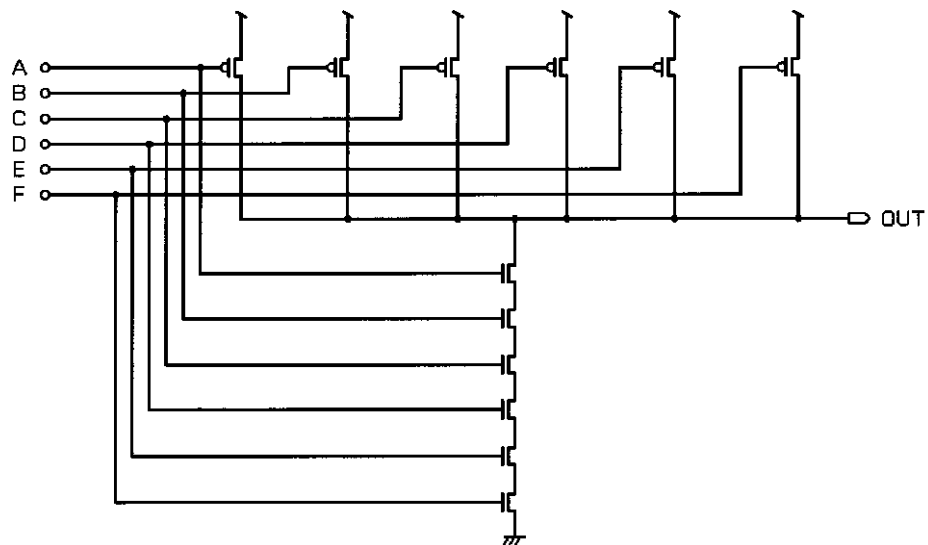
【図8】



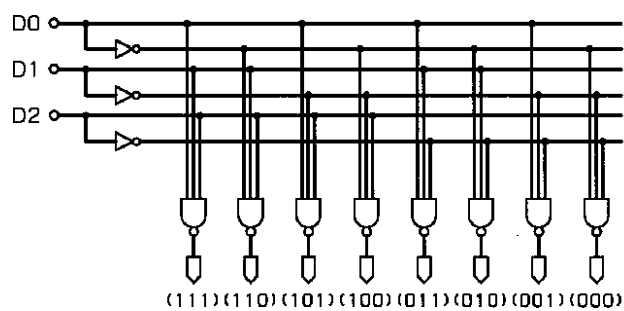
【図6】



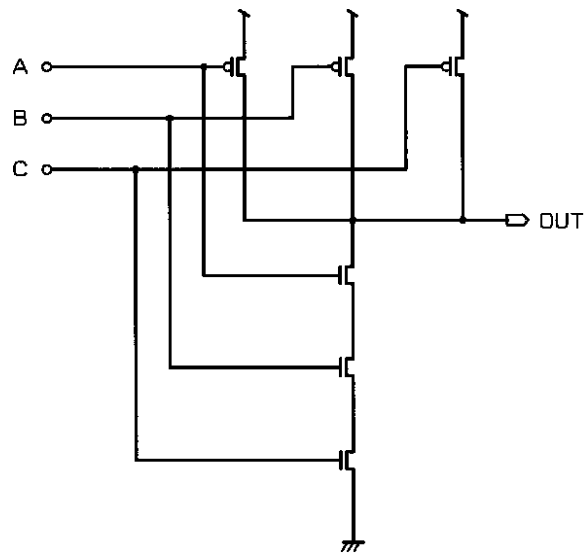
【図7】



【図9】



【図10】



 フロントページの続き

(72)発明者 南野 裕
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内
 (72)発明者 岡田 隆史
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

F ターム(参考) 2H093 NA16 NA44 NA56 NC09 NC21
 NC22 NC34 NC35 ND39 ND49
 NH18
 5C006 AA15 BB16 BC03 BC20 BF26
 BF34 BF46 EB05 FA43 FA47
 5C080 AA10 BB05 DD25 DD26 EE29
 JJ02 JJ03 JJ04

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP2001305510A	公开(公告)日	2001-10-31
申请号	JP2000122689	申请日	2000-04-24
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	山野敦浩 千田耕司 南野裕 岡田隆史		
发明人	山野 敦浩 千田 耕司 南野 裕 岡田 隆史		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G02F1/133.550 G09G3/20.622.F G09G3/20.622.Q G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NA44 2H093/NA56 2H093/NC09 2H093/NC21 2H093/NC22 2H093/NC34 2H093/NC35 2H093/ND39 2H093/ND49 2H093/NH18 5C006/AA15 5C006/BB16 5C006/BC03 5C006/BC20 5C006/BF26 5C006/BF34 5C006/BF46 5C006/EB05 5C006/FA43 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD26 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD26		
外部链接	Espacenet		

摘要(译)

解码器电路被配置为具有较小的布局面积。在使用薄膜晶体管的驱动电路内置有源矩阵液晶显示装置中，设置有由薄膜晶体管构成的垂直扫描电路，并且通过解码器电路对来自外部液晶控制器电路的地址信号进行解码来形成扫描信号配线。它是用于执行随机扫描的配置，其特征在于，使用薄膜晶体管的解码器电路由上拉电阻器和多个开关元件构成。

