

(19)日本国特許庁 ( J P )

# (12) 公開特許公報 ( A )

(11)特許出願公開番号

特開2001 - 264799

(P2001 - 264799A)

(43)公開日 平成13年9月26日 (2001.9.26)

(51) Int. Cl <sup>7</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/1345			G 0 2 F 1/1345	
G 0 9 F 9/00	346		G 0 9 F 9/00	346 D
	9/30	330		9/30 330 Z

審査請求 未請求 請求項の数 18 O L (全 6 数)

(21)出願番号 特願2001 - 19573(P2001 - 19573)

(22)出願日 平成13年1月29日(2001.1.29)

(31)優先権主張番号 2000 - 10300

(32)優先日 平成12年3月2日(2000.3.2)

(33)優先権主張国 韓国(KR)

(71)出願人 599127667

エルジー フィリップス エルシーディー  
カンパニー リミテッド

大韓民国 ソウル, ヨンドンポーク, ヨ  
イドードン 20

(72)発明者 キム, ジョン - ジェ

大韓民国 ソウル特別市 トンデムン - グ  
, ダブシンリ4 - ドン 42, ドンダブハン  
シン アパート 2/913

(74)代理人 100109726

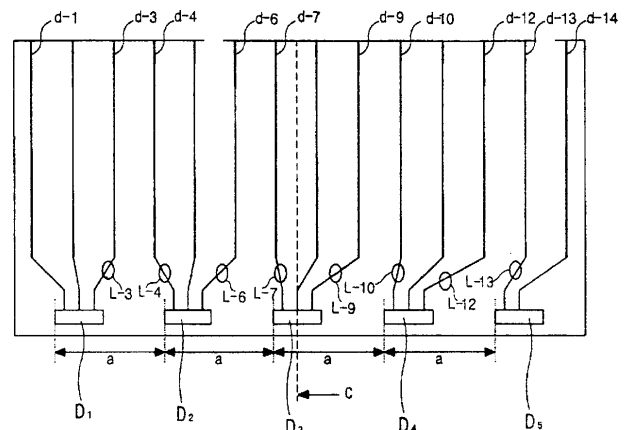
弁理士 園田 吉隆 (外 1 名)

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 液晶表示装置のデータパッド部のリンク構造及びそれと接触する駆動回路の配置構造において、データパッド部のリンク部の抵抗差による画質の低下を改善する。

【解決手段】 データ駆動回路の出力チャンネル数と多数のデータパッドとが駆動回路のチャンネル数に定数倍で分けられる部分におけるデータ駆動回路は、等間隔で配置してリンク部による抵抗の差を減らし、定数倍にならない部分のデータ配線のリンク部のみを補償設計してリンク部の抵抗差による画質を改善する。



## 【特許請求の範囲】

【請求項1】 一方向に配列された複数個のゲート配線及びこれと垂直に配列された複数個のデータ配線を有する表示領域と、端子配線を有する配線領域と、前記データ配線と端子配線とを電気的に連結する引き出し線を有するパッド領域を有する液晶パネルと、前記ゲート配線に連結された複数個のゲート駆動回路と、前記端子配線に連結された複数個のデータ駆動回路とを有する液晶表示装置において、前記複数個のデータ駆動回路は、複数個の第1データ駆動回路と一つの第2データ駆動回路とを有しており、前記各々の第1データ駆動回路は、N個の前記引き出し配線を通してN個の前記データ配線と電気的に連結されたN個のチャンネルを有しており、前記第2データ駆動回路は、前記Nより小さいM個の前記引き出し配線を通してM個の前記データ配線と電気的に連結されたN個のチャンネルを有しており、隣接する第1データ駆動回路間に第1間隔が存在して、前記第1データ駆動回路と第2データ駆動回路間に前記第1間隔より小さい第2間隔が存在する液晶表示装置。

【請求項2】 前記第1データ配線に連結された前記引き出し配線の幅は、同一幅であることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記M個の引き出し配線は、前記第1データ配線に連結された前記引き出し配線より線幅が狭いことを特徴とする請求項1に記載の液晶表示装置。

【請求項4】 前記第1データ配線に連結された各々の前記引き出し配線の線幅は、約20 $\mu$ mから25 $\mu$ mであることを特徴とする請求項1に記載の液晶表示装置。

【請求項5】 前記M個の引き出し配線各々の線幅は約14 $\mu$ mから19 $\mu$ mであることを特徴とする請求項1に記載の液晶表示装置。

【請求項6】 前記各々の第1データ駆動回路に連結された前記N個のデータ配線は、連結された第1データ駆動回路を中心に対称的に配列されたことを特徴とする請求項1に記載の液晶表示装置。

【請求項7】 複数個のデータ配線を有する表示領域を有し、複数個のパッドと、前記複数個のパッドと一対一に対応して電気的に連結された複数個の端子配線を有するパッド領域と、前記端子配線とデータ配線を電気的に連結する複数個の引き出し配線を有する配線領域と、複数個のパッド上に装着されて、第1間隔だけ各々離隔された複数個の第1データ駆動部とを有し、複数個のパッド上に装着されて、隣接した前記第1データ駆動部から第2間隔だけ離隔された第2データ駆動部を有する画像表示装置において、前記各々の第1データ駆動部は、N個の端子配線及びN\*50

\*個の引き出し配線を通してN個のデータ配線に電気的に連結されたN個のチャンネルを有し、前記第2データ駆動部は、M個の端子配線及びM個の引き出し配線を通してM個のデータ配線に電気的に連結されたN個のチャンネルを有し、前記MはNより小さくて、前記第2間隔が前記第1間隔より小さい画像表示装置。

【請求項8】 前記各々の第1データ駆動部は、N個のデータ配線を中心に対称配置されていることを特徴とする請求項7に記載の画像表示装置。

【請求項9】 前記各々の第1データ駆動部は、連結されたN個のデータ配線を中心に対称配置されていることを特徴とする請求項8に記載の画像表示装置。

【請求項10】 前記N個の引き出し配線の幅は、同一であることを特徴とする請求項7に記載の画像表示装置。

【請求項11】 前記M個の引き出し配線は、前記N個の引き出し配線より線幅が狭いことを特徴とする請求項10に記載の画像表示装置。

【請求項12】 前記N個の引き出し配線の線幅は、約20 $\mu$ mから25 $\mu$ mであることを特徴とする請求項10に記載の画像表示装置。

【請求項13】 前記M個の引き出し配線の線幅は、約14 $\mu$ mから19 $\mu$ mであることを特徴とする請求項11に記載の画像表示装置。

【請求項14】 前記画像表示装置は、液晶表示装置であることを特徴とする請求項7に記載の画像表示装置。

【請求項15】 前記データ配線は、薄膜トランジスタに連結されたことを特徴とする請求項7に記載の画像表示装置。

【請求項16】 前記表示領域は、複数個のゲート配線をさらに有することを特徴とする請求項7に記載の画像表示装置。

【請求項17】 前記画像表示装置は、X線表示装置であることを特徴とする請求項7に記載の画像表示装置。

【請求項18】 前記データ配線は、薄膜トランジスタに連結されたことを特徴とする請求項17に記載の画像表示装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は配線を通して液晶セルを駆動して画像情報を表示する液晶表示装置に関するものである。

【0002】

【従来の技術】液晶表示装置は、相互に対向して離隔された上板と下板及びその間に充填された液晶層を有する液晶パネルを構成要素として含む。前記上板はカラーフィルターと、前記カラーフィルター上に形成された共通電極を有し、前記下板は薄膜トランジスタ(TFT)のようなスイッチング素子及び画素電極を有する。

【0003】前記共通電極と画素電極とは、前記液晶層に電界を印加する。前記TFEは外部駆動回路から電気的信号を受けて前記画素電極を駆動させ、ゲート電極、ソース電極及びドレーンを有する。前記ゲート電極はゲート配線に連結されて、前記ソース電極はデータ配線に連結され、前記ドレーン電極は前記画素電極に連結される。前記ゲート電極及びソース電極は各々の端子に形成されたゲートパッド及びデータパッドを通して外部駆動回路に連結される。

【0004】前記外部駆動回路は、ゲート電極を駆動するゲート駆動回路とソース電極を駆動するデータ駆動回路とを含む。前記駆動回路を前記液晶パネルに連結させる方法にはワイヤボンディング(WB: wire bonding)、COB(chip on board)、TAB(tape automated bonding)及びCOG(chip on glass)などがある。

【0005】解像度が低い液晶表示装置では駆動回路の引き出し線の本数が少ないために前記引き出し線をPCB(printed circuit board)に連結することはさほど困難ではないが、高解像度の液晶表示装置のように前記引き出し線の本数が非常に多い場合、これは非常に難しい作業になる。例えば、解像度600 x 800(SVGA)の液晶表示装置は600 x 800 x 3個の画素を有しており、前記多数の画素をすべて駆動回路に連結させる工程は非常に精緻かつ複雑である。

【0006】前記のような問題はTAB技術によって解決することができる。

【0007】図1は、一般的なTAB技術を図示するものである。図1で見ると、テープキャリア(tape carrier)53上部には駆動回路51が実装されている。前記のようにテープキャリア上に駆動回路が実装された状態をまとめてTCP(tape carrier package)と呼ぶ。換言すれば、TCP50は前記駆動回路51を有する。前記TAB技術はILB(inner lead bonding)工程とカプセル化(encapsulation)工程を含んでいる。前記ILB工程ではチップ(chip)が熱と圧力とにより前記テープキャリアと連結され、前記カプセル化工程ではエポキシ系(epoxy-based)樹脂を前記チップに加える。前記TAB技術はOLB(outer lead bonding)工程をさらに含んでおり、前記OLB工程で外部引き出し線をPCB52上部のパッド及び基板上のゲートパッドまたはデータパッドに各々連結させる。

【0008】図2を参照すると、ゲート駆動回路100GはLCDパネルの左側部に沿って位置して、データ駆動回路100Dは前記LCDパネルの上部及び下部に位置する。前記のような構造をデュアルバンク(dual-bank)構造と呼ぶ。

【0009】1600 x 1200 x 3(UXGA)の解像度を有する従来の液晶表示装置で各々のデータ駆動回路100Dは384個のデータ配線を制御できるように384個のチャンネルを有し、データ配線とゲート配線

の数は各々1600 x 3個及び1200個になる。したがって、1600 x 3個のデータ配線をすべて制御するために14個の駆動回路が必要になる。従来のデュアルバンク構造では、LCDパネルの上部と下部に各々7個ずつの駆動回路が配列されている。下部に実装された7個のデータ駆動回路は2400個のデータ配線と連結されている。この中の最外側のデータ駆動回路D7のみ96個のデータ配線と連結されており残りのデータ駆動回路D1 - D6各々は384個のデータ配線と連結されている。図2に図示されているように、隣接した二つの駆動回路は一定の間隔“a”を有し、7個のデータ駆動回路はLCDパネル20の中心線“C”を基準に対称的に配列される。しかし、次に詳細に説明するように、前記データ駆動回路間の間隔がすべて一定であれば配線領域(図4)において抵抗の変移が生じる。

【0010】図3は、図2の一部分F1の拡大図である。各々のデータ配線は表示領域に位置する表示線d-384、d-385と、配線領域に位置する引き出し線L-384、L-385及びパッド領域に位置する端子配線T-384、T-385を有する。各々の端子配線T-384、T-385は対応するデータ駆動回路と連結されている。図3に図示されているように、データ駆動回路D1の最終データ配線d-384とデータ駆動回路D2の最初のデータ配線d-385とはほとんど同一な配線長さを有する。すなわち、引き出し線L-384の長さと同じ引き出し線L-385の長さとはほとんど同一である。しかし、図2のF2部は前記構造と異なる。この点についてF2部の拡大図である図4を参照しながら説明する。

【0011】図4に示されているように、データ駆動回路D6に連結された最終引き出し配線L-2304とデータ駆動回路D7に連結された最初の引き出し配線L-2305は長さに相当な差があり、これは二つの引き出し配線L-2304、L-2305の間には大きな抵抗差が存在することを意味する。このように隣接引き出し配線の抵抗が異なる場合、液晶駆動信号の変形や混信が生じて画質の不良が誘発される。

【0012】図5は、液晶パネルを、各々3個のチャンネルのみを有する14個のデータ配線に簡略化して図示したものである。図から分かるように、中央から遠いほど隣接するデータ駆動回路によって駆動されるデータ配線の引き出し配線間の長さの差が大きくなる。すなわち、図のように隣接したデータ駆動回路間の間隔がすべて同じで駆動回路が画面の中心線を基準に対称的に配置されている場合、第1のデータ駆動回路D1から最も離れた最終データ配線の引き出し配線の長さが長くなり、これによって第1のデータ駆動回路D1の最後のデータ配線と、第2のデータ駆動回路D2の最初のデータ配線の引き出し配線の抵抗差が大きくなる。図5に示した中で、データ駆動回路D4の最終データ配線d-12とデ

ータ駆動回路D5の最初のデータ配線d-13の間の長さの差が最も大きい。

#### 【0013】

【発明が解決しようとする課題】前記のような抵抗差による画質変形を防止するための方法として、米国特許番号5,757,450に提案されているように、データ配線の幅を調整してRC(resistance x capacitance)信号遅延を防ぐ方法がある。しかし、高解像度の液晶装置のように前記データ配線の数が非常に多い場合、RC信号遅延のためにデータ配線に補償設計を行ったり、それに基づいて製造を行ったりすることは現実には困難である。前記のような問題点は最外側のデータ駆動回路でチャンネルがデータラインより多いために生じる。例えば、図5の最外側のデータ駆動回路D5は2個のデータ配線のみに連結されているが3個のチャンネルを有している。前記のような問題点は、データ駆動回路において、あらゆるチャンネルがデータ配線と連結されるようにすることで解決できる。例えば、各々4800個のデータラインを駆動させる300個のチャンネルを有する液晶表示装置を構想することもできる。しかし前記の構想は16個のデータ駆動回路を必要とするので材料コストの上昇を招くことになる。また、300個のチャンネルを採り入れたデータ駆動回路を設計し、製作することに起因して大きな技術的困難とコスト上昇とを招くことになる。したがって、本発明は、液晶表示装置のデータパッド部のリンク構造及びそれと接触する駆動回路の配置構造において、データパッド部のリンク部の抵抗差による画質の改善を提供する構成であって、設計の便易性と正確性を期することができ、画質の安定した液晶表示装置を提供することを目的とする。

#### 【0014】

【課題を解決するための手段】前記のような課題を解決するために、本発明では一方向に配列された複数個のゲート配線及びこれと垂直に配列された複数個のデータ配線を有する表示領域と、端子配線を有する配線領域と、前記データ配線と端子配線とを電気的に連結する引き出し線を有するパッド領域を有する液晶パネルを有し、前記ゲート配線に連結された複数個のゲート駆動回路を有し、前記端子配線に連結された複数個のデータ駆動回路を有する液晶表示装置において、前記複数個のデータ駆動回路は複数個の第1データ駆動回路と一つの第2データ駆動回路とを有しており、前記各々の第1データ駆動回路は、N個の前記引き出し配線を通してN個の前記データ配線と電気的に連結されたN個のチャンネルを有しており、前記第2データ駆動回路は前記Nより小さいM個の前記引き出し配線を通してM個の前記データ配線と電気的に連結されたN個のチャンネルを有しており、隣接する第1データ駆動回路間に第1間隔が存在して、前記第1データ駆動回路と第2データ駆動回路間に前記第1間隔より小さい第2間隔が存在する液晶表示装置を提供す

る。

#### 【0015】

【発明の実施の形態】以下、本発明の実施例による構成と作用を添付された図面を参照して説明する。

【0016】図6は、本発明による液晶表示装置のデータ駆動回路の実装方法を図示した図面であり、図5に図示されたものと同様に、14個のデータ配線を有する液晶表示装置と3個のチャンネルを有するデータ駆動回路の場合を例示したものである。図6は14個のデータ配線と、各々3個のチャンネルを有する5個のデータ駆動回路を図示している。図7は図6の“Z”部の拡大図である。図に示したように、データ配線d-12ないしd-14は表示領域に位置し、端子配線T-12ないしT-14はパッド領域に、引き出し線は配線領域に位置する。端子配線T-12ないしT-14はデータ駆動回路と電気的に連結されている。

【0017】図6と7に示したように、各々のデータ駆動回路D1-D4は駆動回路各々の中心線Cを基準に対称的に分布したデータ配線と電気的に連結されている。D1からD4までのあらゆる駆動回路は同一な数Nのチャンネル及びチャンネルに連結されたデータ配線を有する。例えば、図6に示したように、D1からD4までのデータ駆動回路各々は3個のチャンネル及び3個のチャンネルに各々連結されたデータ配線を有する。一方、最外側のデータ駆動回路D5は同数のチャンネルを有するが、二つのデータ配線d-13、d-14のみが連結されている。また、D1からD4までのデータ駆動回路は同一な間隔bだけ離隔されているが、D4とD5のデータ駆動回路は前記間隔bと異なる間隔b1だけ離隔されている。図示したように、b1はbより小さい。

【0018】D1からD4までのデータ駆動回路に属するデータラインに含まれる引き出し配線は同一な線幅を有して配線領域に配列されている。前記D1からD4までのデータ駆動回路に該当する引き出し配線は同一の線幅を有しているが、画像の品質に影響を与えない。これは各々のデータ駆動回路に属するデータ配線が対応する駆動回路の中心線Cを基準に対称的に配列されているためである。すなわち、前記D1からD4までのデータ駆動回路に属するデータ配線は非常に稠密に配列されているために前記データ配線に連結された引き出し配線の長さは位置に関係なくほとんど同一である。したがって、隣接したデータ配線の抵抗差は極めて小さくなるので画質にほとんど影響を与えないからである。

【0019】反面、T-13及びT-14端子配線を通してD5データ駆動回路に連結された各々の引き出し配線L-13、L-14に関しては抵抗差を補償することができる。例えば、前記引き出し配線L-13及びL-14の線幅を調整して配線間抵抗差を補償することが可能である。前記引き出し配線L-13及びL-14の線幅はL-12引き出し配線の線幅を基準に調整すること

が望ましく、これは隣接した引き出し配線 L - 1 2、L - 1 3 間の抵抗差を最小化するためである。調整された引き出し配線 L - 1 3 及び L - 1 4 の線幅は実質的に同一であることが望ましい。画質を改善するための引き出\*

$$R = L / A$$

【0021】ここで、R は導電体の抵抗値であり、L と A は各々導電体の抵抗率、導電体の長さおよび導電体の断面積を示す。前記関係式 1 から分かるように、抵抗 R は導電体の長さ L に比例するが面積 A には反比例する。前記関係式 1 で引き出し配線 L - 1 3 及び L - 1 4 の線幅を調整して引き出し配線 L - 1 2 と L - 1 3 間の抵抗差を最小化させることができる。

【0022】引き出し配線 L - 1 3 が引き出し配線 L - 1 2 より短いために、引き出し配線 L - 1 3 の幅を引き出し配線 L - 1 2 の幅より狭く調整して二つの配線の抵抗を同じにする。これにより、二つの引き出し配線 L - 1 2、L - 1 3 の RC 信号遅延時間がほとんど同じになるので画像特性が改善される。

【0023】一例として、UXGA 及び XGA などの解像度を有する液晶表示装置で、チャンネルの数とチャンネルに連結されたデータ配線の数とが同一なデータ駆動回路に属する引き出し配線の幅は約 20 μm ないし 25 μm であり約 20 μm が望ましく、チャンネルの数が連結されたデータ配線の数より多くのデータ駆動回路に属する引き出し配線の幅は約 14 μm ないし 19 μm であり約 17 μm が望ましい。

【0024】図 6 と 7 の実施例では 14 個のデータ配線と各駆動回路当たり 3 個のチャンネルが図示された。しかし、前記図示された実施例は説明の便宜のためであり、本発明は UXGA 及び XGA を含む多様な解像度の液晶表示装置に適用することができる。UXGA の解像度を有する液晶表示装置が 384 個のチャンネルを有する駆動回路を用いる場合を例に挙げると、1 から 2304 番目までのデータ配線が連結された 6 個のデータ駆動回路は各々同一な間隔で離隔されている。反面、最外側のデータ駆動回路及びこれに隣接したデータ駆動回路間の間隔は前記同一な間隔より小さくする。また、最外側のデータ駆動回路と連結された最初データ配線に属する引き出し配線の線幅は隣接したデータ駆動回路の最終データ配線に属する引き出し配線の線幅より狭くして二つの引き出し配線間の抵抗差を無くす。すなわち、最外側データ駆動回路に連結された 2305 から 2400 番目までのデータ配線の線幅は前記のように調整される。

【0025】従来の UXGA 液晶表示装置ではあらゆる\*

\*し配線の設計は困難ではない。

【0020】抵抗 R と長さ L、面積 A 間の関係は下の式で表現された。

$$(1)$$

\*データ駆動回路を同一間隔で配置したために各データ駆動回路境界部分に位置するあらゆる引き出し配線の線幅を調整して隣接データ配線間の抵抗差を補償した。これに反して、本発明では最外側データ駆動回路、すなわちチャンネルの数が連結されたデータ配線の数より多くのデータ駆動回路に連結された引き出し配線の線幅のみを補償して設計している。したがってデータ配線の精密な設計が容易になり、結果的に画像の安定性も向上した。

【0026】前記したデータ駆動回路の配置方法は、液晶表示装置のみならず、薄膜トランジスタをスイッチング素子として用いる X 線感知器などのアレー基板(array substrate)にも適用できる。

【0027】

【発明の効果】上述したように本発明による液晶表示装置におけるデータ駆動回路の実装はデータ配線の数と駆動回路のチャンネルの数とが定数倍になる領域では駆動回路を等間隔で配置して、定数倍にならない最後駆動回路は非等間隔で配置し、最後の駆動回路の最初のチャンネルと接触するデータ配線のリンク部を補償設計することによって、設計の便易性と正確性を期することができ、これによって安定した画質の液晶表示装置を提供できる長所がある。

【図面の簡単な説明】

【図 1】 TAB 方式として駆動回路が実装された液晶パネルを図示した図面である。

【図 2】 駆動回路が実装された一般的な液晶表示装置の平面を図示した図面である。

【図 3】 図 2 の F 1 部分を拡大した図面である。

【図 4】 図 2 の F 2 部分を拡大した図面である。

【図 5】 従来の液晶表示装置に駆動回路を実装する方法を説明する図面である。

【図 6】 本発明による駆動回路が実装された液晶表示装置の平面を図示した図面である。

【図 7】 図 6 の Z 部分を拡大した図面である。

【符号の説明】

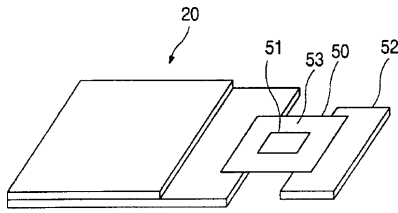
a 駆動回路配置間隔

d データ配線

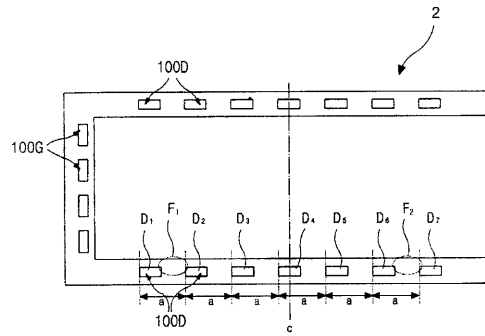
D データ駆動回路

L リンク部の長さ

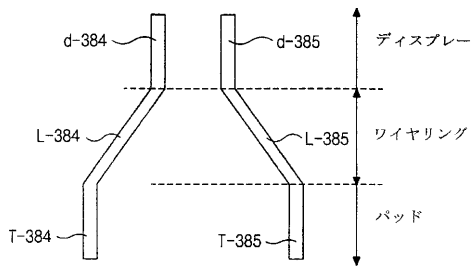
【図1】



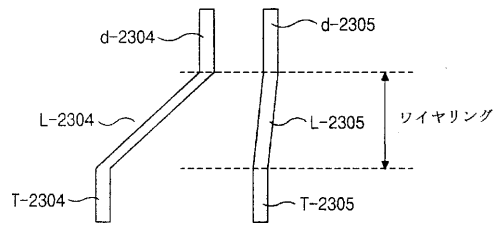
【図2】



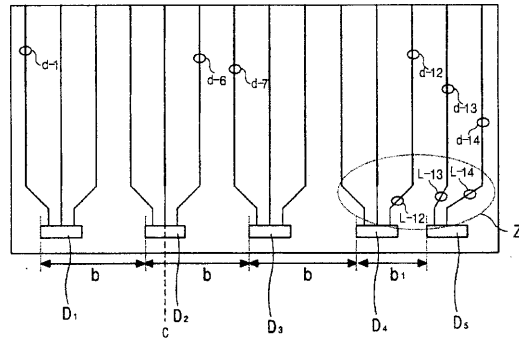
【図3】



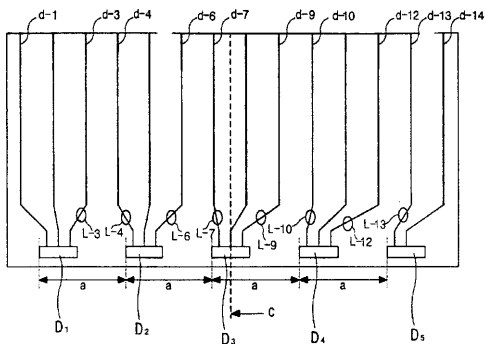
【図4】



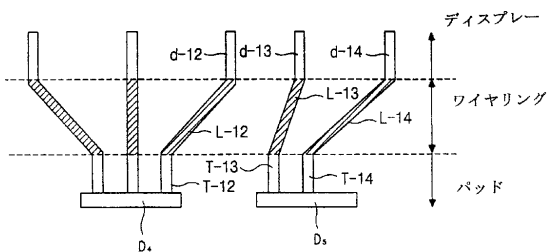
【図6】



【図5】



【図7】



专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP2001264799A</a>	公开(公告)日	2001-09-26
申请号	JP2001019573	申请日	2001-01-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
[标]发明人	キムジョンジェ		
发明人	キム, ジョン-ジェ		
IPC分类号	G02F1/1343 G02F1/1345 G09F9/00 G09F9/30 G09G3/36		
CPC分类号	G02F1/1345 G09G3/3688 G09G2320/0223		
FI分类号	G02F1/1345 G09F9/00.346.D G09F9/30.330.Z G09F9/30.330		
F-TERM分类号	2H092/GA33 2H092/GA45 2H092/GA51 2H092/JA24 2H092/NA01 2H092/NA29 2H092/PA06 5C094/AA04 5C094/AA09 5C094/AA13 5C094/AA43 5C094/AA48 5C094/AA53 5C094/AA55 5C094/AA56 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DB01 5C094/DB03 5C094/DB05 5C094/EA10 5C094/FA01 5C094/FB12 5C094/JA08 5G435/AA01 5G435/AA16 5G435/AA17 5G435/BB12 5G435/EE32 5G435/EE37 5G435/EE40 5G435/EE42 5G435/HH12 5G435/KK05		
优先权	1020000010300 2000-03-02 KR		
其他公开文献	JP3901454B2		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

解决的问题：为了改善由于液晶显示装置的数据焊盘部分的连接结构中的数据焊盘部分的连接部分的电阻差异以及与其接触的驱动电路的布置结构引起的图像质量的劣化。将数据驱动电路的输出通道的数量和大量数据焊盘的数量除以驱动电路的通道数量的恒定倍数的部分中的数据驱动电路以相等的间隔布置，以减小链路部分之间的电阻差异。通过仅补偿和设计不成为恒定倍数的数据布线的链接部分，可以改善由于链接部分的电阻差异引起的图像质量。

