

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001 - 235765

(P2001 - 235765A)

(43)公開日 平成13年8月31日(2001.8.31)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コード [*] (参考)				
G 0 2 F 1/1368		G 0 2 F 1/136	500		2	H 0 9 2	
H 0 1 L 29/786		H 0 1 L 29/78	619	A	5	F 1 1 0	

審査請求 未請求 請求項の数 10 O L (全 12数)

(21)出願番号 特願2000 - 45810(P2000 - 45810)

(22)出願日 平成12年2月23日(2000.2.23)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 河内 玄士朗

茨城県日立市大みか町七丁目1番1号 株式

会社日立製作所日立研究所内

(74)代理人 100087170

弁理士 富田 和子

最終頁に続く

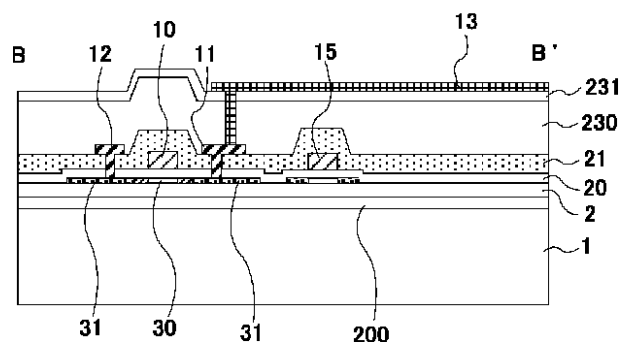
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】高開口率でかつ画質劣化のより少ない液晶表示装置を実現する。

【解決手段】画素電極13と信号配線電極12を絶縁膜を介して重畳させ、前記絶縁膜として、誘電率2.5以下の多孔質シリカ膜230とSi₃N₄膜からなる保護絶縁膜231を備えることで、画素電極13と信号配線電極12間の寄生容量を低減し、信号のクロストークによる画像のシャドウイングを防止する。

図3



【特許請求の範囲】

【請求項 1】少なくとも一方が透明な一对の基板と、この一对の基板に挟持された液晶層を有する液晶表示装置であって、
前記一对の基板の一方の基板は少なくともその主表面が絶縁性であって、
前記絶縁性の主表面に形成された複数の走査電極と、
前記複数の走査電極に交差するように形成された複数の信号電極と、
前記複数の信号電極と複数の走査電極の交差点近傍に形成された複数の薄膜トランジスタと、
前記複数の薄膜トランジスタの各々に接続され、前記複数の信号電極と絶縁層によって絶縁分離された画素電極とを有し、
前記画素電極に与える電圧によって前記液晶層を駆動する液晶表示装置において、
前記画素電極と前記複数の信号電極とを絶縁分離する絶縁層は、多孔質絶縁膜を少なくとも 1 層含むことを特徴とする液晶表示装置。

【請求項 2】少なくとも一方が透明な一对の基板と、この一对の基板に挟持された液晶層を有する液晶表示装置であって、
前記一对の基板の一方の基板は少なくともその主表面が絶縁性であって、
前記絶縁性の主表面に形成された複数の走査電極と、
前記複数の走査電極に交差するように形成された複数の信号電極と、
前記複数の信号電極と複数の走査電極の交差点近傍に形成された複数の薄膜トランジスタと、
前記複数の薄膜トランジスタおよび複数の信号電極の上層に形成され、前記複数の薄膜トランジスタおよび複数の信号電極と絶縁層によって絶縁分離された共通電極と、
前記薄膜トランジスタの各々に接続され、前記共通電極と第 2 の絶縁層によって絶縁分離された画素電極とを有し、
前記画素電極に与える電圧によって前記液晶層を駆動する液晶表示装置において、
前記複数の薄膜トランジスタおよび複数の信号電極と、前記共通電極とを絶縁分離する絶縁層は、多孔質絶縁膜を少なくとも 1 層含むことを特徴とする液晶表示装置。
【請求項 3】少なくとも一方が透明な一对の基板と、この一对の基板に挟持された液晶層を有する液晶表示装置であって、
前記一对の基板の一方の基板は少なくともその主表面が絶縁性であって、
前記絶縁性の主表面に形成された複数の走査電極と、
前記複数の走査電極に交差するように形成された複数の信号電極と、
前記複数の信号電極と複数の走査電極の交差点近傍に形

*成された複数の薄膜トランジスタと、
前記薄膜トランジスタの各々に接続され、前記複数の信号電極と絶縁層によって絶縁分離された画素電極とからなるアクティブマトリクスを有し、
前記アクティブマトリクスに映像信号を供給する、前記一方の基板上に薄膜トランジスタを用いて構成した駆動回路をさらに有し、
前記画素電極に与える電圧によって前記液晶層を駆動する液晶表示装置において、
前記画素電極と前記複数の信号電極とを絶縁分離する絶縁層は、多孔質絶縁膜を少なくとも 1 層含むことを特徴とする液晶表示装置。

【請求項 4】請求項 1～3 のいずれか一項に記載の液晶表示装置において、
前記画素電極と前記信号電極とを絶縁分離する絶縁層は、少なくとも一層の酸化珪素膜または窒化珪素膜と、多孔質絶縁膜とを含む多層構造を有することを特徴とする液晶表示装置。

【請求項 5】請求項 1～3 のいずれか一項に記載の液晶表示装置において、
前記画素電極の一部と前記複数の信号電極の一部が重畳されていることを特徴とする液晶表示装置。

【請求項 6】請求項 1～3 のいずれか一項に記載の液晶表示装置において、
前記多孔質絶縁膜は主成分が酸化珪素であって、ポロジティが 25% 以上 75% 以下であることを特徴とする液晶表示装置。

【請求項 7】請求項 1～3 のいずれか一項に記載の液晶表示装置において、
前記多孔質絶縁膜は主成分が酸化珪素であって、比誘電率が 2.5 以下であることを特徴とする液晶表示装置。

【請求項 8】請求項 1～3 のいずれか一項に記載の液晶表示装置において、
前記多孔質絶縁膜は主成分が酸化珪素であって、その密度が 0.05 g/cm^3 以上 0.3 g/cm^3 以下であることを特徴とする液晶表示装置。

【請求項 9】請求項 1～3 のいずれか一項に記載の液晶表示装置において、
前記薄膜トランジスタは多結晶シリコン膜を活性層として用いることを特徴とする液晶表示装置。

【請求項 10】請求項 3 に記載の液晶表示装置において、
前記駆動回路は、シフトレジスタ回路と、ラッチ回路と、デジタル - アナログコンバーター回路と、レベルシフタ回路と、アナログスイッチとを少なくとも具備することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に、高精細高画質の TFT アクティブマトリック

ス方式の液晶表示装置の構造に関する。

【0002】

【従来の技術】OA 機器等の画像情報、文字情報の表示装置として、薄膜トランジスタ（以下 TFT と記す）を用いたアクティブマトリクス方式の液晶表示装置が知られている。この種の液晶表示装置においては低コスト化、高精細化、高画質化が重要な課題である。

【0003】低コスト化のために、TFT アクティブマトリクスを駆動する周辺駆動回路をも TFT で構成し、同一基板上に集積する回路内蔵技術の従来技術が特開平 8-167722 号公報（第 1 の従来技術）に記載されている。駆動回路を内蔵することにより、外部接続のための接続端子の数を劇的に減らすことができるので、従来のように駆動 LSI チップを実装する方式にくらべてより画素ピッチの微細な高精細の表示装置を安価に実現することが可能となる。

【0004】一方、画素ピッチが微細になってくると、画素開口率（単位画素内で光が透過する面積の比率）が減少し、光利用効率が低下するという問題が顕在化する。この問題を解決するためにさまざまな高開口率化技術が提案されている。その一つとして、特開平 9-22028 号公報（第 2 の従来技術）には、液晶を駆動する画素電極と信号配線あるいは走査配線の間に感光性のレジストあるいはそのほかの有機膜を配置して画素電極と配線電極を重畳させることにより高開口率を得る方法が開示されている。

【0005】この従来技術は画素電極と配線電極を重畳させたときに形成される、画素電極と配線電極間の寄生容量を、誘電率 2.7 の有機膜を 2 ないし 3 μm の厚みで形成することにより低減している。

【0006】

【発明が解決しようとする課題】上記第 2 の従来技術のように画素電極と配線電極を重畳させることは画素開口率を改善するためには非常に有効な手法であるが、一方、配線と画素電極間の間の寄生容量が大きくなるという欠点がある。特に、映像信号を供給する信号配線と画素電極間に大きな寄生容量が形成されると、信号のクロストークにより縦スミアと呼ばれる縦方向の画像のシャドウイングが発生し画質が低下する。上記第 2 の従来技術では画素電極と配線電極の間に形成する誘電体膜を、

【0007】しかしながら、上記の従来技術には以下のような問題がある。第 1 に耐熱性が無機膜にくらべ劣るレジストなどの有機膜の上に画素電極となる ITO 電極を形成する際に、有機膜表面にしわが発生し、光透過率が低下することがある。これは有機膜の耐熱性が充分でないためにおこる。これを防止するため、有機膜の耐熱性を改善すると膜の誘電率が大きくなり、所望の寄生容量低減の効果が小さくなってしまふ。

【0008】また、誘電率 2.7 という値は、寄生容量低減のためには充分小さい値ではなく、実際にはさらに小さな誘電率の膜が望まれるが、一般に有機材料では誘電率 2.5 以下となるような膜を得ることは困難であり、無理に誘電率を小さくすると耐熱性が低下し、上記のような問題が発生する。

【0009】さらに、上記第 2 の従来技術で形成される画素構造を有する液晶表示装置において、上記第 1 の従来技術のように、TFT で形成した周辺駆動回路を同一基板上に内蔵した場合、特に画質に与える影響が大きくなる。

【0010】ガラス基板上に集積する周辺駆動回路には多結晶シリコンを半導体活性層として用いた TFT が一般的に用いられるが、このような多結晶シリコン TFT は、キャリア移動度が単結晶シリコンにくらべ劣ることや、駆動回路素子のゲート長やゲート酸化膜の膜厚をシリコンウエハを用いて製造されるドライバ LSI で用いられるトランジスタほど小さくすることは困難であることから、電流駆動能力が充分ではない。このため、ドライバ LSI を液晶パネルの外に設ける回路外付け型の液晶表示装置にくらべ、駆動回路内蔵型液晶表示装置では特に、駆動回路からみて負荷容量となる画素電極と配線電極間の寄生容量を小さくする必要がある。

【0011】このような目的のためには誘電率 2.7 という値は充分小さいとは言えず、さらに誘電率の小さな材料が必要となっている。

【0012】本発明の目的は、上述したような問題を解決し、画素電極と配線電極間の寄生容量を十分に低減できる構成を備えた液晶表示装置を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するために本発明では、複数の信号電極と複数の走査電極が交差する点の近傍に形成された複数の薄膜トランジスタと、前記複数の薄膜トランジスタの各々に接続され前記複数の信号電極と絶縁層によって絶縁分離された画素電極とを有し、前記画素電極に与える電圧によって液晶層を駆動する液晶表示装置において、前記画素電極の一部と前記複数の信号電極の一部を重畳させ、前記画素電極と前記複数の信号電極とを絶縁分離する絶縁層を、少なくとも 1 層の酸化珪素を主成分とする多孔質絶縁膜を含むように構成したことを特徴とする。

【0014】

【発明の実施の形態】本発明は、少なくとも一方が透明な一対の基板と、この基板に挟持された液晶層を有する液晶表示装置において、前記一対の基板の一方は少なくともその主表面が絶縁性であって、前記絶縁性の主表面に形成された複数の走査電極と、前記複数の走査電極に交差するように形成された複数の信号電極と、前記複数の信号電極と複数の走査電極が交差する点の近傍に形成された複数の薄膜トランジスタと、前記複数の薄膜ト

ンジスタの各々に接続され前記複数の信号電極と絶縁層によって絶縁分離された画素電極とを有し、前記画素電極に与える電圧によって前記液晶層を駆動する機能をさらに有する液晶表示装置において、前記画素電極の一部と前記複数の信号電極の一部を重畳させ、前記画素電極と前記複数の信号電極とを絶縁分離する絶縁層を、少なくとも1層の酸化珪素を主成分とする多孔質絶縁膜を含むように構成したものである。

【0015】この時、前記多孔質絶縁膜は主成分が酸化珪素であって比誘電率が2.5以下であるか、あるいは、主成分が酸化珪素であってその密度が 0.05 g/cm^3 以上 0.3 g/cm^3 以下とした。また、より望ましい構成として、前記画素電極と前記複数の信号電極とを絶縁分離する絶縁層は、少なくとも1層の酸化珪素膜または窒化珪素膜と多孔質絶縁膜からなる多層構造とした。さらにまた、前記多孔質絶縁膜は、主成分が酸化珪素であってポロジティが25%以上75%以下であることが好ましい。ここでポロジティとは膜中で空隙の体積割合を意味する。

【0016】本発明によれば、画素電極と信号配線電極間に介在する誘電体膜に酸化珪素を主成分とする多孔質膜絶縁膜を用いることにより、比誘電率を従来にくらべ飛躍的に低減できるため寄生容量を大幅に低減できる。特に、多孔質絶縁膜の密度を 0.05 g/cm^3 以上 0.3 g/cm^3 以下とすることにより、比誘電率が2.5以下とできる。

【0017】さらに、本発明では、前記画素電極と前記複数の信号電極とを絶縁分離する絶縁層は、少なくとも1層の酸化珪素膜または窒化珪素膜と多孔質絶縁膜からなる多層構造とし、画素電極となるITO電極と多孔質膜とが直接接触しないようにした。このような構成とすることにより、ITOをエッチングする際に、ITOのエッチング液である臭化水素酸などの強酸が多孔質膜中に侵入し、毛細管圧により多孔質膜を破壊する、あるいは、後の工程での汚染源となることを防止できる。

【0018】本発明のその他の特徴は以下の実施の形態から明らかとなるであろう。以下、本発明の実施の形態を図面を用いて説明する。

【0019】（実施の形態1）図1および図2は本発明の第1の実施形態における液晶表示装置に係る単位画素の断面および平面図である。図1は図2中A-A'部の断面を示す。

【0020】本実施形態の液晶表示装置において、全体は歪点約 670°C の無アルカリガラス基板1上に膜厚 50 nm の Si_3N_4 膜200と膜厚 120 nm の SiO_2 膜2からなるパツファ絶縁膜23の上に形成されている。パツファ絶縁膜23はガラス基板1からのNa等の不純物の拡散を防止する役割を持つ。パツファ絶縁膜23上には膜厚 50 nm の真性多結晶Si（以下poly-Siと記す）膜30が形成され、真性poly-Si

膜30は、一対の高抵抗N型poly-Si膜33に接し、さらに一対の高抵抗N型poly-Si膜33の各々はソース、ドレインとなる低抵抗N型poly-Si膜31に接している。高抵抗N型poly-Si膜33はLDD（Lightly Doped Drain）層として作用し、poly-Si層中ドレイン近傍の横方向電界を緩和し、ホットキャリアの発生を抑制する働きを持つ。真性poly-Si膜30上には SiO_2 からなるゲート絶縁膜20を介してMoよりなる走査配線電極10が形成されている。

【0021】さらに、本液晶表示装置においては、上記部材全部を覆うように SiO_2 からなる層間絶縁膜21が形成され、層間絶縁膜21に設けたコンタクトスルーホールを介して、Mo/Al/Moの3層金属膜よりなる信号配線電極12およびソース電極11が前記N型の低抵抗poly-Si層に接続されている。Alの下層のMo膜は低抵抗poly-Si膜とAlの間のコンタクト抵抗を、Alの上層のMo膜はソース電極と画素電極の間のコンタクト抵抗を低減するために設けている。また、多結晶シリコン膜の一部の上にはゲート絶縁膜20を介してMoよりなる共通電極15が形成され電荷蓄積容量Cstを構成している。本実施形態では、これらのTFTおよび容量素子全体は膜厚 $2\text{ }\mu\text{m}$ の SiO_2 を主成分とする多孔質絶縁膜230により被覆されている。

【0022】さらに本液晶表示装置のTFTのソース電極11には、層間絶縁膜21および多孔質絶縁膜230に設けたコンタクトスルーホールを介してインジウム・スズ酸化物（ITO）よりなる画素電極13が接続されている。なお、図2に示すように、本実施形態の液晶表示装置においては、画素電極13の端部と信号配線電極12は互いに重畳するように配置されている。また、前記多孔質絶縁膜230は膜中の空隙の体積分率が約40%で比誘電率2.3を有するものである。

【0023】本実施形態によれば、画素電極13と信号配線電極12を絶縁層230を介して互いに重畳させることにより、開口率を向上できる。また、このように開口率が向上された構造において、信号配線電極12と画素電極13の間の絶縁膜230に、膜中の空隙の体積分率が約40%で比誘電率2.3の SiO_2 を主成分とする多孔質膜を用いることにより、信号配線電極12と画素電極13の間の寄生容量を効果的に低減できる。例えば、上記例の構成では、画素電極13と信号配線電極12間の単位長さあたりの寄生容量は約 $0.01\text{ fF}/\mu\text{m}$ となり、画素ピッチを $200\text{ }\mu\text{m}$ とすると、1個の画素と1本の信号配線電極間の寄生容量値は約 2 fF と充分小さな値にできた。

【0024】（実施の形態2）図3は本発明の第2の実施形態の液晶表示装置の単位画素の断面図である。本実施形態の平面パターンは図2に示されたものとほぼ同一

であるため、ここでは図示しない。本実施形態においては、画素電極13と信号配線電極12を分離する絶縁層が SiO_2 を主成分とする多孔質絶縁膜230と Si_3N_4 からなる保護絶縁膜231の2層構造となっている点に特徴がある。

【0025】本実施形態のようにITOからなる画素電極13と多孔質絶縁膜230の間に多孔質ではない通常の絶縁膜を挟むことにより、ITOの密着性が向上する。また、ITOのエッチング加工時に多孔質絶縁膜230がエッチング液に曝されることがないので、エッチング液による多孔質絶縁膜へのダメージ、具体的にはエッチング液が多孔質膜に浸透することで発生する毛管圧による膜の破壊を防止することができる。

【0026】多孔質絶縁膜とITO電極との間の絶縁膜は Si_3N_4 に限らず、通常の SiO_2 膜あるいは SiO_xN_y 膜等でも同様な効果が得られる。

【0027】(実施の形態3)以上の2つの実施の形態では、多孔質絶縁膜は液晶表示装置の画素電極と信号配線電極の間を絶縁分離するために用いたが、多孔質絶縁膜が低誘電率であるという特徴は、液晶表示装置の信号配線電極と走査配線電極の間の絶縁膜に用いても生かすことができる。

【0028】図4は本発明の第3の実施形態の液晶表示装置の単位画素の断面図である。本実施形態の平面パターンは図2に示されたものとほぼ同一である。本実施形態においては、走査配線電極10および共通電極15と信号配線電極12の間の層間絶縁膜として SiO_2 を主成分とする多孔質絶縁膜230を用いた点に特徴がある。

【0029】本実施形態の構成によれば、信号配線電極12と走査配線電極10の間に形成される容量を低減できるため、駆動回路から見た負荷容量を小さくできる。このような低負荷容量化により駆動回路の消費電力を低減することが可能になる。この特徴は特にバックライトを用いない反射型液晶表示装置と組み合わせることにより、非常に低消費電力な液晶表示装置を構成するために有効である。

【0030】(実施の形態4)図5および図6は本発明の第4の実施の形態に係る液晶表示装置の単位画素の断面および平面図である。図5は図6中D-D'で示した線での断面図である。本実施の形態は逆スタガ型のTFTを駆動素子として用いた点に特徴がある。

【0031】本実施形態では、歪点約 670°C の無アルカリガラス基板1上にCrよりなる走査電極配線10が形成され、これを覆うように Si_3N_4 からなるゲート絶縁膜24が形成されている。前記走査配線電極10上には前記ゲート絶縁膜24を介して、ほぼ真性の水素化非晶質シリコン300のパターンが形成され、前記ほぼ真性の水素化非晶質シリコン300上には一対のn型にドーブされた水素化非晶質シリコン310が形成されて

いる。前記一対のn型にドーブされた水素化非晶質シリコン310にはそれぞれ、Mo、Al、Moの3層の積層膜よりなる信号配線電極12およびソース電極11が接触している。また、前記走査配線電極10の他の部分の上にはMo、Al、Moの3層の積層膜よりなる容量電極16がゲート絶縁膜24を介して形成され、蓄積容量を形成している。

【0032】さらに本実施形態では、TFTと容量素子全体を被覆するように、 Si_3N_4 よりなる保護絶縁膜231が形成され、さらに保護絶縁膜231上には SiO_2 を主成分とする多孔質絶縁膜230が形成されている。前記多孔質絶縁膜230上にはITOからなる画素電極13が、その端部が前記信号配線電極12と重畳するように形成され、保護絶縁膜231および多孔質絶縁膜230に開口したスルーホールを介してTFTのソース電極11と容量電極16に接続されている。

【0033】本実施形態では、画素電極13と前記信号配線電極12と重畳させつつ前記第1の実施形態と同様に画素電極13と信号配線電極12間の寄生容量を低減できるので、開口率が大きくかつクロストークがない良好な画質を持つ液晶表示装置を実現できる。

【0034】また、本実施形態では逆スタガ型のTFTを用いているが、逆スタガ型のTFTでは1対のn型水素化非晶質シリコン膜の間に形成される真性水素化非晶質シリコン膜面と保護絶縁膜との界面(バックチャネルと称する)性質がTFTのオフ特性に強い影響をおよぼす。このため、多孔質絶縁膜のような水分等を吸着しやすい物質をTFT上に直接形成することは望ましくない。このため本実施形態では多孔質膜とTFTの間に Si_3N_4 からなる保護絶縁膜231を設けた。このことにより、オフ電流が小さく安定なTFTを形成できるので良好な画質を持つ液晶表示装置を実現できる。

【0035】(実施の形態5)図7および図8は本発明の第5の実施の形態に係る液晶表示装置の単位画素の断面および平面図である。図7は図8中E-E'で示した線での断面図である。

【0036】本実施形態の液晶表示装置において、全体は歪点約 670°C の無アルカリガラス基板1上に膜厚50nmの Si_3N_4 膜200と膜厚120nmの SiO_2 膜2からなるバッファ絶縁膜の上に形成されている。バッファ絶縁膜上には膜厚50nmの真性多結晶 Si (以下poly-Siと記す)膜30が形成され、真性poly-Si膜30は、一対の高抵抗N型poly-Si膜33に接し、さらに一対の高抵抗N型poly-Si膜33のおのおのはソース、ドレインとなる低抵抗N型poly-Si膜31に接している。真性poly-Si膜30上には SiO_2 からなるゲート絶縁膜20を介してMoよりなる走査配線電極10が形成されている。

【0037】さらに本実施形態では、上記部材全部を覆

うように SiO_2 からなる層間絶縁膜 21 が形成され、層間絶縁膜 21 に設けたコンタクトスルーホールを介して、 $\text{Mo}/\text{Al}/\text{Mo}$ の 3 層金属膜よりなる信号配線電極 12 およびソース電極 11 が前記 N 型の低抵抗 poly-Si 層に接続されている。TFT 全体は膜厚 $2\mu\text{m}$ の SiO_2 を主成分とする多孔質絶縁膜 230 と膜厚 50nm の Si_3N_4 よりなる保護絶縁膜 231 により被覆されている。

【0038】保護絶縁膜 231 上にはコンタクト部分 TH を除く画像表示部のほぼ全面に渡って ITO よりなる共通電極 17 が形成されている。前記共通電極 17 上には膜厚 300nm の SiO_2 よりなる容量絶縁膜 25 が形成され、前記容量絶縁膜 25 上には ITO よりなる画素電極 13 がその端部が前記信号配線電極 12 と重畳するように形成されている。前記容量絶縁膜 25、保護絶縁膜 231、多孔質絶縁膜 230 に設けたスルーホールを介して TFT のソース電極 11 に接続され、前記共通電極 17 と容量絶縁膜 25 と画素電極 13 により蓄積容量を形成している。

【0039】本実施形態においては、画素電極 13 と信号配線電極 12 とを重畳させただけでなく、蓄積容量を 2 層の ITO 電極とその間に挟持された絶縁層により構成したため、容量形成に伴う開口率の低下がなく、開口率を極めて大きくできる。本実施形態によれば、画素ピッチ $200\mu\text{m}$ で開口率 85% が得られた。

【0040】通常、共通電極 17 を表示部のほぼ全面に渡って形成すると、共通電極と走査配線電極 10 あるいは信号配線電極 12 の容量が増大し、共通電極 17 の容量負荷が大きくなり、横スミアと呼ばれる画像が横方向へのシャドウイングが発生することが知られている。本実施形態では、この問題を解決するため、信号配線電極 12 と共通電極 17 の間に SiO_2 を主成分とする多孔質絶縁膜を配置することにより、共通電極と配線の間に形成される寄生容量を低減できた、このことにより、画質の低下を伴うことなく開口率を拡大できたので、高画質で明るい液晶表示装置を実現できた。

【0041】さらに、本実施形態の構成によれば、蓄積容量値を大きくしても開口率の低下がないため、容量値を大きくすることができる、これにより TFT のリーク電流を補償できるので、リーク電流に起因するコントラスト低下や画像の焼きつき等の画質不良を抑制できる。この特徴は TFT の特性ばらつきが比較的大きいレーザ再結晶化法により形成した多結晶シリコン膜上に形成した TFT を用いる液晶表示装置において、オフ電流ばらつきのマージンを拡大することを意味しより望ましいものである。

【0042】(実施の形態 6) 図 9 および図 10 は本発明の第 6 の実施形態にかかる液晶表示装置の単位画素の平断面および平面図である。図 9 は図 10 中、F-F' で示した線に沿った断面図である。

【0043】本実施形態の構成は、前記第 5 の実施形態とほぼ同様である。すなわち、TFT 上に膜厚 $2\mu\text{m}$ の SiO_2 を主成分とする多孔質絶縁膜 230 と膜厚 50nm の Si_3N_4 よりなる保護絶縁膜 231 を形成し、保護絶縁膜 231 上にはコンタクト部分 TH を除く画像表示部のほぼ全面に渡って ITO よりなる共通電極 17 が形成され、前記共通電極 17 上には膜厚 300nm の SiO_2 よりなる容量絶縁膜 25 が形成され、前記容量絶縁膜 25 上には ITO よりなる画素電極 13 がその端部が前記信号配線電極 12 と重畳するように形成され、前記容量絶縁膜 25、保護絶縁膜 231、多孔質絶縁膜 230 に設けたスルーホールを介して TFT のソース電極 11 に接続され、前記共通電極 17 と容量絶縁膜 25 と画素電極 13 により蓄積容量を形成している。

【0044】これらの特徴的構成により、本実施形態においては、前記第 5 の実施の形態と同等な効果を持つ。加えて、本実施形態においては、容量絶縁膜 25 上に形成される画素電極 13 が櫛歯状の平面パターンを有し、この櫛歯状画素電極の隙間と、容量絶縁膜下の共通電極間に液晶層を駆動する電圧を与え、これらの電極の間に発生するフリンジ電界により液晶層を駆動することを特徴とする。

【0045】本実施形態のように、液晶層を基板面にほぼ沿う方向の電界により駆動すると、電界を印加したさいに液晶分子が基板面に対して立ちあがらないで、基板面内で回転することにより透過する光の偏光方向を制御して画像表示ができるので、液晶分子の複屈折性に起因するコントラストの視野角依存性を実質的になくすることができ、視野角の広い高画質の液晶表示装置が得られる。

【0046】(実施の形態 7) 図 11 は、周辺駆動回路を TFT アクティブマトリックスとともに同一基板上に集積した、本実施形態による液晶表示装置全体の等価回路を示す。例えば、図 3 および図 4 に示した実施形態の構成を持ち、Y1 ~ Yend の走査配線電極 10 と X1R、X1G、X1B ~ XendB の信号配線電極 12、および、画素毎に設けられた TFT とならなる TFT アクティブマトリックス 50 と、これを駆動する垂直走査回路 51、水平走査回路 52 よりなる。

【0047】垂直走査回路 51 は、クロック信号 CLKV により駆動されるシフトレジスタ回路 SRV と、行選択電圧 VG を供給されるレベルシフタ DRV とからなり、走査配線電極 10 に行選択パルスを出力する。

【0048】水平走査回路 52 は、クロック信号 CLKH により駆動されるシフトレジスタ回路 SRH と、6 ビットにデジタル化された画像データ DATA をラッチするためのラッチ回路 L1、ラッチされたデジタルデータをアナログデータにデコードするデジタルアナログコンバータ回路 DAC、1 行分の DAC からの出力を一時的に蓄えるラインメモリ LM、およびラインメモリ LM

に蓄えた画像データを信号配線電極12に供給するためのアナログスイッチSWよりなる。尚、DACには各ビットに対応して重み付けされた基準電圧信号が供給されている。

【0049】TFTアクティブマトリクス50として、本発明の構造を用いたことにより、画素電極と信号配線電極12の間の寄生容量を小さくできる。このことは水平走査回路52からみると出力トランジスタが駆動すべき負荷容量が小さくなったことを意味し、出力トランジスタの駆動能力がさほど小さくなくても、信号配線電極12を駆動可能になる。

【0050】通常、単結晶シリコンの用いた液晶駆動用LSIにおいては、出力段の駆動能力を大きくするためアナログスイッチの後段にアナログアンプを形成している。このアナログアンプの出力電圧はペアリングされたトランジスタの特性が一致しないとオフセットを持ち、これが出力端子毎にばらつくと、表示むらになることがしばしば問題になる。このような問題は、本実施形態のような多結晶シリコンTFTでも同様である。ただし、多結晶シリコンTFTにおける個々のTFTのばらつきは、単結晶のそれとは比べものにならないくらい大きい

ため、出力電圧のばらつきを抑えたアナログアンプを構成することは、実際には非常に困難である。

【0051】よって、多結晶シリコンTFTにより駆動回路を構成する場合、アナログアンプを出力段に入れないよう構成することが一つの解決法となりうる。しかし、このような場合、回路の電流駆動能力をあまり大きくできないので、負荷容量の方を大幅に削減することが必要となる。そこで、本発明の構成によれば、信号配線電極の容量を低減することが可能となるため、このような表示むらの原因となるアナログアンプを敢えて使用しなくても駆動を可能とする。したがって、本実施形態の構成は、多結晶シリコンTFTで構成した駆動回路内蔵型の液晶表示装置に好適なものである。

【0052】(実施の形態8)図12は本発明に係る液晶表示装置の液晶セル断面構造の一例を示す模式図である。液晶層506を基準に下部のガラス基板1上には、走査配線電極10と信号配線電極12とがマトリクス状に形成され、その交点近傍に形成されたTFTを介してITOよりなる画素電極13を駆動する。液晶層506を挟んで対向する対向ガラス基板508上にはITOよりなる対向電極510、及びカラーフィルター507、カラーフィルター保護膜511、遮光用ブラックマトリクスパターンを形成する遮光膜512が形成されている。

【0053】偏光板505はそれぞれ一對のガラス基板1, 508の外側の表面に形成されている。液晶層506は液晶分子の向きを設定する下部配向膜ORI1と、上部配向膜ORI2の間に封入され、シール材SL(図示せず)によってシールされている。下部配向膜ORI

1は、ガラス基板1側の多孔質絶縁膜230の上部に形成される。対向ガラス基板508の内側の表面には、遮光膜512、カラーフィルター507、カラーフィルター保護膜511、対向電極510および上部配向膜ORI2が順次積層して設けられている。

【0054】本液晶表示装置はガラス基板1側と対向ガラス基板508側の層を別々に形成し、その後上下ガラス基板1, 508を重ねあわせ、両者間に液晶506を封入することによって組立てられる。バックライトBLからの光の透過を画素電極14部分で調節することによりTFT駆動型のカラー液晶表示装置が構成される。以上に述べた本発明の構成を用いることにより高画質のTFT方式透過型液晶表示装置を実現できる。

【0055】また、本発明の素子構造は透過型液晶表示装置だけでなく、反射型液晶表示装置にも適用可能である。例えば、図11において、画素電極13にITOではなく、Alのような反射率の高い金属電極を用い、ガラス基板1下部の偏光板505とバックライトBLを除くことにより、本発明を適用した反射型の液晶表示装置が実現できる。

【0056】(実施の形態9)本発明に係る製造工程を、上記図4に示した実施形態を例に取り、以下図13~図19を用いて説明する。

【0057】本例の製造工程においては最初に、厚さ700 μ m、幅750mm、幅950mmの歪点約670 $^{\circ}$ Cの無アルカリガラス基板1上を洗浄後、 SiH_4 と NH_3 と N_2 の混合ガスを用いたプラズマCVD法により、膜厚50nmの Si_3N_4 膜200を形成する。形成温度は350 $^{\circ}$ Cである。続いて、テトラエトキシシランと O_2 の混合ガスを用いたプラズマCVD法により、膜厚120nmの SiO_2 膜100を形成する。 Si_3N_4 、 SiO_2 ともに形成温度は350 $^{\circ}$ Cである。

【0058】次に、 SiO_2 膜100上に SiH_4 、Arの混合ガスを用いたプラズマCVD法によりほぼ真性の水素化非晶質シリコン膜300を50nm形成する。成膜温度は380 $^{\circ}$ Cで、成膜直後水素量は約5at%であった。さらに基板を450 $^{\circ}$ Cで約30分アニールすることにより、水素化非晶質シリコン膜300中の水素を放出させる。アニール後の水素量は約1at%であった(図13)。

【0059】次に、基板を350 $^{\circ}$ Cに保持しながら、波長308nmのエキシマレーザ光LAを前記非晶質シリコン膜にフルエンス400mJ/cm²で照射し、非晶質シリコン膜を熔融再結晶化させて、ほぼ真性の多結晶シリコン膜30を得る(図14)。

【0060】次に、通常のホテルソグラフィ法により所定のレジストパターンを多結晶シリコン膜30上に形成し CF_4 と O_2 の混合ガスを用いたリアクティブイオンエッチング法により多結晶シリコン膜30を所定の形状に加工する。

【0061】次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により膜厚100nmのSiO₂を形成しゲート絶縁膜20を得る。この時のテトラエトキシシランとO₂の混合比は1:50、形成温度は380℃である。

【0062】次にスパッタリング法により、Mo膜を200nm形成後、通常のホテルソグラフィ法により所定のレジストパターンをMo膜上に形成し、CF₄とO₂の混合ガスを用いたリアクティブイオンエッチング法によりMo膜を所定の形状に加工し走査配線電極10を得る(図15)。

【0063】次に、イオン注入法によりPイオンを加速電圧70KeV、ドーズ量1E13(cm⁻²)で打ちこんだあと、所定のレジストパターンを形成後にイオン注入法によりPイオンを加速電圧70KeV、ドーズ量1E15(cm⁻²)で打ちこみN型TFETのソース、ドレイン領域31およびLDD領域33を形成する(図16)。

【0064】次に、所定のレジストパターンを形成後、イオン注入法によりBイオンを加速電圧40KeV、ドーズ量1E15で打ちこみ、P型TFET(図示せず)のソース、ドレイン領域を形成する。

【0065】次に、テトラエトキシシランと酸素の混合ガスを用いたプラズマCVD法により、膜厚500nmのSiO₂を形成し層間絶縁膜21を得る。この時のテトラエトキシシランとO₂の混合比は1:5、形成温度は350℃である。

【0066】次に、基板を550℃で5分間アニールして注入したPやBの不純物を活性化し、TFETのソース、ドレインおよびLDD領域の抵抗を所定の値にする。不純物活性化法としては通常の熱処理以外にランプを用いたラピッドサーマルアニール(RTA)法を使用することも可能である。

【0067】次に、所定のレジストパターンを形成後、CHF₃を用いたリアクティブイオンエッチング法により、前記層間絶縁膜にコンタクトスルーホールを開孔する。続いて、スパッタリング法により、Moを50nm、Al-Si合金を500nm、Moを50nmと順次積層形成した後、所定のレジストパターンを形成後、BCl₃とCl₂の混合ガスを用いたリアクティブイオンエッチング法により一括エッチングし、信号配線電極12とソース電極11を得る(図17)。

【0068】次に、シリカ微粒子を分散した液体のトリエトキシシランをスピンコート法により基板上にコートし、膜厚約2.5μmのスピンオンガラス(SOG)膜を形成し、これを300℃で10分間ベークすることにより、膜厚2μmの多孔質のSiO₂膜230を形成した。多孔質膜230の比誘電率は約2.3である(図18)。

【0069】多孔質膜のシリカ膜の形成は、この他、例*

*例えばジフェニルジメチルシラン(Si(C₆H₅)₂(OCH₃)₂)とArの混合ガスを用いたプラズマCVD法により温度150℃でSiO₂膜を形成後、400℃でO₂プラズマ処理を行うことによっても得られる。ただし、O₂プラズマ処理後は膜が吸湿性を帯びるのでヘキサメチルジシラザン(HMDS)処理を250℃で15分行うことにより吸湿のない安定した多孔質シリカ膜をえることができた。

【0070】この他にも、テトラエトキシシランをアルカリ触媒により湿潤ゲル化して基板上に塗布し、テトラエトキシシランの加水分解によって生成された膜中のH₂Oをエタノールで置換処理したあと、CO₂を用いた超臨界流体乾燥法により膜中のエタノールを除去することでも多孔質膜を得ることができる。但し、CO₂を用いた超臨界流体処理は超高压容器を必要とするため、1m近い大きさを持つ液晶表示装置用ガラス基板を処理するにはあまり適当ではない。塗布法あるいはドライプロセスで形成することが望ましい。

【0071】なお、本発明においては多孔質絶縁膜の形成方法は上記の例だけに限定されるものではなく、上述したような比誘電率の多孔質絶縁膜が形成されるのであれば、他の形成方法を用いてもよい。

【0072】最後に、SiH₄とNH₃とN₂の混合ガスを用いたプラズマCVD法により膜厚50nmのSi₃N₄膜231を形成した後、所定のレジストパターンをSi₃N₄膜上に形成し、CF₄を用いたリアクティブイオンエッチング法により、Si₃N₄膜231および多孔質シリカ膜230にコンタクトスルーホールを形成し、続いてスパッタリング法によりITO膜を140nm形成し、臭化水素酸(HBr)を用いて所定の形状に加工してアクティブマトリクス基板が完成する(図19)。

【0073】

【発明の効果】以上のように、本発明によれば、画素電極と信号電極配線間の寄生容量を低減することができるため、寄生容量の増大を伴うことなく開口率を向上できるので、明るい、高画質の液晶表示装置を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる液晶表示装置の画素断面図。

【図2】本発明の第1の実施の形態にかかる液晶表示装置の画素平面図。

【図3】本発明の第2の実施の形態にかかる液晶表示装置の画素断面図。

【図4】本発明の第3の実施の形態にかかる液晶表示装置の画素断面図。

【図5】本発明の第4の実施の形態にかかる液晶表示装置の画素断面図。

【図6】本発明の第4の実施の形態にかかる液晶表示装置の画素平面図。

【図 7】本発明の第 5 の実施の形態にかかる液晶表示装置の画素断面図。

【図 8】本発明の第 5 の実施の形態にかかる液晶表示装置の画素平面図。

【図 9】本発明の第 6 の実施の形態にかかる液晶表示装置の画素断面図。

【図 10】本発明の第 6 の実施の形態にかかる液晶表示装置の画素平面図。

【図 11】本発明の第 7 の実施の形態にかかる駆動回路内蔵型液晶表示装置の全体構成図。

【図 12】本発明の第 8 の実施の形態にかかる液晶表示装置のセル断面図。

【図 13】本発明の第 2 の実施形態の液晶表示装置の一製造工程を示す断面図。

【図 14】本発明の第 2 の実施形態の液晶表示装置の一製造工程を示す断面図。

【図 15】本発明の第 2 の実施形態の液晶表示装置の一製造工程を示す断面図。

【図 16】本発明の第 2 の実施形態の液晶表示装置の一*

*製造工程を示す断面図。

【図 17】本発明の第 2 の実施形態の液晶表示装置の一製造工程を示す断面図。

【図 18】本発明の第 2 の実施形態の液晶表示装置の一製造工程を示す断面図。

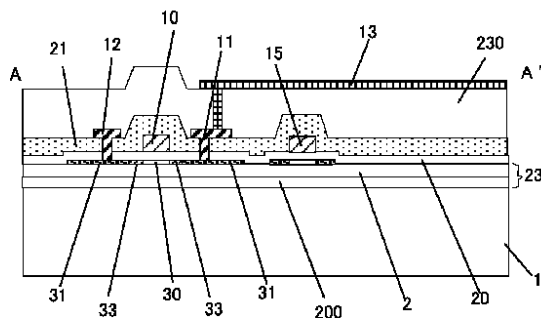
【図 19】本発明の第 2 の実施形態の液晶表示装置の一製造工程を示す断面図。

【符号の説明】

1...ガラス基板、2... Si_3N_4 パツファ膜、10...走査配線電極、11...ソース電極、12...信号配線電極、13...画素電極、15...容量電極、17...共通電極、20...ゲート絶縁膜、21...層間絶縁層、23...保護絶縁膜、24... Si_3N_4 膜(ゲート絶縁膜)、25...容量絶縁膜、30...真性poly-Si膜、31...低抵抗n型poly-Si層、33...高抵抗n型poly-Si層、50...TFTアクティブマトリクス、51...垂直走査回路、52...水平走査回路、200... SiO_2 パツファ膜、230...多孔質絶縁膜、231...保護絶縁膜、300...真性水素化非晶質Si膜、Cst...蓄積容量。

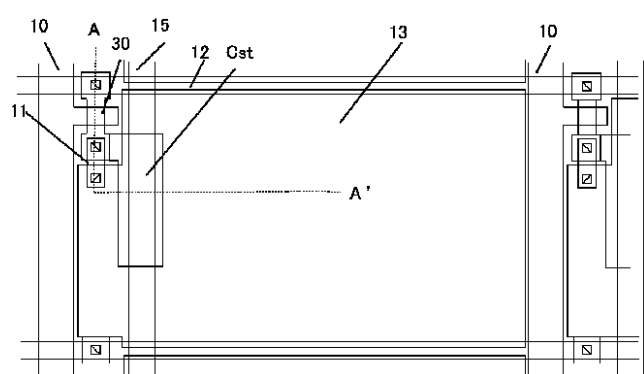
【図 1】

図 1



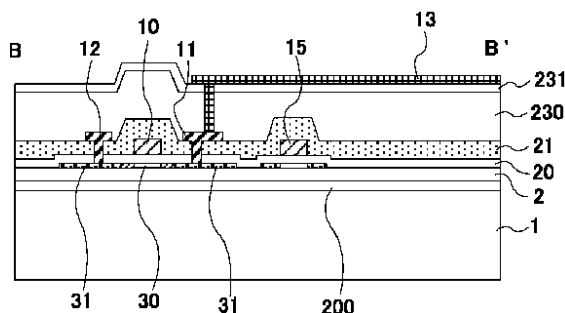
【図 2】

図 2



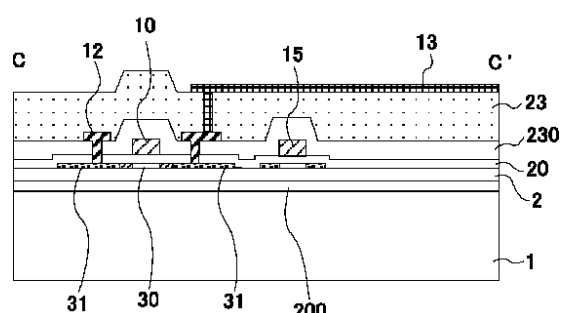
【図 3】

図 3



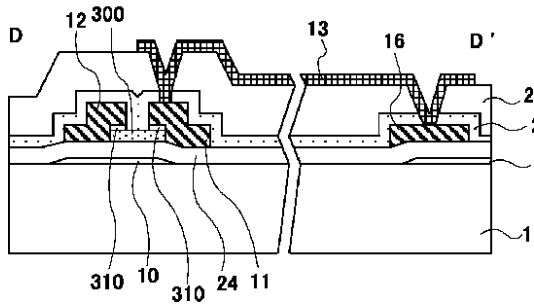
【図 4】

図 4



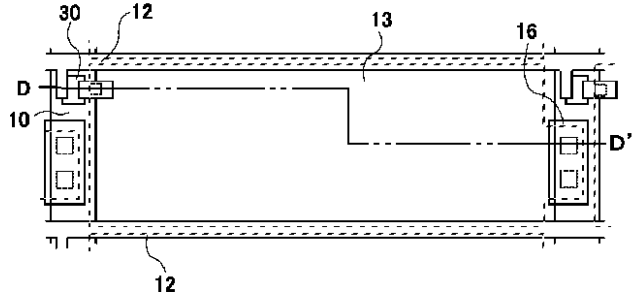
【図5】

図5



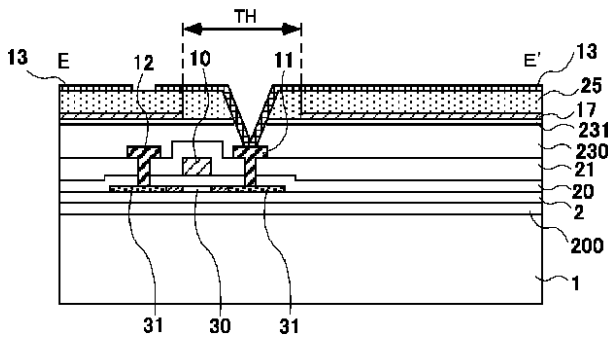
【図6】

図6



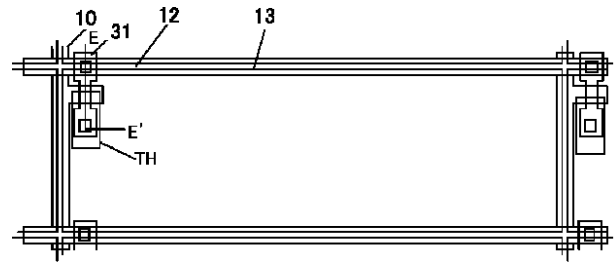
【図7】

図7



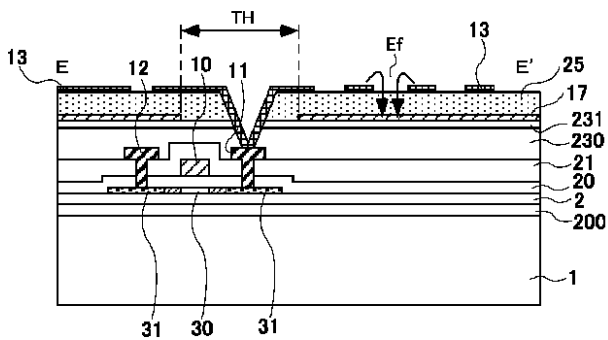
【図8】

図8



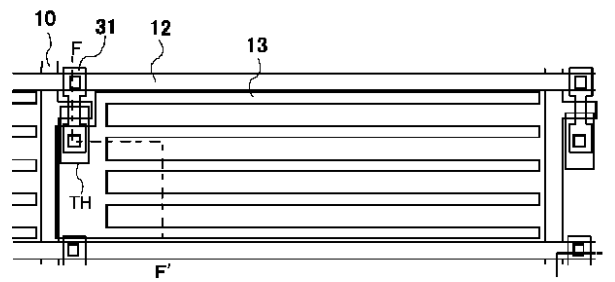
【図9】

図9



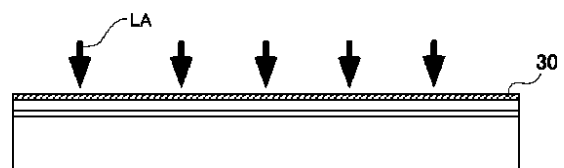
【図10】

図10



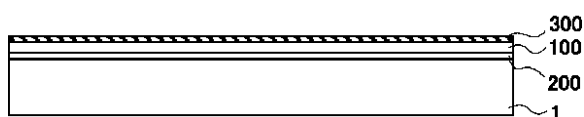
【図14】

図14



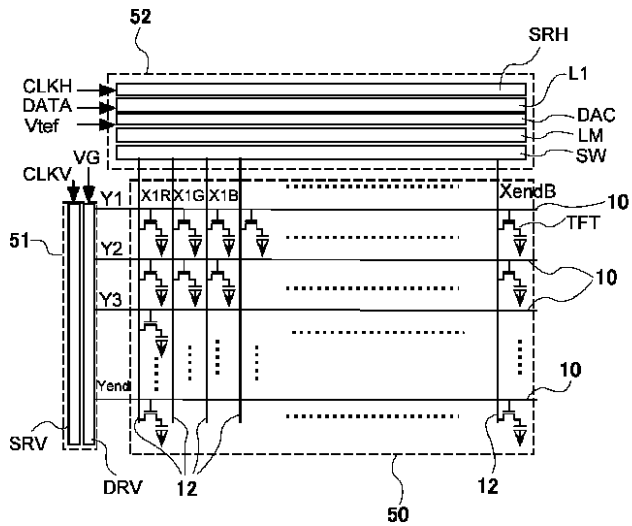
【図13】

図13



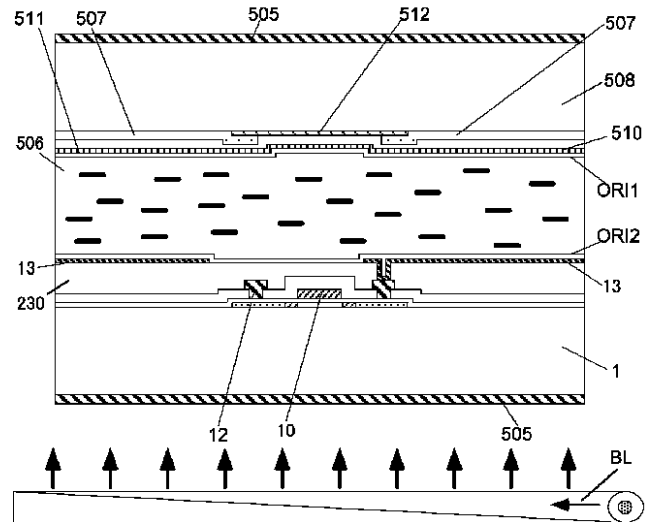
【図11】

図11



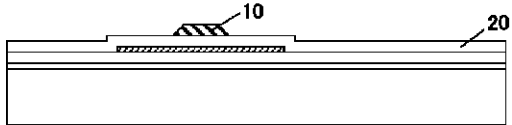
【図12】

図12



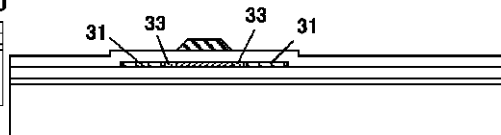
【図15】

図15



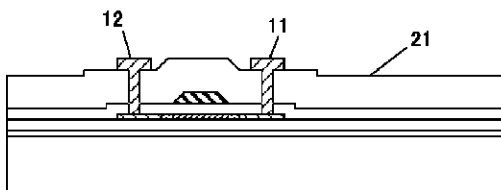
【図16】

図16



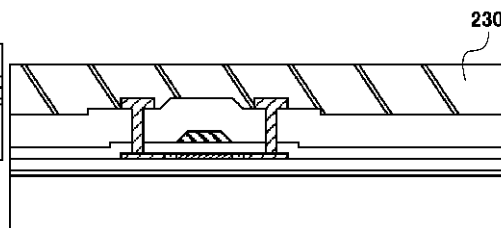
【図17】

図17



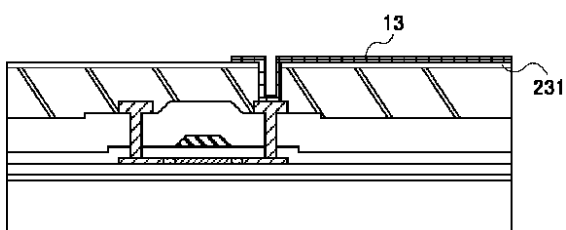
【図18】

図18



【図19】

図19



フロントページの続き

F ターム(参考) 2H092 JA25 JA29 JA33 JA38 JA42
JA44 JB13 JB23 JB32 JB33
JB38 JB51 JB57 JB63 JB69
KA04 KA07 MA05 MA08 MA14
MA15 MA16 MA18 MA19 MA20
MA30 MA35 MA37 NA22 NA25
NA29 PA06 QA07
5F110 AA02 BB01 BB04 CC02 DD02
DD07 DD13 DD14 DD17 EE04
EE44 FF02 FF30 GG02 GG13
GG15 GG25 GG35 GG45 HJ01
HJ04 HJ13 HJ23 HK03 HK04
HK09 HK16 HK22 HL03 HL04
HL07 HL12 HM15 NN03 NN22
NN23 NN24 NN35 NN36 NN73
PP03 PP04 PP35 QQ11

This cross-sectional view shows the device structure along line B-B'. It features a substrate 1 with a thin layer 2 on top. A thick layer 20 is deposited over layer 2, containing a patterned layer 21. Above layer 20, there are three distinct regions: a central region 30 with a trapezoidal shape, and two side regions 31. The central region 30 is covered by a layer 15, which is further covered by a thin layer 11. The side regions 31 are covered by a layer 12. A horizontal layer 13 is positioned above the central region 30. The top surface of the device is labeled 231, and the bottom surface is labeled 230. The cross-section is labeled B on the left and B' on the right.