

(19)日本国特許庁( J P )

# 公開特許公報 ( A ) (11)特許出願公開番号

特開2000 - 330134

(P2000 - 330134A)

(43)公開日 平成12年11月30日(2000.11.30)

(51) Int.Cl <sup>7</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1368		G 0 2 F	1/136 500
	1/1343			1/1343
G 0 9 F	9/00	338	G 0 9 F	9/00 338
	9/30	310		9/30 310
H 0 1 L	29/786		H 0 1 L	29/78 612 C
			審査請求 未請求 請求項の数 10 O L (全 19数)	最終頁に続く

(21)出願番号 特願2000 - 13500(P2000 - 13500)

(71)出願人 395003523

株式会社フロンティック

(22)出願日 平成12年1月21日(2000.1.21)

宮城県仙台市泉区明通三丁目31番地

(31)優先権主張番号 特願平11 - 71037

蔡 基成

(32)優先日 平成11年3月16日(1999.3.16)

宮城県仙台市泉区明通三丁目31番地 株式

(33)優先権主張国 日本(JP)

会社フロンティック内

(72)発明者 じょ 奎哲

宮城県仙台市泉区明通三丁目31番地 株式

(54)【発明の名称】薄膜トランジスタ基板および液晶表示装置

会社フロンティック内

(74)代理人 100064908

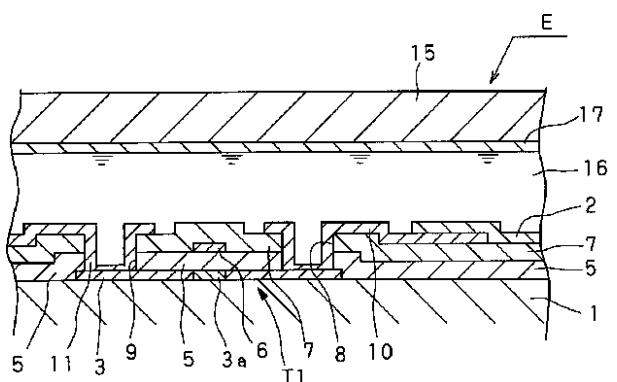
弁理士 志賀 正武 (外6名)

最終頁に続く

## (57)【要約】

【課題】 本発明は、薄膜トランジスタ基板構造に従来必要であったパッシベーション膜を省略することができ、工程数の削減ができるとともに、パッシベーション膜に必要であったコンタクトホール形成工程も不要として工程数を削減した薄膜トランジスタ基板の提供を目的とする。また、本発明はこのような特徴を有する薄膜トランジスタ基板を備えた液晶表示装置の提供を目的とする。

【解決手段】 本発明は、ソース配線Sにインジウム亜鉛酸化物からなるソース端子12を直接接続させる構成と、ゲート配線Gにインジウム亜鉛酸化物からなるゲート端子13を直接接続させる構成と、複数の画素電極をそれぞれスイッチングする薄膜トランジスタT1を成すドレイン電極10にインジウム亜鉛酸化物からなる画素電極2を直接接続させる構成の少なくとも1つを具備するものである。



## 【特許請求の範囲】

【請求項1】 ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続させていることを特徴とする薄膜トランジスタ基板。

【請求項2】 前記ソース配線がアルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタングステンのいずれか1つまたはこれらの合金であることを特徴とする請求項1記載の薄膜トランジスタ基板。

【請求項3】 ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるゲート端子を直接接続させていることを特徴とする薄膜トランジスタ基板。10

【請求項4】 前記ゲート配線がアルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタングステンのいずれか1つまたはこれらの合金であることを特徴とする請求項3記載の薄膜トランジスタ基板。

【請求項5】 複数の画素電極をそれぞれスイッチングする薄膜トランジスタを成すドレン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させていることを特徴とする薄膜トランジスタ基板。20

【請求項6】 前記ドレン電極がアルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタングステンのいずれか1つまたはこれらの合金であることを特徴とする請求項5記載の薄膜トランジスタ基板。

【請求項7】 少なくとも表面が絶縁性である基板上に複数のゲート配線と複数のソース配線とをマトリクス状に形成し、これら配線によって囲まれた各領域に画素電極をそれぞれ設けるとともに、該画素電極と前記ゲート配線及び前記ソース配線とに接続させてそれぞれ前記画素電極のスイッチング素子としての薄膜トランジスタを設け、前記ゲート配線のそれぞれにインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるゲート端子を直接接続し、前記ソース配線のそれぞれにインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続し、前記薄膜トランジスタを成すドレン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させたことを特徴とする薄膜トランジスタ基板。30

【請求項8】 前記インジウム錫亜鉛酸化物が、インジウム酸化物と錫酸化物と亜鉛酸化物とを含む複合酸化物からなり、亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が1at%ないし9at%であり、亜鉛に対する錫の原子数比が1以上であり、かつ、亜鉛とインジウムと錫との合計量に対する錫の原子数率が20at%以下であるとともに、少なくとも一部が結晶性を有するものであることを特徴とする請求項1ないし7のいずれかに記載の薄膜トランジスタ基板。40

【請求項9】 前記亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が2at%ないし7at%であり、前記亜鉛とインジウムと錫の合計量に対する錫の原子数50

率が5at%ないし10at%であることを特徴とする請求項8記載の薄膜トランジスタ基板。

【請求項10】 液晶を挟持する一対の基板の一方の基板に請求項1ないし9のいずれか一項記載の薄膜トランジスタ基板を使用したことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は好ましくは液晶表示装置などに適用される薄膜トランジスタ基板およびそれを備えた液晶表示装置に関するもので、インジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる端子または画素電極を用いた構造に関する。

## 【0002】

【従来の技術】図29は、従来の一般的な薄膜トランジスタ型液晶表示装置において、トップゲート型の薄膜トランジスタ、ゲート配線、ソース配線、画素電極等を備えた薄膜トランジスタ（アレイ）基板の一構造例を示す平面図、図30と図31はその薄膜トランジスタアレイ基板の部分断面図である。

20 【0003】この例の薄膜トランジスタアレイ基板では、ガラス等からなる透明基板100上に、ゲート配線Gとソース配線Sがマトリクス状に配設されている。そして、ゲート配線Gとソース配線Sとで囲まれた領域が1つの画素とされ、この画素領域毎に画素電極101が設けられている。

【0004】この例の薄膜トランジスタアレイ基板において、透明基板上の各画素領域のコーナ部分にn<sup>+</sup>ポリシリコンあるいはアモルファスシリコン等の半導体膜からなるアイランド状の半導体膜102が形成され、半導体膜102と基板100を覆ってゲート絶縁膜103が形成され、このゲート絶縁膜103上に先のゲート配線Gが形成され、このゲート配線Gから半導体膜102の中央部上に引き出されてゲート電極105が形成されている。なお、このゲート電極105にゲート絶縁膜103を介して対峙する部分が半導体膜102のチャネル部102aとされている。

【0005】また、ゲート絶縁膜103とその上のゲート配線Gとゲート電極105を覆って上部絶縁膜106が形成され、この上部絶縁膜106上に先のソース配線Sが形成されるとともに、ソース配線Sから延出形成されたソース電極107が半導体膜102の一側端部上の絶縁膜103、106に形成されたコンタクトホール108を介して半導体膜102の一側端部に接続されている。次に、半導体膜102の他側の端部上の絶縁膜103、106にもコンタクトホール109が形成され、このコンタクトホール109を介して半導体膜102の他側端部に接続されるドレン電極110が絶縁膜106上に形成されている。

【0006】そして、前記ソース電極107とドレン電極110と上部絶縁膜106を覆うように絶縁膜から

なるパッシベーション膜111が形成され、パッシベーション膜111上に画素電極101が形成され、画素電極101がパッシベーション膜111に形成されたコンタクトホール112を介してドレイン電極110に接続されるとともに、ソース配線Sの一側端部の絶縁膜111上にはパッシベーション膜111に形成されたコンタクトホール113を介してソース配線Sの一部114に接続するパッド状の端子115が形成され、図30に断面構造を示す薄膜トランジスタT6が構成されている。

【0007】次に、この種のトップゲート構造の薄膜トランジスタアレイ基板の構造を製造する工程について、図32～図37を用いて説明する。ガラス等の透明基板100上にポリシリコンからなる半導体膜とSiO<sub>2</sub>からなる下地絶縁膜を積層し、これらをフォトリソ工程でパターニングして図32に示すアイランド状の半導体膜120とゲート下部絶縁膜121を形成する。次に、ゲート絶縁膜とゲート電極形成用の電極膜を積層し、これらをフォトリソ工程でパターニングして図33に示すようにゲート絶縁膜122とゲート電極123を形成する。

【0008】次にイオンドーピング処理を行い、半導体膜120の両側にイオンドーピングを施し、更にこれらを中間絶縁膜125で覆い、この中間膜125に半導体膜120の両端側に通じるコンタクトホール126、127を形成し、中間絶縁膜125の上に前述のコンタクトホール126、127を介して半導体膜120の一側に接続するソース電極128を図35に示すように形成し、更に半導体膜120の他側に接続するドレイン電極129を形成する。

【0009】続いてこれらの上に図36に示すように絶縁膜を形成してパッシベーション膜130を形成し、パッシベーション膜130にソース電極128に通じるコンタクトホール131とドレイン電極129に通じるコンタクトホール132を図36に示すように形成する。更に、パッシベーション膜130の上にコンタクトホール132を介してドレイン電極129に通じるITO(インジウム錫酸化物)からなる画素電極133を形成し、パッシベーション膜130の上にコンタクトホール131を介してソース電極128に通じるITOの端子電極135を形成することで、図37に示すようなトップゲート構造の薄膜トランジスタT7を得ることができ、この薄膜トランジスタT7は先に説明した薄膜トランジスタT6と同等の構造となる。

#### 【0010】

【発明が解決しようとする課題】図37に示す構造のトップゲート型の薄膜トランジスタT7にあっては、画素電極133とドレイン電極129を接続するために、および、端子電極135とソース配線Sを接続するために、パッシベーション膜130にコンタクトホール131、132を形成する必要があるので、コンタクトホー

ル形成用のフォトリソ工程、即ち、コンタクトホール形成のための露光工程とドライエッチング工程とストリップ工程と洗浄工程が必要になる問題があり、工程削減が難しい状況にあった。また、図29～図31に示す構造の薄膜トランジスタT6においても、図37に示す薄膜トランジスタT7と同等の構造であるので、先の薄膜トランジスタT7と同等の問題を有していた。

【0011】次に、前述の工程の如くパッシベーション膜130を設けた上で画素電極133を設ける理由について説明する。パッシベーション膜130を設けることなく、直接ドレイン電極129にITOの画素電極133を接続して設ける構成とすると、ITOの画素電極133をフォトリソ工程でパターニングする場合に、ITOをエッチングするエッチング液にソース電極128とドレイン電極129も浸漬することになるが、ITOをエッチングするエッチング液(HCl:HNO<sub>3</sub>:H<sub>2</sub>O=1:0.08:1)により、ソース電極128とドレイン電極129もエッチングして損傷させてしまうおそれがある。

【0012】このため従来では、ソース電極128とドレイン電極129を一旦パッシベーション膜130で覆い、その後にITOの透明導電膜の成膜を行い、パターニングして画素電極133と端子電極135を形成している。ところが、このような構造ではパッシベーション膜130が必ず必要になるので、パッシベーション膜130の成膜に必要な一連の工程が必要になり、工程数が増加する問題があった。

【0013】本発明は前記事情に鑑みてなされたもので、薄膜トランジスタ基板構造に従来必要であったパッシベーション膜を省略することができ、工程数の削減ができるとともに、パッシベーション膜に必要であったコンタクトホール形成工程も不要として工程数を削減した薄膜トランジスタ基板の提供を目的とする。また、本発明はこのような特徴を有する薄膜トランジスタ基板を備えた液晶表示装置の提供を目的とする。

#### 【0014】

【課題を解決するための手段】本発明は、ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続させていることを特徴とする。ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続させることにより、ソース配線上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要になる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。本発明において、前記ソース配線がアルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタンゲステンのいずれか1つまたはこれらの合金であることが好ましい。これ

らの材料からなるソース配線であるならば、インジウム錫亜鉛酸化物またはインジウム亜鉛酸化物用のエッティング液を選択することでエッティング液に損傷を受けることなくインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物のソース端子を形成できる。

【0015】本発明は、ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるゲート端子を直接接続させていることを特徴とする。ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるゲート端子を直接接続させることにより、ゲート配線上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要になる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。

【0016】本発明において、前記ゲート配線がアルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタンクスチンのいずれか1つまたはこれらの合金であることが好ましい。これらの材料からなるゲート配線であるならば、インジウム錫亜鉛酸化物またはインジウム亜鉛酸化物用のエッティング液を選択することでエッティング液に損傷を受けることなくインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物のゲート端子を形成できる。

【0017】本発明は、複数の画素電極をそれぞれスイッチングする薄膜トランジスタを成すドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させていることを特徴とする。ドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させることにより、ドレイン電極上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要になる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。本発明において、前記ドレイン電極がアルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタンクスチンのいずれか1つまたはこれらの合金であることが好ましい。これらの材料からなるドレイン電極であるならば、インジウム錫亜鉛酸化物またはインジウム亜鉛酸化物用のエッティング液を選択することでエッティング液に損傷を受けることなくインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物の画素電極を形成できる。

【0018】更に本発明において、少なくとも表面が絶縁性である基板上に複数のゲート配線と複数のソース配線とをマトリクス状に形成し、これら配線によって囲まれた各領域に画素電極をそれぞれ設けるとともに、該画素電極と前記ゲート配線及び前記ソース配線とに接続さ

10 20 30 40 50

せてそれぞれ前記画素電極のスイッチング素子としての薄膜トランジスタを設け、前記ゲート配線のそれぞれにインジウム亜鉛酸化物からなるゲート端子を直接接続し、前記ソース配線のそれぞれにインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続し、前記薄膜トランジスタを成すドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させたことを特徴とする構造を採用することができる。

【0019】前記ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物のゲート端子を直接接続し、ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物のソース端子を直接接続し、ドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物の画素電極を直接接続することにより、ゲート配線とソース配線とドレイン電極上に従来必要としていたパッシベーション膜等の絶縁膜を不要にすることができ、その絶縁膜に従来必要であったコンタクトホールも不要になる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。

【0020】本発明において、前記インジウム錫亜鉛酸化物が、インジウム酸化物と錫酸化物と亜鉛酸化物とを含む複合酸化物からなり、亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が1at%ないし9at%であり、亜鉛に対する錫の原子数比が1以上であり、かつ、亜鉛とインジウムと錫との合計量に対する錫の原子数率が20at%以下であるとともに、少なくとも一部が結晶性を有するものであることが好ましい。このような組成範囲において成膜時に非晶質であり、弱酸でエッティング可能であって、熱処理により結晶化可能で低抵抗化することができるインジウム錫亜鉛酸化物が得られる。本発明において、前記亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が2at%ないし7at%であり、前記亜鉛とインジウムと錫の合計量に対する錫の原子数率が5at%ないし10at%であることが好ましい。

【0021】本発明は、前記の液晶を挟持する一対の基板の一方の基板に先のいずれか一項記載の薄膜トランジスタ基板を使用した構成を採用することができる。これにより、液晶表示装置の薄膜トランジスタ基板の製造工程において絶縁膜としてのパッシベーション膜の作成を略することができ、パッシベーション膜のコンタクトホールを略することができるので、製造工程を簡略化することができる。

【0022】

【発明の実施の形態】以下に本発明の各実施形態を詳細に説明するが、本発明はこれらの実施形態に限定されるものではない。

「第1実施形態」図1は本発明の第1実施形態の薄膜ト

ランジスタT1を備えた薄膜トランジスタ(アレイ)基板H1の要部平面図、図2は同薄膜トランジスタアレイ基板H1を備えた液晶表示装置Eの要部断面図、図3は同装置の一部断面図である。この実施形態の薄膜トランジスタ(アレイ)基板H1においては、ガラス等からなる透明の基板1上に、複数のゲート配線G…と複数のソース配線S…とが平面視マトリクス状に配設されている。そして、ゲート配線G…とソース配線S…とで囲まれた領域が1つの画素とされ、これらの画素領域毎に透明導電材料のITO(インジウム錫亜鉛酸化物)またはIZO(インジウム亜鉛酸化物)からなる画素電極2が基板1の上方に位置した状態で設けられ、各画素領域の隅部にスイッチング素子としての薄膜トランジスタT1が設けられている。なお、基板1としては少なくとも表面が絶縁性を有するとともに必要な部分が透明な基板であれば良い。例えば、基板1を液晶表示装置Eに適用する場合は、表示に寄与する画素領域に対応する部分を少なくとも透明領域としてその他の部分にブラックマトリクス等の遮光膜を内蔵化した基板を用いても良いのは勿論である。

【0023】この例の薄膜トランジスタアレイ基板H1において、基板1上の各画素領域の隅部の薄膜トランジスタ形成部分に、ポリシリコンあるいはアモルファスシリコン(a-Si)等からなるアイランド状の半導体能動膜3が形成され、基板1上にこれらの半導体能動膜3と基板上面を覆って下部ゲート絶縁膜5が積層され、下部ゲート絶縁膜5上にゲート配線Gが平面視図1に示すように相互に平行に複数形成されるとともに、各ゲート配線Gにおいて各画素領域の半導体能動膜3の中央部上に延出するように短冊状のゲート電極6が形成されている。前記半導体能動膜3はその中央部にチャネル部3aが形成され、その両端側にイオンがドープされた状態とされている。

【0024】更に、下部ゲート絶縁膜5上にこの下部ゲート絶縁膜5と前記各ゲート配線Gと各ゲート電極6とを覆って上部ゲート絶縁膜7が積層されている。また、前記上部ゲート絶縁膜7と下部ゲート絶縁膜5には、半導体能動膜3の一側端部に接続するコンタクトホール8と、半導体能動膜3の他側端部に接続するコンタクトホール9がそれぞれ形成され、半導体能動膜3の一側端部上の部分には上部ゲート絶縁膜7の上に延出するとともに、コンタクトホール8を通過して半導体能動膜3の一側端部に接続するドレイン電極10が形成され、半導体能動膜3の他側端部上の部分には上部ゲート絶縁膜7の上に延出するとともに、コンタクトホール9を通過して半導体能動膜3の他側端部に接続するソース電極11が形成されている。従って、半導体能動膜3と下部ゲート絶縁膜5と上部ゲート絶縁膜7とゲート電極6とドレイン電極10とソース電極11により薄膜トランジスタT1が構成されている。

【0025】次に、ソース配線Sとゲート配線Gとで囲まれた領域であって、上部ゲート絶縁膜7の上には、ソース配線Sとゲート配線Gとで囲まれた領域の大部分を占めるとともに、ソース電極11の形成部分と半導体能動膜3の形成部分とゲート電極6の形成部分のそれぞれの領域を除いた部分において上部ゲート絶縁膜7に密着し、ドレイン電極10の端部側に直接密着するように画素電極2が形成されている。

【0026】また、複数形成されたソース配線Sの各端部側(図1では上側端部のみを記載した)には、ソース配線Sの端部SE1に一部を直接積層され、他の部分を上部ゲート絶縁膜7に積層されたITO(インジウム錫亜鉛酸化物)またはIZO(インジウム亜鉛酸化物)からなるゲート端子12が形成されている。更に、複数形成されたゲート配線Gの各端部側(図1では左側端部のみを記載した)には、ゲート配線Gの端部GE1に一部を直接積層され、他の部分を上部ゲート絶縁膜7に積層されたITO(インジウム錫亜鉛酸化物)またはIZO(インジウム亜鉛酸化物)からなるゲート端子13が形成されている。

【0027】この実施形態の構造においては、ITOまたはIZOからなる画素電極2が上部ゲート絶縁膜7の上に直に接触して形成されており、更にドレイン電極10に直に接触形成されているので、図29～図31に示した従来構造とは異なり、パッシベーション膜111が省略された構造とされている。このような構造を採用することにより、パッシベーション膜111を形成するための工程を簡略化するとともに、パッシベーション膜111に従来形成していたコンタクトホール112、108、113の形成工程も省略できるので工程の簡略化を推進できる。

【0028】ここで図1～図3に示す構造を採用すると、画素電極2のパターニングの工程で画素電極2をエッチングによりパターニングする際に、画素電極2のエッチング液にドレイン電極10とソース電極11も浸漬されることになるが、ITOまたはIZOからなる画素電極2をエッチングするためのエッチング液として、後述する如くシュウ酸や塩酸など、ドレイン電極10およびソース電極11の構成金属材料を損傷させないものを選択できるので、画素電極2のエッチング処理時にドレイン電極10とソース電極11を損傷させることがない。

【0029】次に、図1～図3に示す構造にあっては、薄膜トランジスタアレイ基板と対向する透明基板15との間に液晶16が封入されて液晶表示装置が構成され、対向基板15側に設けられた共通電極17と前記画素電極2が電界を液晶に印加するか否かによって液晶の配向制御ができるように構成されている。ここで前述のソース端子12…とゲート端子13…は、液晶16を封止している図示略の封止材の外部側に設けられており、こ

れらの部分には駆動用LSIの端子が接続されるようになっている。即ち、テープキャリアパッケージと称される駆動用LSIの端子などが接続されるので、ITZOまたはIZOのソース端子12…とゲート端子13…を設けておき、これらの端子との良好な接続性を確保することが好ましい。

【0030】以下に、図4ないし図8を基に、図1～図3に示す構造と同等の構造の薄膜トランジスタ(アレイ)基板を製造する方法について説明する。ガラス等の透明基板1上にポリシリコンまたはアモルファスシリコンからなる半導体膜とSiO<sub>2</sub>からなる下地絶縁膜を積層し、これらをフォトリソ工程でパターニングして図4に示すアイランド状の半導体膜20とゲート下部絶縁膜21を形成する。次に、ゲート絶縁膜とゲート電極形成用の電極膜を積層し、これらをフォトリソ工程でパターニングして図5に示すようにゲート絶縁膜22とゲート電極23を形成する。

【0031】次にイオンドーピング処理を行い、半導体膜20の両側部分にイオンドーピングを施し、更にこれらを中間絶縁膜25で覆い、この中間絶縁膜25に半導体膜20の両端側に通じるコンタクトホール26、27を形成し、中間絶縁膜25の上に前述のコンタクトホール26、27を介して半導体膜20の一側に接続するソース電極28を示すように形成し、更に半導体膜20の他側に接続するドレイン電極29を形成する。

【0032】次にこれらの上にIZO(インジウム亜鉛酸化物)層またはITZO(インジウム錫亜鉛酸化物)層を全体に積層してからフォトリソ工程によりパターニングして図8に示すように画素電極30を形成すると同時に、ソース配線Sの端部側にソース端子31をゲート配線Gの端部側にゲート端子をそれぞれ形成する。ここで、用いるIZO層として、インジウム酸化物( InO<sub>x</sub> )を90%と亜鉛酸化物( ZnO<sub>x</sub> )を10%の混合物の層を例示することができる。また、IZO層をエッチングするためのエッティング液としては、シュウ酸：( C<sub>2</sub>O<sub>4</sub>H )<sub>2</sub>あるいは塩酸：HClなどの酸を用いることができる。シュウ酸として、例えば、0.6mol/lの濃度のものを用いることができ、塩酸としては3.5%のものを用いることができるが、ここで例示した濃度は一例であり、他の濃度のシュウ酸あるいは塩酸としても良いのは勿論である。

【0033】また、用いるITZO層として、インジウム( In )酸化物( In<sub>2</sub>O<sub>3</sub> )と、錫( Sn )酸化物( SnO<sub>2</sub> )と、亜鉛( Zn )酸化物( ZnO )を主成分とする複合酸化物からなる層を例示することができる。なお、これらの主成分の酸化物の外に数at%程度の不純物を含んでいても差し支えない。

【0034】このITZO層においては、他の配線あるいは導電体と接続して用いられるので、これらとの接続部分において、少なくとも錫が亜鉛よりも多く配合さ

れ、結晶性を示すことが必要である。例えば、ITZO層の表面部分において配線や他の導体との接続を行う場合は、表面部分の組成において少なくとも錫が亜鉛よりも多く配合され、結晶性を示すことが必要である。

【0035】次に、ITZO層において、亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が1at%ないし9at%であり、亜鉛に対する錫の原子数比が1以上であり、かつ、亜鉛とインジウムと錫の合計量に対する錫の原子数率が20at%以下、より好ましくは1at%以上、20at%以下の範囲である。そして更に、前記亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が2at%ないし7at%であり、前記亜鉛とインジウムと錫の合計量に対する錫の原子数率が5at%ないし10at%であることがより好ましい。さらに、インジウムの組成範囲は、亜鉛とインジウムと錫の合計量に対するインジウムの原子数率が98at%以下、75at%以上である。

【0036】ITZO層中のインジウム酸化物は主成分であり、複合酸化物中において酸素と結合していない過剰インジウムが電子キャリアを発生し、酸素欠損型の導電機構を構成する。添加成分としての錫酸化物は複合酸化物中において4価の錫を活性化して電子キャリアを発生するために重要である。また、複合酸化物がアモルファス状態であると亜鉛酸化物の2価の亜鉛は活性化しないので、電子キャリアを消費するアクセプタとならない。これら添加物のバランスを考慮して前記の組成範囲を選択する。

【0037】また、前述の組成のITZO層を実際の配線用として用いる場合、他の配線や端子との接続部分は少なくとも結晶性であることが好ましい。前記組成範囲のITZO層は通常の成膜のままでアモルファス膜であるが、これを結晶化温度以上に加熱するアニール処理(180～300の温度に加熱する熱処理)を行えば容易に結晶化する。なお、熱処理温度は周囲の回路や基板の耐熱温度に応じて使い分けることができるが、後述する液晶パネル用として利用した場合に、周辺回路や基板の耐熱性から、好ましくは、250以下、200程度がより好ましいと考えられる。

【0038】前述の組成のITZO層は、成膜のまでのアモルファス状態では導体(ソース配線端部やゲート配線端部あるいはTCP：テープキャリアパッケージ)との接触抵抗は高く(41程度)、微細配線接続用として良好な抵抗であるとは言えないが、これを先の温度で熱処理して少なくとも表面部分(表面から深さ50程度)を結晶化することで少なくとも接続部分を低抵抗化(2.3程度)することができる。この結晶化する際の熱処理雰囲気は、大気中、N<sub>2</sub>雰囲気中、H<sub>2</sub>20%、N<sub>2</sub>80%雰囲気中、O<sub>2</sub>20%、N<sub>2</sub>80%雰囲気中、真空雰囲気中のいずれでも良い。なお、前記結晶化した酸化物透明導電膜は大気中の水分(あるいは酸素)

との結合を防止できるので、経時的に接続抵抗が上昇することもない。また、前述の組成のアモルファス状態のITO層は、希塩酸、有機酸等の弱酸でのエッチングが容易にできるので、アモルファス状態の酸化物透明導電膜のままの状態でエッチング処理し、パターニングを行い配線を形成し、パターニング後に配線接続部分などの必要部分を熱処理して配線接続部分を低抵抗化することで微細回路接続部分であっても低抵抗接続ができる。

【0039】次に、前述の組成のITO層を形成するには、スパッタ成膜等の成膜法で絶縁性の基板等の上面に成膜し、熱処理することで得ることができるが、その場合に用いるターゲットとして以下の組成のターゲットが好ましい。好適に使用できるターゲットの組成は、インジウム酸化物と錫酸化物と亜鉛酸化物を含む複合酸化物からなり、亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が1at%ないし12at%であり、亜鉛に対する錫の原子数比が1以上あり、かつ、亜鉛とインジウムと錫の合計量に対する錫の原子数率が22at%以下のものである。また、前述のターゲットとして、前記亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率が2at%ないし10at%であり、前記亜鉛とインジウムと錫の合計量に対する錫の原子数比が5at%ないし12at%であることがより好ましい。

【0040】前述の組成の酸化物透明導電膜を得るために用いるターゲットにおいて、スパッタした際に亜鉛と錫は飛散し易く、膜中に取り込まれ難いので、ターゲットとして亜鉛と錫を目的の組成の膜よりも多く含む組成で良い。

【0041】ところで、前述のIZO層またはITO層を前記のエッチング液でエッチングする際に、ソース配線Sとソース電極28とゲート電極29がエッチング液に浸漬されることとなるが、シュウ酸をエッチング液として用いる場合は、Al、Cu、Mo、Cr、Ti、Ta、Wなどの金属から、あるいはこれらの合金からソース配線Sとソース電極28とゲート電極29を形成することができるとともに、希塩酸をエッチング液として用いる場合、Cu、Mo、Cr、Ti、Ta、Wなどの金属からソース配線Sとソース電極28とゲート電極29を形成することができる。ただし、希塩酸をエッチング液として用いた場合に配線用あるいは電極用としてAlを用いるとAlが塩酸で損傷されるので好ましくない。また、この外に有機酸などの弱酸を用いてエッチングすることもできる。

【0042】なお、ITO層を使用する場合、アモルファス状態のITO層を形成後、エッチングして他の層の導体部分との接続部分を形成する必要がある。ここで先の組成のITO層であるならば、エッチング液として強酸ではなく、希塩酸や有機酸などの弱酸でエッチングできるので、サイドエッチ量を少なくすることがで

き、その分微細構造をエッチングで得ることができる。そして、ITO層に微細エッチングを行って、規定サイズの画素電極等を形成した後、これらの層を結晶化温度以上に加熱してアモルファス状態のITO層を結晶化するならば、結晶化した部分の抵抗を低くできるので、ドレイン電極との接続、端子部との接続を低抵抗で行うことができる。以上のようにITO層をアモルファス状態でエッチングしてから熱処理して結晶化し低抵抗接続するならば、微細配線部分であっても、接続抵抗を低くしたままで接続した部分を備えた構造を得ることができる。

【0043】以上の工程により図8に断面構造を示す薄膜トランジスタT2を得ることができる。このように得られた薄膜トランジスタT2は先に図1～図3を基に説明した薄膜トランジスタT1とほぼ同等の構造であり、画素電極30が直接ドレイン電極29に接続されるとともに、ソース端子31がソース配線にゲート端子がゲート端子にそれぞれ直接接続されているので、ソース電極28とドレイン電極29の上に従来必要であった絶縁膜としてのパッシベーション膜を省略することができ、このパッシベーション膜に従来形成していたコンタクトホールも不要になるので、先に説明したようにパッシベーション膜の省略ができ、パッシベーション膜に形成するコンタクトホールも略することができるので、工程の簡略化に寄与する。より具体的には、パッシベーション膜そのものを形成する工程と、コンタクトホール形成用の露光工程とドライエッチング工程とストライプ工程と洗浄工程を省略することができる。

【0044】「第2実施形態」図9は本発明の第2実施形態の薄膜トランジスタT3を備えた薄膜トランジスタ(アレイ)基板H3の要部平面図、図12Bは薄膜トランジスタ部分の要部断面図である。なお、図12Bでは液晶表示装置を構成するための対向基板側の構成と液晶については記載を省略したが、図12Bに示す薄膜トランジスタアレイ基板H3を用いて液晶表示装置を構成する場合は、第2図に示した場合と同様に図12Bに示す薄膜トランジスタアレイ基板H3に対して対向基板と液晶を組み合わせて構成することができる。

【0045】この実施形態の薄膜トランジスタ(アレイ)基板H3においては、ガラス等からなる透明の基板1上に、複数のゲート配線G…と複数のソース配線S…とが平面視マトリクス状に配設されている。そして、ゲート配線G…とソース配線S…とで囲まれた領域が1つの画素とされ、これらの画素領域毎に透明導電材料のITO(インジウム錫亜鉛酸化物)またはIZO(インジウム亜鉛酸化物)からなる画素電極32が基板1の上方に位置した状態で設けられ、各画素領域の隅部にスイッチング素子としての薄膜トランジスタT3が設けられている。

【0046】この例の薄膜トランジスタアレイ基板H3

において、透明基板上の各画素領域の隅部の薄膜トランジスタ形成部分に、ゲート配線Gから引き出された短冊状のゲート電極33が形成され、これらゲート配線G…とゲート電極33を覆うようにゲート絶縁膜34が形成され、ゲート電極33上のゲート絶縁膜34上にポリシリコンまたはアモルファスシリコン(a-Si)等からなるアイランド状の半導体能動膜35がゲート電極33の上方を横切るように設けられている。そして、リン等のn型不純物を含むアモルファスシリコン(a-Si:n<sup>+</sup>)からなるオーミックコンタクト層36を介して半導体能動膜35の一側端部上にソース電極37が積層され、半導体能動膜35の他端部上に同様のオーミックコンタクト層36を介してドレイン電極38が積層され、ソース電極37とドレイン電極38とがゲート電極33の上方で対峙される一方、ソース電極37がソース配線Sに一体的に連続されるとともに、ドレイン電極38が後述の画素電極32に直接積層されて薄膜トランジスタT3が構成されている。

【0047】次に、ソース配線Sとゲート配線Gとで囲まれた領域であって、ゲート絶縁膜34の上には、ソース配線Sとゲート配線Gとで囲まれた領域の大部分を占めるとともに、ソース電極37の形成部分と半導体能動膜35の形成部分とゲート電極38の形成部分のそれぞれの領域を除いた部分においてゲート絶縁膜34に密着し、ドレイン電極38の端部側に直接密着積層するように画素電極32が形成されている。

【0048】また、複数形成されたソース配線Sの各端部側(では上側端部のみを記載した)には、ソース配線Sの端部SE2に一部を直接積層されたIZOまたはITZOからなるソース端子42が形成されている。更に、複数形成されたゲート配線Gの各端部側(図1では左側端部のみを記載した)には、ゲート配線Gの端部GE2に一部を直接積層され、他の部分を基板1に積層されたIZOまたはITZOからなるゲート端子43が形成されている。

【0049】なお、図12Bに示す構造では液晶と対向基板を省略して記載したが、図12Aに示す薄膜トランジスタアレイ基板H3と対向基板と間に液晶が封入されて液晶表示装置が構成されるのは、先の第1実施形態の場合と同等である。

【0050】この実施形態の構造においては、IZOまたはITZOからなる画素電極32がゲート絶縁膜34の上に直に接触して形成されており、更にドレイン電極38に直に積層されているので、図29～図31に示した従来構造とは異なり、パッシベーション膜111が省略された構造とされている。このような構造を採用することにより、パッシベーション膜111を形成するための工程を簡略化できるとともに、パッシベーション膜111に従来形成していたコンタクトホール112、108、113の形成工程も省略できるので工程の簡略化を

推進できる。

【0051】ここで、図9と図12Bに示す構造を採用すると、画素電極32のパターニングの工程で画素電極32をエッティングによりパターニングする際に、画素電極32のエッティング液にドレイン電極38とソース電極37も浸漬されることになるが、IZOまたはITZOからなる画素電極32をエッティングするためのエッティング液として、先に説明の如くシュウ酸や塩酸など、ドレイン電極38およびソース電極37の構成金属材料を損傷させないものを選択できるので、ドレイン電極38とソース電極37を損傷させることがない。また、同様に画素電極32のパターニングの工程で画素電極32をエッティングによりパターニングする際に、画素電極32のエッティング液にソース配線Sの端部SE2とゲート配線Gの端部GE2も浸漬されることになるが、IZOまたはITZOからなる画素電極32をエッティングするためのエッティング液として、先に説明の如くシュウ酸や塩酸など、ソース配線Sの端部SE2とゲート配線Gの端部GE2の構成金属材料を損傷させない弱酸を選択できるので、ソース配線Sの端部SE2とゲート配線Gの端部GE2を損傷させることなくソース端子42とゲート端子43を形成することができる。

【0052】以下に、図10ないし図12Aを基に、図9と図12Bとに示す構造の薄膜トランジスタ(アレイ)基板を4枚のマスクを用いて製造する方法について説明する。ガラス等の透明基板1上に前述の金属材料からなる金属膜を形成し、この金属膜を1枚目のマスクを用いるフォトリソ工程によりパターニングして図10に示すようにゲート配線Gとゲート電極33とゲート配線の端部GE2を形成する。次にこれらの上にゲート絶縁膜34とポリシリコンまたはアモルファスシリコン等からなる半導体膜35とオーミックコンタクト膜36と金属膜45を図11に示すように積層し、これらを2枚目のマスクを用いるフォトリソ工程でパターニングしてゲート配線端部とソース配線端部を覆っているすべての膜を除去し、これらの端部を露出させる。

【0053】次に3枚目のマスクを用いるフォトリソ工程において金属膜45とオーミックコンタクト膜36をパターニングして図12Aに示すようにゲート電極33上で対峙するようにソース電極37とドレイン電極38を形成する。

【0054】次にこれらの上にIZO層またはITZO層を全体に積層してから4枚目のマスクを用いるフォトリソ工程によりパターニングして図12Bに示すように画素電極32を形成すると同時に、ソース配線Sの端部側にソース端子42をゲート配線Gの端部側にゲート端子43をそれぞれ形成する。ここで、用いるIZO層として、インジウム酸化物(I<sub>n</sub>O<sub>x</sub>)を90%、亜鉛酸化物(ZnO<sub>x</sub>)を10%含有する混合物の層を例示することができる。また、IZO層をエッティングするため

のエッティング液としては、シュウ酸：(COOH)<sub>2</sub>あるいは塩酸：HClなどの酸を用いることができる。シュウ酸として、例えば、0.6mol/lの濃度のものを用いることができ、塩酸としては3.5%のものを用いることができる。また、ITO層として、インジウム錫酸化物(Indium Oxide)を8.5%、錫酸化物(SnO<sub>x</sub>)を10%、亜鉛酸化物(ZnO<sub>x</sub>)を5%含有する混合物の層を例示することができる。更にこのITO層をエッティングするためのエッティング液は前述のIZO層の場合と同等のものを利用できる。

【0055】前述のIZO層またはITO層を前記エッティング液でエッティングする際に、ソース配線Sとソース電極37とゲート電極38がエッティング液に浸漬されることとなるが、シュウ酸をエッティング液として用いる場合は、Al、Cu、Mo、Cr、Ti、Ta、Wなどの金属からあるいはこれらの合金からソース配線Sとソース電極37とゲート電極38を形成することができるとともに、塩酸をエッティング液として用いる場合は、Cu、Mo、Cr、Ti、Ta、Wなどの金属からあるいはこれらの合金からソース配線Sとソース電極37とゲート電極38を形成することができる。ただし、塩酸をエッティング液として用いた場合に配線用あるいは電極用としてAlを用いるとAlが損傷するので好ましくない。なお、ITO層を用いる場合、ITO層を成膜法で形成した段階では非晶質であり抵抗が高いので、エッティング処理終了後、適切な工程において180℃以上に加熱する熱処理を施してITO層の接続部分（表面部分）を低抵抗化しておくことが必要となる。

【0056】以上の工程により図12Bに断面構造を示す薄膜トランジスタT3を備えた薄膜トランジスタアレイ基板H3を得ることができる。このように得られた薄膜トランジスタT3は、画素電極32が直接ドレイン電極38に接続されるとともに、ソース端子42がソース配線Sにゲート端子43がゲート配線Gにそれぞれ直接接続されているので、ソース電極37とドレイン電極38の上に従来必要であった絶縁膜としてのパッシベーション膜を省略することができ、このパッシベーション膜に従来形成していたコンタクトホールも不要になるので、先に説明したように工程の簡略化に寄与する。より具体的には、パッシベーション膜そのものを形成する工程と、コンタクトホール形成用の露光工程とドライエッティング工程とストライプ工程と洗浄工程を省略することができる。

【0057】「第3実施形態」図13は本発明の第3実施形態の薄膜トランジスタT5を備えた薄膜トランジスタ（アレイ）基板H5の要部平面図、図19は薄膜トランジスタ部分の要部断面図である。この実施形態の薄膜トランジスタ（アレイ）基板H5においては、ガラス等からなる透明の基板1上に、複数のゲート配線G…と複数のソース配線S…とが平面視マトリクス状に配設

されている。そして、ゲート配線G…とソース配線S…とで囲まれた領域が1つの画素とされ、これらの画素領域毎に透明導電材料のIZOまたはITOからなる画素電極52が基板1の上方に位置した状態で設ければ、各画素領域の隅部にスイッチング素子としての薄膜トランジスタT5が設けられている。

【0058】この例の薄膜トランジスタアレイ基板H5において、透明基板上の各画素領域の隅部の薄膜トランジスタ形成部分に、ゲート配線Gから引き出された短冊

10 状のゲート電極53が形成され、これらゲート配線G…とゲート電極53を覆うようにゲート絶縁膜54が形成され、ゲート電極53上のゲート絶縁膜54上にポリシリコンまたはアモルファスシリコン(a-Si)等からなるアイランド状の半導体能動膜55がゲート電極53の上方に位置するように設けられている。そして、リン等のn型不純物を含むアモルファスシリコン(a-Si:n<sup>+</sup>)からなるオーミックコンタクト膜56を介して半導体能動膜55の一側端部上にソース電極57が形成され、半導体能動膜55の他端部上に同様のオーミックコンタクト膜56を介してドレイン電極58が形成され、ソース電極57とドレイン電極58とがゲート電極53の上方で対峙される一方、ソース電極57がソース配線Sに接続されるとともに、ドレイン電極58が後述の画素電極52に直接接続されて薄膜トランジスタT5が構成されている。

【0059】次に、ソース配線Sとゲート配線Gとで囲まれた領域であって、ゲート絶縁膜54の上には、ソース配線Sとゲート配線Gとで囲まれた領域の大部分を占めるとともに、ソース電極57の形成部分と半導体能動膜55の形成部分とゲート電極58の形成部分のそれぞれの領域を除いた部分においてゲート絶縁膜54に密着し、ドレイン電極58の端部側に直接密着するように画素電極52が形成されている。また、複数形成されたソース配線Sの各端部側（図13では上側端部のみを記載した）には、ソース配線Sの端部SE3に一部を直接積層されたIZOまたはITOからなるソース端子62が形成されている。更に、複数形成されたゲート配線Gの各端部側（図1では左側端部のみを記載した）には、ゲート配線Gの端部GE3に一部を直接積層され、他の部分を基板1に積層されたIZOまたはITOからなるゲート端子63が形成されている。

【0060】なお、図19に示す構造では液晶と対向基板を省略して記載したが、図19に示す薄膜トランジスタアレイ基板H5と対向基板と間に液晶が封入されて液晶表示装置が構成されるのは、先の第1実施形態の場合と同等である。

【0061】この実施形態の構造においては、IZOまたはITOからなる画素電極52がゲート絶縁膜54の上に直に接触して形成されており、更にドレイン電極58に直に積層されているので、図29に示した従来構

造とは異なり、パッシベーション膜111が省略された構造とされている。このような構造を採用することにより、パッシベーション膜111を形成するための工程を簡略化できるとともに、パッシベーション膜111に従来形成していたコンタクトホール112、108、113の形成工程も省略できるので工程の簡略化を推進できる。

【0062】ここで、図13に示す構造を採用すると、画素電極52のパターニングの工程で画素電極52をエッチングによりパターニングする際に、画素電極52のエッティング液にドレイン電極58とソース電極57も浸漬されることになるが、IZOまたはITZOからなる画素電極52をエッティングするためのエッティング液として、先に説明の如くシュウ酸や塩酸など、ドレイン電極58およびソース電極57の構成金属材料を損傷させないものを選択できるので、ドレイン電極58とソース電極57を損傷させることができない。

【0063】また、同様に画素電極52のパターニングの工程で画素電極52をエッチングによりパターニングする際に、画素電極52のエッティング液にソース配線Sの端部SE3とゲート配線Gの端部GE3も浸漬されることになるが、IZOまたはITZOからなる画素電極52をエッティングするためのエッティング液として、先に説明の如くシュウ酸や塩酸など、ソース配線Sの端部SE3とゲート配線Gの端部GE3の構成金属材料を損傷させないものを選択できるので、ソース配線Sの端部SE3とゲート配線Gの端部GE3を損傷させることなくソース端子とゲート端子を形成することができる。

【0064】以下に、図14ないし図18を基に、図13と図19に示す構造の薄膜トランジスタ(アレイ)基板を5枚のマスクを用いて製造する方法について説明する。ガラス等の透明基板1上に前述の金属材料からなる金属膜を形成し、この金属膜を1枚目のマスクを用いるフォトリソ工程によりパターニングして図14に示すようにゲート配線Gとゲート電極53とゲート配線の端部GE3を形成する。

【0065】次にこれらの上にゲート絶縁膜54とポリシリコンまたはアモルファスシリコン等からなる半導体能動膜551とオーミックコンタクト膜561を図15に示すように積層し、これらを2枚目のマスクを用いるフォトリソ工程でパターニングしてゲート電極53上のゲート絶縁膜54上の半導体能動膜551とオーミックコンタクト膜561のみを図16に示すように残して他の部分は除去する。次にこれらの上に図17に示すように金属膜59を積層するとともに、3枚目のマスクを用いるフォトリソ工程において金属膜59をパターニングして図18に示すように半導体能動膜55の一側端部にオーミックコンタクト膜561を介して半導体能動膜55の一側端部に先端部を重ねるソース電極57を形成し、同時に半導体能動膜55の他側端部にオーミックコ

ンタクト膜56を介して半導体能動膜55の他側端部に先端部を重ねるドレイン電極58を形成する。

【0066】次に、4枚目のマスクを用いるフォトリソ工程により、ゲート配線Gの端部GE3とソース配線Sの端部SE3の周囲のゲート絶縁膜54を図18に示すように除去する。次にこれらの上にIZO層またはITZO層を全体に積層してから5枚目のマスクを用いるフォトリソ工程によりパターニングして図19に示すように画素電極52を形成すると同時に、図20に示すようにソース配線Sの端部SE3側にソース端子62を図19に示すようにゲート配線Gの端部GE3側にゲート端子63をそれぞれ形成する。ここで、用いるIZO層として、インジウム酸化物( $InO_x$ )を90%と亜鉛酸化物( $ZnO_x$ )を10%の混合物の層を例示することができる。また、IZO層をエッティングするためのエッティング液としては、シュウ酸:( $COOH$ )<sub>2</sub>あるいは塩酸:HClなどの酸を用いることができる。シュウ酸として、例えば、0.6mol/lの濃度のものを用いることができ、塩酸としては3.5%のものを用いることができる。また、ITZO層として、インジウム錫酸化物( $InO_x$ )を85%、錫酸化物( $SnO_x$ )を10%、亜鉛酸化物( $ZnO_x$ )を5%含有する混合物の層を例示することができる。更にこのITZO層をエッティングするためのエッティング液は前述のIZO層の場合と同等のものを利用できる。

【0067】前述のIZO層またはITZO層を前記のエッティング液でエッティングする際、ソース配線Sとソース電極57とゲート電極58がエッティング液に浸漬されることとなるが、シュウ酸をエッティング液として用いる場合は、Al、Cu、Mo、Cr、Ti、Ta、Wなどの金属からあるいはこれらの合金からソース配線Sとソース電極57とゲート電極58を形成することができるとともに、塩酸をエッティング液として用いる場合は、Cu、Mo、Cr、Ti、Ta、Wなどの金属からあるいはこれらの合金からソース配線Sとソース電極57とゲート電極58を形成することができる。ただし、塩酸をエッティング液として用いた場合に配線用あるいは電極用としてAlを用いるとAlが損傷するので好ましくない。なお、ITZO層を用いる場合、ITZO層を成膜法で形成した段階では非晶質であり抵抗が高いので、エッティング処理終了後、適切な工程において200以上に加熱する熱処理を施してITZO層の接続部分(表面部分)を低抵抗化しておくことが必要となる。

【0068】以上の工程により図19に断面構造を示す薄膜トランジスタT5を得ることができる。このように得られた薄膜トランジスタT5は、画素電極52が直接ドレイン電極58に接続されるとともに、ソース端子62がソース配線Sにゲート端子63がゲート配線Gにそれぞれ直接接続されているので、ソース電極57とドレイン電極58の上に従来必要であった絶縁膜としてのバ

ッシベーション膜を省略することができ、このパッシベーション膜に従来形成していたコンタクトホールも不要になるので、先に説明したように工程の簡略化に寄与する。より具体的には、パッシベーション膜そのものを形成する工程と、コンタクトホール形成用の露光工程とドライエッチング工程とストライプ工程と洗浄工程を省略することができる。

#### 【0069】

【実施例】複数枚のガラス基板上に、室温成膜、O<sub>2</sub>分圧  $6.3 \times 10^{-3}$  Pa ( $5 \times 10^{-5}$  Torr) の条件でインジウム錫酸化物膜（ITO膜、In : Sn = 92 at % : 8 at %、厚さ 1200）とインジウム錫亜鉛酸化物皮膜「ITZO膜：In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>-ZnO膜」（In : Sn : Zn = 88 at % : 9 at % : 3 at %、厚さ 1200）と、インジウム亜鉛酸化物皮膜（IZO膜：In : Zn = 82 at % : 18 at %、厚さ 1200）のいずれかを個々にスパッタ装置で形成し、各皮膜のX線回折ピークを求めた。ここで用いたターゲットは、ITO膜の場合は In : Sn = 90 at % : 10 at % の組成のターゲット、ITZO膜の場合は、In : Sn : Zn = 85 at % : 10 at % : 5 at % の組成のターゲット、IZO膜の場合は In : Zn = 83 at % : 17 at % の組成のターゲットとした。また、インジウム亜鉛皮膜とインジウム錫亜鉛皮膜については、20% H<sub>2</sub> / N<sub>2</sub> の雰囲気のアニール炉において 250℃ に 2 時間加熱する熱処理を施した後の X 線回折ピークも求めた。図 21 に ITO 膜の結果を示し、図 22 に ITZO 膜の結果を示し、図 23 に IZO 膜の結果を示す。

【0070】図 21 と図 22 と図 23 に示す結果から、室温成膜した場合、ITO膜は結晶性を示し、ITZO膜とIZO膜はいずれもプロードな曲線を示すアモルファス膜であることが判明した。また、ITZO膜は熱処理を施すと結晶化するが、IZO膜は熱処理を施しても結晶化しないことが判明した。以上のことから、本発明に係る組成のITZO膜は、成膜状態ではアモルファス状態であるがこれを熱処理することで結晶化できることが明らかになった。また、ITZO膜は成膜のままのアモルファス状態において  $600 \times 10^{-6} \text{ cm}$  の抵抗を示したが、熱処理後は  $250 \times 10^{-6} \text{ cm}$  の抵抗となり、アモルファス状態から結晶化することで抵抗値が減少することを確認できた。

【0071】図 24 は本発明に係るインジウム錫亜鉛酸化物膜の熱処理後の状態がアモルファス相状態となるか、多結晶状態となるかを示すグラフである。図 24 のグラフの縦軸において Zn / (In + Sn + Zn) [at %] は、亜鉛とインジウムと錫の合計量に対する亜鉛の原子数率を示すもので、横軸の Sn / (In + Sn + Zn) [at %] は亜鉛とインジウムと錫の合計量に対する錫の原子数率を示す。

【0072】図 24 に描いた a 線は亜鉛とインジウムと錫の合計量に対する Zn : 1 at % の組成を示し、b 線は亜鉛とインジウムと錫の合計量に対する Zn : 9 at % の組成を示し、c 線は亜鉛に対する錫の原子数比が 1 の場合の組成を示す。図 24 において、a 線の下の組成範囲では、酸化物透明導電膜が成膜時に多結晶相となってしまい、弱酸では容易にエッティングできない組成範囲である。図 24 において、b 線の上の組成範囲では成膜のままのアモルファス状態の膜を熱処理（アニール）してもアモルファスのままの状態を維持する組成範囲であり、接続抵抗を低抵抗化できない組成範囲である。また、図 24 において c 線は亜鉛と錫の組成比が同一であることを示すので、電子キャリアを亜鉛が消費する割合が多くなり、c 線よりも上の組成範囲では電子キャリアを消費する亜鉛の量が多くなり過ぎて低抵抗接続できない組成範囲である。また、組成範囲が c 線の下の領域であっても c 線に近づくと抵抗が大きくなる傾向にあることを意味する。

【0073】また、図 24 の縦軸の亜鉛量が 10 at % であって、横軸の錫量が 5 at % の膜と縦軸の亜鉛量が 10 at % であって、横軸の錫量が 9 at % の膜はいずれも 300℃ に加熱する熱処理を施しても結晶化しなかった試料である。これらに対し、縦軸の亜鉛量が 5 at % であって、横軸の錫量が 8 at % の膜と縦軸の亜鉛量が 5 at % であって、横軸の錫量が 9 at % の膜はいずれも 230℃ で熱処理することで結晶化できた。更に、縦軸の亜鉛量が 3 at % であって、横軸の錫量が 6 at % の膜と縦軸の亜鉛量が 3 at % であって、横軸の錫量が 9 at % の膜はいずれも 200℃ で熱処理することで結晶化できた。

【0074】以上のことから、亜鉛量を少なくすることで結晶化温度を低くできることが判明した。また、本発明に係る酸化物透明導電膜を電子機器に応用する場合、基板あるいはその上に積層する種々の膜の耐熱温度の制限から、熱処理温度はできる限り低い方が好ましい。よって、熱処理温度を低くすると同時に低接続抵抗化するためには、インジウムに対して添加する亜鉛量、錫量ともに少ない方が好ましいと考えることができる。

【0075】更に、これらの種々の条件を十分に満足させるために、亜鉛に対する錫の原子数比が 1 を超える条件を満たした上で、亜鉛含有量に関し、1 at % 以上、9 at % 以下の範囲内でも、2 at % 以上、7 at % 以下の範囲がより好ましく、錫含有量に関し、20 at % 以下の範囲でも 5 at % 以上、10 at % 以下の範囲がより好ましい。

【0076】次に、図 25 は先の成膜したまま (as-deposited 状態) の ITZO 膜において、亜鉛添加量 (Zn 添加量) を 5 at % に固定した場合に錫含有量の大小に応じた 60 秒でのエッティング量の変化を測定した結果を示す。エッティング液は 3.5% 濃度の塩酸溶液 (弱酸溶

液)を用いた。図25に示す結果から、Snの添加量が多いほどエッチング量は低下することが明らかである。よって本発明に係る酸化物透明導電膜を用いて微細配線化するためには、錫添加量を調節することでエッチングレート(E/R)を適宜選択できることで対応可能であることが判明した。ただし、Sn添加量20at%において得られるエッチング量は小さいので、これ以上Sn添加量を増加してもエッチング時間が長くなり、加工時間が増えるので、添加量の上限を20at%とすることが好みしい。

【0077】図26は先の成膜したままのITO膜において、亜鉛添加量(Zn添加量)を3at%、錫添加量(Sn)を9at%に設定した場合に得られた酸化物透明導電膜の透過率の波長依存性を示す。図26に示す結果から、本発明に係る酸化物透明導電膜は、可視光域(大略450nm~750nm)において90%を超える優れた透過率を示していることが明らかである。この値は従来から用いられているインジウム錫酸化物膜の透明導電膜と同等か、波長に応じてはそれ以上に優れたものである。従って、本発明に係る酸化物透明導電膜を液晶パネル用の画素電極や透明配線として用いても明るい表示を得ることができることが明らかである。

【0078】図27は先の組成のITO膜において、\*

「表1」

	H <sub>2</sub> アニール	膜構造	初期TCP抵抗	信頼性試験後
ITO膜	無し	多結晶	○ 1.1	○ 1.9
a-ITO膜	有り	多結晶	○ 1.4	○ 2.0

【0081】これらの結果からITO膜Zn膜でもa-I多結晶O膜でも接触抵抗が経時に大気中において上昇していくことが判明した。また、ITO膜処理によりa-I非晶質Oは結晶化し、接触抵抗が低いまま安定することが判明した。なお、表1には記載されていない無しアニール非晶質のITO膜はX線回折ではアモルファスであることが判明し、接触抵抗は改善されるものの、ITO膜と同程度まで改善はされなかった。なお、信頼性試験として、高温ドライ80°C、10%RH、240Hの環境でも同等の試験を行ったが図28に示す結果と全く同じ結果を得ることができた。これらの試験結果から、アモルファス状態のITO膜をアニールすることで低抵抗化することができ、しかも環境試験後においても低抵抗を保持できることが判明した。

【0082】

【発明の効果】以上説明したように本発明は、薄膜トランジスタ基板において、ソース配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるソース端子を直接接続することにより、ソース配線上に従来必要としていたパッシベーション膜等の絶縁膜を不要にする

\*成膜のままの膜の抵抗値とアニール後の膜の抵抗値に対する成膜雰囲気中の酸素分圧(O<sub>2</sub>分圧)依存性を測定した結果と、アモルファス状態のITO膜のエッチングレート(E/R)に及ぼす酸素分圧依存性を示す。ITO膜においても酸素分圧の微調整によってエッチングレート(E/R)の低いアモルファス状態のa-ITO膜を得ることができるが、酸素分圧の調整を厳密に行わないと、部分的にエッチングレート(E/R)の異なるa-ITO膜が生成されてしまう傾向がある。これは、a-ITO膜をエッチングして配線を形成する場合に、成膜時の酸素分圧のばらつきによりエッチングむらを生じやすいa-ITO膜となり易く、a-ITO膜では膜質により微細配線を精密に得ることが難しいことを意味する。

【0079】図28はTCP接続を行った後、信頼性試験を行った結果を示す。また、各測定値は以下の表1に示す。表1のTCP抵抗とは、TCPによる接続(幅4.0×10<sup>-6</sup>cmの金属端子電極との接続)を行い、任意の2本間の抵抗値を測定したものであり、TCP接続による金属端子との接続部分50本の平均値を示している。信頼性試験とは高温高湿(80°C、90%RH、240時間)後の抵抗値を測定したものである。

【0080】

ことまで、7つの絶縁膜に従来必要であったコンタクトホールも不要にすることができる。よって、絶縁膜の成膜工程を省略できるとともに、1コ3タクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。また、薄膜トランジスタ基板において、ゲート配線にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなるゲート端子を直接接続させることにより、あるいは、ドレイン電極にインジウム錫亜鉛酸化物またはインジウム亜鉛酸化物からなる画素電極を直接接続させることにより、従来必要としていたパッシベーション膜等の絶縁膜を不要にでき、その絶縁膜に従来必要であったコンタクトホールも不要にすることができる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。

【0083】前述の各構造において、ソース配線、ゲート配線またはドレイン電極が、アルミニウム、銅、モリブデン、クロム、チタン、タンタルおよびタンゲステンのいずれか1つまたはこれらの合金からなることが好みしい。これらの材料を選択することにより、インジウム

亜鉛酸化物をエッチングする際のエッティング液でソース配線、ゲート配線、またはドレイン電極を損傷されないようにすることが可能となる。

【0084】また、先に記載の構造のソース配線とゲート配線とドレイン電極を有し、先に記載のソース端子とゲート端子と画素電極を有する薄膜トランジスタアレイ基板であるならば、従来必要としていたパッシベーション膜等の絶縁膜を不要にすことができる、その絶縁膜に従来必要であったコンタクトホールも不要にすことができる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。より具体的には、パッシベーション膜そのものを形成する工程と、コンタクトホール形成用の露光工程とドライエッティング工程とストライプ工程と洗浄工程を省略することができる。

【0085】そして、この構造の薄膜トランジスタアレイ基板を備えた液晶表示装置にあっては、従来必要としていたパッシベーション膜等の絶縁膜を不要にすことができ、その絶縁膜に従来必要であったコンタクトホールも不要にすことができる。よって、絶縁膜の成膜工程を省略できるとともに、コンタクトホールの形成のために必要としていた工程も不要になり、工程の簡略化をなし得る。

#### 【図面の簡単な説明】

【図1】 本発明に係る薄膜トランジスタ基板の第1実施形態の要部を示す平面略図。

【図2】 図1に示す薄膜トランジスタ基板の第1実施形態の要部断面図。

【図3】 図1に示す薄膜トランジスタ基板の第1実施形態の一部断面図。

【図4】 図1～図3に示す第1実施形態の構造を製造する方法を説明するためのもので、基板上に半導体膜と絶縁膜を積層した状態を示す断面図。

【図5】 同方法を説明するためのもので、基板上にゲート絶縁膜とゲート電極を形成した状態を示す断面図。

【図6】 同方法を説明するためのもので、基板上に絶縁膜を形成した状態を示す断面図。

【図7】 同方法を説明するためのもので、基板上の絶縁膜にコンタクトホールを形成し、ソース電極とドレン電極を半導体能動膜に接続した状態を示す断面図。

【図8】 同方法を説明するためのもので、ソース配線端部にソース端子をドレン電極端部に画素電極を各々直接接続した状態を示す断面図。

【図9】 本発明に係る薄膜トランジスタ基板の第2実施形態の要部を示す平面略図。

【図10】 図9に示す第2実施形態の構造を製造する方法を説明するためのもので、基板上にゲート電極とゲート配線を形成した状態を示す断面図。

【図11】 同方法を説明するためのもので、基板上に

10

ゲート絶縁膜と半導体能動膜とオーミックコンタクト膜と金属膜を形成した状態を示す断面図。

【図12】 同方法を説明するためのもので、図12Aは基板上の金属膜とオーミックコンタクト膜とゲート絶縁膜の必要部分をパターニングした状態を示す断面図、図12Bは画素電極と端子を形成して得られた薄膜トランジスタの第2実施形態を示す断面図。

【図13】 本発明に係る薄膜トランジスタ基板の第3実施形態の要部を示す平面略図。

【図14】 図13示す第3実施形態の構造を製造する方法を説明するためのもので、基板上にゲート電極とゲート配線とを形成した状態を示す断面図である。

【図15】 同方法を説明するためのもので、基板上にゲート絶縁膜と半導体能動膜と金属膜を積層した状態を示す断面図。

【図16】 同方法を説明するためのもので、基板上のゲート電極上方のゲート絶縁膜上にアイランド状のオーミックコンタクト膜と半導体能動膜を形成した状態を示す断面図。

【図17】 同方法を説明するためのもので、基板上のオーミックコンタクト膜と半導体能動膜上に電極膜を形成した状態を示す。

【図18】 同方法を説明するためのもので、ゲート電極上方に薄膜トランジスタを形成した状態を示す断面図。

【図19】 同方法を説明するためのもので、画素電極と端子を形成して図13に示す平面構造の薄膜トランジスタ基板を得た状態の断面図。

【図20】 図19に示す構造の薄膜トランジスタにおいてソース配線端子部分を示す断面図。

【図21】 図21はITO膜のX線回折試験結果を示す図。

【図22】 図22はITZO膜のX線回折試験結果を示す図。

【図23】 図23はIZO膜のX線回折試験結果を示す図。

【図24】 図24は本発明に係る酸化物透明導電膜が結晶化状態あるいはアモルファス状態となる場合の亜鉛含有量依存性と錫含有量依存性を示す図。

【図25】 図25は本発明に係る酸化物透明導電膜における錫添加量に対するエッティング量依存性を示す図。

【図26】 図26は本発明に係る酸化物透明導電膜における光透過率の波長依存性を示す図。

【図27】 図27は本発明に係る酸化物透明導電膜の比抵抗値に対する成膜時の酸素分圧依存性とITO膜のエッティングレートに対する成膜時の酸素分圧依存性を示す図。

【図28】 図28は本発明に係る酸化物透明導電膜のTCP接続抵抗の信頼性試験結果を示す図。

【図29】 従来の薄膜トランジスタ基板の一例を示す

50

平面略図。

【図30】 図29に示す従来の薄膜トランジスタ基板の要部断面図。

【図31】 図29に示す従来の薄膜トランジスタ基板の一部断面図。

【図32】 従来の薄膜トランジスタ基板を製造する方法を説明するためのもので、基板上にアイランド状の半導体膜と下部絶縁膜を形成した状態を示す断面図。

【図33】 同方法を説明するためのもので、下部絶縁膜上にゲート絶縁膜とゲート電極を形成した状態を示す断面図。

【図34】 同方法を説明するためのもので、ソース電極とドレイン電極を形成した状態を示す断面図。

【図35】 同方法を説明するためのもので、パッシベ\*

\*ーション膜を形成した状態を示す断面図。

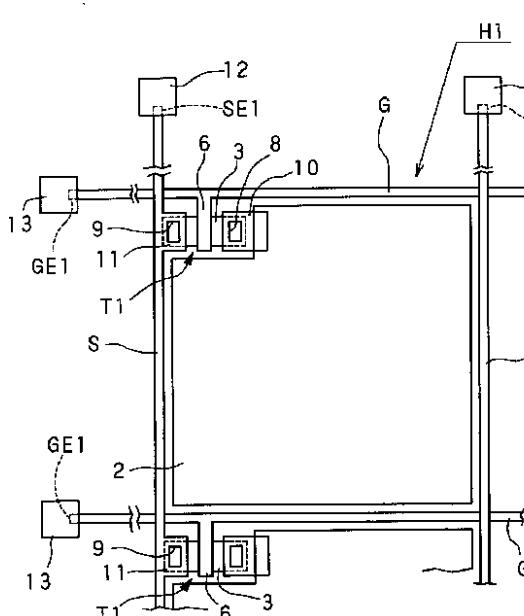
【図36】 同方法を説明するためのもので、パッシベーション膜にコンタクトホールを形成した状態を示す断面図。

【図37】 同方法を説明するためのもので、ITOの画素電極と端子電極を形成した状態を示す断面図。

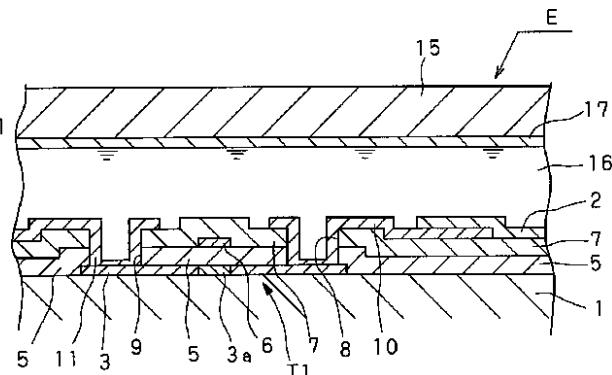
【符号の説明】

E…液晶表示装置、H1、H3、H5…薄膜トランジスタアレイ基板、S…ソース配線、G…ゲート配線、1…基板、2…画素電極、12、42、62…ソース端子、13、43、63…ゲート端子、15…対向基板、T1、T2、T3、T5…薄膜トランジスタ、10、29、38、58…ドレイン電極、11、28、37、57…ソース電極。

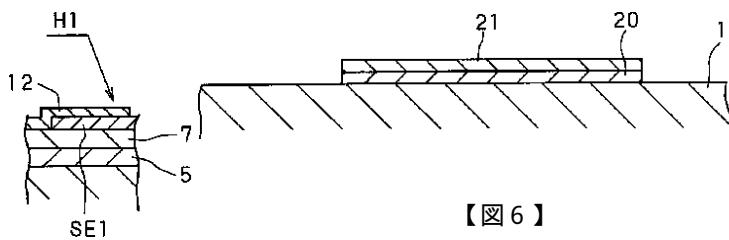
【図1】



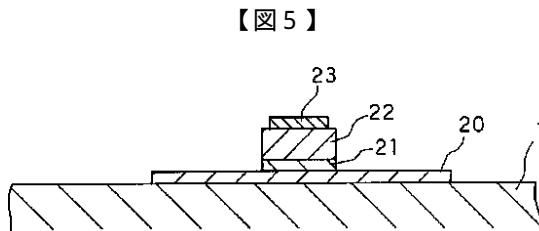
【図2】



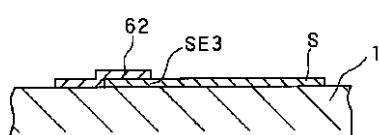
【図3】



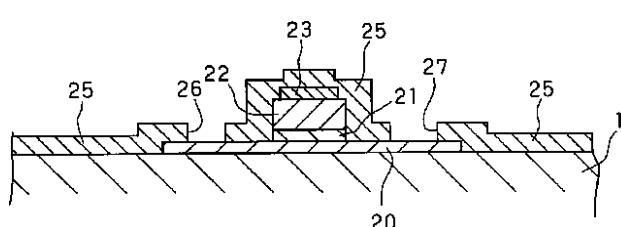
【図4】



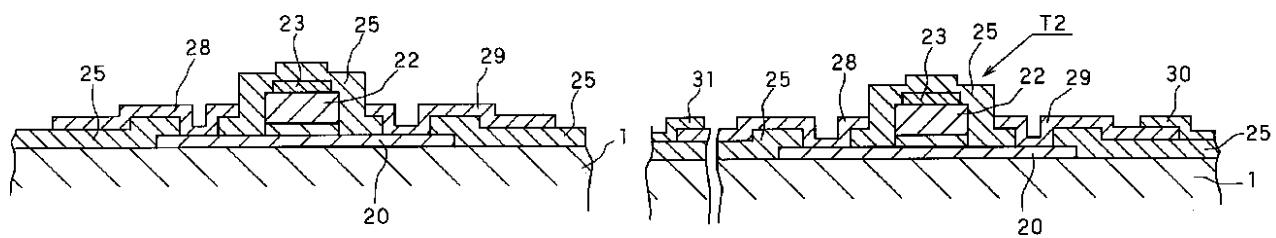
【図20】



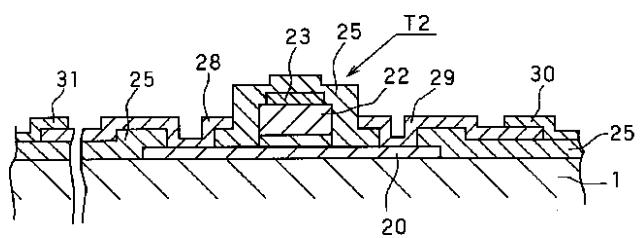
【図6】



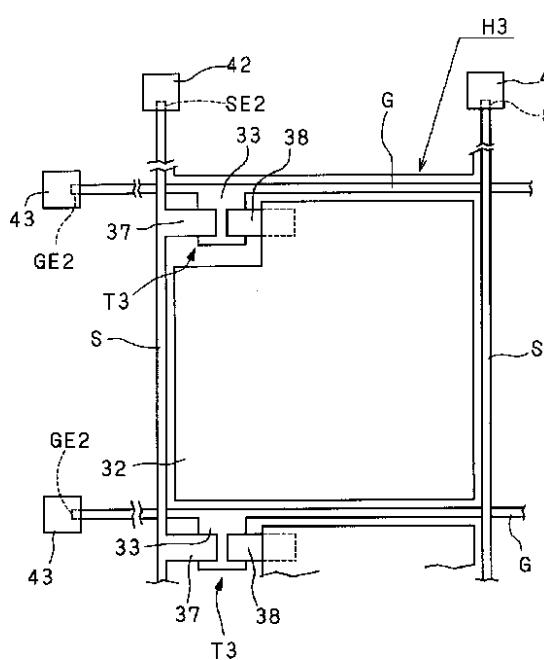
【図7】



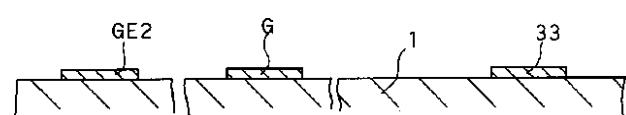
【図8】



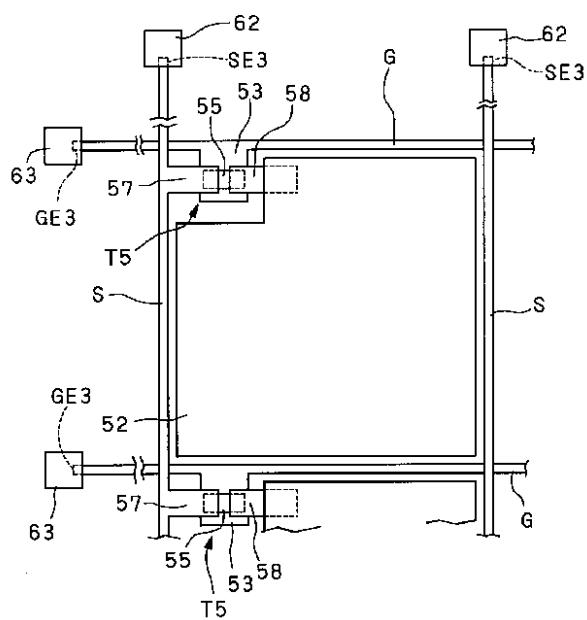
【図9】



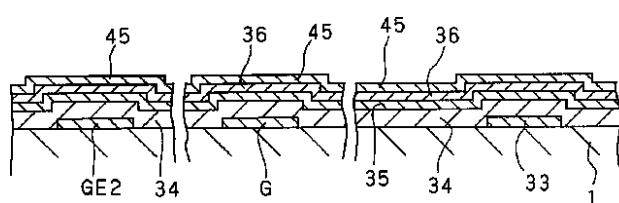
【図10】



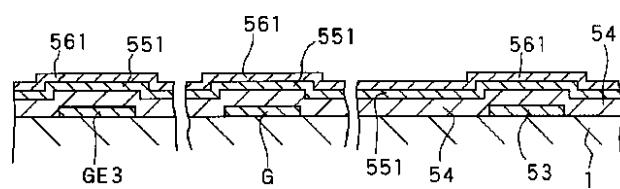
【図13】



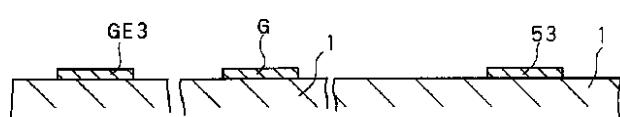
【図11】



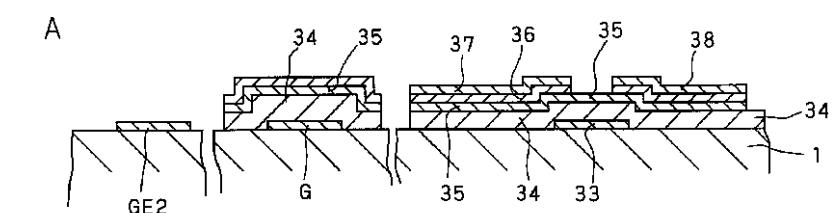
【図15】



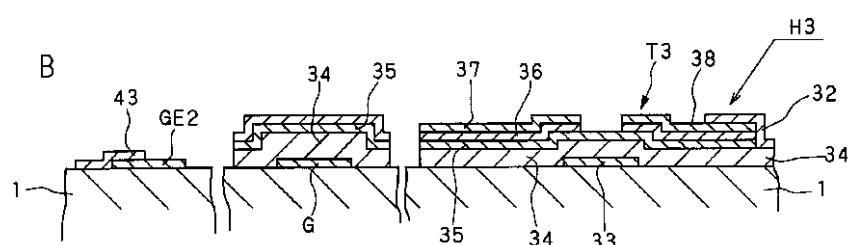
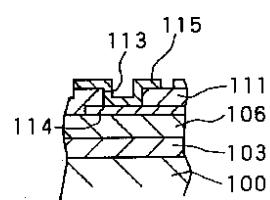
【図14】



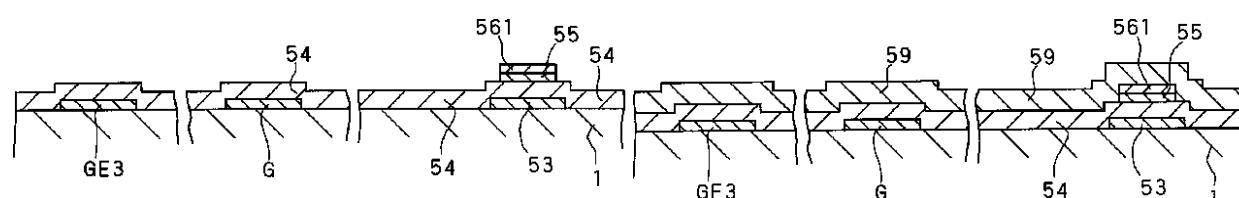
【図12】



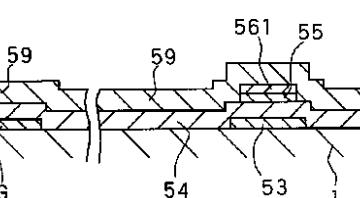
【図31】



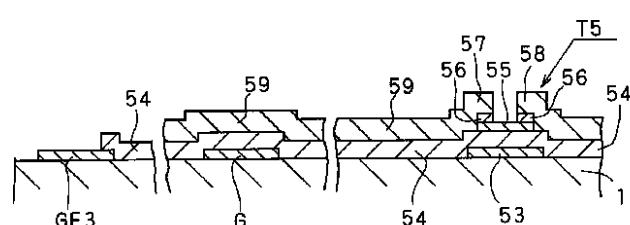
【図16】



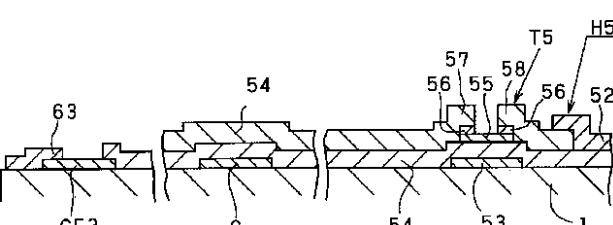
【図17】



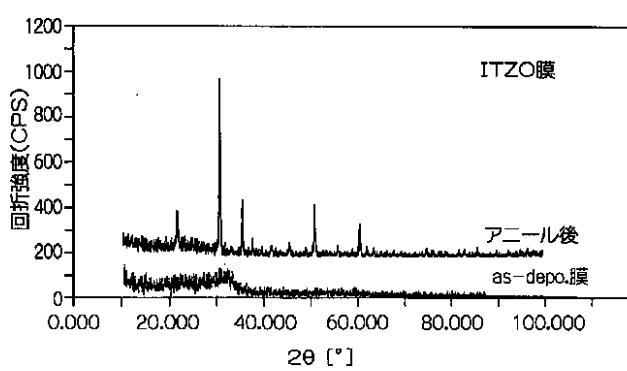
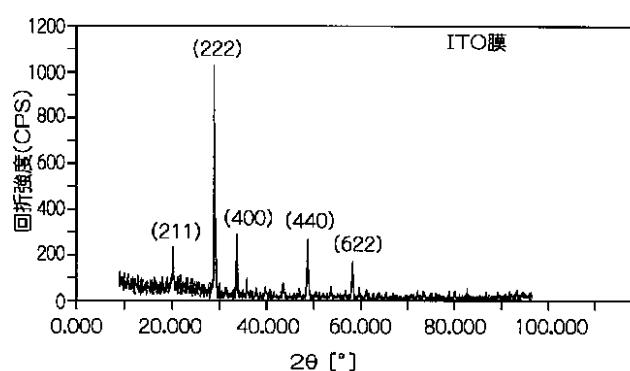
【図18】



【図19】

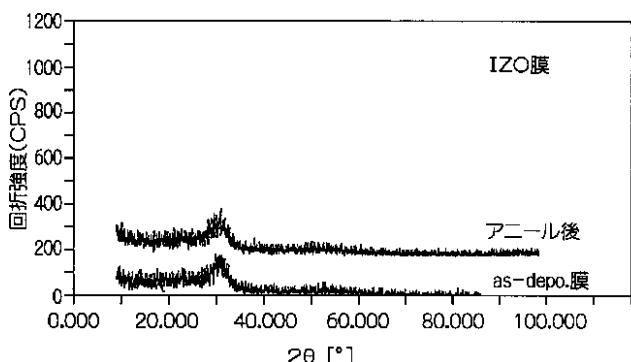


【図21】

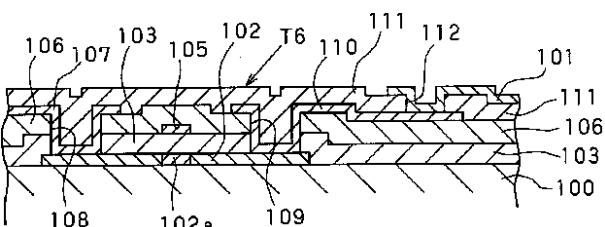


【図22】

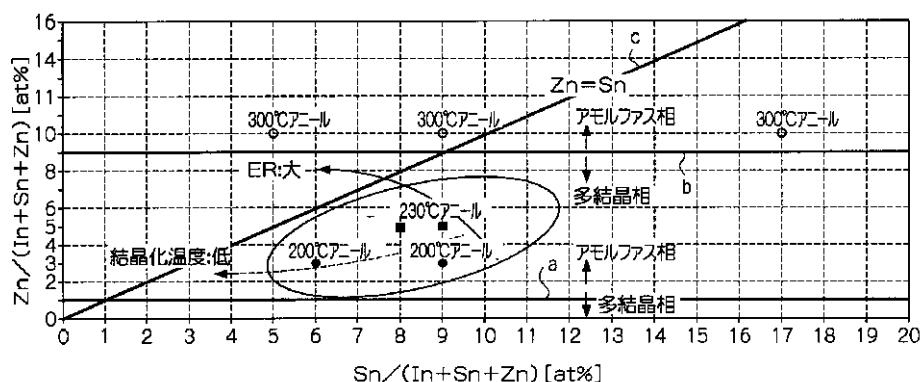
【図23】



【図30】

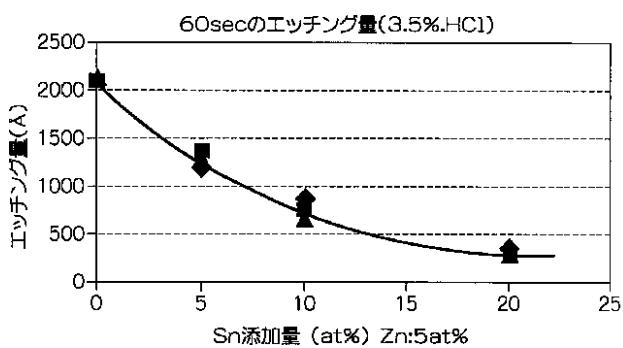


【図24】

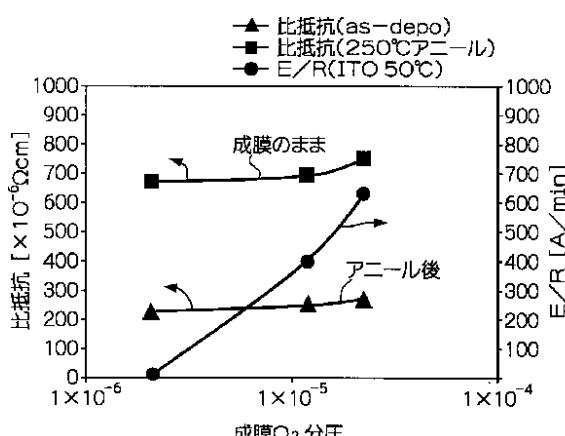


【図25】

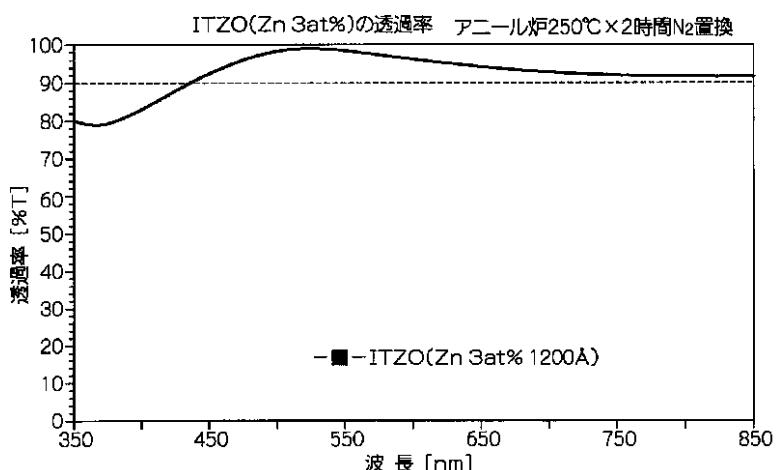
Sn添加量 (at%)	0	5	10	20
エッティング量 (Å)	2082	1202	865	338
	2082	1331	767	270
	2082	1238	653	290



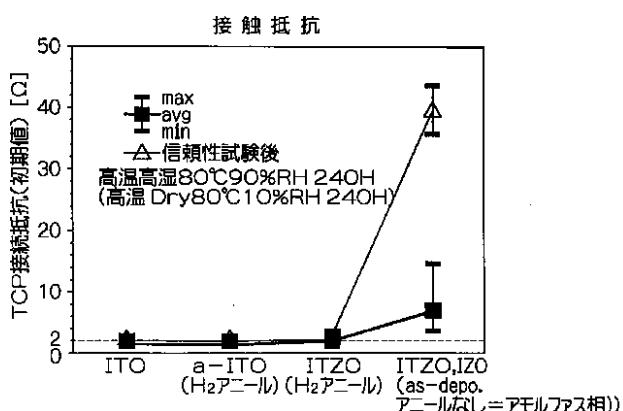
【図27】



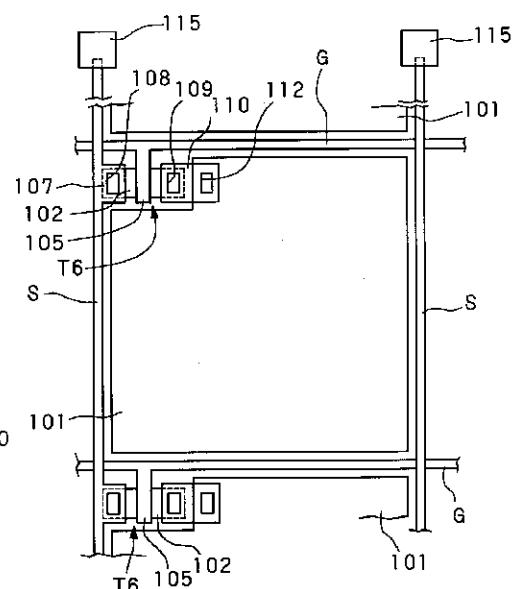
【図26】



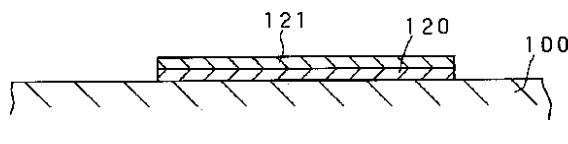
【図28】



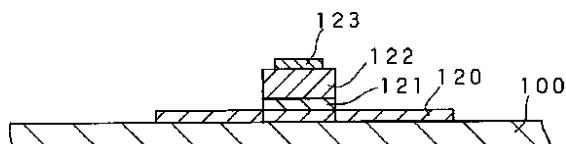
【図29】



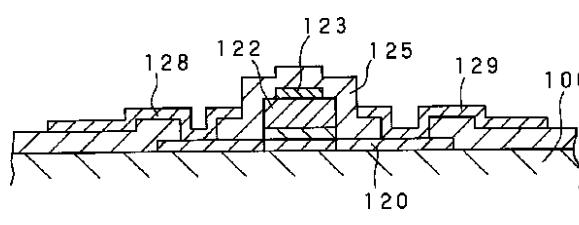
【図32】



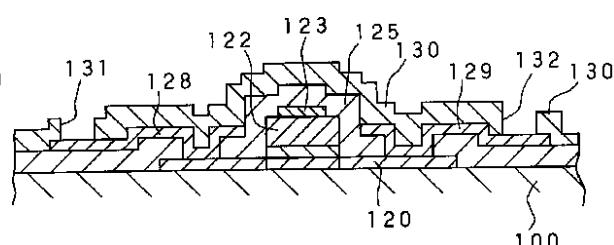
【図33】



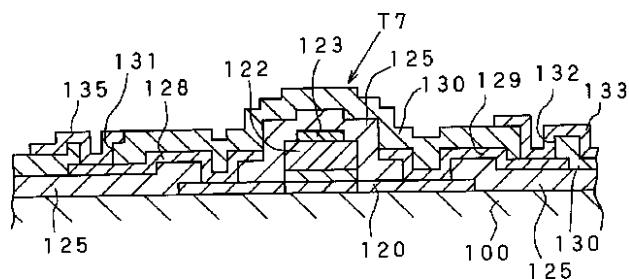
【図35】



【図36】



【図37】



フロントページの続き

(51) Int.CI.<sup>7</sup>

識別記号

F I

テ-マコ-ド<sup>®</sup> (参考)

H 0 1 L 29/78

6 1 6 V

6 1 7 M

(72)発明者 佐々木 真

宮城県仙台市泉区明通三丁目31番地 株式  
会社フロンティック内

(72)発明者 新井 和之

宮城県仙台市泉区明通三丁目31番地 株式  
会社フロンティック内

专利名称(译)	薄膜晶体管基板和液晶显示装置		
公开(公告)号	<a href="#">JP20000330134A</a>	公开(公告)日	2000-11-30
申请号	JP2000013500	申请日	2000-01-21
[标]申请(专利权)人(译)	佛朗帝克股份有限公司		
申请(专利权)人(译)	有限公司FRONTECH		
[标]发明人	蔡基成 じょ 奎哲 佐々木真 新井和之		
发明人	蔡 基成 ▲じょ▼奎哲 佐々木 真 新井 和之		
IPC分类号	G09F9/30 G02F1/1343 G02F1/136 G02F1/1362 G02F1/1368 G09F9/00 H01L21/336 H01L21/77 H01L27/12 H01L29/45 H01L29/786		
CPC分类号	H01L27/124 G02F1/13458 G02F1/136286 G02F2001/136295 H01L27/1214 H01L29/458 H01L29/66757		
FI分类号	G02F1/136.500 G02F1/1343 G09F9/00.338 G09F9/30.310 H01L29/78.612.C H01L29/78.616.V H01L29/78.617.M G02F1/1368		
F-TERM分类号	2H092/JA25 2H092/JA36 2H092/JA44 2H092/JA46 2H092/JB24 2H092/JB33 2H092/KA10 2H092/KA19 2H092/KB04 2H092/KB14 2H092/MA18 2H092/MA27 2H092/NA27 2H192/AA24 2H192/BA01 2H192/CB02 2H192/CB05 2H192/EA02 2H192/FB46 2H192/HA47 2H192/HA64 2H192/HA90 5C094/AA21 5C094/AA32 5C094/AA43 5C094/AA44 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB02 5C094/DB04 5C094/EA04 5C094/EA05 5C094/EA10 5C094/EB02 5C094/FA01 5C094/FA02 5C094/FB02 5C094/FB12 5C094/GB10 5C094/JA01 5F110/AA16 5F110/CC02 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/FF02 5F110/FF09 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HJ12 5F110/HK09 5F110/HK21 5F110/HL03 5F110/HL04 5F110/HL07 5F110/HL10 5F110/NN72 5F110/QQ05 5F110/QQ11 5G435/AA16 5G435/AA17 5G435/BB12 5G435/BB15 5G435/CC09 5G435/HH12 5G435/KK05		
优先权	1999071037 1999-03-16 JP		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

解决的问题：消除薄膜晶体管基板结构通常所需的钝化膜，减少步骤数量，并消除钝化膜所需的接触孔形成步骤。一个目的是提供一种薄膜晶体管基板。本发明的另一个目的是提供一种具有这样的特性的薄膜晶体管基板的液晶显示装置。本发明涉及一种结构，其中由铟锌氧化物制成的源极端子12直接连接到源极布线S，一种结构，其中由铟锌氧化物制成的栅极端13直接连接到栅极布线G，以及多个其中由铟锌氧化物制成的像素电极2直接连接至形成用于开关像素电极的薄膜晶体管T1的漏极10的至少一种配置。

