(19)日本国特許庁(JP)

再公表特許(A1)

(11)国際公開番号
WO2008/152848

発行日　平成22年8月26日(2010.8.26)

(43)国際公開日　平成20年12月18日(2008.12.18)

(51)Int.Cl.			F I			テーマコード（参考）
G09G	3/36	(2006.01)	G09G	3/36		2H193
G09G	3/20	(2006.01)	G09G	3/20	621B	5C006
G02F	1/133	(2006.01)	G09G	3/20	611J	5C058
H04N	5/66	(2006.01)	G09G	3/20	642A	5C080
			G09G	3/20	623C	

審査請求 有　予備審査請求 未請求　（全 104 頁）　最終頁に続く

出願番号	特願2009-519183 (P2009-519183)
(21)国際出願番号	PCT/JP2008/055968
(22)国際出願日	平成20年3月27日 (2008.3.27)
(31)優先権主張番号	特願2007-155652 (P2007-155652)
(32)優先日	平成19年6月12日 (2007.6.12)
(33)優先権主張国	日本国(JP)
(31)優先権主張番号	特願2007-309529 (P2007-309529)
(32)優先日	平成19年11月29日 (2007.11.29)
(33)優先権主張国	日本国(JP)

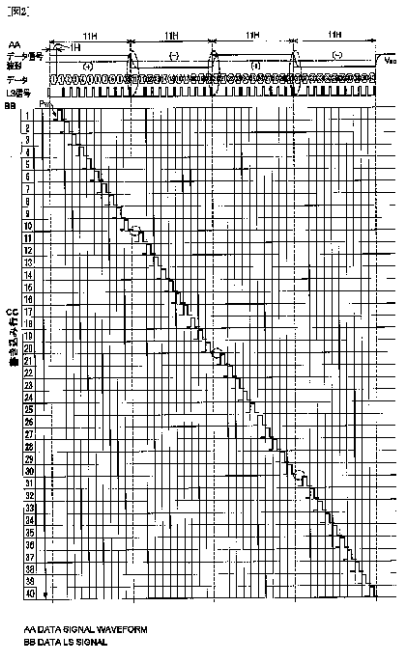
(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町２２番２２号
(74)代理人　110000338
特許業務法人原謙三国際特許事務所
(72)発明者　北山　雅江
日本国大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内
(72)発明者　入江　健太郎
日本国大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内
(72)発明者　下敷領　文一
日本国大阪府大阪市阿倍野区長池町２２番２２号　シャープ株式会社内

最終頁に続く

(54)【発明の名称】液晶表示装置、走査信号駆動装置、液晶表示装置の駆動方法、走査信号駆動方法、およびテレビジョン受像機

(57)【要約】

ゲートドライバが、データ信号の極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第１の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第２の期間とすると、上記第２の期間が上記第１の期間よりも長くなるようにゲートオンパルスを印加する。これにより、極性反転時にデータ信号の波形に鈍りが生じていても、表示ムラなどを抑制した表示品位の高い表示を行うことが可能な液晶表示装置を提供する。



AA DATA SIGNAL WAVEFORM
BB DATA LS SIGNAL
CC WRITE ROWS

【特許請求の範囲】
【請求項１】
行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、
上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する走査信号駆動部と、
１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、
上記走査信号駆動部が、
極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第１の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第２の期間とすると、上記第２の期間が上記第１の期間よりも長くなるようにゲートオンパルスを印加することを特徴とする液晶表示装置。
【請求項２】
行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、
上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動部と、
１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、
上記走査信号駆動部が、
極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスを印加することを特徴とする液晶表示装置。
【請求項３】
上記走査信号駆動部が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、０．８ｍｓｅｃ以下となるようにゲートオンパルスを印加することを特徴とする請求項１または２記載の液晶表示装置。
【請求項４】
上記走査信号駆動部が、全ての走査信号線に対して、同じパルス幅の上記ゲートオンパルスを印加することを特徴とする請求項１または２記載の液晶表示装置。
【請求項５】
上記走査信号線が１以上のブロックに分かれているとともに、各ブロックに含まれる走査信号線が、さらに複数のグループに分かれており、
上記走査信号駆動部が、上記走査信号線を上記ブロック単位で順次走査するとともに、各ブロックの走査においては、上記走査信号線の各グループに対する走査を順次行うことによって飛び越し走査方式による駆動を行い、
上記データ信号駆動部が、走査が行われる上記走査信号線のグループの切り替わり時点で極性が反転するようにデータ信号を上記データ信号線に印加することを特徴とする請求項１または２記載の液晶表示装置。
【請求項６】
上記走査信号線を分割するブロックの数が１つであることを特徴とする請求項５記載の液晶表示装置。

【請求項７】
上記走査信号線を分割するブロックの数が２つ以上であることを特徴とする請求項５記載の液晶表示装置。
【請求項８】
上記各ブロックに含まれる走査信号線が、奇数行目の走査信号線からなる第１のグループと、偶数行目の走査信号線からなる第２のグループとに分かれており、
上記走査信号駆動部が、隣接する２つのブロックにおいて、先行して走査が行われるブロックで後に走査が行われるグループが第１のグループである場合に、次に走査が行われるブロックで先に走査が行われるグループを第１のグループとし、先行して走査が行われるブロックで後に走査が行われるグループが第２のグループである場合に、次に走査が行われるブロックで先に走査が行われるグループを第２のグループとして走査を行うとともに、
上記データ信号駆動部が、各ブロック内で走査されるグループが切り替わるときにデータ信号の極性を反転させるとともに、隣接する２つのブロック間で走査されるブロックが切り替わるときにはデータ信号の極性を反転させないことを特徴とする請求項７記載の液晶表示装置。
【請求項９】
上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、
上記表示制御回路が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間に、上記データ信号印加制御信号を上記データ信号駆動部に対して入力しないことを特徴とする請求項１または２記載の液晶表示装置。
【請求項１０】
上記走査信号駆動部に対して、１フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルスの印加を制御する走査信号出力制御信号を入力する表示制御回路をさらに備え、
上記走査信号駆動部が、上記ゲートスタートパルス信号を受信すると、上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間において、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加するとともに、
上記表示制御回路が、上記走査信号線の各グループに対応した上記ゲートスタートパルス信号、上記ゲートクロック信号、および上記走査信号出力制御信号をそれぞれ出力することを特徴とする請求項５記載の液晶表示装置。
【請求項１１】
上記表示制御回路が、各時点において走査を行うべきグループに対応する走査信号出力制御信号をゲートオンパルスの印加を許可している状態とし、走査を行うべきではないグループに対応する走査信号出力制御信号をゲートオンパルスの印加を許可していない状態とすることにより、上記飛び越し走査方式による駆動を上記走査信号駆動部に行わせることを特徴とする請求項１０記載の液晶表示装置。
【請求項１２】
上記表示制御回路が、上記データ信号の極性が反転する時点で、その後に走査を行うべきではないグループに対応するゲートクロック信号を一定の値に保持することを特徴とする請求項１１記載の液晶表示装置。
【請求項１３】
上記表示制御回路が、上記データ信号の極性が反転する時点以降で走査を行うべきグループに対応するゲートクロック信号を、該極性が反転する時点から所定の期間が経過するまで一定の値に保持することによって、該極性反転時点に最も近いゲートオンパルスの印

加開始時点と該極性反転時点までの時間を確保することを特徴とする請求項１２記載の液晶表示装置。

【請求項１４】

上記走査信号駆動部が、上記走査信号線の各グループに対応したシフトレジスタと、各走査信号線に対応したＡＮＤ論理演算部とを備え、

各シフトレジスタには、上記走査信号線の各グループに対応した上記ゲートスタートパルス信号、および上記ゲートクロック信号がそれぞれ入力され、

上記ＡＮＤ論理演算部が、各シフトレジスタの出力と、上記走査信号出力制御信号の論理反転とのＡＮＤ論理演算を行い、この演算結果をゲートオンパルスとして各走査信号線に出力することを特徴とする請求項１０記載の液晶表示装置。

【請求項１５】

上記走査信号駆動部が、上記走査信号線の各ブロックにおいて、隣接する走査信号線同士の間で、あるグループに属する走査信号線に対するゲートオンパルスの印加時から、該グループとは異なるグループに属する走査信号線に対するゲートオンパルスの印加時までの時間が、０．８Ｍｓｅｃ以下となるようにゲートオンパルスを印加することを特徴とする請求項７記載の液晶表示装置。

【請求項１６】

上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、

上記表示制御回路に、１本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていくとともに該組内の所定箇所にダミーデータを挿入し、ダミーデータに対応する信号電位の出力にダミー挿入期間を割り当て、各映像データに対応する信号電位の出力に一水平期間を割り当て、該一水平期間を上記間隔よりも短く設定することを特徴とする請求項１または２記載の液晶表示装置。

【請求項１７】

１組の映像データの数と上記間隔との積が、該組におけるダミーデータに割り当てられた総ダミー挿入期間と上記映像データに割り当てられた総水平期間との和に等しいことを特徴とする請求項１６記載の液晶表示装置。

【請求項１８】

上記表示制御回路が、

各組の先頭にダミーデータを挿入することを特徴とする請求項１６記載の液晶表示装置。

【請求項１９】

上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、

上記表示制御回路に、１本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、

該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて１以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、

上記一水平期間を上記間隔よりも短く設定することを特徴とする請求項１または２記載の液晶表示装置。

【請求項２０】

１つの組の映像データ数と上記間隔との積が、上記所定のデータに割り当てられた総水平期間と、上記所定のデータに割り当てられた総ダミー挿入期間と、上記その他の各デー

タに割り当てられた総水平期間との和に等しいことを特徴とする請求項１９記載の液晶表示装置。

【請求項２１】

上記各組の所定のデータは、各組の最初のデータであることを特徴とする請求項２０記載の液晶表示装置。

【請求項２２】

上記ダミー挿入期間が上記間隔よりも短いことを特徴とする請求項１６記載の液晶表示装置。

【請求項２３】

上記ダミー挿入期間は一水平期間に等しいことを特徴とする請求項１６記載の液晶表示装置。

【請求項２４】

上記ダミー挿入期間は一水平期間よりも短いことを特徴とする請求項１６記載の液晶表示装置。

【請求項２５】

上記ダミー挿入期間は一水平期間よりも長いことを特徴とする請求項１６記載の液晶表示装置。

【請求項２６】

上記ダミー挿入期間が上記間隔よりも短いことを特徴とする請求項１９記載の液晶表示装置。

【請求項２７】

上記ダミー挿入期間は一水平期間に等しいことを特徴とする請求項１９記載の液晶表示装置。

【請求項２８】

上記ダミー挿入期間は一水平期間よりも短いことを特徴とする請求項１９記載の液晶表示装置。

【請求項２９】

上記ダミー挿入期間は一水平期間よりも長いことを特徴とする請求項１９記載の液晶表示装置。

【請求項３０】

上記走査信号駆動部が、上記データ信号線から各画素に対して電圧を印加するように上記走査信号線を選択状態とする本充電期間と、該本充電期間よりも前のタイミングで同じ走査信号線を選択状態とするプレ充電期間とを設けることを特徴とする請求項１または２記載の液晶表示装置。

【請求項３１】

上記走査信号駆動部が、全ての走査信号線に対して、上記プレ充電期間を等しくするとともに、上記本充電期間を等しくすることを特徴とする請求項３０記載の液晶表示装置。

【請求項３２】

上記走査信号駆動部に対して、１フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルスの印加を制御する走査信号出力制御信号を入力する表示制御回路をさらに備え、

上記走査信号駆動部が、上記ゲートスタートパルス信号を受信すると、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対してゲートオンパルスを印加し、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加することを特徴とする請求項３０記載の液晶表示装置。

【請求項３３】

上記表示制御回路が、上記走査信号駆動部に対して、２つの状態のいずれか一方を選択

する選択信号をさらに入力し、
上記走査信号駆動部が、上記ゲートスタートパルス信号を受信すると、上記選択信号によって一方の状態が選択されている場合には、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対してゲートオンパルスを印加し、上記選択信号によって他方の状態が選択されている場合には、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加することを特徴とする請求項３２記載の液晶表示装置。
【請求項３４】
上記走査信号駆動部が、シフトレジスタと、当該シフトレジスタの各段に対応して設けられた第１、第２および第３のＡＮＤ論理演算部と、第１のＯＲ論理演算部とを備え、
各シフトレジスタには、上記ゲートスタートパルス信号、上記ゲートクロック信号、上記走査信号出力制御信号、および上記選択信号がそれぞれ入力され、
シフトレジスタの奇数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号の論理反転信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部との出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理演算部の出力の論理反転信号と上記シフトレジスタの奇数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力され、
シフトレジスタの偶数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号の論理反転信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部の出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理演算部の出力の論理反転信号と上記シフトレジスタの偶数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力されることを特徴とする請求項３３記載の液晶表示装置。
【請求項３５】
上記走査信号駆動部が、第１および第２フリップフロップと、第１および第２出力マスクと、ＯＲ論理演算部とを備え、上記第１フリップフロップが、上記ゲートスタートパルス信号を入力し、上記ゲートクロック信号に基づいて第１出力信号を出力し、上記第２フリップフロップが、上記第１出力信号を入力し、上記ゲートクロック信号に基づいて第２出力信号を出力し、上記第１出力マスクが、上記第１出力信号に対して上記走査信号出力制御信号によるマスクを行った信号を出力し、上記第２出力マスクが、上記第２出力信号を上記ゲートクロック信号がＬレベルとなっている期間のみ出力し、上記ＯＲ論理演算部が、上記第１出力マスクからの出力信号と上記第２出力マスクからの出力信号とのＯＲ論理演算結果をゲートオンパルスとして各走査信号線に出力することを特徴とする請求項３２記載の液晶表示装置。
【請求項３６】
行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素と、１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備えるアクティブマトリクス型の液晶表示装置が備える走査信号駆動装置において、
上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加するとともに、
上記データ信号線から各画素に対して電圧を印加するように上記走査信号線を選択状態とする本充電期間と、該本充電期間よりも前のタイミングで同じ走査信号線を選択状態とするプレ充電期間とを設け、
１フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルス

の印加を制御する走査信号出力制御信号を外部から入力し、
上記ゲートスタートパルス信号を受信すると、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対して上記プレ充電期間としてゲートオンパルスを印加し、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加することを特徴とする走査信号駆動装置。
【請求項３７】
２つの状態のいずれか一方を選択する選択信号を外部からさらに入力し、
上記ゲートスタートパルス信号を受信すると、上記選択信号によって一方の状態が選択されている場合には、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対してゲートオンパルスを印加し、上記選択信号によって他方の状態が選択されている場合には、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加することを特徴とする請求項３６に記載の走査信号駆動装置。
【請求項３８】
シフトレジスタと、当該シフトレジスタの各段に対応して設けられた第１、第２および第３のＡＮＤ論理演算部と、第１のＯＲ論理演算部とを備え、
各シフトレジスタには、上記ゲートスタートパルス信号、上記ゲートクロック信号、上記走査信号出力制御信号、および上記選択信号がそれぞれ入力され、
シフトレジスタの奇数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号の論理反転信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部との出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理演算部の出力の論理反転信号と上記シフトレジスタの奇数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力され、
シフトレジスタの偶数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号の論理反転信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部の出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理演算部の出力の論理反転信号と上記シフトレジスタの偶数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力されることを特徴とする請求項３７記載の走査信号駆動装置。
【請求項３９】
第１および第２フリップフロップと、第１および第２出力マスクと、ＯＲ論理演算部とを備え、
上記第１フリップフロップが、上記ゲートスタートパルス信号を入力し、上記ゲートクロック信号に基づいて第１出力信号を出力し、
上記第２フリップフロップが、上記第１出力信号を入力し、上記ゲートクロック信号に基づいて第２出力信号を出力し、
上記第１出力マスクが、上記第１出力信号に対して上記走査信号出力制御信号によるマスクを行った信号を出力し、
上記第２出力マスクが、上記第２出力信号を上記ゲートクロック信号がＬレベルとなっている期間のみ出力し、
上記ＯＲ論理演算部が、上記第１出力マスクからの出力信号と上記第２出力マスクからの出力信号とのＯＲ論理演算結果をゲートオンパルスとして各走査信号線に出力することを特徴とする請求項３６に記載の走査信号駆動装置。
【請求項４０】
行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアク

ティブマトリクス型の液晶表示装置の駆動方法において、
上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する走査信号駆動処理と、
１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、
上記走査信号駆動処理において、
極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第１の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第２の期間とすると、上記第２の期間が上記第１の期間よりも長くなるようにゲートオンパルスが印加されることを特徴とする液晶表示装置の駆動方法。

【請求項４１】
行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置の駆動方法において、
上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動処理と、
１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、
上記走査信号駆動処理において、
極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスが印加されることを特徴とする液晶表示装置の駆動方法。

【請求項４２】
行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素と、１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備えるアクティブマトリクス型の液晶表示装置が備える走査信号駆動装置の走査信号駆動方法において、
上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加するとともに、
上記データ信号線から各画素に対して電圧を印加するように上記走査信号線を選択状態とする本充電期間と、該本充電期間よりも前のタイミングで同じ走査信号線を選択状態とするプレ充電期間とを設け、
１フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルスの印加を制御する走査信号出力制御信号を外部から入力し、
上記ゲートスタートパルス信号を受信すると、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対して上記プレ充電期間としてゲートオンパルスを印加し、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加することを特徴とする走査信号駆動方法。

【請求項４３】
請求項１または２記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】
【０００１】
本発明は、液晶に対して電圧を印加することによって画像の表示を行う液晶表示装置、液晶表示装置の駆動方法、およびテレビジョン受像機に関するものである。
【背景技術】
【０００２】
液晶表示装置は、高精細、薄型、軽量および低消費電力等の優れた特長を有する平面表示装置であり、近年、表示性能の向上、生産能力の向上および他の表示装置に対する価格競争力の向上に伴い、市場規模が急速に拡大している。
【０００３】
このような液晶表示装置において、液晶層に対して長期間直流電圧を印加し続けると素子が劣化するので、長寿命化のために印加電圧の極性を周期的に反転させる交流駆動（反転駆動）を行う必要がある。しかしながら、アクティブマトリクス型液晶表示装置において、１フレーム毎に反転駆動するフレーム反転駆動方式を採用した場合、液晶誘電率の異方性、画素ＴＦＴのゲート・ソース間の寄生容量に起因する画素電位の変動、対向電極信号のセンター値のずれなどの種々の要因によって、液晶に印加される正負電圧に多少のアンバランスが生じることは避けられない。その結果、フレーム周波数の半分の周波数での微少な輝度変動が生じ、フリッカとよばれるちらつきが視認されるという問題がある。これを防ぐために、１フレーム毎の反転に加えて、隣接ライン間、または隣接画素間で画素信号を逆極性にする反転駆動方式が一般に採用されている。
【０００４】
ここで、画素単位で極性を反転させるドット反転を行う場合、データ信号線の信号遅延により画素の充電率が減少するという問題がある。この問題を抑制するために、複数水平期間毎（複数行毎）にデータ信号電圧の極性を反転する技術も提案されている。しかしながら、この方法においても、データ信号電圧の極性が反転する行では未だ画素の充電率が低下する問題がある。
【０００５】
これに対して、データ信号の極性反転後にダミー水平期間を設けるとともに、パルス幅が複数の水平期間分となっているゲートオンパルスを、全ての走査信号線に対して同じパルス幅で印加する技術が特許文献１に開示されている。図９２は、この技術による駆動方法を示す電圧波形図である。同図において、（２）はラッチパルスＬＰ１を示し、（３）は各水平走査期間において信号側駆動回路でラッチされ信号線ＳＬに出力される画像データＤを示し、（４）は画像信号電圧の極性信号Ｐを示し、（５）～（１２）は各走査線の走査信号電圧を示している。この技術によれば、上記の充電特性の違いによる表示ムラを改善することができる。
【０００６】
また、データ信号の極性反転後のゲートオンパルスの幅を、データ信号の極性反転のない時のゲートオンパルスの幅より大きくすることで極性が反転された最初行の充電率を高める技術が特許文献２に開示されている。図９３は、この技術による駆動方法を示す電圧波形図である。同図には、４ｉ番目から［４（ｉ＋１）＋１］番目行のゲート信号とデータ信号とが示されている。
【特許文献１】日本国公開特許公報「特開２００１－５１２５２号公報（２００１．２．２３公開）」
【特許文献２】日本国公開特許公報「特開２００３－６６９２８号公報（２００３．３．５公開）」
【発明の開示】
【０００７】
しかしながら、特許文献１に開示されている技術では、データ信号の極性反転時に画素充電が行われる画素は、データ信号波形の鈍りが大きい期間に画素充電を行うことになるため、極性反転がない時に同じゲートオン時間で書き込みが行われる画素との充電率差を

完全に改善できない問題があった。

【０００８】

また、特許文献２に開示されている技術では、データ信号の極性反転時に画素充電が行われる画素は、データ信号波形の鈍りが大きい期間に画素充電を行うことになっている。また、データ信号の遅延量は表示エリア内の場所によって異なるので、データ信号波形の波形鈍りも表示エリア内の場所によって異なることになる。よって、ゲートオンパルスを極性反転後長くしたとしても、充電特性の違いによるムラを表示面内で均一に改善できない問題があった。この問題は、特に大型高精細の液晶表示装置で顕著であり、動画視認性を向上させるために画像書き込み周波数を高くする（例えば１２０Ｈｚ）場合に更に顕著となる。

【０００９】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、極性反転時にデータ信号の波形に鈍りが生じていても、表示ムラなどを抑制した表示品位の高い表示を行うことが可能な液晶表示装置、液晶表示装置の駆動方法、およびテレビジョン受像機を提供することにある。

【００１０】

本発明に係る液晶表示装置は、上記課題を解決するために、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する走査信号駆動部と、１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、上記走査信号駆動部が、極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第１の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第２の期間とすると、上記第２の期間が上記第１の期間よりも長くなるようにゲートオンパルスを印加する構成である。

【００１１】

また、本発明にかかる液晶表示装置の駆動方法は、上記課題を解決するために、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置の駆動方法において、上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加する走査信号駆動処理と、１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、上記走査信号駆動処理において、極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの最後端が、該ゲートオンパルスが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスの最後端から、該ゲートオンパルスが印加される水平期間の終了時点までの時間を第１の期間とし、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を第２の期間とすると、上記第２の期間が上記第１の期間よりも長くなるようにゲートオンパルスが印加される方法である。

【００１２】

上記の構成または方法によれば、まず、極性反転時点よりも前の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスは、該ゲートオンパルスが印加される水平期間の終了時点よりも前にゲートオフされている。そして、極性反転時点よりも後の時点で印加されるゲートオンパルスのうち、極性反転時点に最も近いゲート

オンパルスは、極性反転時点よりも後にゲートオンされている。よって、極性反転時点にはゲートオンパルスが印加されないことになるので、極性反転前後にゲートオンパルスが印加される隣接する２つの走査信号線において、極性が互いに反転しているデータ信号が同時に印加されないようにすることができる。これにより、極性反転時の画像表示の乱れを防止することができる。

【００１３】

また、極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスは、極性反転時点から上記第１の期間よりも長い期間の後にゲートオンされている。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。また、第１の期間よりも第２の期間の方が長いことで、極性反転前のゲートオンパルスの波形鈍りにより極性反転後のデータが書き込まれない最小限の範囲で極性反転前のゲートオンパルスの幅を画素の充電のために確保しつつ、データ信号の鈍りの影響を抑制するための必要な期間を十分にとれるため、無駄のない期間の配分が可能となる。

【００１４】

また、本発明に係る液晶表示装置は、上記課題を解決するために、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置において、上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動部と、１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備え、上記走査信号駆動部が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスを印加する構成である。

【００１５】

また、本発明にかかる液晶表示装置の駆動方法は、上記課題を解決するために、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素とを備えるアクティブマトリクス型の液晶表示装置の駆動方法において、上記走査信号線を選択状態とするゲートオンパルスを、上記各走査信号線に順次印加する走査信号駆動処理と、１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動処理とを含み、上記走査信号駆動処理において、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスが印加される方法である。

【００１６】

上記の構成または方法によれば、極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスは、極性反転時点から水平表示期間以上経過した後にゲートオンされている。ここで、通常、データ信号線に印加されるデータ信号は、１水平表示期間内で画素が充電されるような信号波形となるように設計される。よって、極性反転時点から１水平表示期間以上経過した時点では、極性反転時に生じるデータ信号の波形の鈍りの影響は抑えられていることになる。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

【００１７】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時

点に最も近いゲートオンパルスの印加開始時点までの時間が、０．８ｍｓｅｃ以下となるようにゲートオンパルスを印加する構成としてもよい。

【００１８】

上記の構成では、極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスは、極性反転時点から所定の時間後にゲートオンされている。この場合、極性反転前に表示が行われる走査信号線上の画素と、極性反転後に表示が行われる走査信号線上の画素とで、表示タイミングのずれが生じることになる。このずれが０．８ｍｓｅｃよりも大きくなると、後述する官能試験に示すように、テアリングが視認されやすくなる。すなわち、上記の構成のように、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間を０．８ｍｓｅｃ以下とすれば、テアリングの問題が生じ難い、良好な表示を行うことが可能となる。

【００１９】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、全ての走査信号線に対して、同じパルス幅の上記ゲートオンパルスを印加する構成としてもよい。

【００２０】

上記の構成によれば、各走査信号線に印加されるゲートオンパルスのパルス幅が全て等しくなるので、各画素に対する充電条件が均一となる。よって、表示画面全体でより均一な表示が行われることにより、表示品位をより良好にすることが可能となる。

【００２１】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号線が１以上のブロックに分かれているとともに、各ブロックに含まれる走査信号線が、さらに複数のグループに分かれており、上記走査信号駆動部が、上記走査信号線を上記ブロック単位で順次走査するとともに、各ブロックの走査においては、上記走査信号線の各グループに対する走査を順次行うことによって飛び越し走査方式による駆動を行い、上記データ信号駆動部が、走査が行われる上記走査信号線のグループの切り替わり時点で極性が反転するようにデータ信号を上記データ信号線に印加する構成としてもよい。

【００２２】

上記の構成によれば、飛び越し走査方式の場合、表示上、画素にかかる電圧は１行毎に極性反転するため、順次走査方式と比べて、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。上記問題を抑制できることにより、順次走査方式における極性反転周期の長さにくらべ、飛び越し走査における極性反転周期の長さを長くしやすいため、消費電力の低減およびデータ信号駆動部の発熱を抑制しやすい。

【００２３】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号線を分割するブロックの数が１つである構成としてもよい。

【００２４】

上記の構成によれば、データ信号線毎にデータ信号の極性が反転する駆動を実現することができる。また極性反転する行が画面の端となるため、ムラを目立たなくできる。また、消費電力の低減、およびデータ信号駆動部の発熱の抑制をより効果的に実現できる。

【００２５】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号線を分割するブロックの数が２つ以上である構成としてもよい。

【００２６】

上記の構成によれば、走査信号線が複数のブロックに分かれており、各ブロック単位で飛び越し走査方式による駆動が行われることになる。この場合、走査信号線全体で飛び越し走査方式による駆動が行われる場合と比較して、各ブロック内でのグループ間での走査タイミングの差を小さくすることができる。よって、後述するコーミングの発生を抑制することができるので、表示品位をより良好にすることが可能となる。

【００２７】
また、本発明に係る液晶表示装置は、上記の構成において、上記各ブロックに含まれる走査信号線が、奇数行目の走査信号線からなる第１のグループと、偶数行目の走査信号線からなる第２のグループとに分かれており、上記走査信号駆動部が、隣接する２つのブロックにおいて、先行して走査が行われるブロックで後に走査が行われるグループが第１のグループである場合に、次に走査が行われるブロックで先に走査が行われるグループを第１のグループとし、先行して走査が行われるブロックで後に走査が行われるグループが第２のグループである場合に、次に走査が行われるブロックで先に走査が行われるグループを第２のグループとして走査を行うとともに、上記データ信号駆動部が、各ブロック内で走査されるグループが切り替わるときにデータ信号の極性を反転させるとともに、隣接する２つのブロック間で走査されるブロックが切り替わるときにはデータ信号の極性を反転させない構成としてもよい。

【００２８】
上記の構成によれば、第１のグループまたは第２のグループの走査信号線に対する走査が、隣接する２つのブロックにまたがって連続して行われることになり、この間は極性反転が行われないことになる。よって、隣接する２つのブロック間で走査されるブロックが切り替わるときに極性を反転させる場合と比較して、極性を反転させる回数を減らすことができ、消費電力を低減することができる。

【００２９】
また、本発明に係る液晶表示装置は、上記の構成において、上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、上記表示制御回路が、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間に、上記データ信号印加制御信号を上記データ信号駆動部に対して入力しない構成としてもよい。

【００３０】
上記の構成によれば、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間において書き込まれるべきデータ信号が、該ゲートオンパルスによって書き込みが行われる期間において印加されることになる。よって、表示が行われるべきデータが省かれることなく、適切に表示を行うことが可能となる。

【００３１】
また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部に対して、１フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルスの印加を制御する走査信号出力制御信号を入力する表示制御回路をさらに備え、上記走査信号駆動部が、上記ゲートスタートパルス信号を受信すると、上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間において、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加するとともに、上記表示制御回路が、上記走査信号線の各グループに対応した上記ゲートスタートパルス信号、上記ゲートクロック信号、および上記走査信号出力制御信号をそれぞれ出力する構成としてもよい。

【００３２】
上記の構成によれば、ゲートスタートパルス信号、ゲートクロック信号、および走査信号出力制御信号が、走査信号線の各グループに対応した信号としてそれぞれ独立して走査信号駆動部に入力されることになる。よって、各グループごとにゲートオンパルスの印加の仕方を設定することが可能となる。

【００３３】
また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、各時

点において走査を行うべきグループに対応する走査信号出力制御信号をゲートオンパルスの印加を許可している状態とし、走査を行うべきではないグループに対応する走査信号出力制御信号をゲートオンパルスの印加を許可していない状態とすることにより、上記飛び越し走査方式による駆動を上記走査信号駆動部に行わせる構成としてもよい。

【００３４】

上記の構成によれば、各グループに対応した走査信号出力制御信号を、飛び越し走査方式の駆動となるように制御することによって、飛び越し走査方式を実現することができる。

【００３５】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、上記データ信号の極性が反転する時点で、その後に走査を行うべきではないグループに対応するゲートクロック信号を一定の値に保持する構成としてもよい。

【００３６】

上記の構成によれば、データ信号の極性が反転する時点以降で走査を行うべきではないグループに対応する走査信号線に対して走査信号駆動部が動作を行わなくなるので、適切に飛び越し走査方式を実現することができる。なお、ゲートクロック信号を一定の値に保持する際には、ゲートクロック信号をアサートされた状態（Ｈレベル）で一定としてもよいし、ネゲートされた状態（Ｌレベル）で一定としてもよい（詳細は後述する）。

【００３７】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、上記データ信号の極性が反転する時点以降で走査を行うべきグループに対応するゲートクロック信号を、該極性が反転する時点から所定の期間が経過するまで一定の値に保持することによって、該極性反転時点に最も近いゲートオンパルスの印加開始時点と該極性反転時点までの時間を確保する構成としてもよい。

【００３８】

上記の構成によれば、ゲートクロック信号のクロックを停止させることによって、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転時点に最も近いゲートオンパルスの印加開始時点までの時間が確保されることになる。よって、ゲートオンパルスの印加制御を各グループ毎に適切に行うことができる。

【００３９】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、上記走査信号線の各グループに対応したシフトレジスタと、各走査信号線に対応したＡＮＤ論理演算部とを備え、各シフトレジスタには、上記走査信号線の各グループに対応した上記ゲートスタートパルス信号、および上記ゲートクロック信号がそれぞれ入力され、上記ＡＮＤ論理演算部が、各シフトレジスタの出力と、上記走査信号出力制御信号の論理反転とのＡＮＤ論理演算を行い、この演算結果をゲートオンパルスとして各走査信号線に出力する構成としてもよい。

【００４０】

上記の構成によれば、シフトレジスタとＡＮＤ論理演算部という比較的簡素な構成によって、飛び越し走査方式による駆動を適切に行うことが可能となる。

【００４１】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、上記走査信号線の各ブロックにおいて、隣接する走査信号線同士の間で、あるグループに属する走査信号線に対するゲートオンパルスの印加時から、該グループとは異なるグループに属する走査信号線に対するゲートオンパルスの印加時までの時間が、０．８ｍｓｅｃ以下となるようにゲートオンパルスを印加する構成としてもよい。

【００４２】

上記の構成では、各ブロックの走査において、各グループに対する走査を順次行うことによって飛び越し走査方式による駆動が行われている。この場合、隣接する走査信号線同士の間で、あるグループに属する走査信号線に対するゲートオンパルスの印加時から、該

グループとは異なるグループに属する走査信号線に対するゲートオンパルスの印加時までにある程度のブランク期間が生じることになる。このブランク期間が０．８ｍｓｅｃよりも大きくなると、後述する官能試験に示すように、コーミングが視認されやすくなる。すなわち、上記の構成のように、このブランク期間を０．８ｍｓｅｃ以下とすれば、コーミングの問題が生じ難い、良好な表示を行うことが可能となる。

【００４３】

また、本発明に係る液晶表示装置は、上記の構成において、上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、上記表示制御回路に、１本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていくとともに該組内の所定箇所にダミーデータを挿入し、ダミーデータに対応する信号電位の出力にダミー挿入期間を割り当て、各映像データに対応する信号電位の出力に一水平期間を割り当て、該一水平期間を上記間隔よりも短く設定する構成としてもよい。

【００４４】

このように、各映像データの入力間隔（入力されるデータ列に設定された水平期間）よりも各映像データに対応する信号電位が出力される一水平期間を短くすれば、この短縮分の総和によってダミーデータを出力するためのダミー挿入期間を作り出すことができる。これにより、入力される映像データにダミーデータを挿入してこれにダミー挿入期間を割り当てながら、垂直表示期間の増加を抑えることができる。また、データ入出力の時間差の増加も抑えることができ、メモリ（バッファ）使用量を低減することができる。

【００４５】

また、本発明に係る液晶表示装置は、上記の構成において、１組の映像データの数と上記間隔との積が、該組におけるダミーデータに割り当てられた総ダミー挿入期間と上記映像データに割り当てられた総水平期間との和に等しい構成としてもよい。

【００４６】

こうすれば、垂直表示期間を変えることなく（すなわち、垂直帰線期間を減らすことなく）ダミー挿入期間を設ける（挿入する）ことができる。また、データ入出力の時間差が増加していくことがないため、メモリ（バッファ）使用量をより低減することができる。

【００４７】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、各組の先頭にダミーデータを挿入する構成としてもよい。

【００４８】

これにより、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにした場合でも、データの抜けが生じることなく正確な表示を行うことができる。

【００４９】

また、本発明に係る液晶表示装置は、上記の構成において、上記データ信号駆動部に対してデータ信号を供給するとともに、上記データ信号駆動部がデータ信号をデータ信号線に印加するタイミングを制御するデータ信号印加制御信号を上記データ信号駆動部に対して入力する表示制御回路をさらに備え、上記表示制御回路に、１本のデータ信号線に対応する映像データが外部の信号源から間隔をおいて順次入力されるとともに、該表示制御回路が、極性の反転に応じて複数の映像データごとに組としていき、各組の所定の映像データに対応する信号電位の出力に、一水平期間に加えて１以上のダミー挿入期間を割り当て、同組のその他の各映像データに対応する信号電位の出力に一水平期間を割り当て、構成としてもよい。

【００５０】

このように、実際の出力における一水平期間を、各データの入力間隔（入力されるデータ列に設定された水平期間）よりも短縮すれば、この短縮分の総和によってダミー挿入期

間にあてるべき時間を作り出すことができる。これにより、ダミー挿入期間を設けつつ垂直表示期間の増加を抑えることができる。また、データ入出力の時間差の増加も抑えることができ、メモリ（バッファ）使用量を低減することができる。

【００５１】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、１つの組の映像データ数と上記間隔との積が、上記所定のデータに割り当てられた総水平期間と、上記所定のデータに割り当てられた総ダミー挿入期間と、上記その他の各データに割り当てられた総水平期間との和に等しい構成としてもよい。

【００５２】

こうすれば、垂直表示期間を変えることなく（すなわち、垂直帰線期間を減らすことなく）ダミー走査期間を設けることができる。また、データ入出力の時間差が増加していくことがないため、メモリ（バッファ）使用量をより低減することができる。

【００５３】

また、本発明に係る液晶表示装置は、上記の構成において、上記各組の所定のデータは、各組の最初のデータである構成としてもよい。

【００５４】

これにより、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにした場合でも、データの抜けが生じることなく正確な表示を行うことができる。

【００５５】

また、本発明に係る液晶表示装置は、上記の構成において、上記ダミー走査期間を上記間隔よりも短く設定する構成とすることもできる。

【００５６】

また、本発明に係る液晶表示装置は、上記の構成において、上記ダミー挿入期間は一水平期間に等しい構成としてもよい。こうすれば、各走査期間（ダミー挿入期間・水平期間）が同一となるため、信号処理あるいはそのための構成を簡易化することができる。

【００５７】

また、本発明に係る液晶表示装置は、上記の構成において、上記ダミー挿入期間は一水平期間よりも短い構成としてもよい。こうすれば、水平期間を長くできるため、画素の充電率を高めることができる。

【００５８】

また、本発明に係る液晶表示装置は、上記の構成において、上記ダミー挿入期間は一水平期間よりも長い構成としてもよい。こうすれば、組ごとに信号電位の極性を反転させる構成において、極性反転直後のデータ信号線の充電率を高めることができる。

【００５９】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、上記データ信号線から各画素に対して電圧を印加するように上記走査信号線を選択状態とする本充電期間と、該本充電期間よりも前のタイミングで同じ走査信号線を選択状態とするプレ充電期間とを設ける構成としてもよい。

【００６０】

例えば走査周波数を高めるために、水平走査期間を短く設定する必要が生じた場合、ゲートオンパルスのパルス幅も短くなることにより、各画素に対する充電時間が短くなり、充電が不十分となることがある。これに対して、上記の構成によれば、プレ充電期間と本充電期間とによって画素に対して充電を行うことができるので、画素に対する充電率をより高めることができる。

【００６１】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、全ての走査信号線に対して、上記プレ充電期間を等しくするとともに、上記本充電期間を等しくする構成としてもよい。

【００６２】

上記の構成によれば、全ての走査信号線において充電期間の長さを等しくすることができるので、走査信号線の行によって充電期間が異なる場合に生じる表示ムラを防止することができる。

【００６３】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部に対して、１フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルスの印加を制御する走査信号出力制御信号を入力する表示制御回路をさらに備え、

上記走査信号駆動部が、上記ゲートスタートパルス信号を受信すると、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対してゲートオンパルスを印加し、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加する構成としてもよい。

【００６４】

また、本発明に係る走査信号駆動装置は、行方向に伸びる複数の走査信号線と、列方向に伸びる複数のデータ信号線と、上記走査信号線および上記データ信号線の交差部に対応して設けられる複数の画素と、１フレーム期間内における所定の複数の水平期間ごとに極性が反転するようにデータ信号を上記データ信号線に印加するデータ信号駆動部とを備えるアクティブマトリクス型の液晶表示装置が備える走査信号駆動装置において、上記走査信号線を選択状態とするゲートオンパルスを、上記走査信号線に順次印加するとともに、上記データ信号線から各画素に対して電圧を印加するように上記走査信号線を選択状態とする本充電期間と、該本充電期間よりも前のタイミングで同じ走査信号線を選択状態とするプレ充電期間とを設け、１フレーム期間毎に所定期間だけアサートされる信号としてのゲートスタートパルス信号、水平同期信号に基づいて生成されるゲートクロック信号、および、ゲートオンパルスの印加を制御する走査信号出力制御信号を外部から入力し、上記ゲートスタートパルス信号を受信すると、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対して上記プレ充電期間としてゲートオンパルスを印加し、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加する構成である。

【００６５】

例えば走査周波数を高めるために、水平走査期間を短く設定する必要が生じた場合、ゲートオンパルスのパルス幅も短くなることにより、各画素に対する充電時間が短くなり、充電が不十分となることがある。これに対して、上記の構成によれば、プレ充電期間と本充電期間とによって画素に対して充電を行うことができるので、画素に対する充電率をより高めることができる。

【００６６】

また、プレ充電期間が走査信号出力制御信号に応じて設定される一方、本充電期間が、走査信号出力制御信号の影響を受けずに、ゲートクロック信号に応じて設定されることになる。ここで、走査信号線のある行ではプレ充電期間が設定され、別の行では本充電期間が設定されるようになっていれば、両者が時間的に重なっているような駆動制御を実現することができるとともに、それぞれの期間の長さを別々に設定することが可能となる。

【００６７】

また、本発明に係る液晶表示装置は、上記の構成において、上記表示制御回路が、上記走査信号駆動部に対して、２つの状態のいずれか一方を選択する選択信号をさらに入力し、上記走査信号駆動部が、上記ゲートスタートパルス信号を受信すると、上記選択信号によって一方の状態が選択されている場合には、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対してゲートオンパルスを印加し、上記選択信号によって他方の状態が選択されている場合には、上記本充電期間として、上記ゲート

クロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加する構成としてもよい。

【００６８】

また、本発明に係る走査信号駆動装置は、上記の構成において、２つの状態のいずれか一方を選択する選択信号を外部からさらに入力し、上記ゲートスタートパルス信号を受信すると、上記選択信号によって一方の状態が選択されている場合には、上記プレ充電期間として、上記ゲートクロック信号のクロックに従って上記走査信号出力制御信号がゲートオンパルスの印加を許可している状態である期間に順次走査信号線に対してゲートオンパルスを印加し、上記選択信号によって他方の状態が選択されている場合には、上記本充電期間として、上記ゲートクロック信号のクロックに従って順次走査信号線に対してゲートオンパルスを印加する構成としてもよい。

【００６９】

上記の構成によれば、プレ充電期間と本充電期間との切り替えを、選択信号の状態に応じて行うことが可能となる。ここで、選択信号がある一方の状態である時に、走査信号線のある行ではプレ充電期間が設定され、別の行では本充電期間が設定されるようになっていれば、両者が時間的に重なっているような駆動制御を実現することができるとともに、それぞれの期間の長さを別々に設定することが可能となる。

【００７０】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、シフトレジスタと、当該シフトレジスタの各段に対応して設けられた第１、第２および第３のＡＮＤ論理演算部と、第１のＯＲ論理演算部とを備え、各シフトレジスタには、上記ゲートスタートパルス信号、上記ゲートクロック信号、上記走査信号出力制御信号、および上記選択信号がそれぞれ入力され、シフトレジスタの奇数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号の論理反転信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部との出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理演算部の出力の論理反転信号と上記シフトレジスタの奇数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力され、シフトレジスタの偶数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号の論理反転信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部の出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理演算部の出力の論理反転信号と上記シフトレジスタの偶数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力される構成としてもよい。

【００７１】

また、本発明に係る走査信号駆動装置は、上記の構成において、シフトレジスタと、当該シフトレジスタの各段に対応して設けられた第１、第２および第３のＡＮＤ論理演算部と、第１のＯＲ論理演算部とを備え、各シフトレジスタには、上記ゲートスタートパルス信号、上記ゲートクロック信号、上記走査信号出力制御信号、および上記選択信号がそれぞれ入力され、シフトレジスタの奇数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号の論理反転信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部との出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理演算部の出力の論理反転信号と上記シフトレジスタの奇数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力され、シフトレジスタの偶数段では、第１のＡＮＤ論理演算部には上記走査信号出力制御信号と上記選択信号とが入力され、第２のＡＮＤ論理演算部には上記ゲートクロック信号と上記選択信号の論理反転信号とが入力され、第１のＯＲ論理演算部には第１のＡＮＤ論理演算部と第２のＡＮＤ論理演算部の出力が入力され、第３のＡＮＤ論理演算部には第１のＯＲ論理

演算部の出力の論理反転信号と上記シフトレジスタの偶数段出力信号とが入力され、この演算結果がゲートオンパルスとして各走査信号線に出力される構成としてもよい。

【００７２】

上記の構成によれば、シフトレジスタとＡＮＤ論理演算部とＯＲ論理演算部という比較的簡素な構成によって、上記のような駆動を適切に行うことが可能となる。

【００７３】

また、本発明に係る液晶表示装置は、上記の構成において、上記走査信号駆動部が、第１および第２フリップフロップと、第１および第２出力マスクと、ＯＲ論理演算部とを備え、上記第１フリップフロップが、上記ゲートスタートパルス信号を入力し、上記ゲートクロック信号に基づいて第１出力信号を出力し、上記第２フリップフロップが、上記第１出力信号を入力し、上記ゲートクロック信号に基づいて第２出力信号を出力し、上記第１出力マスクが、上記第１出力信号に対して上記走査信号出力制御信号によるマスクを行った信号を出力し、上記第２出力マスクが、上記第２出力信号を上記ゲートクロック信号がＬレベルとなっている期間のみ出力し、上記ＯＲ論理演算部が、上記第１出力マスクからの出力信号と上記第２出力マスクからの出力信号とのＯＲ論理演算結果をゲートオンパルスとして各走査信号線に出力する構成としてもよい。

【００７４】

また、本発明に係る走査信号駆動装置は、上記の構成において、第１および第２フリップフロップと、第１および第２出力マスクと、ＯＲ論理演算部とを備え、上記第１フリップフロップが、上記ゲートスタートパルス信号を入力し、上記ゲートクロック信号に基づいて第１出力信号を出力し、上記第２フリップフロップが、上記第１出力信号を入力し、上記ゲートクロック信号に基づいて第２出力信号を出力し、上記第１出力マスクが、上記第１出力信号に対して上記走査信号出力制御信号によるマスクを行った信号を出力し、上記第２出力マスクが、上記第２出力信号を上記ゲートクロック信号がＬレベルとなっている期間のみ出力し、上記ＯＲ論理演算部が、上記第１出力マスクからの出力信号と上記第２出力マスクからの出力信号とのＯＲ論理演算結果をゲートオンパルスとして各走査信号線に出力する構成としてもよい。

【００７５】

上記の構成によれば、フリップフロップ、マスク、およびＯＲ論理演算部という比較的簡素な構成によって、上記のような駆動を適切に行うことが可能となる。

【００７６】

また、本発明に係る液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えるテレビジョン受像機を構成することも可能である。

【図面の簡単な説明】

【００７７】

【図１】本発明の一実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。

【図２】データ信号電圧が１０行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の１水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。

【図３】データ信号電圧が１０行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の２水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。

【図４】データ信号電圧が１０行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の３水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。

【図５】データ信号電圧が１０行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の１水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。

【図６】飛び越し走査方式において、ゲートラインの各行に印加されるデータ信号のフレ

ーム番号を示した図である。
【図７】（ａ）は、縦長形状の画像の例を示す図であり、（ｂ）は、コーミングが発生した状態の例を示す図である。
【図８】通常の飛び越し走査方式における書き込み動作を模式的に示す図である。
【図９】ブロック分割飛び越し走査方式における書き込み動作を模式的に示す図である。
【図１０】１つのブロックに含まれる走査線数を２０としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の１水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。
【図１１】１つのブロックに含まれる走査線数を２０としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の１水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートの別の例である。
【図１２】１つのブロックに含まれる走査線数を２０としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の１水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートのさらに別の例である。
【図１３】１つのブロックに含まれる走査線数を２０としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の１水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートのさらに別の例である。
【図１４】１つのブロックに含まれる走査線数を２０としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の２水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。
【図１５】本発明の別の実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。
【図１６】図１５に示す実施形態に係る液晶表示装置の１画素分の等価回路を模式的に示す図である。
【図１７】ＣＳコントロール回路、ＣＳ幹配線、およびＣＳラインの接続状態を示す図である。
【図１８】ＣＳ幹配線とＣＳラインとの接続状態を詳細に示す図である。
【図１９】データ信号電圧が１０行毎に極性反転する飛び越し走査方式の駆動におけるデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。
【図２０】データ信号電圧が１０行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の２水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。
【図２１】データ信号電圧が１０行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の２水平期間をダミー挿入期間とするとともに、ダミー挿入期間を挿入した期間におけるＣＳ信号にも２Ｈ分のＣＳ信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。
【図２２】データ信号電圧が１０行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の２水平期間をダミー挿入期間とするとともに、ＣＳ信号の極性継続期間をそれぞれ１Ｈ増加させる場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。
【図２３】データ信号電圧が１０行毎に極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の２水平期間を第１のダミー挿入期間とし、データ

信号の極性反転が行われた時点の５水平期間前の２水平期間を第２のダミー挿入期間とするとともに、第１および第２のダミー挿入期間を挿入した期間におけるＣＳ信号にもそれぞれ２Ｈ分のＣＳ信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図２４】データ信号電圧が１０行毎に極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の２水平期間をダミー挿入期間とするとともに、ＣＳ信号の極性継続期間をそれぞれ１Ｈ増加させる場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図２５】１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の１水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図２６】１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間を第１のダミー挿入期間とし、データ信号の極性反転が行われた時点の５水平期間前の１水平期間を第２のダミー挿入期間とするとともに、第１および第２のダミー挿入期間を挿入した期間におけるＣＳ信号にもそれぞれ１Ｈ分のＣＳ信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図２７】１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間をダミー挿入期間とするとともに、隣接行書込時間差期間においてのみ、ＣＳ信号のいずれか１つの極性継続期間にＣＳ信号ダミー期間がデータ信号のダミー挿入期間分挿入される場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図２８】１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間をダミー挿入期間とするとともに、隣接行書込時間差期間に含まれるＣＳ信号の２つの極性継続期間のそれぞれを５．５Ｈとする場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図２９】１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間をダミー挿入期間とするとともに、隣接行書込時間差期間に含まれるＣＳ信号の２つの極性継続期間のそれぞれを５．５Ｈとする場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図３０】１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の２水平期間を第１のダミー挿入期間とし、データ信号の極性反転が行われた時点の５水平期間前の２水平期間を第２のダミー挿入期間とするとともに、第１および第２のダミー挿入期間を挿入した期間におけるＣＳ信号にもそれぞれ１Ｈ分のＣＳ信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図３１】１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の２水平期間をダミー挿入期間とするとともに、隣接行書込時間差期間に含まれるＣＳ信号の２つの極性継続期間のそれぞれを６Ｈとする場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図３２】１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の４水平期間をダミー挿入期間とするとともに、隣接行書込時間差期間に含まれるＣＳ信号の２つの極性継続期間のそ

れぞれを６Ｈとする場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。
【図３３】本液晶表示装置の駆動方法を説明する模式図である。
【図３４】図３３の駆動方法をより詳細に説明する模式図である。
【図３５】本液晶表示装置の他の駆動方法を説明する模式図である。
【図３６】図３５の駆動方法をより詳細に説明する模式図である。
【図３７】本液晶表示装置の他の駆動方法を説明する模式図である。
【図３８】本液晶表示装置の水平走査期間およびダミー走査期間の設定例を示す表である。
【図３９】本液晶表示装置の他の駆動方法を説明する模式図である。
【図４０】本液晶表示装置の他の駆動方法を説明する模式図である。
【図４１】本液晶表示装置における水平走査期間およびダミー走査期間の決定例を示すフローチャートである。
【図４２】本液晶表示装置における水平走査期間およびダミー走査期間の他の決定例を示すフローチャートである。
【図４３】図４２に示す工程による水平走査期間およびダミー走査期間の設定例を示す表である。
【図４４】再計算による水平走査期間およびダミー走査期間の設定例を示す表である。
【図４５】ゲートドライバ用ＩＣの構成例を示すブロック図である。
【図４６】ゲートドライバの構成例を示すブロック図である。
【図４７】ゲートドライバの動作を示す波形図である。
【図４８】図４７とは異なる駆動動作を示す波形図である。
【図４９】テレビジョン受像機用の表示装置の構成を示すブロック図である。
【図５０】チューナ部と表示装置との接続関係を示すブロック図である。
【図５１】表示装置をテレビジョン受像機とするときの機械的構成の一例を示す分解斜視図である。
【図５２】ダミー挿入期間の長さを変化させた場合に、テアリングが視認されるか否かを検証した官能評価結果を示す表である。
【図５３】データ信号電圧が１０行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の１水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。
【図５４】１ゲートラインずつ飛び越していくインターレース走査を行い、１本のソースラインに供給する信号電位の極性を１０データ分ごとに反転させ、かつ極性反転直後（１０水平走査期間ごと）に１つのダミー走査期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。
【図５５】１ゲートラインずつ飛び越していくインターレース走査を行い、１本のソースラインに供給する信号電位の極性を、１組目は１０データ分で反転させ、かつ極性反転（走査開始時含む）直後に１つのダミー走査期間を挿入し、２組目以降は２０データ分で反転させ、かつ極性反転直後に１つのダミー走査期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。
【図５６】並べ替え回路を示す概略ブロック図である。
【図５７】データの並べ変えの方法を説明するための模式図である。
【図５８】図５７の点線で囲った部分を拡大して示す模式図である。
【図５９】データ信号波形、ゲートオンパルス、ＣＳ信号、および副画素における電圧印加状態を示すタイミングチャートである。
【図６０】ＣＳ信号の電圧の到達率の差による表示画面上の周期的な表示ムラを示す図である。
【図６１】ＣＳ信号の立上りまたは立下りのタイミングで、所定の幅のオーバーシュートパルスＰｏｃを立てる制御を行った場合の、データ信号波形、ゲートオンパルス、および

ＣＳ信号を示すタイミングチャートである。
【図６２】水平期間Ｈが短い場合のＣＳ信号の設定波形と実際の波形とを示す図である。
【図６３】ＣＳ信号における極性反転周期の長さに応じて、オーバーシュートパルスのパルス幅および印加タイミングを変化させる場合の、ＣＳ信号の設定波形と実際の波形とを示す図である。
【図６４】ＣＳ信号における極性反転周期の長さに応じて、オーバーシュートパルスの電圧を変化させる場合の、ＣＳ信号の設定波形と実際の波形とを示す図である。
【図６５】１つのブロックに含まれる走査線数αを４８としたブロック分割飛び越し走査方式の駆動において、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを２Ｈとした場合のＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートである。
【図６６】図６５において、ＣＳ幹配線が２本追加され、ＣＳ信号の位相の種類としてＣＳ＿ＰとＣＳ＿Ｏとが追加された状態のタイミングチャートである。
【図６７】１つのブロックに含まれる走査線数αを４８としたブロック分割飛び越し走査方式の駆動において、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを２Ｈとした場合のＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートである。
【図６８】ＣＳ信号の波形が１２相の場合のＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートである。
【図６９】図７０の（ｃ）および（ｄ）で示されるＣＳ信号が印加される場合の、ＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートである。
【図７０】（ａ）および（ｂ）は、ＣＳ信号の極性反転タイミングと、ゲートオフタイミングとの関係が互いに異なる駆動例を示す図であり、（ｃ）および（ｄ）は、極性継続期間が１４Ｈである部分を、１２Ｈの部分と２Ｈの部分とに分けるとともに、２Ｈの部分を、Ｈとなっている期間とＬとなっている期間とが等しくなるように設定する場合の駆動例を示す図である。
【図７１】本充電期間とプレ充電期間とを設ける駆動の例を示す図である。
【図７２】行によって充電率が異なり輝度差が生じる場合の表示ムラの状態の例を示す図である。
【図７３】ゲートオンパルスのパルス幅を制御する例を示す図である。
【図７４】ダブルパルス駆動で、順次走査ｎＨ反転駆動を実現するゲートドライバ用ＩＣの構成例を示す図である。
【図７５】図７４に示すゲートドライバの動作の例を示す波形図である。
【図７６】図７４に示すゲートドライバの動作の別の例を示す波形図である。
【図７７】ダブルパルス駆動で順次走査方式の駆動において、極性反転が行われた直後の１水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。
【図７８】図７７の一部を拡大して示す図である。
【図７９】ダブルパルス駆動で順次走査方式の駆動において、極性反転が行われた直後の２水平期間をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号、およびゲートオンパルスのタイミングチャートである。
【図８０】ダブルパルス駆動で、ブロック分割インターレース駆動を実現するゲートドライバ用ＩＣの構成例を示す図である。
【図８１】図８０に示すゲートドライバの動作の例を示す波形図である。
【図８２】図８０に示すゲートドライバの動作の例を示す波形図である。
【図８３】図８０に示すゲートドライバの動作の別の例を示す波形図である。
【図８４】図８０に示すゲートドライバの動作の別の例を示す波形図である。
【図８５】ダブルパルス駆動でブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間を第１のダミー挿入期間とし、データ信号の極

性反転が行われた時点の５水平期間前の１水平期間を第２のダミー挿入期間とするとともに、第１および第２のダミー挿入期間を挿入した期間におけるＣＳ信号にもそれぞれ１Ｈ分のＣＳ信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号、ゲートオンパルス、およびＣＳ信号のタイミングチャートである。

【図８６】第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを２Ｈとした場合の駆動例を示す図である。

【図８７】ＣＳ信号の波形が１２相の場合のＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートの別の例である。

【図８８】図６８および図８７におけるＣＳ信号の極性反転タイミングとゲートオンパルスとのタイミングとをそれぞれ波形１および波形２として示す図である。

【図８９】走査線数毎に、保持容量信号がＨレベルとなっている期間とＬレベルとなっている期間との差、１フレーム期間との比、および目視評価としての輝度ムラの状態を示す表である。

【図９０】選択信号を用いずにダブルパルスのゲートオンパルスを印加するゲートドライバ用ＩＣの要部構成を示す図である。

【図９１】図９０に示すゲートドライバユニットに基づく駆動例の波形図である。

【図９２】従来技術による駆動方法を示す電圧波形図である。

【図９３】別の従来技術による駆動方法を示す電圧波形図である。

【符号の説明】

【００７８】

１０　ＴＦＴ
１２ａ　第１ＴＦＴ
１２ｂ　第２ＴＦＴ
１５　信号線
１６　走査線
１７ａ　第１の副画素電極
１７ｂ　第２の副画素電極
４１　第１ＡＮＤゲート
４１ｎ　ゲートドライバ用ＩＣチップ
４２　第１シフトレジスタ
４３　第２シフトレジスタ
４５　出力部
５２　ＣＳライン
５２Ｍ　ＣＳ幹配線（保持容量信号供給配線）
５２ａ　補助容量配線
５２ｂ　補助容量配線
８３　液晶コントローラ
８４　液晶パネル
９０　ＣＳコントロール回路（保持容量信号駆動部）
９０　チューナ部
１００　表示部
２００　表示制御回路
３００　ソースドライバ
４００　ゲートドライバ
４４１　第１ＡＮＤゲート
４４２　第２ＡＮＤゲート
６００　バックライト
７００　光源駆動回路
８００　表示装置

【発明を実施するための最良の形態】

【００７９】
［実施の形態１］
本発明の一実施形態について図面に基づいて説明すると以下の通りである。
【００８０】
（液晶表示装置の構成）
図１は、本実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。この液晶表示装置は、データ信号線駆動回路としてのソースドライバ３００と、走査信号線駆動回路としてのゲートドライバ４００と、アクティブマトリクス形の表示部１００と、面状照明装置としてのバックライト６００と、そのバックライトを駆動する光源駆動回路７００と、ソースドライバ３００、ゲートドライバ４００および光源駆動回路７００を制御するための表示制御回路２００とを備えている。なお本実施形態では、表示部１００はアクティブマトリクス型の液晶パネルとして実現されているが、表示部１００がソースドライバ３００およびゲートドライバ４００と共に一体化されて液晶パネルを構成してもよい。
【００８１】
上記液晶表示装置における表示部１００は、複数本（ｍ本）の走査信号線としてのゲートラインＧＬ１～ＧＬｍと、それらのゲートラインＧＬ１～ＧＬｍのそれぞれと交差する複数本（ｎ本）のデータ信号線としてのソースラインＳＬ１～ＳＬｎと、それらのゲートラインＧＬ１～ＧＬｍとソースラインＳＬ１～ＳＬｎとの交差点にそれぞれ対応して設けられた複数個（ｍ×ｎ個）の画素形成部とを含む。これらの画素形成部はマトリクス状に配置されて画素アレイを構成する。以下では、画素アレイの並びにおけるゲートライン方向を行方向、ソースライン方向を列方向と称する。
【００８２】
各画素形成部は、対応する交差点を通過するゲートラインＧＬｊにゲート端子が接続されるとともに当該交差点を通過するソースラインＳＬｉにソース端子が接続されたスイッチング素子であるＴＦＴ１０と、そのＴＦＴ１０のドレイン端子に接続された画素電極と、上記複数の画素形成部に共通的に設けられた対向電極である共通電極Ｅｃと、上記複数の画素形成部に共通的に設けられ画素電極と共通電極Ｅｃとの間に挟持された液晶層とからなる。そして、画素電極と共通電極Ｅｃとにより形成される液晶容量により画素容量Ｃｐが構成される。なお通常、画素容量に確実に電圧を保持すべく、液晶容量に並列に補助容量（保持容量）が設けられるが、補助容量は本実施形態には直接に関係しないのでその説明および図示を省略する。
【００８３】
各画素形成部における画素電極には、ソースドライバ３００およびゲートドライバ４００により、表示すべき画像に応じた電位が与えられ、共通電極Ｅｃには、図示しない電源回路から所定電位Ｖｃｏｍが与えられる。これにより、画素電極と共通電極Ｅｃとの間の電位差に応じた電圧が液晶に印加され、この電圧印加によって液晶層に対する光の透過量が制御されることで画像表示が行われる。ただし、液晶層への電圧印加によって光の透過量を制御するためには偏光板が使用され、本実施形態では、ノーマリブラックとなるように偏光板が配置されているものとする。したがって、各画素形成部は、その画素容量Ｃｐに電圧が印加されないときには黒の画素を形成する。
【００８４】
バックライト６００は、上記表示部１００を後方から照明する面状照明装置であり、例えば線状光源としての冷陰極管と導光板を用いて構成される。このバックライト６００は光源駆動回路７００によって駆動されて点灯し、これによってバックライト６００から表示部１００の各画素形成部に光が照射される。
【００８５】
表示制御回路２００は、外部の信号源から、表示すべき画像を表すデジタルビデオ信号Ｄｖと、当該デジタルビデオ信号Ｄｖに対応する水平同期信号ＨＳＹおよび垂直同期信号ＶＳＹと、表示動作を制御するための制御信号Ｄｃとを受け取る。また、表示制御回路２

００は、受け取ったこれらの信号Ｄｖ，ＨＳＹ，ＶＳＹ，Ｄｃに基づき、そのデジタルビデオ信号Ｄｖの表す画像を表示部１００に表示させるための信号として、データスタートパルス信号ＳＳＰと、データクロック信号ＳＣＫと、ラッチストローブ信号（データ信号印加制御信号）ＬＳと、極性反転信号ＰＯＬと、表示すべき画像を表すデジタル画像信号ＤＡ（ビデオ信号Ｄｖに相当する信号）と、ゲートスタートパルス信号ＧＳＰと、ゲートクロック信号ＧＣＫと、ゲートドライバ出力制御信号（走査信号出力制御信号）ＧＯＥとを生成し出力する。

【００８６】

より詳しくは、ビデオ信号Ｄｖを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号ＤＡとして表示制御回路２００から出力し、そのデジタル画像信号ＤＡの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号ＳＣＫを生成し、水平同期信号ＨＳＹに基づき１水平走査期間毎に所定期間だけハイレベル（Ｈレベル）となる信号としてデータスタートパルス信号ＳＳＰを生成し、垂直同期信号ＶＳＹに基づき１フレーム期間（１垂直走査期間）毎に所定期間だけＨレベルとなる信号としてゲートスタートパルス信号ＧＳＰ（ＧＳＰａ、ＧＳＰｂ）を生成し、水平同期信号ＨＳＹに基づきゲートクロック信号ＧＣＫ（ＧＣＫａ、ＧＣＫｂ）を生成し、水平同期信号ＨＳＹおよび制御信号Ｄｃに基づきラッチストローブ信号ＬＳ、ならびにゲートドライバ出力制御信号ＧＯＥ（ＧＯＥａ、ＧＯＥｂ）を生成する。

【００８７】

上記のようにして表示制御回路２００において生成された信号のうち、デジタル画像信号ＤＡとラッチストローブ信号ＬＳとデータスタートパルス信号ＳＳＰとデータクロック信号ＳＣＫと極性反転信号ＰＯＬとは、ソースドライバ３００に入力され、ゲートスタートパルス信号ＧＳＰとゲートクロック信号ＧＣＫとゲートドライバ出力制御信号ＧＯＥとは、ゲートドライバ４００に入力される。

【００８８】

ソースドライバ３００は、デジタル画像信号ＤＡとデータスタートパルス信号ＳＳＰおよびデータクロック信号ＳＣＫとラッチストローブ信号ＬＳと極性反転信号ＰＯＬとに基づき、デジタル画像信号ＤＡの表す画像の各水平走査線における画素値に相当するアナログ電圧としてデータ信号Ｓ（１）～Ｓ（ｎ）を１水平期間毎に順次生成し、これらのデータ信号Ｓ（１）～Ｓ（ｎ）をソースラインＳＬ１～ＳＬｎにそれぞれ印加する。

【００８９】

ゲートドライバ４００は、ゲートスタートパルス信号ＧＳＰ（ＧＳＰａ、ＧＳＰｂ）およびゲートクロック信号ＧＣＫ（ＧＣＫａ、ＧＣＫｂ）と、ゲートドライバ出力制御信号ＧＯＥ（ＧＯＥａ、ＧＯＥｂ）とに基づき、走査信号Ｇ（１）～Ｇ（ｍ）を生成し、これらをゲートラインＧＬ１～ＧＬｍにそれぞれ印加することにより当該ゲートラインＧＬ１～ＧＬｍを選択的に駆動する。このゲートラインＧＬ１～ＧＬｍの選択的な駆動は、走査信号Ｇ（１）～Ｇ（ｍ）として、選択期間をパルス幅としたゲートオンパルスを印加することによって実現される。なお、本実施形態では、一部の駆動例を除き、各ゲートラインに印加されるゲートオンパルスＰｗのパルス幅が全て等しくなっている。よって、各画素に対する充電条件が均一となるので、表示画面全体でより均一な表示が行われることにより、表示品位をより良好にすることが可能となる。

【００９０】

上記のようにソースドライバ３００およびゲートドライバ４００により表示部１００のソースラインＳＬ１～ＳＬｎおよびゲートラインＧＬ１～ＧＬｍが駆動されることで、選択されたゲートラインＧＬｊに接続されたＴＦＴ１０を介して画素容量Ｃｐにソースライン ＳＬｉの電圧が与えられる（ｉ＝１～ｎ，ｊ＝１～ｍ）。これにより各画素形成部において液晶層にデジタル画像信号ＤＡに応じた電圧が印加され、その電圧印加によってバックライト６００からの光の透過量が制御されることで、外部からのデジタルビデオ信号Ｄｖの示す画像が表示部１００に表示される。

【００９１】

表示方式としては、順次走査方式（プログレッシブスキャン方式）と飛び越し走査方式（インターレーススキャン方式）とが挙げられる。順次走査方式は、１画面を表示する際、すなわち１フレーム期間に、ゲートラインＧＬ１～ＧＬｍを最上部から最下部にかけて１ラインずつ順に選択する方式である。

【００９２】

また、飛び越し走査方式は、ゲートラインＧＬ１～ＧＬｍが所定のライン間隔で同じグループとなるように複数のグループに分かれており、各グループに対する走査が順次行われる方式である。ゲートラインＧＬ１～ＧＬｍが１ライン間隔で同じグループとなるように２つのグループに分かれている場合、１フレーム期間に、奇数または偶数番目のゲートラインＧＬ１～ＧＬｍを最上部から最下部にかけて順に選択した後に、偶数または奇数番目のゲートラインＧＬ１～ＧＬｍを最上部から最下部にかけて順に選択することになる。

【００９３】

（順次走査方式の駆動例）

図２は、データ信号電圧がデータ信号電圧の中央値Ｖｓｃ（一般に、Ｖｃｏｍとほぼ等しい）を基準として１０行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間とする（○印の部分）場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、およびゲートオンパルス（画素データ書き込みパルス）Ｐｗのタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行を示している。

【００９４】

同図に示すように、極性反転が行われた直後は、実際のデータ信号の波形に鈍りが生じている、すなわち、データ信号波形が極性反転後の所定の電圧に到達するまでに時間がかかっている。同図に示す例では、実際のデータ信号波形は、極性反転直後から１水平期間分程度の時間をかけて所定の電圧に到達している。なお、同図において、データ信号波形は、同一極性の間はデータ信号電圧（階調）が変化しないような簡易的な信号の状態を示している。これは以下に示す図においても同様である。

【００９５】

これに対して、上記の駆動方式では、極性反転直後の１水平期間においてはゲートオンパルスＰｗを印加しないことにより、ダミーの水平期間を設けている。よって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【００９６】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインＳＬ１～ＳＬｎ（データ信号線）の、印加電圧に対する実際の電圧の到達率（充電率）を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する１０行毎のムラを防止できる。

【００９７】

なお、ダミー挿入期間には、表示制御回路２００は、ソースドライバ３００に入力するＬＳ信号のオンパルスの印加を停止させている。これにより、ダミー挿入期間において書き込まれるべきデータ信号が、ダミー挿入期間の次の水平期間において書き込まれることになる。よって、ダミー挿入期間を設けても、表示が行われるべきデータが省かれることなく、適切に表示を行うことが可能となる。

【００９８】

また、表示制御回路２００が、極性反転直後のダミー挿入期間に印加すべきデータ信号と同じデータ信号を次の１水平期間で出力するようにしてもよい。これによっても、ダミー挿入期間を設けても、表示が行われるべきデータが省かれることなく、適切に表示を行うことが可能となる。

【００９９】

図３は、データ信号電圧がＶｓｃを基準として１０行毎に極性反転する順次走査方式の

駆動において、極性反転が行われた直後の２水平期間（２Ｈ）をダミー挿入期間とする（○印の部分）場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、およびゲートオンパルス（画素データ書き込みパルス）Ｐｗのタイミングチャートを示している。また、図４は、データ信号電圧がＶｓｃを基準として１０行毎に極性反転する駆動方式において、極性反転が行われた直後の３水平期間（３Ｈ）をダミー挿入期間とする（○印の部分）場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、およびゲートオンパルス（画素データ書き込みパルス）Ｐｗのタイミングを示している。これらの図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行を示している。

【０１００】

図３に示す例では、実際のデータ信号波形は、極性反転直後から２水平期間分程度の時間をかけて所定の電圧に到達している。また、図４に示す例では、実際のデータ信号波形は、極性反転直後から３水平期間分程度の時間をかけて所定の電圧に到達している。このように、データ信号の電圧波形が鈍る程度は、液晶表示装置の仕様によって異なるものである。これは、例えば液晶表示装置の画面サイズ、および画素数によってソースラインＳＬ１～ＳＬｎに対する負荷の度合いが異なることによるものである。

【０１０１】

したがって、上記のように、実際のデータ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。例えば、データ信号波形の鈍りが６０Ｈｚの１水平期間分で生じる場合、ダミー挿入期間を１水平期間（１Ｈ）とし、同じ液晶表示装置を用いて１２０Ｈｚ駆動を行った場合、データ信号波形の鈍りが１２０Ｈｚの２水平期間分で生じることとなるため、ダミー挿入期間を２水平期間（２Ｈ）とすればよい。

【０１０２】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインＳＬ１～ＳＬｎの、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する１０行毎のムラを防止できる。

【０１０３】

なお、上記の例では、ダミー挿入期間を２Ｈまたは３Ｈとしているが、極性反転後のデータ信号波形の鈍りの程度に応じて、４Ｈ以上に設定してもよい。ただし、このダミー挿入期間を所定の長さ以上とすると、極性反転が行われる前後のゲートライン間において画像が横方向にずれて見えるといった不具合（テアリング）が発生することがある。テアリングが視認される程度は、ダミー挿入期間の長さで決まる。

【０１０４】

詳しく説明すると、上記のようにダミー挿入期間を設ける場合、極性反転前に表示が行われるゲートライン上の画素と、極性反転後に表示が行われるゲートライン上の画素とで、表示タイミングのずれが生じることになる。図５２は、ダミー挿入期間の長さを変化させた場合に、テアリングが視認されるか否かを検証した官能評価結果を示している。同図に示す例では、ＦＨＤパネル（１９２０×１０８０ドット）を６０Ｈｚのフレーム周波数で表示させた場合の結果となっており、ダミー挿入期間を４０Ｈ（５９３μｓ）～５４０Ｈ（８０００μｓ）の間で変化させている。結果としては、ダミー挿入期間が８１５μｓ以下であればテアリングがほとんど気にならないレベルであり、ダミー挿入期間が１１８５μｓ以下であればテアリングが少し気になるレベルであり、ダミー挿入期間が１４８１μｓ以上となるとテアリングが非常に悪いレベルとなっている。

【０１０５】

以上より、極性反転前後における表示タイミングのずれが０．８ｍｓｅｃよりも大きくなると、テアリングが視認されやすくになり、表示品位が悪化することになる。よって、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスのうち、極性反転

時点に最も近いゲートオンパルスの印加開始時点までの時間を０．８ｍｓｅｃ以下とすれば、テアリングの問題が生じ難い、良好な表示を行うことが可能となる。

【０１０６】

（飛び越し走査方式の駆動例）

図５は、データ信号電圧がＶｓｃを基準として極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間とする（○印の部分）場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、およびゲートオンパルス（画素データ書き込みパルス）Ｐｗのタイミングチャートを示している。同図に示す飛び越し走査方式では、１フレーム期間を前半の１／２フレーム期間（１／２Ｆ）と後半の１／２フレーム期間に分け、前半１／２Ｆにおいてデータ信号の極性を＋極性として奇数行を飛び越し走査し、次に後半１／２Ｆにおいてデータ信号の極性を－極性に反転させて偶数行を走査している。なお、ここでは簡便のため、２０行の走査信号線からなると仮定した実施例としている。

【０１０７】

飛び越し走査方式の場合、極性反転周期が１／２Ｆごととなるので、順次走査方式と比べて、消費電力の低減、およびソースドライバ３００の発熱の抑制を実現できる。さらに、飛び越し走査方式の場合、表示上、画素にかかる電圧は１行毎に極性反転するため、順次走査方式と比べて、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。

【０１０８】

飛び越し走査方式においても、前記した順次走査方式と同様に、データ信号極性反転時に実際のデータ信号の波形に鈍りが生じている。同図に示す例では、データ信号は、極性反転直後から１水平期間分程度の時間をかけて所定の電圧に到達している。これに対して、上記の駆動方式では、極性反転直後の１水平期間においてはゲートオンパルスＰｗを印加しないことにより、ダミーの水平期間を設けている。よって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【０１０９】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインＳＬ１～ＳＬｎ（データ信号線）の、印加電圧に対する実際の電圧の到達率（充電率）を上げることができる。

【０１１０】

なお、前記した順次走査方式と同様に、ダミー挿入期間には、表示制御回路２００は、ソースドライバ３００に入力するＬＳ信号のオンパルスの印加を停止させている。これにより、ダミー挿入期間において書き込まれるべきデータ信号が、ダミー挿入期間の次の水平期間において書き込まれることになる。また、表示制御回路２００が、極性反転直後のダミー挿入期間に印加すべきデータ信号と同じデータ信号を次の１水平期間で出力するようにしてもよい。

【０１１１】

なお、データ信号は、図示したような飛び越し走査（インターレース）に対応して、表示制御回路２００が備えるデータ信号組み替え回路によって予め順序が並び替えられており、タイミング処理など必要な処理を行ってデジタル画像信号ＤＡとしてソースドライバ３００に入力される。データ信号組み替え回路は、外部の信号源から時系列で表示制御回路２００に入力されるデジタルＲＧＢ信号としてのデジタルビデオ信号Ｄｖを、メモリに一旦蓄積した後、駆動される走査信号線に対応する信号を読み出すことによって順序の並び替えを行う。

【０１１２】

（ブロック分割飛び越し走査方式）

図６は、前記した飛び越し走査方式において、ゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行に印加されるデータ信号のフレーム番号を示した図である。飛び越し走査方式

の場合、１／２フレーム間隔で、ゲートラインの奇数行目と偶数行目との間でフレーム番号の異なる画像が表示されることになる。同図に示す例では、最初の１／２Ｆにおいて、奇数行目のゲートラインにｎフレーム目の画像が表示され、偶数行目のゲートラインにｎ－１フレーム目の画像が表示されており、３つ目の１／２Ｆにおいて、奇数行目のゲートラインにｎ＋１フレーム目の画像が表示され、偶数行目のゲートラインにｎフレーム目の画像が表示されている。

【０１１３】

この場合、図７の（ａ）に示すような縦長形状の画像を横方向に移動させるような動画表示を行った場合、縦方向のエッジ部分が、図７の（ｂ）に示すように櫛状に見えるといった不具合（コーミング）が発生することがある。このコーミングという現象は、例えばインターレース画像をＩＰ変換なしにＰＣ用のプログレッシブモニタで表示した場合に発生する、横スクロール画像が櫛状になる現象と同じ原理で発生するものである。コーミングが視認される程度は、ゲートラインの奇数行目と偶数行目との間でフレーム番号の異なる画像が表示される状態の時間の長さで決まる。

【０１１４】

図８は、通常の飛び越し走査方式における書き込み動作を模式的に示しており、横軸が時間経過を表しており、縦軸が書き込み行としてのゲートラインＧＬ１～ＧＬｍを示している。同図に示す例では、まずゲートラインＧＬ１～ＧＬｍの奇数行の全てに書き込みが行われ、その後偶数行への書き込みが行われている。ここで、フレーム周波数を１２０Ｈｚ（１周期８．３３３ｍｓ）とすると、隣接するゲートライン同士の間で、奇数行の書き込み動作時から偶数行の書き込み動作時までの時間Ｔｃは４１６７μｓとなる。

【０１１５】

コーミングは、前記したテアリングの原理と同様に、隣接するゲートライン同士の間で表示タイミングがずれることによって生じるものである。よって、前記したテアリングに関する官能評価結果と同様の結果がコーミングに関しても得られることになる。すなわち、時間Ｔｃが０．８ｍｓ程度以上となるとコーミングが視認されるようになるので、図８に示す例では、コーミングが視認されてしまうことになる。

【０１１６】

これに対して、本実施形態では、ゲートラインＧＬ１～ＧＬｍを複数のブロックに分割し、各ブロック毎に飛び越し走査を行う（ブロック分割飛び越し走査方式）ようにしている。これにより、時間Ｔｃを小さくすることが可能となるので、コーミングが視認されにくくなる。

【０１１７】

図９は、ブロック分割飛び越し走査方式における書き込み動作を模式的に示しており、横軸が時間経過を表しており、縦軸が書き込み行としてのゲートラインＧＬ１～ＧＬｍを示している。同図に示す例では、ゲートラインＧＬ１～ＧＬｍをα行ごとのブロックに分割し、各ブロック毎に飛び越し走査を行っている。詳しくは、まずゲートラインの１行目からα行目までの奇数行に対してデータ信号電圧がＶｓｃに対してプラス極性（＋極性）となるように書き込みが行われ、その後１行目からα行目までの偶数行に対してデータ信号電圧がＶｓｃに対してマイナス極性（－極性）となるように書き込みが行われる。次に、α＋１行目から２α行目までの偶数行に対してデータ信号電圧がＶｓｃに対してマイナス極性となるように書き込みが行われ、その後α＋１行目から２α行目までの奇数行に対してデータ信号電圧がＶｓｃに対してプラス極性となるように書き込みが行われる。これを順次繰り返すことによって１フレーム分の書き込みが行われる。

【０１１８】

なお、上記の方式では、ゲートラインの１行目からα行目までの第１のブロックでは、奇数行、偶数行の順で書き込みが行われ、α＋１行目から２α行目までの第２のブロックでは、偶数行、奇数行の順で書き込みが行われている。すなわち、奇数番目のブロックでは、奇数行、偶数行の順で書き込みが行われ、偶数番目のブロックでは、偶数行、奇数行の順で書き込みが行われている。そして、ブロックを跨いで書き込みが行われる時にデー

タ信号電圧の極性を同一としている。このようにすることで、ブロックの切り替わり時には極性反転が不要となるので、消費電力を抑えることができる。

【０１１９】

このブロック分割飛び越し走査方式における、隣接行の書き込みの時間差である時間Ｔｃは、

Ｔｃ＝（α／２）／（Ｖｔｏｔａｌ）×（フレーム周期）

なる式で表される。ここでＶｔｏｔａｌは、１垂直期間、すなわち全走査線数を示している。なお（フレーム周期）／（Ｖｔｏｔａｌ）＝（１水平期間の時間）で在るので、上式を変形して、Ｔｃ＝（α／２）×（１Ｈ；１水平期間の時間）と書くこともできる。

【０１２０】

例えば、５２型フルＨＤ（帰線期間込み全走査線数１１２５本）で１２０Ｈｚ駆動の場合、α＝４８に設定すれば、異常な表示状態となる時間Ｔｃは、

Ｔｃ＝(４８／２)／１１２５×（１／１２０）×１０＾6=１７７．８μｓ

となり、コーミングは視認されない程度に抑制される。

【０１２１】

また、３７型フルＨＤ（帰線期間込み全走査線数１１２５本）で６０Ｈｚ駆動の場合、α＝２０に設定すれば、同様に計算すると、Ｔｃ＝１４８．１μｓとなり、コーミングは視認されない程度に抑制される。

【０１２２】

（ブロック分割飛び越し走査方式の駆動例）

図１０は、１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間とする（○印の部分）場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、およびゲートオンパルスＰｗのタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行を示している。

【０１２３】

この駆動例では、ゲートラインの１行目から２０行目までの第１のブロックでは、奇数行、偶数行の順で書き込みが行われ、２１行目から４０行目までの第２のブロックでは、偶数行、奇数行の順で書き込みが行われている。よって、ゲートラインの４０行目までにおいては、第１のブロックにおける奇数行から偶数行への切り替わり時、および、第２のブロックにおける偶数行から奇数行への切り替わり時に極性反転が生じている。詳しくは、ゲートラインの１～４０行の偶数行２０Ｈ分はデータ信号の極性が同極性（ここでは－極性）で維持されて走査される。以後２１行目からの奇数行２０行分もデータ信号の極性を同極性（ここでは＋極性）で維持されて走査されていく。したがって、初めの走査を除いて、２０行走査毎にデータ信号の極性が反転されて走査が行われることになる。

【０１２４】

この例では、実際のデータ信号波形は、極性反転直後から１水平期間分程度の時間をかけて所定の電圧に到達している。よって、この極性反転時のデータ信号の波形の鈍りに起因するムラが生じる場合がある。

【０１２５】

したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインＳＬ１～ＳＬｎの、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する約２０行毎のムラを防止できる。

【０１２６】

また、前記した順次走査方式と比較して、表示上、画素にかかる電圧は１行毎に極性反

転するため、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。加えて、ブロック分割飛び越し走査方式を採用していることにより、前記したコーミングの発生を抑制することができる。

【０１２７】

なお、データ信号は、図示したようなブロック分割飛び越し走査（インターレース）に対応して、表示制御回路２００が備えるデータ信号組み替え回路によって予め順序が並び替えられており、タイミング処理など必要な処理を行ってデジタル画像信号ＤＡとしてソースドライバ３００に入力される。データ信号組み替え回路は、外部の信号源から時系列で表示制御回路２００に入力されるデジタルＲＧＢ信号としてのデジタルビデオ信号Ｄｖを、メモリに一旦蓄積した後、駆動される走査信号線に対応する信号を読み出すことによって順序の並び替えを行う。

【０１２８】

図１１に示す駆動例では、ゲートラインの１行目から２０行目までの第１のブロックでは、偶数行、奇数行の順で書き込みが行われ、２１行目から４０行目までの第２のブロックでは、奇数行、偶数行の順で書き込みが行われている。よって、ゲートラインの４０行目までにおいては、第１のブロックにおける偶数行から奇数行への切り替わり時、および、第２のブロックにおける奇数行から偶数行への切り替わり時に極性反転が生じている。その他の点は、図１０に示した駆動例と同様であるので、ここではその説明を省略する。

【０１２９】

図１２に示す駆動例では、ゲートラインの１行目から２０行目までの第１のブロックでは、偶数行、奇数行の順で書き込みが行われ、２１行目から４０行目までの第２のブロックでは、奇数行、偶数行の順で書き込みが行われている。そして、ゲートラインの４０行目までにおいては、第１のブロックにおける偶数行から奇数行への切り替わり時、および、第２のブロックにおける奇数行から偶数行への切り替わり時に加えて、第１のブロックから第２のブロックへの切り替わり時にも極性反転が生じている。これらの極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間としている。

【０１３０】

この駆動例においても、ダミー挿入期間を設けることによる効果が得られるようになっている。しかしながら、前記した図１０、図１１の駆動例と比較して、極性反転の回数が増えるので、消費電力という観点からは、前記した図１０、図１１の駆動例の方が好ましいことになる。

【０１３１】

また、２０行目と２１行目とでは、画素電極に印加される電圧が同一極性となるのに対し、他の行では上下に隣接する行同士で画素電極に印加される電圧の極性が反対となる。このため、上下の画素電極のカップリング容量を介したゲートオフ後の画素電極の電圧変動値が２０、２１行目間とそれ以外とで異なるため、スジムラとなってしまうおそれがある。この問題を考慮すると、前記した図１０、図１１の駆動例の方が好ましいことになる。

【０１３２】

図１３の駆動例では、ゲートラインの１行目から２０行目までの第１のブロックでは、偶数行、奇数行の順で書き込みが行われ、２１行目から４０行目までの第２のブロックでも、偶数行、奇数行の順で書き込みが行われている。そして、ゲートラインの４０行目までにおいては、第１のブロックにおける偶数行から奇数行への切り替わり時、および、第２のブロックにおける奇数行から偶数行への切り替わり時に加えて、第１のブロックから第２のブロックへの切り替わり時にも極性反転が生じている。これらの極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間としている。

【０１３３】

この駆動例は、図１２の駆動例と異なり、２０行目と２１行目との間においても画素電極に印加される電圧の極性が反対となっている。よって、上下の画素電極のカップリング容量を介したゲートオフ後の画素電極の電圧変動値が全ての行間でほとんど同じにするこ

とができるので、スジムラの発生を抑制することができる。

【０１３４】

図１４は、１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の２水平期間（２Ｈ）をダミー挿入期間とする（○印の部分）場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、およびゲートオンパルスＰｗのタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行を示している。

【０１３５】

図１４に示す例では、実際のデータ信号波形は、極性反転直後から２水平期間分程度の時間をかけて所定の電圧に到達している。したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインＳＬ１～ＳＬｎの、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因するムラを防止できる。

【０１３６】

なお、上記の例では、ダミー挿入期間を２Ｈとしているが、極性反転後のデータ信号波形の鈍りの程度に応じて、３Ｈ以上に設定してもよい。

【０１３７】

（ゲートオンパルスの印加制御）

ここで、上記のダミー挿入期間についてより詳細に説明する。上記した各駆動例では、極性反転時点から、ゲートオンパルスＰｗが最初に印加されるまでの期間を水平期間単位で確保することによって、データ信号波形の鈍りの影響を抑制している。しかしながら、この期間は、水平期間単位に限定されるものではなく、次のような範囲であればデータ信号波形の鈍りの影響を抑制することが可能である。

【０１３８】

まず、極性反転時点よりも前の時点で印加されるゲートオンパルスＰｗのうち、極性反転時点に最も近いゲートオンパルスＰｗの最後端が、該ゲートオンパルスＰｗが印加される水平期間の終了時点よりも前となっており、該ゲートオンパルスのＰｗ最後端から、該ゲートオンパルスＰｗが印加される水平期間の終了時点までの時間を第１の期間とする。また、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスＰｗのうち、極性反転時点に最も近いゲートオンパルスＰｗの印加開始時点までの時間を第２の期間とする。この第２の期間が上記第１の期間よりも長くなるようにゲートオンパルスＰｗが印加されればよい。

【０１３９】

なお、上記の各駆動例では、第２の区間がダミー挿入期間に相当しており、第１の期間は、１水平期間内でゲートオンパルスＰｗがオフされてから該水平期間が終了するまでの期間である。よって、どの駆動例においても、第２の期間が第１の期間よりも長くなっていることは明らかである。また、上記の駆動例としては挙げていないが、極性反転の直前においてゲートオンパルスＰｗを印加しない水平期間を設けた駆動を行ってもよく、この場合も、第２の期間が第１の期間よりも長くなることは明らかである。

【０１４０】

このような駆動によれば、極性反転時点にはゲートオンパルスＰｗが印加されないことになるので、極性反転前後にゲートオンパルスＰｗが印加される隣接する２つのゲートラインにおいて、極性が互いに反転しているデータ信号が同時に印加されないようにすることができる。これにより、極性反転時の画像表示の乱れを防止することができる。

【０１４１】

また、極性反転時点以降に印加されるゲートオンパルスＰｗのうち、極性反転時点に最

も近いゲートオンパルスＰｗは、極性反転時点から上記第１の期間よりも長い期間の後にゲートオンされている。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

【０１４２】

また、極性反転時点から、ゲートオンパルスＰｗが最初に印加されるまでの期間を次のような範囲に設定してもよい。すなわち、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスＰｗのうち、極性反転時点に最も近いゲートオンパルスＰｗの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスが印加されればよい。

【０１４３】

なお、上記の各駆動例では、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスＰｗのうち、極性反転時点に最も近いゲートオンパルスＰｗの印加開始時点までの時間がダミー挿入期間に相当している。よって、どの駆動例においても、ダミー挿入期間が水平表示期間よりも長くなっていることは明らかである。

【０１４４】

水平期間は、水平表示期間と水平帰線期間との和によって構成されている。通常、ソースラインに印加されるデータ信号は、１水平表示期間内で画素が充電されるような信号波形となるように設計される。よって、極性反転時点から１水平表示期間以上経過した時点では、極性反転時に生じるデータ信号の波形の鈍りの影響は抑えられていることになる。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

【０１４５】

なお、上記のように、基本的には、ソースラインに印加されるデータ信号は、１水平表示期間内で画素が充電されるような信号波形となるように設計される。しかしながら、極性反転した場合は、極性反転していない場合と比較して、データ信号波形の電圧変化が大きくなるので、装置の設計条件によっては、１水平表示期間内で画素が充電されない可能性がある。このような場合には、前記した駆動例のように、ダミー挿入期間を２Ｈ以上とするなどによって対応すればよいことになる。

【０１４６】

［実施の形態２］

本発明の他の実施形態について図面に基づいて説明すれば、以下のとおりである。なお、前記した実施の形態１で説明した構成と同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。

【０１４７】

（液晶表示装置の構成）

図１５は、本実施形態に係る液晶表示装置の構成をその表示部の等価回路と共に示すブロック図である。この液晶表示装置は、図１に示した液晶表示装置において、さらに補助容量配線駆動回路としてのＣＳコントロール回路（保持容量信号駆動部）９０を備えている。その他の構成については、実施の形態１で示した構成と同様であるので、その説明を省略する。

【０１４８】

ＣＳコントロール回路９０は、補助容量配線（保持容量配線；ＣＳ配線）に印加するＣＳ（保持容量）信号波形の位相および幅などを制御する回路である。このＣＳコントロール回路９０による制御の詳細、および、補助容量配線の詳細については後述する。

【０１４９】

図１６は、本実施形態に係る液晶表示装置の１画素分の等価回路を模式的に示している。同図に示すように、各画素は２つの副画素を備えており、各副画素に対応して、第１ＴＦＴ１２ａおよび第２ＴＦＴ１２ｂが設けられている。そして、第１の副画素電極１７ａ

、対向電極Ｅｃ、および両者間の液晶層によって第１副画素容量ＣｓｐＩが構成され、第２の副画素電極１７ｂ、対向電極Ｅｃ、および両者間の液晶層によって第２副画素容量ＣｓｐＩＩが構成されている。このような画素構造はマルチ画素構造と称される。なお、本実施形態では、１つの画素に２つの副画素が含まれる形態としているが、３つ以上の副画素が含まれる形態であってもよい。

【０１５０】

このようなマルチ画素構造が適用される場合、副画素のうちの少なくとも２つは輝度が互いに異なるものであることが好ましい。この形態によれば、１つの画素内に明るい副画素及び暗い副画素の両方が存在するため、面積階調によって中間調を表現することができ、液晶表示画面の斜め視角における白浮きを改善するのに好適である。

【０１５１】

第１副画素容量ＣｓｐＩおよび第２副画素容量ＣｓｐＩＩの静電容量値は同一の値となっており、この値は各液晶層に印加される実効電圧に依存する。また、第１副画素容量ＣｓｐＩおよび第２副画素容量ＣｓｐＩＩとは独立して、第１補助容量ＣｓＩおよび第２補助容量ＣｓＩＩが設けられており、これらの静電容量値は同一の値としている。

【０１５２】

第１副画素容量ＣｓｐＩおよび第１補助容量ＣｓＩの一方の電極は第１ＴＦＴ１２ａのドレイン電極に接続されており、第１副画素容量ＣｓｐＩの他方の電極は対向電極Ｅｃに接続され、第１補助容量ＣｓＩの他方の電極は補助容量配線（ＣＳライン）５２ａに接続されている。一方、第２副画素容量ＣｓｐＩＩおよび第２補助容量ＣｓＩＩの一方の電極は第２ＴＦＴ１２ｂのドレイン電極に接続されており、第２副画素容量ＣｓｐＩＩの他方の電極は対向電極Ｅｃに接続され、第２補助容量ＣｓＩＩの他方の電極は補助容量配線（ＣＳライン）５２ｂに接続されている。

【０１５３】

第１ＴＦＴ１２ａおよび第２ＴＦＴ１２ｂのゲート電極はいずれも走査線１６に接続されており、ソース電極はいずれも信号線１５に接続されている。

【０１５４】

図１７は、ＣＳコントロール回路９０、ＣＳ幹配線（保持容量信号供給配線）５２Ｍ…、およびＣＳライン５２…の接続状態を示している。また、図１８は、ＣＳ幹配線５２Ｍ…とＣＳライン５２…との接続状態を詳細に示している。

【０１５５】

ＣＳコントロール回路９０は、ＣＳ幹配線５２Ｍ…に対して、それぞれ異なる信号波形となるＣＳ信号を出力する。図１８に示す例では、ＣＳ幹配線５２Ｍ…は、Ａ～Ｈ、Ｊ、Ｋの１０種類の配線によって構成されており、それぞれに異なる信号波形のＣＳ信号が入力される。これらのＣＳ幹配線５２Ｍ…は、液晶表示装置の表示エリアの外に設けられる。

【０１５６】

また、ＣＳライン５２…は、隣り合うゲートラインＧＬｍ－１・ＧＬｍの間に、ゲートラインＧＬｍと並行に配置されている。また、各ＣＳライン５２は、ＣＳ幹配線５２Ｍ…のうちのいずれか一本と接続されている。図１８に示す例では、ＣＳライン５２…は、ＣＳ幹配線５２Ｍ…のＡ～Ｈ、Ｊ、Ｋのそれぞれに接続されるＣＳ＿Ａ～ＣＳ＿Ｈ、ＣＳ＿Ｊ、ＣＳ＿Ｋのいずれかに対応するようになっている。

【０１５７】

以上のようなマルチ画素構造を備えた液晶表示装置において、上記のようにソースドライバ３００およびゲートドライバ４００により表示部１００のソースラインＳＬ１～ＳＬｎおよびゲートラインＧＬ１～ＧＬｍが駆動されることで、選択されたゲートラインＧＬｊに接続されたＴＦＴ１０を介して画素容量にソースラインＳＬｉの電圧が与えられる（ｉ＝１～ｎ，ｊ＝１～ｍ）。そしてＣＳコントロール回路９０によりＣＳライン５２…が駆動され、画素容量に与えられたソースラインＳＬｉの電圧をＣＳ信号により制御する。

【０１５８】

これにより各画素形成部において液晶層にデジタル画像信号ＤＡに応じた電圧が印加され、その電圧印加によってバックライト６００からの光の透過量が制御されることで、外部からのデジタルビデオ信号Ｄｖの示す画像が表示部１００に表示される。

【０１５９】

（飛び越し走査方式の駆動例）

図１９は、データ信号電圧がＶｓｃを基準として１０行毎に極性反転する飛び越し走査方式の駆動におけるデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、１フレーム期間を前半の１／２フレーム期間（１／２Ｆ）と後半の１／２フレーム期間に分け、前半１／２Ｆにおいてデータ信号の極性を＋極性として奇数行を飛び越し走査し、次に後半１／２Ｆにおいてデータ信号の極性を－極性に反転させて偶数行を走査している。なお、ここでは簡便のため、２０行の走査信号線からなると仮定して、１０Ｈごとにデータ信号の極性反転が行われる場合とした実施例としている。

【０１６０】

同図において、各ＣＳライン５２に対応する２つの副画素の明暗状態が示されている。また、隣接するソースラインＳＬｎ－１・ＳＬｎ同士の間で極性を反転させて駆動させた場合の各副画素の明暗の状態がタイミングチャートの右側に図示されている。この駆動例の場合、各副画素の明暗状態の並びが副画素単位で市松状となり、画像のざらつき感（ジャギー感）が少ない最も良い形態となっている。ここで、ハッチングをかけたものが暗画素を表し、ハッチングをかけていないものが明画素を表している。このような駆動状態とする条件としては、次の条件が挙げられる。

【０１６１】

互いに隣接する２つのゲートラインに関し、先にゲートオンパルスが印加される奇数行目のゲートラインに対するゲートオンパルス印加時点から、後にゲートオンパルスが印加される偶数行目のゲートラインに対するゲートオンパルス印加時点までの期間を隣接行書込時間差期間とすると、少なくとも隣接行書込時間差期間において、ＣＳ信号の極性反転が偶数回（２ｋ（ｋは１以上の整数））行われることである。言い換えれば、ＣＳ信号の極性反転周期を第１の極性継続期間と第２の極性継続期間の和とすると、（ＣＳ信号の極性反転周期）＝（隣接行書込時間差期間）／ｋ（ｋは１以上の整数）となるように設定されていれば、列方向に隣接する副画素間で明暗状態が全て逆転するようになる。すなわち、副画素の明暗の状態が一定し、表示品位の乱れを防止することができる。そして、奇数行と偶数行との間の各副画素の明暗の順序を１行ごとに反転した状態とすることができるので、前記したジャギーの発生の問題も抑制することができる。

【０１６２】

また、同図に示す例では、ｋ＝１となっており、ＣＳ信号の極性反転周期は、隣接行書込時間差期間の１／２となっている。このｋ＝１の場合、ＣＳ信号の極性反転周期が最も長くなるので、ＣＳ信号の極性が反転してから次の反転の直前にゲートオンパルスＰｗを印加することによって、ＣＳ信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。

【０１６３】

また、ＣＳライン５２のｎ＋２行目に印加されるＣＳ信号の位相が、ｎ行目に印加されるＣＳ信号の位相に対して１Ｈ遅れた状態となっている。これにより、全てのＣＳライン５２…において、ＣＳ信号の極性が反転してから同一の時間が経過した後であって、ＣＳ信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。したがって、ＣＳ信号の波形の鈍りによる表示上のムラを抑制することができる。

【０１６４】

なお、上記の第１および第２の条件を満たすためには、データ信号波形の極性反転周期の半分の期間、すなわち、一方の極性が継続する期間に含まれる水平期間数の２倍の種類のＣＳ信号が必要となる。例えば図１９に示す例では、１０（Ｈ）×２＝２０種類のＣＳ信号が必要となる。この場合、単純に考えれば、ＣＳ幹配線５２Ｍを２０本設ける必要が

あるが、同図に示す例のように、互いに位相が反転しているＣＳ信号同士を利用することによって、１０種類（位相）のＣＳ信号によって上記のような駆動を実現している。詳しく説明すると、ＣＳライン５２…を上１０行と下１１行との２つのブロックに分け、上１０行における２行ごとの組のＣＳ信号を、下１０行において、各組ごとに順序を逆にすることと、下１１行目のＣＳ信号を上１行目のＣＳ信号と同じにすることによって、１０種類（位相）のＣＳ信号によって上記のような駆動を実現している。

【０１６５】

前記したように、飛び越し走査方式の場合、極性反転周期が１／２Ｆごととなるので、順次走査方式と比べて、消費電力の低減、およびソースドライバ３００の発熱の抑制を実現できる。さらに、飛び越し走査方式の場合、表示上、画素にかかる電圧は１行毎に極性反転するため、順次走査方式と比べて、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。

【０１６６】

なお、データ信号は、図示したような飛び越し走査（インターレース）に対応して、表示制御回路２００が備えるデータ信号組み替え回路によって予め順序が並び替えられており、タイミング処理など必要な処理を行ってデジタル画像信号ＤＡとしてソースドライバ３００に入力される。データ信号組み替え回路は、外部の信号源から時系列で表示制御回路２００に入力されるデジタルＲＧＢ信号としてのデジタルビデオ信号Ｄｖを、メモリに一旦蓄積した後、駆動される走査信号線に対応する信号を読み出すことによって順序の並び替えを行う。これは以下に示す他の駆動例でも同様である。

【０１６７】

一方、前記したように、この飛び越し走査方式においても、データ信号極性反転時に実際のデータ信号の波形に鈍りが生じている。同図に示す例では、実際のデータ信号波形は、極性反転直後から１水平期間分程度の時間をかけて所定の電圧に到達している。よって、このデータ信号の波形の鈍りに起因する表示上のムラが生じる場合がある。

【０１６８】

このデータ信号の波形の鈍りに起因する表示上のムラを改善する駆動方式として、図２０に示す駆動例が挙げられる。同図は、データ信号電圧がＶｓｃを基準として極性反転する飛び越し走査方式の駆動において、極性反転が行われた直後の２水平期間（２Ｈ）をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、１フレーム期間を前半の１／２フレーム期間（１／２Ｆ）と後半の１／２フレーム期間に分け、前半１／２Ｆにおいてデータ信号の極性を＋極性として奇数行を飛び越し走査し、次に後半１／２Ｆにおいてデータ信号の極性を－極性に反転させて偶数行を走査している。なお、ここでは簡便のため、２０行の走査信号線からなると仮定した実施例としている。

【０１６９】

同図に示す例では、実際のデータ信号波形は、極性反転直後から２水平期間分程度の時間をかけて所定の電圧に到達している。これに対して、上記の駆動方式では、極性反転直後の２水平期間においてはゲートオンパルスＰｗを印加しないことにより、ダミーの水平期間を設けている。よって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【０１７０】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインＳＬ１～ＳＬｎ（データ信号線）の、印加電圧に対する実際の電圧の到達率（充電率）を上げることができる。

【０１７１】

なお、実施の形態１で示したものと同様に、ダミー挿入期間には、表示制御回路２００は、ソースドライバ３００に入力するＬＳ信号のオンパルスの印加を停止させている。これにより、ダミー挿入期間において書き込まれるべきデータ信号が、ダミー挿入期間の次

の水平期間において書き込まれることになる。また、表示制御回路２００が、極性反転直後のダミー挿入期間に印加すべきデータ信号と同じデータ信号を次の２水平期間で出力するようにしてもよい。

【０１７２】

一方、本駆動例のように、単純にダミー挿入期間を挿入するだけでは、マルチ画素駆動の場合には次のような問題が生じる。すなわち、ダミー挿入期間が挿入されることによってデータ信号波形の極性反転周期が増加することになる一方、ＣＳ信号の極性反転周期は変化していないので、両者の位相の関係がずれてしまうことになる。よって、副画素の明暗の状態が一定しないことになり、表示品位が低下するという問題が生じる。

【０１７３】

例えば図２０において、後半の１／２Ｆでは、ＣＳ信号の波形の鈍りが大きい期間でゲートオンパルスＰｗが印加されているので、ＣＳ信号の電圧が所定の値に到達していない状態で表示が行われることにより、表示ムラが生じることになる。また、同図に示すようなゲートオンパルスＰｗとデータ信号波形とＣＳ信号波形の関係では、奇数行と偶数行との間の各副画素の明暗の順序が、明、暗、暗、明、明、暗、…というように、暗または明がそれぞれ２行ずつ連続した状態となっている。図中、ハッチングをかけたものが暗画素、ハッチングをかけていないものが明画素に対応している。この場合、明暗が１行ごとに反転する場合と比較して、表示品位としてギザギザ感（ジャギー）が目立つ問題が生じる。

【０１７４】

このＣＳ信号の極性反転周期と、データ信号波形の極性反転周期との相違による問題を改善する駆動方式として、図２１に示す駆動例が挙げられる。同図は、データ信号電圧がＶｓｃを基準として極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の２水平期間（２Ｈ）をダミー挿入期間とするとともに、ダミー挿入期間を挿入した期間におけるＣＳ信号にも２Ｈ分のＣＳ信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、１フレーム期間を前半の１／２フレーム期間（１／２Ｆ）と後半の１／２フレーム期間に分け、前半１／２Ｆにおいてデータ信号の極性を＋極性として奇数行を飛び越し走査し、次に後半１／２Ｆにおいてデータ信号の極性をー極性に反転させて偶数行を走査している。なお、ここでは簡便のため、２０行の走査信号線からなると仮定した実施例としている。

【０１７５】

同図に示す例では、ダミー挿入期間を挿入しない状態では、ＣＳ信号における１つの極性が継続する期間（極性継続期間）は５Ｈとなっている。これに対して、データ信号の極性反転が行われた直後に存在しているＣＳ信号における極性継続期間に、ダミー挿入期間を挿入する期間、すなわち２Ｈを加えている。すなわち、データ信号の極性反転が行われた直後に存在しているＣＳ信号における極性継続期間を７Ｈとし、それ以外のＣＳ信号の極性継続期間を５Ｈとしている。

【０１７６】

上記のような駆動によれば、ダミー挿入期間が挿入されることによってデータ信号波形の極性反転周期が増加するとともに、ＣＳ信号の極性反転周期も増加することになるので、両者の位相の関係は保たれることになる。また、それぞれのＣＳ信号に関し、少なくとも隣接行書込時間差期間において、極性反転タイミングが連続するフレーム間で等しくなる。よって、副画素の明暗の状態が一定し、表示品位の乱れを防止することができる。そして、奇数行と偶数行との間の各副画素の明暗の順序を１行ごとに反転した状態とすることができるので、前記したジャギーの発生の問題も抑制することができる。

【０１７７】

また、全てのＣＳライン５２…において、ＣＳ信号の極性が反転してから同一の時間が経過した後であって、ＣＳ信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。これにより、ＣＳ信号の波形の鈍りによる表示上のムラを抑制する

ことができる。

【０１７８】

このような駆動は、データ信号波形が同じ極性で継続している期間においては、ＣＳライン５２のｎ＋２行目に印加されるＣＳ信号の位相が、ｎ行目に印加されるＣＳ信号の位相に対して１Ｈ遅れた状態とすることによって実現できる。

【０１７９】

なお、ＣＳライン５２…を上１０行と下１１行との２つのブロックに分け、上１０行における２行ごとの組のＣＳ信号を、下１０行において、各組ごとに順序を逆にすることと、下１１行目のＣＳ信号を上１行目のＣＳ信号と同じにすることによって、１０種類（位相）のＣＳ信号によって上記のような駆動を実現している。

【０１８０】

また、上記の例では、ダミー挿入期間を２Ｈとしているが、データ信号の波形鈍りの程度に応じて、１Ｈでもよく、また３Ｈ以上としても構わない。

【０１８１】

一方、上記の駆動例では、ＣＳ信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間とが異なる長さとなっている。この場合、副画素における実効電位が極性継続期間の相違に伴って異なることがあり、これにより縞状の表示ムラが生じる場合があるという問題がある。

【０１８２】

この極性継続期間の相違による問題を改善する駆動方式として、図２２に示す駆動例が挙げられる。同図は、データ信号電圧がＶｓｃを基準として極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の２水平期間（２Ｈ）をダミー挿入期間とするとともに、ＣＳ信号の極性継続期間をそれぞれ１Ｈ増加させる場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、１フレーム期間を前半の１／２フレーム期間（１／２Ｆ）と後半の１／２フレーム期間に分け、前半１／２Ｆにおいてデータ信号の極性を＋極性として奇数行を飛び越し走査し、次に後半１／２Ｆにおいてデータ信号の極性を－極性に反転させて偶数行を走査している。なお、ここでは簡便のため、２０行の走査信号線からなると仮定した実施例としている。

【０１８３】

同図に示す例では、ダミー挿入期間を挿入しない状態では、ＣＳ信号における１つの極性が継続する期間（極性継続期間）は５Ｈとなっている。これに対して、挿入されたダミー挿入期間の２Ｈのうち、１Ｈの分をＣＳ信号の一方の極性継続期間に加えて６Ｈとし、残りの１Ｈの分をＣＳ信号の他方の極性継続期間に加えて６Ｈとしている。すなわち、ＣＳ信号の極性反転周期を、ダミー挿入期間を加えたデータ信号波形の極性反転周期の半分の長さとするとともに、ＣＳ信号における極性継続期間を極性によらず一定にしている。

【０１８４】

なお、ダミー挿入期間を加えたデータ信号波形の極性反転周期の半分の長さが、１水平期間の正の整数個分の長さとなるようにダミー挿入期間を設定することが必要である。これによって、ＣＳ信号の極性継続期間を１水平期間単位の長さで設定することが可能となる。こうすることでＣＳ信号波形の生成回路が複雑になることを抑制することができる。

【０１８５】

上記のような駆動によれば、図２１に示した駆動例と同様に、副画素の明暗の状態が一定し、表示品位の乱れを防止することができるという効果、前記したジャギーの発生の問題も抑制することができるという効果、ＣＳ信号の波形の鈍りによる表示上のムラを抑制することができるという効果に加えて、次の効果を奏する。すなわち、ＣＳ信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間とが等しくなっているので、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

【０１８６】

なお、本駆動例では、ＣＳライン５２…を上１２行と下９行との２つのブロックに分け、上１２行のブロックの上８行における２行ごとの組のＣＳ信号を、下８行において、各組ごとに順序を逆にすることと下９行目のＣＳ信号を上１０行目のＣＳ信号と同じにすることによって、１２種類（位相）のＣＳ信号によって上記のような駆動を実現している。

【０１８７】

次に、図２１に示した駆動例における極性継続期間の相違による問題を改善する別の駆動方式について説明する。図２３は、データ信号電圧がＶｓｃを基準として極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の２水平期間（２Ｈ）を第１のダミー挿入期間とし、データ信号の極性反転が行われた時点の５水平期間（５Ｈ）前の２水平期間（２Ｈ）を第２のダミー挿入期間とするとともに、第１および第２のダミー挿入期間を挿入した期間におけるＣＳ信号にもそれぞれ２Ｈ分のＣＳ信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。同図に示す飛び越し走査方式では、１フレーム期間を前半の１／２フレーム期間（１／２Ｆ）と後半の１／２フレーム期間に分け、前半１／２Ｆにおいてデータ信号の極性を＋極性として奇数行を飛び越し走査し、次に後半１／２Ｆにおいてデータ信号の極性を－極性に反転させて偶数行を走査している。なお、ここでは簡便のため、２０行の走査信号線からなると仮定した実施例としている。

【０１８８】

この駆動例では、まずデータ信号の極性反転周期の半分の期間、すなわち、データ信号極性ＰＯＬにおける１つの極性が継続する期間において、極性反転が行われた直後に加えて、さらに別のタイミングでダミー挿入期間を挿入している。そして、このダミー挿入期間が挿入されるタイミングではゲートオンパルスＰｗを印加しないようになっている。

【０１８９】

また、ＣＳ信号の極性反転周期を、全てのダミー挿入期間を加えたデータ信号極性ＰＯＬの極性反転周期の半分の長さとするとともに、ＣＳ信号における極性継続期間を極性によらず一定にしている。

【０１９０】

上記のような駆動によれば、図２２に示した駆動例と同様に、ＣＳ信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間とが等しくなっているので、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

【０１９１】

また、上記の駆動例では、ダミー挿入期間が挿入された直後にゲートオンパルスＰｗが印加されるゲートラインＧＬｊに対応する２つのＣＳライン５２・５２のうち、副走査順序で前側となるＣＳライン５２に印加されるＣＳ信号の位相が、該ＣＳライン５２のさらに副走査順序で前側となるＣＳライン５２に印加されるＣＳ信号の位相から２Ｈ（挿入されたダミー挿入期間の長さ）＋１Ｈ遅れた位相となっている一方、その他のＣＳライン５２では、ｎ＋２行目に印加されるＣＳ信号の位相が、ｎ行目に印加されるＣＳ信号の位相に対して１Ｈ遅れた状態となっている。

【０１９２】

このような駆動によれば、全てのＣＳライン５２…において、ＣＳ信号の極性が反転してから同一の時間が経過した後であって、ＣＳ信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。これにより、ＣＳ信号の波形の鈍りによる表示上のムラを抑制することができる。

【０１９３】

また、上記の駆動例では、上記第１のダミー挿入期間と、その次に挿入される第２のダミー挿入期間との間で実際に書き込みが行われる水平期間の数（５Ｈ）と、上記第２のダミー挿入期間と、その次の第１のダミー挿入期間との間で実際に書き込みが行われる水平期間の数（５Ｈ）とが同数となっている。

【０１９４】
これにより、ＣＳライン５２…を上１０行と下１１行との２つのブロックに分け、上１０行における２行ごとの組のＣＳ信号を、下１０行において、各組ごとに順序を逆にすることと下１１行目のＣＳ信号を上１行目のＣＳ信号と同じにすることによって、１０種類（位相）のＣＳ信号によって上記のような駆動を実現することができる。この点において、図２２における１２種類（位相）のＣＳ信号を用いた構成と比較して、ＣＳ信号の種類およびＣＳ幹配線５２Ｍの数を低減することができる。

【０１９５】
次に、図２２に示した駆動例において、データ信号の極性反転時における画素の充電不足を抑制するための駆動例について説明する。図２４は、データ信号電圧がＶｓｃを基準として極性反転する飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の２水平期間（２Ｈ）をダミー挿入期間とするとともに、ＣＳ信号の極性継続期間をそれぞれ１Ｈ増加させる場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。

【０１９６】
図２２に示した駆動例との相違点は、データ信号の極性反転が行われた後に最初に印加されるゲートオンパルスＰｗのパルス幅を、それ以外のゲートオンパルスＰｗのパルス幅よりも長くしている点である。前記したように、データ信号の極性反転が行われた直後は、データ信号の波形に鈍りが生じている。このデータ信号の波形の鈍りによる画素の充電不足を低減するためにダミー挿入期間の挿入が行われているが、ゲートオンパルスＰｗのパルス幅を長くすることによって、この画素の充電不足の問題をさらに低減することができる。すなわち、ゲートオンパルスＰｗのパルス幅を長くすると、画素に対する充電期間が長くなるので、画素の充電率を上げることができる。

【０１９７】
（ブロック分割飛び越し走査方式の駆動例）
実施の形態１において、通常の飛び越し走査方式で駆動が行われる場合のコーミングの不具合を抑制する手法として、ブロック分割飛び越し走査方式について説明した。以下に、本実施形態においてブロック分割飛び越し走査方式を適用した場合の駆動例について説明する。

【０１９８】
図２５は、１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間とする（○印の部分）場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行およびＣＳライン５２…の各行を示している。

【０１９９】
この駆動例では、ゲートラインの１行目から２０行目までの第１のブロックでは、奇数行、偶数行の順で書き込みが行われ、２１行目から４０行目までの第２のブロックでは、偶数行、奇数行の順で書き込みが行われている。よって、ゲートラインの４０行目までにおいては、第１のブロックにおける奇数行から偶数行への切り替わり時、および、第２のブロックにおける偶数行から奇数行への切り替わり時に極性反転が生じている。詳しくは、ゲートラインの１～４０行の偶数行２０Ｈ分はデータ信号の極性が同極性（ここでは－極性）で維持されて走査される。以後２１行目からの奇数行２０行分もデータ信号の極性を同極性（ここでは＋極性）で維持されて走査されていく。したがって、初めの走査を除いて、２０行走査毎にデータ信号の極性が反転されて走査が行われることになる。

【０２００】
この例では、実際のデータ信号波形は、極性反転直後から１水平期間分程度の時間をかけて所定の電圧に到達している。よって、この極性反転時のデータ信号の波形の鈍りに起因するムラが生じる場合がある。

【０２０１】
したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインＳＬ１～ＳＬｎの、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する約２０行毎のムラを防止できる。

【０２０２】
また、前記した順次走査方式と比較して、表示上、画素にかかる電圧は１行毎に極性反転するため、フリッカを低減でき、また、上下画素のカップリング容量によるムラも低減できる。加えて、ブロック分割飛び越し走査方式を採用していることにより、前記したコーミングの発生を抑制することができる。

【０２０３】
また、互いに隣接する２つのゲートラインに関し、先にゲートオンパルスが印加される奇数行目のゲートラインに対するゲートオンパルス印加時点から、後にゲートオンパルスが印加される偶数行目のゲートラインに対するゲートオンパルス印加時点までの期間を隣接行書込時間差期間とすると、少なくとも隣接行書込時間差期間において、ＣＳ信号の極性反転が偶数回（２ｋ（ｋは１以上の整数））行われている。言い換えれば、ＣＳ信号の極性反転周期を第１の極性継続期間と第２の極性継続期間の和とすると、（ＣＳ信号の極性反転周期）＝（隣接行書込時間差期間）／ｋ（ｋは１以上の整数）となるように設定されていれば、列方向に隣接する副画素間で明暗状態が全て逆転するようになる。また、それぞれのＣＳ信号に関し、少なくとも隣接行書込時間差期間において、極性反転タイミングが連続するフレーム間で等しくなる。すなわち、副画素の明暗の状態が一定し、表示品位の乱れを防止することができる。そして、奇数行と偶数行との間の各副画素の明暗の順序を１行ごとに反転した状態とすることができるので、前記したジャギーの発生の問題も抑制することができる。

【０２０４】
また、同図に示す例では、ｋ＝１となっており、ＣＳ信号の極性反転周期は、隣接行書込時間差期間と等しく（１１Ｈ）となっている。なお、この場合、単純に極性反転周期の１／２の期間を極性継続期間とすると、各極性継続期間は５．５Ｈとなる（この場合については後述する図２８にて説明する）が、これを５Ｈと６Ｈの長さに分けている。これは１Ｈ単位にした方が、波形の生成が簡単だからである。このｋ＝１の場合、ＣＳ信号の極性反転周期が最も長くなるので、ＣＳ信号の極性が反転してから次の反転の直前にゲートオンパルスＰｗを印加することによって、ＣＳ信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。

【０２０５】
また、データ信号波形が同じ極性で継続している期間においては、ＣＳライン５２のｎ＋２行目に印加されるＣＳ信号の位相が、ｎ行目に印加されるＣＳ信号の位相に対して１Ｈまたは２Ｈ遅れた状態となっているので、全てのＣＳライン５２…において、ＣＳ信号の極性が反転してから４Ｈ以上の時間が経過した後であって、ＣＳ信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。これにより、ＣＳ信号の波形の鈍りによる表示上のムラを抑制することができる。

【０２０６】
なお、ＣＳライン５２…を１０行ごとのブロックに分け、副走査順序で１つ前の１０行のブロックにおける２行ごとの組のＣＳ信号を、次のブロックの１０行において、各組ごとに順序を逆にすることによって、１０種類（位相）のＣＳ信号によって上記のような駆動を実現している。

【０２０７】
なお、データ信号は、図示したようなブロック分割飛び越し走査（インターレース）に

対応して、表示制御回路２００が備えるデータ信号組み替え回路によって予め順序が並び替えられており、タイミング処理など必要な処理を行ってデジタル画像信号ＤＡとしてソースドライバ３００に入力される。データ信号組み替え回路は、外部の信号源から時系列で表示制御回路２００に入力されるデジタルＲＧＢ信号としてのデジタルビデオ信号Ｄｖを、メモリに一旦蓄積した後、駆動される走査信号線に対応する信号を読み出すことによって順序の並び替えを行う。これは以下に示す他の駆動例でも同様である。

【０２０８】

一方、上記の駆動例では、ＣＳ信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間との比率が異なっている。例えば、ＣＳ＿ＡとしてのＣＳライン５２において、データ信号波形の極性が（－）となっている期間では、Ｈレベルの期間は５Ｈ＋５Ｈ＝１０Ｈである一方、Ｌレベルの期間は５Ｈ＋６Ｈ＝１１Ｈとなっている。このような偏りが各ＣＳライン５２で異なっていることによって、副画素における実効電位が極性継続期間の相違に伴って異なることがあり、これにより縞状の表示ムラが生じる場合があるという問題がある。

【０２０９】

図２６は、１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間（１Ｈ）を第１のダミー挿入期間とし、データ信号の極性反転が行われた時点の５水平期間（５Ｈ）前の１水平期間（１Ｈ）を第２のダミー挿入期間とするとともに、第１および第２のダミー挿入期間を挿入した期間におけるＣＳ信号にもそれぞれ１Ｈ分のＣＳ信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。

【０２１０】

以下、図２５に示した駆動例との相違点について説明する。この駆動例では、まずデータ信号の極性反転周期の半分の期間、すなわち、データ信号波形における１つの極性が継続する期間において、極性反転が行われた直後に加えて、さらに別のタイミングでダミー挿入期間を挿入している。そして、このダミー挿入期間が挿入されるタイミングではゲートオンパルスＰｗを印加しないようになっている。

【０２１１】

また、ダミー挿入期間が挿入されるタイミングに存在するＣＳ信号の極性継続期間に、ダミー挿入期間を挿入する期間、すなわち１Ｈを加えている。すなわち、ダミー挿入期間が挿入されるタイミングに存在するＣＳ信号における極性継続期間を６Ｈとし、それ以外のＣＳ信号の極性継続期間を５Ｈとしている。

【０２１２】

上記のような駆動によれば、ＣＳ信号の波形において、一方の極性の極性継続期間と他方の極性の極性継続期間との比率が等しくなる。例えば、ＣＳ＿ＡとしてのＣＳライン５２において、データ信号波形の極性が（－）となっている期間では、Ｈレベルの期間は５Ｈ＋６Ｈ＝１１Ｈであり、Ｌレベルの期間は５Ｈ＋６Ｈ＝１１Ｈとなっている。よって、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

【０２１３】

また、上記の駆動例では、ダミー挿入期間が挿入された直後にゲートオンパルスＰｗが印加されるゲートラインＧＬｊに対応する２つのＣＳライン５２・５２のうち、副走査順序で前側となるＣＳライン５２に印加されるＣＳ信号の位相が、該ＣＳライン５２のさらに副走査順序で前側となるＣＳライン５２に印加されるＣＳ信号の位相から１Ｈ（挿入されたダミー挿入期間の長さ）＋１Ｈ遅れた位相となっている一方、その他のＣＳライン５２では、ｎ＋２行目に印加されるＣＳ信号の位相が、ｎ行目に印加されるＣＳ信号の位相に対して１Ｈ遅れた状態となっている。

【０２１４】

このような駆動によれば、全てのＣＳライン５２…において、ＣＳ信号の極性が反転し

てから４Ｈ以上の時間が経過した後であって、ＣＳ信号の波形が十分に落ち着いた時点での各副画素へのデータ書き込みが可能となる。これにより、ＣＳ信号の波形の鈍りによる表示上のムラを抑制することができる。

【０２１５】

また、上記の駆動例では、上記第１のダミー挿入期間と、その次に挿入される第２のダミー挿入期間との間で実際に書き込みが行われる水平期間の数（５Ｈ）と、上記第２のダミー挿入期間と、その次の第１のダミー挿入期間との間で実際に書き込みが行われる水平期間の数（５Ｈ）とが同数となっている。

【０２１６】

これにより、ＣＳライン５２…を１０行ごとのブロックに分け、副走査順序で１つ前の１０行のブロックにおける２行ごとの組のＣＳ信号を、次のブロックの１０行において、各組ごとに順序を逆にすることによって、１０種類（位相）のＣＳ信号によって上記のような駆動を実現することができる。

【０２１７】

なお、上記の例では、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを１Ｈとしているが、２Ｈ以上に設定してもよい。図３０は、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを２Ｈとした場合の駆動例を示している。この場合、ダミー挿入期間が挿入されるタイミングに存在するＣＳ信号の極性継続期間に、ダミー挿入期間を挿入する期間、すなわち２Ｈを加えている。すなわち、ダミー挿入期間が挿入されるタイミングに存在するＣＳ信号における極性継続期間を７Ｈとし、それ以外のＣＳ信号の極性継続期間を５Ｈとしている。

【０２１８】

同図に示す例では、実際のデータ信号波形は、極性反転直後から２水平期間分程度の時間をかけて所定の電圧に到達している。このように、データ信号の電圧波形が鈍る程度は、液晶表示装置の仕様によって異なるものである。これは、例えば液晶表示装置の画面サイズ、および画素数によってソースラインＳＬ１～ＳＬｎに対する負荷の度合いが異なることによるものである。

【０２１９】

したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【０２２０】

図２７は、１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間とするとともに、以下に示すようにＣＳ信号における極性継続期間を設定する場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。

【０２２１】

この駆動例では、各ブロックにおいて、互いに隣接する２つのゲートラインに関し、先にゲートオンパルスＰｗが印加される奇数行または偶数行におけるゲートオンパルスＰｗ印加時点から、後にゲートオンパルスＰｗが印加される偶数行または奇数行におけるゲートオンパルスＰｗ印加時点までの期間（隣接行書込時間差期間）においてのみ、ＣＳ信号のいずれか１つの極性継続期間にＣＳ信号ダミー期間がデータ信号のダミー挿入期間分（１Ｈ）挿入される。この場合、それぞれのＣＳ信号に関し、少なくとも隣接行書込時間差期間において、極性反転タイミングが連続するフレーム間で等しくなる。

【０２２２】

この場合、隣接行書込時間差期間以外では、ＣＳ信号は一定の極性継続期間となる周期信号であってもよいし、共通電極と同電位の一定値の信号であってもよい。ただし、ゲートオンパルスＰｗは、データ信号にダミー挿入期間が挿入されている期間以外で印加され

るようにするとともに、ＣＳ信号の極性継続期間の後半部分で印加されるように、ゲートオンパルスＰｗおよびＣＳ信号の印加が制御される必要がある。また、全てのＣＳ信号は独立しているので、ＣＳライン５２…の数と同数のＣＳ信号の種類およびＣＳ幹配線５２Ｍ…が必要となる。なお、ＣＳ幹配線５２Ｍ…を用いずに、各ＣＳライン５２に対して独立して信号を供給するようにしてもよい。

【０２２３】

上記のような駆動例によれば、ＣＳ信号においてダミー挿入期間が挿入される極性継続期間の数は、１フレームあたり１個となるので、一方の極性の極性継続期間と他方の極性の極性継続期間との比率の相違はわずかなものとなる。よって、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

【０２２４】

なお、上記の駆動例では、隣接行書込時間差期間において、ＣＳ信号のいずれか１つの極性継続期間にＣＳ信号ダミー期間をダミー挿入期間分（１Ｈ）挿入しているが、上記期間に含まれるＣＳ信号の極性継続期間の全てに、ダミー挿入期間を均等に割り振って挿入する（０．５Ｈずつ）ようにしてもよい。

【０２２５】

図２８は、１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間とするとともに、上記のように、隣接行書込時間差期間（１１Ｈ）に含まれるＣＳ信号の２つの極性継続期間のそれぞれを５．５Ｈとする場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。

【０２２６】

この駆動例の場合、ＣＳ信号における極性継続期間は全て５．５Ｈで統一されているので、副画素における実効電位をほぼ均一にすることが可能となり、縞状の表示ムラの発生を抑制することができる。

【０２２７】

また、ＣＳライン５２のｎ＋２行目に印加されるＣＳ信号の位相が、ｎ行目に印加されるＣＳ信号の位相に対して１Ｈ遅れた状態となっており、極性継続期間が全て５．５Ｈとなっている。よって、ＣＳ信号は２２ライン周期で同一の波形が現れることになるので、２２本のＣＳ幹配線５２Ｍ…によって、各ＣＳライン５２にＣＳ信号を供給することができる。

【０２２８】

なお、上記の例では、ダミー挿入期間を１Ｈとしているが、２Ｈ以上に設定してもよい。図３１は、ダミー挿入期間を２Ｈとした場合の駆動例を示している。この場合、隣接行書込時間差期間（１２Ｈ）に含まれるＣＳ信号の２つの極性継続期間のそれぞれを６Ｈとしている。図２８の実施形態に比べ、ＣＳ信号の極性継続期間が１Ｈ単位となるので、ＣＳ幹線数５２Ｍを半分に、また、ＣＳ信号波形の生成回路も簡略化できる。

【０２２９】

同図に示す例では、データ信号波形は、極性反転直後から２水平期間分程度の時間をかけて所定の電圧に到達している。このように、データ信号の電圧波形が鈍る程度は、液晶表示装置の仕様によって異なるものである。これは、例えば液晶表示装置の画面サイズ、および画素数によってソースラインＳＬ１～ＳＬｎに対する負荷の度合いが異なることによるものである。

【０２３０】

したがって、上記のように、データ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【０２３１】

また、ＣＳライン５２のｎ＋２行目に印加されるＣＳ信号の位相が、ｎ行目に印加されるＣＳ信号の位相に対して１Ｈ遅れた状態となっており、極性継続期間が全て６Ｈとなっている。この場合、ＣＳ信号は２４ライン周期で同一の波形が現れることになるが、互いに位相が反転しているＣＳ信号同士を利用することによって、１２種類（位相）のＣＳ信号によって上記のような駆動を実現している。すなわち、１２本のＣＳ幹配線５２Ｍ…によって、各ＣＳライン５２にＣＳ信号を供給することができる。なお、ＣＳ幹配線５２Ｍ…を用いずに、各ＣＳライン５２に対して独立して信号を供給するようにしてもよい。

【０２３２】

ここで、この駆動例における、ＣＳ信号の極性継続期間ｃ（＝６Ｈ）、およびＣＳ信号ダミー期間ｂ（＝１Ｈ）とすると、データ信号の基本極性反転周期ｎ２は、ｎ２＝（ｃ－ｂ）×４ｋ（ｋは自然数）＝（６－１）×４×１＝２０（Ｈ）として算出される。また、ダミー挿入期間ｍは、ｍ＝２ｂ×ｋ＝２×１×１＝２（Ｈ）として算出される。また、ＣＳ信号の相数は２×ｃ＝２×６＝１２（相）として算出される。逆に、ＣＳ信号の極性継続期間ｃは、ｃ＝ｎ２／４ｋ＋ｂなる式で算出される。また、隣接行書込時間差期間におけるＣＳ信号の極性反転回数は、２ｋなる式で算出される。

【０２３３】

図３２は、図２８に示す駆動例において、ダミー挿入期間を４Ｈとした場合の駆動例を示している。この場合、ＣＳ信号の極性継続期間ｃ（＝６Ｈ）、およびＣＳ信号ダミー期間ｂ（＝１Ｈ）とすると、データ信号の基本極性反転周期ｎ２は、ｎ２＝（ｃ－ｂ）×４ｋ（ｋは自然数）＝（６－１）×４×２＝４０（Ｈ）として算出される。また、ダミー挿入期間ｍは、ｍ＝２ｂ×ｋ＝２×１×２＝４（Ｈ）として算出される。また、ＣＳ信号の相数は２×ｃ＝２×６＝１２（相）として算出される。逆に、ＣＳ信号の極性継続期間ｃは、ｃ＝ｎ２／４ｋ＋ｂなる式で算出される。また、隣接行書込時間差期間におけるＣＳ信号の極性反転回数は、２ｋなる式で算出される。

【０２３４】

次に、図２８に示した駆動例において、データ信号の極性反転時における画素の充電不足を抑制するための駆動例について説明する。図２９は、１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間とするとともに、上記のように、隣接行書込時間差期間（１１Ｈ）に含まれるＣＳ信号の２つの極性継続期間のそれぞれを５．５Ｈとする場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。

【０２３５】

図２８に示した駆動例との相違点は、データ信号の極性反転が行われた後に最初に印加されるゲートオンパルスＰｗのパルス幅を、それ以外のゲートオンパルスＰｗのパルス幅よりも長くしている点である。前記したように、データ信号の極性反転が行われた直後は、データ信号の波形に鈍りが生じている。このデータ信号の波形の鈍りによる画素の充電不足を低減するためにダミー挿入期間の挿入が行われているが、ゲートオンパルスＰｗのパルス幅を長くすることによって、この画素の充電不足の問題をさらに低減することができる。すなわち、ゲートオンパルスＰｗのパルス幅を長くすると、画素に対する充電期間が長くなるので、画素の充電率を上げることができる。

【０２３６】

（水平走査期間の設定方法）

次に、水平走査期間の設定方法について説明する。なお、ここでの説明では、前記した水平期間を水平走査期間と称する。この水平走査期間は、水平表示期間と水平帰線期間との和に相当するものとする。

【０２３７】

まず、順次走査を行い、１本のソースラインに供給する信号電位の極性を複数データ（複数画素）分ごとに反転させ、かつ極性反転直後にダミー走査期間（前記したダミー挿入期間に相当）を１以上挿入する構成について説明する。該構成によって、列方向について

は隣り合う複数画素毎に信号電位の極性が反転する（なお、行列方向については隣り合う１画素毎に信号電位の極性が反転する）ブロック反転駆動（ｎｈ／１ｖ反転駆動）を実現することができる。

【０２３８】

図５３は、入力順に１０映像データごとに組としていくとともに各組の先頭に１つのダミーデータを挿入し、組単位で信号電位の極性を反転させる場合（反転周期は、１ダミー走査期間＋１０水平走査期間）の、出力されるデータ列および各データに対応する信号電位の波形と、ラッチストローブ信号ＬＳおよびゲートオンパルス（画素データ書き込みパルス）Ｐｗのタイミングチャートとを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行を示している。図２と異なるのは、ダミー走査期間においても、ＬＳ信号パルスを立てている点である。図５３の利点は、ダミー走査期間のデータを自由に設定できる点である。本例では、簡単のため、直後の水平走査期間と同じデータを入力している。

【０２３９】

この場合、入力される映像データは、Ｎ行目のゲートラインに対応する映像データをＮとして、１，２，３，４，５，６，７，８，９，１０，さらに、１１，１２，１３，１４，１５，１６，１７，１８，１９，２０，さらに、２１，２２，・・・というように並べられている。ここで、表示制御回路２００内の例えばダミーデータ挿入回路は、これら映像データを、１，２，３，・・・８，９，１０，さらに、１１，１２，１３，・・・１８，１９，２０，さらに、２１，２２・・・というように組にしていくとともに各組の先頭にダミーデータを挿入していく。この結果、同図に示されるように、出力されるデータ（映像データ・ダミーデータ）は、Ｎ行目のゲートラインに対応する映像データを<Ｎ>、ダミーデータを<Ｄ>として、<Ｄ>，<１>，<２>，<３>，<４>，<５>，<６>，<７>，<８>，<９>，<１０>，さらに、<Ｄ>，<１１>，<１２>，<１３>，<１４>，<１５>，<１６>，<１７>，<１８>，<１９>，<２０>，さらに、<Ｄ>，<２１>，<２２>，・・・という順序になり、<Ｄ>，<１>，<２>・・・<１０>の各データ（映像データ・ダミーデータ）に対応するプラス極性の信号電位がこの順に１本のソースラインに出力され、ついで、<Ｄ>，<１１>，<１２>・・・<２０>の各データに対応するマイナス極性の信号電位がこの順に該ソースラインに出力され、ついで、<Ｄ>，<２１>，<２２>・・・の各データに対応するプラス極性の信号電位がこの順に該ソースラインに出力される。

【０２４０】

なお、ダミーデータ<Ｄ>には、所望のデータを自由に設定することができる。例えば、挿入箇所直後の映像データと等しくしてもよいし、ソースラインの充電効果を高める観点から挿入直後の映像データより高い電圧に対応するデータを別途設定してもよい。

【０２４１】

信号電位の極性反転直後はその波形に鈍りが生じるが、本構成ではここにダミー走査期間を設けて所定の信号電位（ダミーデータに対応する信号電位）を与えているため、この期間にソースラインを充電することができる。これにより、ダミー走査期間に続く水平走査期間では、所望の信号電位（映像データに対応する電位）を画素に書き込むことが可能となる。この結果、極性反転直後の信号電位波形の鈍りに起因する１０行毎の表示ムラを防止することができる。

【０２４２】

ここで、本液晶表示装置では、上記のように、１０映像データが含まれる各組にダミーデータを１つずつ挿入し、各ダミーデータにダミー走査期間を割り当てても１フレームの垂直表示期間が変わらない（すなわち、入力されるデータ列に設定された垂直帰線期間ＶｂｌａｎｋＸと、実際の出力における垂直帰線期間ＶｂｌａｎｋＹとが等しくなる）ように、入力されるデータ列に設定された一水平走査期間ＨｔｏｔａｌＸよりも、実際の出力における一水平走査期間ＨｔｏｔａｌＹを短くしている。これを以下に説明する。

【０２４３】

図３３は、本液晶表示装置において、１０映像データ（１本のソースラインに対応する

映像データ）ごとに組としていくとともに各組の先頭に１つのダミーデータを挿入し、走査信号線の順次走査に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位で信号電位の極性を反転させる（反転周期は、１ダミー走査期間＋１０水平走査期間）場合の、データ列の入力と該データに対応する信号電位の出力の関係について示している。なお、入力されるデータ列の設定をフルＨＤの標準仕様、すなわち、ドットクロック＝１４８．５ＭＨｚ、１フレーム期間ＶｔｏｔａｌＸ＝垂直表示期間ＶｄｉｓｐＸ（１０８０ｌｉｎｅ）＋垂直帰線期間ＶｂｌａｎｋＸ（４５ｌｉｎｅ）、水平走査期間ＨｔｏｔａｌＸ（データの入力間隔）＝２２００ｄｏｔ、水平走査期間ＨｔｏｔａｌＸ＝水平表示期間ＨｄｉｓｐＸ（１９２０ｄｏｔ）＋水平帰線期間ＨｂｌａｎｋＸ（２８０ｄｏｔ）とする。

【０２４４】

同図に示されるように、本液晶表示装置では、入力されるデータ列に設定された１水平走査期間ＨｔｏｔａｌＸ（２２００ｄｏｔ）に対し、実際の出力における１水平走査期間ＨｔｏｔａｌＹを２０００ｄｏｔとし、ダミー走査期間ＤｔｏｔａｌＹも２０００ｄｏｔとしている。こうすれば、１０ライン（各ラインに対応する１０データ）を１組として、各組のデータ列に設定された総水平走査期間は２２００ｄｏｔ×１０＝２２０００ｄｏｔであり、各組の実際の出力における総水平走査期間にダミー走査期間を加えた期間は２０００ｄｏｔ×１０＋２０００ｄｏｔ×１＝２２０００ｄｏｔであり、両者は一致する。

【０２４５】

より具体的には、図３４に示すように、入力されるデータ列に設定された水平走査期間ＨｔｏｔａｌＸ（２２００ｄｏｔ）＝入力されるデータ列に設定された水平表示期間ＨｄｉｓｐＸ（１９２０ｄｏｔ）＋入力されるデータ列に設定された水平帰線期間ＨｂｌａｎｋＸ（２８０ｄｏｔ）に対して、実際の出力における水平走査期間ＨｔｏｔａｌＹを上記のようにＨｔｏｔａｌＸよりも少ない２０００ｄｏｔとし、その内訳を、実際の出力における水平表示期間ＨｄｉｓｐＹが１９２０ｄｏｔ、実際の出力における水平帰線期間ＨｂｌａｎｋＹが８０ｄｏｔとする。また、ダミー走査期間ＤｔｏｔａｌＹを上記のようにＨｔｏｔａｌＸよりも少ない２０００ｄｏｔとし、その内訳を、ダミー表示期間ＤｄｉｓｐＹが１９２０ｄｏｔ、ダミー帰線期間ＤｂｌａｎｋＹが８０ｄｏｔとする。

【０２４６】

ここで、ソースラインへの信号電位の出力は、水平帰線期間（ＨｂｌａｎｋＹ）を含め水平走査期間（ＨｔｏｔａｌＹ）中ずっと行われ、各水平走査期間に対応して画素のトランジスタがＯＮとなる（対応するゲートラインにゲートオンパルスが送られている）期間に画素への書き込みが行われる。また、ダミー帰線期間（ＤｂｌａｎｋＹ）を含めダミー走査期間（ＤｔｏｔａｌＹ）中もずっとソースラインへの信号電位の出力が行われている。なお、図５３ではこのダミー走査期間に画素への書き込みを行っていないが、このダミー走査期間に画素への書き込みを行う構成でもよい。

【０２４７】

また、図５３において、ラッチストローブ信号の立下りによってあるデータ（映像データ・ダミーデータ）に対応する信号電位がラッチされ、次のラッチストローブ信号の立下りによって次のデータ（映像データ・ダミーデータ）に対応する信号電位がラッチされる。これは、ダミー走査期間についても同様である。また、ゲートオンパルスＰｗの幅は例えば一水平走査期間ＨｔｏｔａｌＹ未満に設定される。

【０２４８】

上記構成によれば、入力されるデータ列に設定された水平表示期間ＨｄｉｓｐＸと実際の出力における水平表示期間ＨｄｉｓｐＹとを等しくすることができる。これにより、ドットクロックはそのままで、液晶表示装置の垂直表示期間を増やすことなく、また垂直帰線期間を減らすことなく（ＶｄｉｓｐＸ＝ＶｄｉｓｐＹ、ＶｂｌａｎｋＸ＝ＶｂｌａｎｋＹを維持しながら）１０水平走査期間ごとに１つのダミー走査期間を挿入することができ

る。

【０２４９】

また、上記構成では、ダミー走査期間ＤｔｏｔａｌＹと水平走査期間ＨｔｏｔａｌＹとが等しい（２０００ｄｏｔ）ため、信号処理あるいはそのための構成が容易になるという利点がある。

【０２５０】

なお、１組の総水平期間数（映像データ数）および総ダミー走査期間数（ダミーデータ数）と、一水平走査期間ＨｔｏｔａｌＹと、ダミー走査期間ＤｔｏｔａｌＹとの組み合わせは、表示制御回路２００（液晶パネル駆動装置）によって設定され、表示制御回路２００は、この組み合わせに基づいて、上記の各種信号（ＰＯＬ、ＬＳ、ＳＳＰ、ＳＣＫ、ＧＣＫ，ＧＳＰ，ＧＯＥ）等を生成する。また、入力された映像データへのダミーデータの挿入も表示制御回路２００で行われる。

【０２５１】

なお、上記の構成では、順次入力された映像データにダミーデータを挿入しているがこれに限定されない。ダミーデータを挿入せず（データ列は入力されたままにして）例えばラッチパルスを１つ抜くことでダミー走査期間を１つ作るような構成も可能である。ただこの構成では、同一のデータがダミー走査期間およびそれに続く一水平走査期間にわたって出力されることになる。

【０２５２】

図３５は、２０映像データ（１本のソースラインに対応する映像データ）ごとに組としていくとともに各組の先頭に１つのダミーデータを挿入し、走査信号線の順次走査に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位で信号電位の極性を反転させる場合（反転周期は、１ダミー走査期間＋２０水平走査期間）の、入力されるデータ列と該データに対応する信号電位の出力の関係について示している。

【０２５３】

同図に示されるように、本液晶表示装置では、２０映像データが含まれる各組にダミーデータを１つずつ挿入し、各ダミーデータにダミー走査期間を割り当てながらも、入力されるデータ列に設定された垂直表示期間ＶｄｉｓｐＸ（１０８０ｌｉｎｅ）と実際の出力における垂直表示期間ＶｄｉｓｐＹとを等しく、したがって、入力されるデータ列に設定された垂直帰線期間ＶｂｌａｎｋＸ（４５ｌｉｎｅ）と実際の出力における垂直帰線期間ＶｂｌａｎｋＹとを等しくしている。これを実現するため、入力されるデータ列に設定された１水平走査期間ＨｔｏｔａｌＸ（２２００ｄｏｔ）に対し、実際の出力における１水平走査期間ＨｔｏｔａｌＹを２０９６ｄｏｔとし、ダミー走査期間ＤｔｏｔａｌＹを２０８０ｄｏｔとしている。こうすれば、入力される２０映像データ分（２０ゲートライン分）につき、各組に設定された総水平走査期間は２２００ｄｏｔ×２０＝４４０００ｄｏｔであり、各組の実際の出力における総水平走査期間にダミー走査期間を加えた期間は２０９６ｄｏｔ×２０＋２０８０ｄｏｔ×１＝４４０００ｄｏｔであり、両者は一致する。

【０２５４】

より具体的には、図３６に示すように、入力されるデータ列に設定された水平走査期間ＨｔｏｔａｌＸ（２２００ｄｏｔ）＝入力されるデータ列に設定された水平表示期間ＨｄｉｓｐＸ（１９２０ｄｏｔ）＋入力されるデータ列に設定された水平帰線期間ＨｂｌａｎｋＸ（２８０ｄｏｔ）に対して、実際の出力における水平走査期間ＨｔｏｔａｌＹを上記のようにＨｔｏｔａｌＸよりも少ない２０９６ｄｏｔとし、その内訳を、実際の出力における水平表示期間ＨｄｉｓｐＹが１９２０ｄｏｔ、実際の出力における水平帰線期間ＨｂｌａｎｋＹが１７６ｄｏｔとする。また、ダミー走査期間ＤｔｏｔａｌＹを上記のようにＨｔｏｔａｌＸよりも少ない２０８０ｄｏｔとし、その内訳を、ダミー表示期間ＤｄｉｓｐＹが１９２０ｄｏｔ、ダミー帰線期間ＤｂｌａｎｋＹが１６０ｄｏｔとする。

【０２５５】
なお、ソースラインへの信号電位の出力は、水平帰線期間（ＨｂｌａｎｋＹ）を含め水平走査期間（ＨｔｏｔａｌＹ）中ずっと行われ、各水平走査期間に対応して画素のトランジスタがＯＮとなる（対応するゲートラインにゲートオンパルスが送られている）期間に画素への書き込みが行われる。また、ダミー帰線期間（ＤｂｌａｎｋＹ）を含めダミー走査期間（ＤｔｏｔａｌＹ）中もずっとソースラインへの信号電位の出力が行われている。なお、図１３ではこのダミー走査期間に画素への書き込みを行っていないが、このダミー走査期間に画素への書き込みを行う構成でもよい。

【０２５６】
こうすれば、入力されるデータ列に設定された水平表示期間ＨｄｉｓｐＸと実際の出力における水平表示期間ＨｄｉｓｐＹとを等しくすることができる。これにより、ドットクロックはそのままで、液晶表示装置の垂直表示期間を増やすことなく、また垂直帰線期間を減らすことなく（ＶｄｉｓｐＸ＝ＶｄｉｓｐＹ、ＶｂｌａｎｋＸ＝ＶｂｌａｎｋＹを維持しながら）２０水平走査期間ごとにダミー走査期間を設けることができる。

【０２５７】
また、ダミー走査期間ＤｔｏｔａｌＹが２０８０ｄｏｔ、水平走査期間ＨｔｏｔａｌＹが２０９６ｄｏｔとなって水平走査期間を長くとれるため、画素の充電に有利である。

【０２５８】
なお、２０映像データが含まれる各組にダミーデータを１つずつ挿入し、各ダミーデータにダミー走査期間を割り当てる場合には、図３７に示されるように、入力されるデータ列に設定された１水平走査期間ＨｔｏｔａｌＸ（２２００ｄｏｔ）に対し、実際の出力における１水平走査期間ＨｔｏｔａｌＹを２０９４ｄｏｔとし、ダミー走査期間ＤｔｏｔａｌＹを２１２０ｄｏｔとしてもよい。こうすれば、入力される２０映像データ分（２０ゲートライン分）につき、各組に設定された総水平走査期間は２２００ｄｏｔ×２０＝４４０００ｄｏｔであり、各組の実際の出力における総水平走査期間にダミー走査期間を加えた期間は２０９４ｄｏｔ×２０＋２１２０ｄｏｔ×１＝４４０００ｄｏｔであり、両者は一致する。より具体的には、図３７に示すように、入力されるデータ列に設定された水平走査期間ＨｔｏｔａｌＸ（２２００ｄｏｔ）＝入力されるデータ列に設定された水平表示期間ＨｄｉｓｐＸ（１９２０ｄｏｔ）＋入力されるデータ列に設定された水平帰線期間ＨｂｌａｎｋＸ（２８０ｄｏｔ）に対して、実際の出力における水平走査期間ＨｔｏｔａｌＹを上記のようにＨｔｏｔａｌＸよりも少ない２０９４ｄｏｔとし、その内訳を、実際の出力における水平表示期間ＨｄｉｓｐＹが１９２０ｄｏｔ、実際の出力における水平帰線期間ＨｂｌａｎｋＹが１７４ｄｏｔとする。また、ダミー走査期間ＤｔｏｔａｌＹを上記のようにＨｔｏｔａｌＸよりも少ない２１２０ｄｏｔとし、その内訳を、ダミー表示期間ＤｄｉｓｐＹが１９２０ｄｏｔ、ダミー帰線期間ＤｂｌａｎｋＹが２００ｄｏｔとする。

【０２５９】
この場合にも、入力されるデータ列に設定された水平表示期間ＨｄｉｓｐＸと実際の出力における水平表示期間ＨｄｉｓｐＹとを等しくすることができる。これにより、ドットクロックはそのままで、液晶表示装置の垂直表示期間を増やすことなく、また垂直帰線期間を減らすことなく（ＶｄｉｓｐＸ＝ＶｄｉｓｐＹ、ＶｂｌａｎｋＸ＝ＶｂｌａｎｋＹを維持しながら）２０水平走査期間ごとにダミー走査期間を設けることができる。

【０２６０】
また、上記構成では、ダミー走査期間ＤｔｏｔａｌＹが２１２０ｄｏｔ、水平走査期間ＨｔｏｔａｌＹが２０９４ｄｏｔとなってダミー走査期間を長くとれるため、極性反転後の信号電圧波形の鈍りが大きい場合において、ソースラインの充電に有利である。

【０２６１】
なお、入力側の設定がＨｔｏｔａｌＸ＝２２００（ＨｄｉｓｐＸ１９２０＋ＨｂｌａｎｋＸ２８０）の場合に、２０映像データが含まれる各組にダミーデータを１つずつ挿入し、各ダミーデータにダミー走査期間を割り当てるには、ＨｔｏｔａｌＹ（＝ＨｄｉｓｐＹ＋ＨｂｌａｎｋＹ）とＤｔｏｔａｌＹ（＝ＤｄｉｓｐＹ＋ＤｂｌａｎｋＹ）とを、図３８

のいずれかの組み合わせに設定すればよい。

【０２６２】

ただ、ダミー走査期間と水平走査期間との差は小さい方が、その他の信号とのタイミング調整が簡素化できて（例えば後述する画素分割方式への適用において、保持容量配線の電位波形の設定が容易になる）好ましいため、網掛け部分の組み合わせ、すなわち、ＨｔｏｔａｌＹが２０９４（ＨｄｉｓｐＹ１９２０＋ＨｂｌａｎｋＹ１７４）でＤｔｏｔａｌＹが２１２０（ＤｄｉｓｐＹ１９２０＋ＤｂｌａｎｋＹ２００）の組み合わせ（上述）、もしくはＨｔｏｔａｌＹが２０９５（ＨｄｉｓｐＹ１９２０＋ＨｂｌａｎｋＹ１７５）でＤｔｏｔａｌＹが２１００（ＤｄｉｓｐＹ１９２０＋ＤｂｌａｎｋＹ１８０）の組み合わせ、またはＨｔｏｔａｌＹが２０９６（ＨｄｉｓｐＹ１９２０＋ＨｂｌａｎｋＹ１７６）でＤｔｏｔａｌＹが２０８０（ＤｄｉｓｐＹ１９２０＋ＤｂｌａｎｋＹ１６０）の組み合わせ（上述）が好ましい。

【０２６３】

次に、入力順に複数の映像データ（１本のソースラインに対応する映像データ）ごとに組としていくとともに少なくとも各組の先頭に１以上のダミーデータを挿入し、走査信号線のインターレース走査（１ゲートラインずつ飛び越していく飛び越し走査）に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともに各ダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位で信号電位の極性を反転させる構成について説明する。該構成によって、列方向については隣り合う１画素毎に信号電位の極性が反転する（行列方向については隣り合う１画素毎に信号電位の極性が反転する）ドット反転駆動（１ｈ／１ｖ反転駆動）を実現することができる。なお、この構成では、表示制御回路２００内にデータ並べ替え回路が設けられており、ここで、入力されたデータの並べ替えとダミーデータの挿入が行われている（後述）。

【０２６４】

図５４は、１０映像データ（１本のソースラインに対応する映像データ）ごとに組としていくとともに各組の先頭に１つのダミーデータを挿入し、走査信号線のインターレース走査に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位で信号電位の極性を反転させる場合（反転周期は、１ダミー走査期間＋１０水平走査期間）の、出力されるデータ列および各データ（映像データ・ダミーデータ）に対応する信号電位の波形と、ラッチストローブ信号ＬＳおよびゲートオンパルス（画素データ書き込みパルス）Ｐｗのタイミングチャートとを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行を示している。図１３と異なるのは、ダミー走査期間においても、ＬＳ信号パルスを立てている点である。図５４の利点は、ダミー走査期間のデータを自由に設定できる点である。本例では、簡単のため、直後の水平走査期間と同じデータを入力している。

【０２６５】

この場合、入力される映像データ（図示せず）は、Ｎ行目のゲートラインに対応する映像データをＮとして、１，２，３，４，５，６，７，８，９，１０，１１，１２，１３，１４，１５，１６，１７，１８，１９，２０，２１，２２，２３，２４・・というように並んでいる。ここで、並べ替え回路は、これら映像データを、２，４，６，８，１０，１２，１４，１６，１８，２０，さらに、１，３，５，７，９，１１，１３，１５，１７，１９，さらに、２２，２４・・というように組にしていくとともに各組の先頭にダミーデータを挿入していく。これにより、出力されるデータ（映像データ・ダミーデータ）は、Ｎ行目のゲートラインに対応する映像データを<Ｎ>、ダミーデータを<Ｄ>として、<Ｄ>，<２>，<４>，<６>，<８>，<１０>，<１２>，<１４>，<１６>，<１８>，<２０>，さ

らに、<D>，<１>，<３>，<５>，<７>，<９>，<１１>，<１３>，<１５>，<１７>，<１９>，さらに、<D>，<２２>，<２４>，・・・という順序になり、<D>，<２>，<４>・・・<２０>の各データに対応するプラス極性の信号電位がこの順に１本のソースラインに出力され、ついで、<D>，<１>，<３>・・・<１９>の各データに対応するマイナス極性の信号電位がこの順に該ソースラインに出力され、ついで、<D>，<２２>，<２４>・・・の各データに対応するプラス極性の信号電位がこの順に該ソースラインに出力される。

【０２６６】

なお、ダミーデータ<D>には、所望のデータを自由に設定することができる。例えば、挿入箇所直後の映像データと等しくしてもよいし、ソースラインの充電効果を高める観点から挿入直後の映像データより高い電圧に対応するデータを別途設定してもよい。

【０２６７】

信号電位の極性反転直後はその波形に鈍りが生じるが、本構成ではここにダミー走査期間を設けて所定の信号電位（ダミーデータに対応する信号電位）を与えているため、この期間にソースラインを充電することができる。これにより、ダミー走査期間に続く水平走査期間では、所望の信号電位（映像データに対応する電位）を画素に書き込むことが可能となる。さらに、隣接する２つのソースラインに印加される信号電圧の極性を互いに反転させることで、表示上、各画素の極性をドット反転させることができる。このため、フリッカなどに対して有利となる。

【０２６８】

本液晶表示装置では、１０映像データが含まれる各組にダミーデータを１つずつ挿入し、各ダミーデータにダミー走査期間を割り当てながらも１フレームの垂直表示期間が変わらない（すなわち、入力されるデータ列に設定された垂直帰線期間ＶｂｌａｎｋＸと、実際の出力における垂直帰線期間ＶｂｌａｎｋＹとが等しくなる）ように、入力されるデータ列に設定された１水平走査期間ＨｔｏｔａｌＸよりも、実際の出力における１水平走査期間ＨｔｏｔａｌＹを短くしている。

【０２６９】

具体的には、図３９に示されるように、入力されるデータ列に設定された水平走査期間ＨｔｏｔａｌＸ（２２００ｄｏｔ）＝入力されるデータ列に設定された水平表示期間ＨｄｉｓｐＸ（１９２０ｄｏｔ）＋入力されるデータ列に設定された水平帰線期間ＨｂｌａｎｋＸ（２８０ｄｏｔ）に対して、実際の出力における水平走査期間ＨｔｏｔａｌＹを上記のようにＨｔｏｔａｌＸよりも少ない２０００ｄｏｔとし、その内訳を、実際の出力における水平表示期間ＨｄｉｓｐＹが１９２０ｄｏｔ、実際の出力における水平帰線期間ＨｂｌａｎｋＹが８０ｄｏｔとする。また、ダミー走査期間ＤｔｏｔａｌＹを上記のようにＨｔｏｔａｌＸよりも少ない２０００ｄｏｔとし、その内訳を、ダミー表示期間ＤｄｉｓｐＹが１９２０ｄｏｔ、ダミー帰線期間ＤｂｌａｎｋＹが８０ｄｏｔとする。

【０２７０】

図４０は、２０映像データ（１本のソースラインに対応する映像データ）ごとに組としていくとともに各組の先頭および中途にそれぞれダミーデータを挿入し、走査信号線のインターレース走査に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ、各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当て、組単位で信号電位の極性を反転させる場合（反転周期は、２ダミー走査期間＋２０水平走査期間）の、データ列の入力と該データに対応する信号電位の出力の関係について示している。なお、極性反転直後以外のダミー走査期間は、各種信号処理のタイミング調整等を目的として設けられる。

【０２７１】

この場合も、図４０に示すように、実際の出力における水平走査期間ＨｔｏｔａｌＹをＨｔｏｔａｌＸよりも少ない２０００ｄｏｔとし、また、ダミー走査期間ＤｔｏｔａｌＹをＨｔｏｔａｌＸよりも少ない２０００ｄｏｔとすれば、１フレームの垂直表示期間が変えることなく、ダミー走査期間を設けることができる。

【０２７２】
図５５は、１組目は１０映像データ（１本のソースラインに対応する映像データ）を組として各組の先頭にダミーデータを１つ挿入するとともに２組目以降は２０映像データごとに組として各組の先頭にダミーデータを１つ挿入し、走査信号線のインターレース走査に合わせて、データ（映像データ・ダミーデータ）の並び順に、該データに対応する信号電位の出力を行い、かつ各映像データに対応する信号電位の出力には一水平期間を割り当てるとともにダミーデータに対応する信号電位の出力にはダミー走査期間を割り当てる場合の、出力されるデータ列および各データ（映像データ・ダミーデータ）に対応する信号電位の波形と、ラッチストローブ信号ＬＳ、ゲートオンパルス（画素データ書き込みパルス）Ｐｗ、およびＣＳ信号のタイミングチャートとを示している。なお、同図中のＣＳ_Ａ・ＣＳ_Ｂ，ＣＳ_Ｂ・ＣＳ_Ｃ，ＣＳ_Ｃ・ＣＳ_Ｄ・・・は上記保持容量配線Ｃｓｉ・Ｃｓｊに対応する。図２８と異なるのは、ダミー走査期間においても、ＬＳ信号パルスを立てている点である。図５５の利点は、ダミー走査期間のデータを自由に設定できる点である。本例では、簡単のため、直後の水平走査期間と同じデータを入力している。

【０２７３】
この場合、入力される映像データ（図示せず）は、Ｎ行目のゲートラインに対応する映像データをＮとして、１，２，３，４，５，６，７，８，９，１０，１１，１２，１３，１４，１５，１６，・・・４３，４４，４５，４６，４７，４８，４９というように並んでいるが、並べ替え回路は、これら映像データを、１，３，５，７，９，１１，１３，１５，１７，１９，さらに、２，４，６，８，１０，１２，・・・３６，３８，４０，さらに、２１，２３，２５・・・４５，４７，４９，さらに、４２，４４・４６，４８・・・というように組にしていくとともに各組の先頭にダミーデータを挿入していく。これにより、出力されるデータ（映像データ・ダミーデータ）は、Ｎ行目のゲートラインに対応する映像データを<N>、ダミーデータを<D>として、<D>，<１>，<３>，<５>，<７>，<９>，<１１>，<１３>，<１５>，<１７>，<１９>，さらに、<D>，<２>，<４>，<６>，<８>，<１０>，<１２>・・・<３６>，<３８>，<４０>，さらに、<D>，<２１>，<２３>，<２５>，<２７>，・・・<４５>，<４７>，<４９>，さらに、<D>，<４２>，<４４>・・・という順序になり、<D>，<１>，<３>，<５>，・・・<１７>，<１９>の各データに対応するプラス極性の信号電位がこの順に１本のソースラインに出力され、ついで、<D>，<２>，<４>，<６>，・・・<３６>，<３８>，<４０>，の各データに対応するマイナス極性の信号電位がこの順に該ソースラインに出力され、ついで、<D>，<２１>，<２３>，<２５>，・・・<４７>，<４９>の各データに対応するプラス極性の信号電位がこの順に該ソースラインに出力され、ついで、<D>，<４２>，<４４>・・・の各データに対応するマイナス極性の信号電位がこの順に該ソースラインに出力される。

【０２７４】
なお、ダミーデータ<D>には、所望のデータを自由に設定することができる。例えば、挿入箇所直後の映像データと等しくしてもよいし、ソースラインの充電効果を高める観点から挿入直後の映像データより高い電圧に対応するデータを別途設定してもよい。

【０２７５】
この場合では、１組目については、実際の出力における水平走査期間ＨｔｏｔａｌＹをＨｔｏｔａｌＸよりも少ない２０００ｄｏｔとし、ダミー走査期間ＤｔｏｔａｌＹをＨｔｏｔａｌＸよりも少ない２０００ｄｏｔとし、２組目以降については、例えば実際の出力における水平走査期間ＨｔｏｔａｌＹをＨｔｏｔａｌＸよりも少ない２０９４ｄｏｔとし、ダミー走査期間ＤｔｏｔａｌＹをＨｔｏｔａｌＸよりも少ない２１２０ｄｏｔとすれば、１フレームの垂直表示期間が変えることなく、ダミー走査期間を設けることができる。

【０２７６】
以下に、図５６～図５８を用いてデータの並べ替え方法について説明する。ここでは、垂直走査期間Ｖｔｏｔａｌが１１２５Ｈ、垂直表示期間Ｖｄｉｓｐが１０８０Ｈ、垂直帰線期間が４５Ｈの例を示す。

【０２７７】

図５６は並べ替え回路を示す概略ブロック図である。図５７はデータの並べ変えの方法を説明するための模式図であり、図５８は図５６の点線で囲った部分の拡大図である。図５６に示すように、並べ替え回路５５０は、並べ替え制御回路５５２、奇数ライン用並べ替え用メモリ５５４Ａ、および偶数ライン用並べ替え用メモリ５５４Ｂを備えている。並べ替え回路５５０は、前記した表示制御回路２００内に設けられる。

【０２７８】

並べ替え制御回路５５２には、表示すべき映像データと、映像データと同期する垂直同期信号および水平同期信号と、表示動作を制御するための制御信号とが入力される。並べ替え制御回路５５２は、入力された映像データをライン毎に奇数ラインと偶数ラインに分離し、それぞれの映像データを奇数ライン用の並べ替え用メモリ５５４Ａと偶数ライン用の並べ替え用メモリ５５４Ｂとに書き込んでいき、これを一定期間行った後、奇数ライン用の並べ替え用メモリ５５４Ａからデータを連続して読み出し、これに続けて、偶数ライン用の並べ替え用メモリ５５４Ｂからデータを読み出す。

【０２７９】

このとき、並べ替え制御回路５５２は、各組のライン数に応じて映像データ数をカウントし、奇数・偶数の各並べ替え用メモリ５５４Ａおよび５５４Ｂから映像データを読み出すとともに、所定箇所（例えば、各組の先頭）にダミーデータ＜Ｄ＞を挿入する。なお、映像データを出力する一水平走査期間およびダミーデータを出力するダミー走査期間はそれぞれ、入力される映像データに設定された一水平走査期間（各映像データの入力間隔）よりも短く設定する。映像データの書き込み、読み出し順は、たとえば、あらかじめ用意した参照テーブルを用いることで所定の順序に行うようにしておく。こうすることで、１画面分の映像データを記憶するフレームメモリを使わず、並べ替えメモリ５５４Ａ、５５４Ｂの規模を小さくできるとともに、映像データの入力出力の時間的なずれを抑制することができる。

【０２８０】

例えば図５８に示すように、並べ替え制御回路５５２に、映像データ列（ａ）が入力されると、これを、奇数ライン用の並べ替え用メモリと偶数ライン用の並べ替え用メモリとに順次データを振り分けて書き込む。ここでは、少なくとも１１ライン以上の映像データを並べ替え用メモリに取り込んだ後に、順次入力される映像データを並べ替え用メモリに取り込む作業を継続したまま、奇数ライン用の並べ替え用メモリからの映像データの読み出しを開始する。また、簡単のため、ダミーデータ＜Ｄ＞を挿入箇所直後の映像データと一致させている。

【０２８１】

具体的には、まず奇数ライン用の並べ替え用メモリから、１番目の映像データ（１番目のゲートラインに対応する映像データ）をダミーデータ＜Ｄ＞として読み出し、その後、１０ゲートライン分（１、３、５、・・・、１９ライン目に対応する）映像データを連続して読み出し、これを１組目とする。続いて、２番目の映像データ（２番目のゲートラインに対応する映像データ）をダミーデータ＜Ｄ＞として読み出し、その後、１０ゲートライン分（２、４、６、・・・、２０ライン目に対応する）の映像データを連続して読み出し、さらに、偶数ライン用の並べ替え用メモリから１０ライン分（２２、２４、２６、・・・、４０ライン目に対応する）の映像データを連続して読み出し、これを２組目とする。そして、再び、奇数ライン用の並べ替え用メモリから、２１番目の映像データ（２１番目のゲートラインに対応する映像データ）をダミーデータ＜Ｄ＞として読み出し、その後、１０ゲートライン分（２１、２３、２５、・・・、３９ライン目に対応する）映像データを連続して読み出し、これを３組目とする。この一連の動作を繰り返し行うように並べ替え制御回路５５２によって制御することで、最終行まで順次、並べ替え用メモリからの読み出しを行う。

【０２８２】

なお、本例では、先頭のダミーデータ＜ｄ＞（先頭の１ライン目と等しいデータ）を有効表示期間ＶｄｉｓｐＹに含めているが、この先頭のダミーデータ＜ｄ＞については、前

フレームの垂直帰線期間ＶｂｌａｎｋＹの最後に含めてもよい。

【０２８３】

次に、上記各形態において、Ｍ個のデータを１組とする場合に、１組にダミー走査期間ａをいくつ設け、実際の出力における水平走査期間ＨｔｏｔａｌＹおよびダミー走査期間ＤｔｏｔａｌＹの組み合わせをどのように算出するかについて説明する。なお、この算出工程は、上記のように表示制御回路２００（液晶パネル駆動装置）によって行われてもよい。この場合、所定のプログラムをコンピュータが実行することでこれを実現することもできる。

【０２８４】

図４１は上記組み合わせの算出法の一例を示すフローチャートである。同図に示されるように、まず極性反転周期Ｍ（１組の映像データ数）を取得する。そして、Ｓ１に進み、仮のダミー水平走査期間数ａ（１組のダミーデータ数）を１とする。ついで、Ｍとａとの和をＡとする（Ｓ２）。ついで、ＨｔｏｔａｌＸとＭとの積をＡで割ったものをＢとする（Ｓ３）。なお、極性反転周期Ｍ取得後、Ｓ１と並行して、極性反転周期Ｍでの充電特性に基づき、必要最小限のダミー水平走査期間数Ｃを決めておいてもよい。ここで、ＢがＨｄｉｓｐＸ以上か否かを判定し（Ｓ４）、ＹｅｓであればＳ７に進み、Ｎｏ（ＢがＨｄｉｓｐＸ未満）であればエンドとなる。Ｓ７ではＢが整数か否かを判定し、ＹｅｓであればＳ８に進み、ＮｏであればＳ５に進み、ａに１を加えてＳ２に戻る。Ｓ８では、ａが、Ｍにおける充電特性から得られる必要最小限のダミー走査期間数Ｃ以上か否かを判定し、ＹｅｓであればＳ９に進み、ＮｏであればＳ５に進む。Ｓ９では、ダミー走査期間数＝ａ、ＨｔｏｔａｌＹ＝ＤｔｏｔａｌＹ＝Ｂに決定し、エンドとなる。

【０２８５】

上記の算出法を用いることで、例えば、Ｍ＝１０の場合は、ダミー走査期間数＝１、ＨｔｏｔａｌＹ＝ＤｔｏｔａｌＹ＝２０００ｄｏｔ、Ｍ＝３０の場合は、ダミー走査期間数＝３、ＨｔｏｔａｌＹ＝ＤｔｏｔａｌＹ＝２０００ｄｏｔ、Ｍ＝４０の場合は、ダミー走査期間数＝４、ＨｔｏｔａｌＹ＝ＤｔｏｔａｌＹ＝２０００ｄｏｔとなり、ＨｔｏｔａｌＹ＝ＤｔｏｔａｌＹとなる組み合わせを速やかに算出することができる。

【０２８６】

ただ、上記算出法ではＭ＝２０の場合は算出できないため、以下の算出法を用いてもよい。これを図４２に示す。同図に示されるように、まず極性反転周期Ｍ（１組の映像データ数）を取得する。そして、Ｓ１０に進み、仮のダミー水平走査期間数ａ（１組のダミーデータ数）を１とする。ついで、Ｍとａとの和をＡ’とする（Ｓ１１）。ついで、ＨｔｏｔａｌＸとＭとの積をＡ’で割ったものをＢ’とする（Ｓ１２）。なお、極性反転周期Ｍ取得後、Ｓ１と並行して、極性反転周期Ｍでの充電特性に基づき、必要最小限のダミー水平走査期間数Ｃを決めておいてもよい。ここで、Ｂ’がＨｄｉｓｐＸ以上か否かを判定し（Ｓ１４）、ＹｅｓであればＳ１５に進み、Ｎｏ（Ｂ’がＨｄｉｓｐＸ未満）であればＳ２１に進む。Ｓ１５ではＢ’の小数点以下を切り捨てた整数をＤとする。ついで、ＤとＡ’との積をＥとし（Ｓ１６）、ついで、ＨｔｏｔａｌＸとＭとの積からＥを引いたものをＰとし、Ｐをａで割ったものをＦとする（Ｓ１７）。ここで、Ｆが整数か否かを判定し（Ｓ１８）、整数であればＳ１９に進み、整数でなければＳ１３に進み、ａに１を加えてＳ１１に戻る。Ｓ１９では、ａが、Ｍにおける充電特性から得られる必要最小限のダミー走査期間数Ｃ以上か否かを判定し、ＹｅｓであればＳ２０に進み、ＮｏであればＳ１３に戻る。Ｓ２０ではダミー走査期間数＝ａ、ＨｔｏｔａｌＹ＝Ｄ、ＤｔｏｔａｌＹ＝Ｄ＋Ｆとして保存し、その後Ｓ１３に戻る。また、Ｓ２１では、保存された組み合わせがあるか否かを判定し、ＹｅｓであればＳ２２に進み、Ｎｏであれば、Ｓ２３に進んで再計算（後述）を行う。Ｓ２２では、保存された組み合わせから１つを選択し、エンドとなる。

【０２８７】

Ｓ２３の再計算では、Ｃ（Ｍにおける充電特性から得られる必要最小限のダミー走査期間数Ｃ）を用い、ＨｔｏｔａｌＸ（２２００）×Ｍ＝Ｍ×α＋Ｃ×βを満たすα、βを求め、ダミー走査期間数＝Ｃ、ＨｔｏｔａｌＹ＝α、ＤｔｏｔａｌＹ＝βとする。

【０２８８】
図４２のフローチャートによる算出結果を図４３に示す。同図に示されるように、Ｍ＝３０の場合は、ダミー走査期間数＝１、ＨｔｏｔａｌＹ＝２１２９、ＤｔｏｔａｌＹ＝２１３０の組み合わせと、ダミー走査期間数＝２、ＨｔｏｔａｌＹ＝２０６２、ＤｔｏｔａｌＹ＝２０７０の組み合わせと、ダミー走査期間数＝３、ＨｔｏｔａｌＹ＝２０００、ＤｔｏｔａｌＹ＝２０００の組み合わせが求められる。また、Ｍ＝４０の場合は、ダミー走査期間数＝１、ＨｔｏｔａｌＹ＝２１４６、ＤｔｏｔａｌＹ＝２１６０の組み合わせと、ダミー走査期間数＝２、ＨｔｏｔａｌＹ＝２０９５、ＤｔｏｔａｌＹ＝２１００の組み合わせと、ダミー走査期間数＝４、ＨｔｏｔａｌＹ＝２０００、ＤｔｏｔａｌＹ＝２０００の組み合わせと、ダミー走査期間数＝５、ＨｔｏｔａｌＹ＝１９５５、ＤｔｏｔａｌＹ＝１９６０の組み合わせとが求められ、この中から１つが選択される。

【０２８９】
なお、図４２の算出法では、例えば、Ｍ＝４０でダミー走査期間数ａ＝３の場合は算出されないため、このような場合（ダミー走査期間数が予め決定している場合）に上記の再計算を行ってもよい。図４４はＭ＝４０、ダミー走査期間数＝３の場合の、再計算の結果である。同図に示されるように、この場合は７つの組み合わせが得られ、この中から１つ（例えば、Ｍ＝４０、ダミー走査期間数＝３、ＨｔｏｔａｌＹ＝２０４４、ＤｔｏｔａｌＹ＝２０８０の組み合わせ）が選択される。

【０２９０】
（ＣＳ信号にオーバーシュートをかける駆動例）
上記において、偶数行と奇数行とで極性が反転するブロック分割飛び越し走査方式で、ＣＳ配線を隣接するゲートラインで共有するマルチピクセル駆動（ＭＰＤ）をする場合について説明した。この場合において、上記のように、データ信号の極性反転時の波形の鈍りの影響を防ぐためにダミー走査期間を設けると、それに伴って明暗を正しく表示させるために、ＣＳ信号についても、データ信号の極性反転時に同じ期間分だけ波形を伸ばす必要がある。

【０２９１】
この場合、ＣＳ信号の立上りまたは立下りからゲートオンパルスがオフするまでの期間が異なることになる。図５９に示す例では、２Ｈのダミー走査期間が挿入されている。この例において、ＣＳ信号の立上りまたは立下りからゲートオンパルスがオフするタイミング（ゲートオフタイミング）までの期間を３０行目と３２行目とを比較すると、ＣＳ＿Ｋのポイント（３）では５Ｈ、ＣＳ＿Ｂのポイント（４）では４Ｈ、ＣＳ＿Ａのポイント（５）では７Ｈ、ＣＳ＿Ｄのポイント（６）では６Ｈとなる。このときそれぞれのポイントでＣＳ信号の電圧の到達率が微妙に異なることになり、明暗副画素の輝度変化の度合いが異なってくる。

【０２９２】
狙いとする輝度変化からのズレが顕著なところとしては、ポイント（４）に相当するところである。すなわち、図５９における画素Ｐ３０暗副画素の電圧変化において、ΔＶｐ＿３０’で示される電位差は他に比べて小さくなる。水平期間が短い場合にはこの傾向はより顕著となり、ＣＳ信号の電圧の到達率の差が輝度差に現れてくるポイントが増大する。この結果、図６０に示すように、表示画面上に周期的な表示ムラが発生することになる。

【０２９３】
上記の問題に対して、図６１に示すように、ＣＳ信号の立上りまたは立下りのタイミングで、所定の幅のオーバーシュートパルスＰｏｃを立てる制御を行う。ＣＳコントロール回路９０は、ＣＳ信号のＨ、Ｌレベルの２値に加え、Ｈレベルよりも高いオーバーシュートＨ電位およびＬレベルより低いオーバーシュートＬ電位の２値をさらに加えた４値を制御する。詳しくは、ＣＳコントロール回路９０は、ＣＳ信号の極性継続期間において、第１の電圧を印加する期間と、第１の電圧と同極性で第１の電圧よりも絶対値の大きい第２の電圧を印加する期間とを設ける。

【０２９４】
このようなＣＳ信号によれば、パルスの立上りまたは立下りにおける波形の鈍りを改善することができる。言い換えれば、ＣＳ信号の極性反転時からゲートオフタイミングまでの時間が短い場合でも、ゲートオフタイミングのＣＳ電圧の到達度を上げることができる。これにより、ＣＳ信号の立上りまたは立下りからゲートオフタイミングまでの期間の差異によるＣＳ信号の電圧の到達率の差異を低減することができる。また、ＣＳ信号の極性反転時からゲートオフタイミングまでの時間が短い行と長い行がある場合でも、ＣＳ信号の電圧の到達度の差に起因するムラを防止できる。すなわち、図６０に示すような周期的な表示ムラを改善できる。

【０２９５】
なお、本例ではＰｏｃの幅を１Ｈとしているが、２Ｈにしてもよい。ただし、ゲートオンパルスがオフする時のＣＳ信号の電位を安定させるため、ＣＳ信号の立上りまたは立下りからゲートオフタイミングまでの期間の半分以下にする方が好ましい。

【０２９６】
一方、図６２は、高精細パネルやフレームレートが高い場合のように、水平期間Ｈが短い場合のＣＳ信号の設定波形（実線）と実際の波形（点線）とを示している。同図において、ゲートオンパルスの横に示す数値は、ＣＳ信号の極性反転時からゲートオフタイミングまでの時間を水平期間Ｈで表したものである。なお説明を簡単にするため、行情報等は省略している。

【０２９７】
パルスＰｏｃの電圧の大きさは、ＣＳコントロール回路９０の耐圧以上に設定することはできない。よって、水平期間Ｈが短い場合には、最大電圧のパルスＰｏｃをかけても、ＣＳ信号の電圧の到達率が不十分となる場合がある。この場合、各ゲートオフタイミングでＣＳ信号の電圧の到達率が異なり、前記した周期的な表示ムラが残ってしまうことになる。

【０２９８】
ここで、ＣＳ信号の極性反転時からゲートオフタイミングまでの時間が４Ｈ、５Ｈの場合と６Ｈ、７Ｈの場合とで、ＣＳ信号の電圧の到達率を近づけることができれば、上記の表示ムラをさらに低減できることになる。図６３は、これを実現するＣＳ信号の駆動例を示している。同図に示す例では、ＣＳ信号における極性反転周期の長さに応じて、オーバーシュートパルスのパルス幅および印加タイミングを変化させている。具体的には、極性反転周期が５Ｈの期間においては、ＣＳ信号の立上りまたは立下りのタイミングで所定のパルス幅のオーバーシュートパルスＰｏｃが印加される一方、極性反転周期が７Ｈの期間においては、ＣＳ信号の立上りまたは立下りのタイミングから所定の期間経過したタイミングで、オーバーシュートパルスＰｏｃのパルス幅よりも短いパルス幅のオーバーシュートパルスＰｏｃ’が印加される。

【０２９９】
極性反転周期が７Ｈの期間は、極性反転周期が５Ｈの期間よりもＣＳ信号の電圧の到達率が高くなるので、オーバーシュートパルスＰｏｃ’のパルス幅を、オーバーシュートパルスＰｏｃのパルス幅よりも小さくすることによって、両者のＣＳ信号の電圧の到達率を近づけることが可能となる。また、オーバーシュートパルスＰｏｃ’の印加タイミングを変化させることによっても、両者のＣＳ信号の電圧の到達率を近づけることが可能となる。これにより、上記の表示ムラをさらに低減できる。

【０３００】
また、図６４に示す例では、オーバーシュートパルスＰｏｃとオーバーシュートパルスＰｏｃ’の電圧を異ならせている。オーバーシュートパルスＰｏｃ’の電圧を、オーバーシュートパルスＰｏｃよりも小さくすることによって、極性反転周期が７Ｈの期間と、極性反転周期が５Ｈの期間とのＣＳ信号の電圧の到達率を近づけることが可能となる。

【０３０１】
なお、ＣＳ信号における極性反転周期の長さに応じて、オーバーシュートパルスのパル

ス幅、印加タイミング、および、電圧値の少なくともいずれか一方を変化させれば、上記のような効果を得ることが可能である。

【０３０２】

（ダミー挿入期間におけるムラを低減する構成例）

図６５は、１つのブロックに含まれる走査線数αを２４としたブロック分割飛び越し走査方式の駆動において、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを２Ｈとした場合のＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートを示している。なお、同図では、１行目から２４行目までのゲートラインに関連する図を示しているが、実際には２４行目までのゲートラインによって１つのブロックが構成され、このブロックが列方向に繰り返されることによってブロック分割飛び越し走査方式が実現されることになる。

【０３０３】

この場合、ダミー挿入期間が挿入されるタイミングに存在するＣＳ信号の極性継続期間に、ダミー挿入期間を挿入する期間、すなわち２Ｈを加えている。すなわち、ダミー挿入期間が挿入されるタイミングに存在するＣＳ信号における極性継続期間を８Ｈとし、それ以外のＣＳ信号の極性継続期間を６Ｈとしている。また、１つのブロックに含まれる走査線数αが偶数の２４であるので、ＣＳ信号の位相の数が１２相あれば、全てのＣＳラインに対応することができる。

【０３０４】

この形態のブロック反転駆動では、極性反転部分とその付近にブランク挿入を行っている。この影響により、１２ライン目および２４ライン目における、ゲートオンパルスがオフしてからＣＳ信号の極性が反転するまでの時間が、他のラインと大きく異なっている。例えば、１２ライン目の上側の副画素のゲートオンパルスがオフしてからＣＳ信号の極性が反転するまでの時間ｔ１と、１２ライン目の下側の副画素のゲートオンパルスがオフしてからＣＳ信号の極性が反転するまでの時間ｔ２とを比較すると、ｔ１に比べｔ２は３Ｈ分長くなっている。このため、ＣＳ信号の突き上げ突き下げ電圧による画素電極の電圧変動の１フレームあたりの平均値が、特定のラインにおける副画素とそれ以外のラインにおける副画素とで異なってくるため、スジムラとして見えてしまう場合があった。

【０３０５】

図６６は、上記課題を解決するための実施例を説明する図であり、図６５と同様に、１つのブロックに含まれる走査線数αを２４としたブロック分割飛び越し走査方式の駆動において、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを２Ｈとした場合のＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートを示している。

【０３０６】

図６５との相違点としては、新たに２つのＣＳ信号の位相を導入する点にある。具体的には、ＣＳ幹配線が２本追加され、ＣＳ信号の位相の種類としてＣＳ＿ＮとＣＳ＿Ｏとが追加されている。図６６において太線で示すように、ゲートラインの１２行目の下側の副画素に対応するＣＳラインにＣＳ＿Ｎを接続し、ゲートラインの２４行目の下側の副画素にＣＳ＿Ｏを接続する。１２ライン目の太線の波形に着目すると、１２ライン目の下側の副画素のゲートオンパルスがオフしてからＣＳ信号の極性が反転するまでの時間ｔ２’は、図６５におけるｔ２’に比べ２Ｈ短くなっている。これにより、他のラインとの差が無くなるため、スジムラを抑制できる。

【０３０７】

ＣＳ＿Ｎの波形とＣＳ＿Ｏの波形とは互いに逆位相の波形となっている。２４ライン目も同様に下側の副画素のゲートオンパルスがオフしてからＣＳ信号の極性が反転するまでの時間が他のラインとの差が無くなるため、スジムラを抑制できる。

【０３０８】

上記の内容を一般化すると次のようになる。１つのブロックに含まれる走査信号線の数がα（αは自然数）であり、１つのブロックの走査中に２箇所以上のダミー挿入期間を挿

入する駆動方法で、少なくともα／ｋ（ｋは自然数：αとｋはα／ｋが整数となるように選ばれる）＋２相の上記保持容量信号によって上記保持容量配線が駆動される構成とすればよい。図６６の例では、α＝２４、ｋ＝２となり、２４／２＋２＝１４相のＣＳ信号によってＣＳラインが駆動されている。

【０３０９】

（ＣＳ信号の位相の種類を低減する構成例）

図６７は、１つのブロックに含まれる走査線数αを４８としたブロック分割飛び越し走査方式の駆動において、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを２Ｈとした場合のＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートを示している。なお、同図では、１行目から２４行目までのゲートラインに関連する図を示しているが、実際には４８行目までのゲートラインによって１つのブロックが構成され、このブロックが列方向に繰り返されることによってブロック分割飛び越し走査方式が実現されることになる。

【０３１０】

同図に示す例では、Ａ～Ｈ、Ｊ～Ｍの計１２本のＣＳ幹配線を用いている。また、各ＣＳ信号の極性継続期間は６Ｈと８Ｈとし、隣合う偶数行と奇数行とにおけるゲートオンパルスの印加タイミングの間で、ＣＳ信号の極性が４回反転している。これは、隣接行書込時間差期間の長さに比べ、ＣＳ信号の極性反転周期が短いためである。

【０３１１】

駆動周波数が高い場合、上記のようにＣＳ信号の極性継続期間が短いと、ＣＳ信号の鈍りの影響により、ゲートオフ時にＣＳ信号の電圧の目標値への到達率が低くなり、ムラに見えるという問題が生じる。これを改善するには、ＣＳ信号の極性反転の期間を長くすることによってＣＳ信号の鈍りの影響を低減することができる。しかしながら、ＣＳ信号の極性反転の期間を長くするためには、ＣＳ信号の位相の種類を増やす必要が生じるので、ＣＳ幹配線の本数を増やす必要がある。よって、配線が増えたり、配線の引き回しが複雑になることにより、基板面積を増大させる必要が生じたり、短絡のリスクが増大したりなどの問題が生じる。

【０３１２】

図６８は、ＣＳ幹配線の本数を増やすことなく、ＣＳ信号の極性継続期間を延ばす駆動例を示している。同図は、ＣＳ信号の波形が１２相の場合のＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートを示している。また、図６８おけるゲートＯＮ位置（１）～（１４）は、ＣＳ信号の極性反転タイミングとゲートオンパルスとのタイミングの全てを記載している。なお、同図では、１行目から４８行目までのゲートラインに関連する図を示しているが、実際には４８行目までのゲートラインによって１つのブロックが構成され、このブロックが列方向に繰り返されることによってブロック分割飛び越し走査方式が実現されることになる。

【０３１３】

この例では、間に１本のＣＳラインを挟んだ２本のＣＳラインが同一のＣＳ幹配線に接続されている。具体的には、ＣＳ幹配線のＡには、ＣＳラインの０、２、２５、２７、４８、５０、７３、７５が接続され、ＣＳ幹配線のＢには、ＣＳライン１、３、２４、２６、４９、５１、７２、７４が接続されている。ＣＳ幹配線のＣ、Ｄ以降には、それぞれＣＳ幹配線のＡ、Ｂに接続されるＣＳラインの４ライン毎下のＣＳラインに接続されている。また、ＣＳラインの４８本ごとに、ＣＳ幹配線とＣＳラインとの接続関係が繰り返されている。

【０３１４】

また、この駆動例では、走査線の４８行ごとのブロックで、偶数行、奇数行（あるいは奇数行、偶数行）の順に飛び越し走査（インターレース）が行われており、データ信号の極性反転時に、ダミー走査期間として２Ｈが挿入されている。また、マルチ画素の明暗を正しく表示するため、極性反転しない部分にもダミー走査期間が２Ｈ挿入されている。ＣＳ信号は、極性継続期間が１４ＨのＬレベル期間およびＨレベル期間、および、１２Ｈの

Ｌレベル期間およびＨレベル期間の信号を含んでいる。

【０３１５】

図６８に示す例によれば、ＣＳ信号の波形の相数を増やさずに、ＣＳ信号の極性継続期間を長くとることができる。すなわち余分な配線や回路を増やすことなくゲートオフ時のＣＳ電圧の到達度を高くすることができ、ＣＳ電圧の実際の波形の鈍りに起因するムラを低減できる。

【０３１６】

なお、図８７に示すような駆動が行われてもよい。図６８との相違点としては、ダミー挿入期間が挿入される箇所を含む極性継続期間が１４Ｈとなっており、それ以外の極性継続期間が１２Ｈとなっている点である。

【０３１７】

図６８および図８７におけるＣＳ信号の極性反転タイミングとゲートオンパルスとのタイミングとをそれぞれ波形１および波形２として図８８に示す。同図に示すように、（ａ）ゲートＯＮ位置（１）（２）（３）の後にＣＳ信号の電圧レベルが変化すること、（ｂ）ゲートＯＮ位置（１３）（４）（５）（６）の後にＣＳ信号の電圧レベルが変化すること、（ｃ）ゲートＯＮ位置（１４）（７）（８）（９）の後にＣＳ信号の電圧レベルが変化すること、（ｄ）ゲートＯＮ位置（１０）（１１）（１２）の後にＣＳ信号の電圧レベルが変化すること、（ｅ）極性継続期間が１４Ｈである期間の長さと１２Ｈである期間の長さとがＬレベルおよびＨレベルでともに等しくなっていること、の５点を満たしていればよいことになる。

【０３１８】

（ＣＳ信号の極性の偏りを解消する構成例）

一方、ブロック分割飛び越し走査方式によってダミー水平期間の挿入を行う場合、上記のように、挿入するダミー水平期間の長さに応じて、ＣＳ信号の極性継続期間を長くする必要がある。例えば、挿入するダミー水平期間が２Ｈの場合、図６８に示す例では、極性継続期間が１４Ｈとなる部分と１２Ｈとなる部分とが混在する。この場合、ＣＳ信号の極性反転タイミングと、ゲートオフタイミングとの関係に応じて、ＣＳ信号による各画素への電圧の突き上げ効果が変化し、液晶印加電圧の実効値が異なる。上記の例では、ＣＳ信号の極性反転タイミングと、ゲートオフタイミングとの関係が、隣り合うブロック同士で異なることになり、ブロック単位で明るさが異なるムラが生じることになる。以下、この理由を説明する。

【０３１９】

図７０の（ａ）および（ｂ）は、ＣＳ信号の極性反転タイミングと、ゲートオフタイミングとの関係が互いに異なる駆動例を示している。まず、両者ともに、ＣＳ信号は、極性継続期間が１４Ｈとなる部分が２回連続し、極性継続期間が１２Ｈとなる部分が２回連続し、これらが繰り返されるような極性反転タイミングとなっている。そして、図７０の（ａ）では、極性継続期間が１４Ｈとなる部分が２回連続するうちの１回目の１４Ｈ（図中（Ａ））においてゲートオンパルスが印加される一方、図７０の（ｂ）では、極性継続期間が１４Ｈとなる部分が２回連続するうちの２回目の１４Ｈ（図中（Ｂ））においてゲートオンパルスが印加されている。なお、図７０の（ａ）は図６８のゲートＯＮ位置の（２）のタイミングについての駆動例であり、図７０の（ｂ）は図６８のゲートＯＮ位置の（５）のタイミングについての駆動例を記載している。

【０３２０】

ここで、１フレーム期間でＣＳ信号が「Ｈ」（Ｈレベル）になる期間の長さについて着目する。図７０の（ａ）と（ｂ）とのＣＳ信号が「Ｈ」（Ｈレベル）になる期間（突き上げ期間）が１フレーム期間内で異なる部分は、ハッチングで示されている部分である。この部分で両者を比較すると、ハッチングで示されるＣＳ信号が「Ｈ」（Ｈレベル）になる期間は、（ａ）では１４Ｈ（１４水平期間）＋９Ｈ（１９水平期間）＝２３Ｈ（２３水平期間）、（ｂ）では１２Ｈ（１２水平期間）＋９Ｈ（９水平期間）＝２１Ｈ（２１水平期間）であり、（ａ）が（ｂ）よりも２Ｈ分（２水平期間分）「Ｈ」（Ｈレベル）の期間が

長いことになる。すなわち、（ａ）の方が液晶印加電圧の実効値が高くなる。これにより、（ａ）のタイミングとなる１～２４行目のゲートラインに対応する画素の表示が、（ｂ）のタイミングとなる２５～４８行目のゲートラインに対応する画素の表示よりも明るくなり、隣接するブロック間で輝度差が生じる。

【０３２１】

この問題を解決するＣＳ信号の波形例を図７０の（ｃ）および（ｄ）に示す。同図に示すように、ＣＳ信号において、極性継続期間が１４Ｈである部分を、１２Ｈの部分と２Ｈの部分とに分けるとともに、２Ｈの部分を、「Ｈ」（Ｈレベル）となっている期間と「Ｌ」（Ｌレベル）となっている期間とが等しくなるように設定する。このようにすれば、ゲートオンパルスの印加タイミングによらず、１フレーム内でのＣＳ信号の「Ｈ」期間と「Ｌ」期間とを等しくすることができるので、突き上げ時間の偏りが解消される。同図に示す例では、２Ｈの部分を１Ｈの「Ｈ」（Ｈレベル）期間と１Ｈの「Ｌ」（Ｌレベル）期間とに分割しているが、「Ｈ」（Ｈレベル）期間と「Ｌ」（Ｌレベル）期間とが均等になるように、もっと短い周期で分割させてもよい。

【０３２２】

同図に示す例において、ハッチングで示される突き上げ時間は、（ｃ）では１Ｈ＋１２Ｈ＋９Ｈ＝２２Ｈ、（ｄ）では１２Ｈ＋１Ｈ＋９Ｈ＝２２Ｈであり、（ｃ）と（ｄ）との突き上げ時間が等しくなる。よって、（ｃ）における（Ａ）でゲートオンパルスが印加された場合と（ｄ）における（Ｂ）でゲートオンパルスが印加された場合とで、液晶印加電圧の実効値が等しくなる。

【０３２３】

上記の（ｃ）および（ｄ）で示されるＣＳ信号が印加される場合の、ＣＳ幹配線と各ＣＳラインとの接続状態、ならびに、ＣＳ信号およびゲートオンパルスのタイミングチャートを図６９に示す。ダミー挿入期間を含め１ブロックを走査する期間（４８Ｈ＋２Ｈ＋２Ｈ＝５２Ｈ）において、記保持容量信号において、保持容量信号がＨレベルとなっている期間（１Ｈ＋１２Ｈ＋１Ｈ＋１２Ｈ＝２６Ｈ）とＬレベルとなっている期間（１Ｈ＋１２Ｈ＋１Ｈ＋１２Ｈ＝２６Ｈ）との差が等しくなるように設定されている。

【０３２４】

なお、図６９におけるゲートＯＮ位置（１）～（１４）は、ＣＳ信号の極性反転タイミングとゲートオンパルスとのタイミングの全てを記載している。図７０の（ｃ）は図６９のゲートＯＮ位置の（２）のタイミングについての駆動例であり、図７０の（ｄ）は図６９のゲートＯＮ位置の（５）のタイミングについての駆動例を記載している。このような駆動が行われる場合、（ｃ）のタイミングを使用する１行目から２４行目までのゲートラインと、（ｄ）のタイミングを使用する２５行目から４８行目までのゲートラインとの輝度差が解消される。

【０３２５】

また、ダミー挿入期間を含め１ブロックを走査する期間において保持容量信号がＨレベルとなっている期間とＬレベルとなっている期間との差は完全に等しくなくとも１Ｈ以内であれば輝度差はほぼ抑制できる。さらに上記保持容量信号において、１フレーム内での保持容量信号のＨレベル期間とＬレベル期間の差の絶対値の各保持容量配線での差が１Ｈ以内であることが望ましい。

【０３２６】

なお、上記の例では、図６８に示す駆動例に基づいて図６９に示す駆動例を導き出しているが、図８７に示す駆動例に基づいた場合でも、同様に図６９に示す駆動例となる。

【０３２７】

また、図８９の評価結果表に示すように、異なる走査線数で検討を行った結果、保持容量信号において、１フレーム内での保持容量信号のＨレベル期間とＬレベル期間の差の絶対値の各保持容量配線での差（同図中で「差」と記載）と、１フレーム期間との比（同図中で「比」と記載）が０．１３％以下であれば、輝度ムラを抑制できる。より好ましくは０．０９％以下すればさらに良好な表示とすることができる。なお、同図の「ムラ（目視

評価）」の欄において、二重丸は輝度ムラがなく良好な状態、一重丸は若干輝度ムラがあるが表示としては良好な状態、三角は輝度ムラがやや目立つ状態、×は輝度ムラがかなり目立つ状態を示している。

【０３２８】

［ゲートドライバの構成および動作］

次に、前記した各実施の形態で用いられるゲートドライバ４００の構成の詳細について説明する。図４６は、ゲートドライバ４００の構成例を示すブロック図である。同図に示すように、ゲートドライバ４００は、複数のゲートドライバ用ＩＣ４１１～４１ｑを備えている。また、図４５は、１つのゲートドライバ用ＩＣ４１ｎの構成例を示している。

【０３２９】

ゲートドライバ用ＩＣ４１ｎは、第１および第２シフトレジスタ４２・４３、第１および第２ＡＮＤゲート４４１・４４２、および、出力部４５を備えている。第１シフトレジスタ４２は、奇数段用シフトレジスタであり、第２シフトレジスタ４３は、偶数段用シフトレジスタである。第１ＡＮＤゲート４４１は、第１シフトレジスタ４２からの出力に対応して設けられており、第２ＡＮＤゲート４４２は第２シフトレジスタ４３からの出力に対応して設けられている。出力部４５は、第１ＡＮＤゲート４４１および第２ＡＮＤゲート４４２の出力信号ｇ１～ｇｐに基づいて走査信号Ｇ１～Ｇｐを出力する。

【０３３０】

ゲートドライバ用ＩＣ４１ｎには、外部から各シフトレジスタに入力されるスタートパルス信号ＳＰｉａ・ＳＰｉｂ、クロック信号ＣＫａ・ＣＫｂ、および出力制御信号ＯＥａ・ＯＥｂが入力されている。スタートパルス信号ＳＰｉａ・ＳＰｉｂは、それぞれ第１シフトレジスタ４２および第２シフトレジスタ４３の入力端に入力され、第１シフトレジスタ４２および第２シフトレジスタ４３の出力端からは、後続のゲートドライバ用ＩＣに入力されるべきスタートパルス信号ＳＰｏａ、ＳＰｏｂが出力される。

【０３３１】

また、第１ＡＮＤゲート４４１には第１シフトレジスタ４２からの奇数段出力信号Ｑｋ（ｋは奇数）と出力制御信号ＯＥａの論理反転信号とが入力される。一方、当第２のＡＮＤゲート４４２には第２シフトレジスタ４３からの奇数段出力信号Ｑｋ（ｋは偶数）と出力制御信号ＯＥｂの論理反転信号とが入力される。

【０３３２】

本構成例によるゲートドライバ４００は、上記構成の複数（ｑ個）のゲートドライバ用ＩＣ４１１～４１ｑが、縦続接続されることによって実現される。すなわち、ゲートドライバ用ＩＣ４１１～４１ｑ内の第１および第２シフトレジスタ４２・４３が１つのシフトレジスタを形成するように（以下、このように縦続接続によって形成されるシフトレジスタを「結合シフトレジスタ」という）、各ゲートドライバ用ＩＣ４１ｎ内の第１および第２シフトレジスタ４２・４３の出力端（スタートパルス信号ＳＰｏａ・ＳＰｏｂの出力端子）が次のゲートドライバ用ＩＣ内の第１および第２シフトレジスタ４２・４３の入力端（スタートパルス信号ＳＰｉａ・ＳＰｉｂの入力端子）に接続される。

【０３３３】

ただし、先頭のゲートドライバ用ＩＣ４１１内の第１および第２シフトレジスタ４２・４３の入力端には、表示制御回路２００からゲートスタートパルス信号ＧＳＰａ、ＧＳＰｂが入力され、最後尾のゲートドライバ用ＩＣ４１ｑ内の第１および第２シフトレジスタ４２・４３の出力端は外部と未接続となっている。また、表示制御回路２００からのゲートクロック信号ＧＣＫａ・ＧＣＫｂおよび出力制御信号ＧＯＥａ・ＧＯＥｂは、各ゲートドライバ用ＩＣ４１ｎにクロック信号ＣＫａ・ＣＫｂ、および出力制御信号ＯＥａ・ＯＥｂとして共通に入力される。

【０３３４】

次に、図４７に示す波形図を参照しながら、前記構成例によるゲートドライバ４００の動作について説明する。表示制御回路２００は、波形図に示すように、画素データ書込パルスＰｗに対応する期間ＴｓｐｗだけＨレベル（アクティブ）となる信号をゲートスター

トパルス信号ＧＳＰ（奇数段用ＧＳＰａおよび偶数段用ＧＳＰｂ）として生成するとともに、１水平走査期間（１Ｈ）毎に所定期間だけＨレベルとなるゲートクロック信号ＧＣＫ（奇数段用ＧＣＫａおよび偶数段用ＧＣＫｂ）を生成する。

【０３３５】

このようなゲートスタートパルス信号ＧＳＰおよびゲートクロック信号ＧＣＫ（ＧＣＫａ・ＧＣＫｂ）がゲートドライバ４００に入力されると、先頭のゲートドライバ用ＩＣ４１１における第１および第２シフトレジスタ４２・４３の初段の出力信号Ｑ１・Ｑ２が出力される。この出力信号Ｑ１・Ｑ２は、各フレーム期間において、画素データ書込パルスＰｗに対応するパルスＰｑｗを含む。ここでは、最初の出力信号Ｑ１・Ｑ２を形成するために、最初のＧＣＫａおよびＧＣＫｂは２Ｈの間隔でＨレベルとなる。

【０３３６】

このようなパルスＰｑｗがゲートクロック信号ＧＣＫに従ってゲートドライバ４００の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、信号波形がＧＣＫの立ち上がりに合わせてＨレベルとなり次のＧＣＫの立ち上がりに合わせてＬレベルとなる出力信号Ｑｎが順次ずれて出力される。

【０３３７】

また、表示制御回路２００は、前述したように、ゲートドライバ４００を構成するゲートドライバ用ＩＣ４１１～４１ｑに与えるべきゲートドライバ出力制御信号ＧＯＥ（ＧＯＥａ・ＧＯＥｂ）を生成する。ここで、ｎ番目のゲートドライバ用ＩＣ４１ｎに与えるべきゲートドライバ出力制御信号ＧＯＥは、当該ゲートドライバ用ＩＣ４１ｎ内における第１および第２シフトレジスタ４２・４３のいずれかの段から画素データ書込パルスＰｗに対応するパルスＰｑｗが出力されている期間で、画素データ書込パルスＰｗの調整のためにＬレベルまたはＨレベルとなる。これは上記所定期間でＨレベルとなることに相当し、以下「書込期間調整パルス」と称する。

【０３３８】

なお、画素データ書込パルスＰｗの調整のためにゲートドライバ出力制御信号ＧＯＥに含まれるパルス（書込期間調整パルス）は、必要な画素データ書込パルスＰｗに応じて、適宜調整することができる。ここでは、データ信号波形の極性（ＰＯＬ）が反転する際、極性反転直前の信号電位を書き込まないように、ＧＯＥが制御されている。また同様に、データ信号波形の極性（ＰＯＬ）が反転する際、極性反転直前のパルスＰｗが極性反転直後の信号電位を書き込まないようにパルスＰｗの幅を制御することができる。このＧＯＥで制御される幅を調整することで、データ信号波形の極性（ＰＯＬ）が反転する際、上述のすべての実施形態に対応した画素データ書き込みパルスＰｗを形成することができる。

【０３３９】

さらに、ＧＣＫは奇数段出力を制御するＧＣＫａと偶数段出力を制御するＧＣＫｂとからなるが、これらのクロック信号は、データ信号の極性ＰＯＬが反転するのと連動してＨレベルを維持し、次にデータ信号の極性が再度反転後ダミー挿入期間（１Ｈ）が経過するとクロック信号がＬレベルとなり、１Ｈ毎に所定期間だけＨレベルとなる基本動作を再開する。このクロック（ＧＣＫａ・ＧＣＫｂ）の動作に伴い、出力信号Ｑｋの波形Ｐｑｗの長さが変動することを利用して、各Ｐｑｗのうち画素データ書き込みパルスＰｗの出力させたい期間をそれぞれ出力制御信号ＧＯＥａ・ＧＯＥｂ（「書込期間調整パルス」）で制御する。

【０３４０】

各ゲートドライバ用ＩＣチップ４１ｎ（ｎ＝１～ｑ）では、上記のようなシフトレジスタ各段の出力信号Ｑｋ（ｋ＝１～ｐ）、ゲートクロック信号ＧＣＫおよびゲートドライバ出力制御信号ＧＯＥに基づき、第１および第２のＡＮＤゲート４４１・４４２により、内部走査信号ｇ１～ｇｐが生成され、それらの内部走査信号ｇ１～ｇｐが出力部４５でレベル変換されて、ゲートラインＧＬ１～ＧＬｍに印加すべき走査信号Ｇ１～Ｇｐが出力される。これにより、波形図に示すように、ゲートラインＧＬ１～ＧＬｍには、順次画素データ書込パルスＰｗが印加される。

【０３４１】
図４８は、図４７とは異なる駆動動作を示す波形図である。以下、図４７に示した駆動動作と異なる点のみ説明する。
【０３４２】
ＧＣＫは奇数段出力を制御するＧＣＫａと偶数段出力を制御するＧＣＫｂからなる。これらクロック信号は、データ信号極性ＰＯＬが反転するのと連動してＬレベルを維持し、次にデータ信号の極性が再度反転後ダミーの水平期間（１Ｈ）と画素データを書き込むための水平期間（１Ｈ）が経過すると、クロック信号が１Ｈ毎に所定期間だけＨレベルとなる基本動作を再開する。
【０３４３】
このクロック信号（ＧＣＫａ・ＧＣＫｂ）の動作に伴い、出力信号Ｑｋの波形ＰｑｗのＬさが変動することを利用して、各Ｐｑｗのうち画素データ書き込みパルスＰｗの出力させたい期間をそれぞれ出力制御信号ＧＯＥａ・ＧＯＥｂ（書込期間調整パルス）で制御する。
【０３４４】
なお、画素データ書込パルスＰｗの調整のためにゲートドライバ出力制御信号ＧＯＥに含まれるパルス（書込期間調整パルス）は、必要な画素データ書込パルスＰｗに応じて、適宜調整することができる。
【０３４５】
（ダブルパルス駆動の例）
例えば走査周波数を高めるために、水平走査期間を短く設定する必要が生じた場合、ゲートオンパルスのパルス幅も短くなることにより、各画素に対する充電時間が短くなり、充電が不十分となることがある。これに対応するために、ソースラインから各画素に対して電圧を印加するようにゲートラインを選択状態とする本充電期間と、該本充電期間よりも前のタイミングで同じゲートラインを選択状態とするプレ充電期間とにおいて画素の充電を行う構成が考えられる。
【０３４６】
このように、本充電期間とプレ充電期間とを設ける駆動を、上記した図４７に示す駆動動作に適用した場合、例えば図７１のような駆動が行われることになる。同図に示すように、プレ充電期間および本充電期間は、ゲートクロックＧＣＫのＬ期間、すなわち、ゲートクロックＧＣＫのパルスの間の幅で設定される。
【０３４７】
この場合、データ信号の波形における極性反転部では、ダミーデータの挿入を行うために、ゲートクロックＧＣＫのＬ期間が長くなっている。よって、ゲートクロックＧＣＫのＬ期間が長い部分を用いてプレ充電期間または本充電期間が設定されるゲートラインの行と、それ以外のゲートラインの行とでゲートオンパルスの波形が異なることになり、これにより、行によって充電率が異なり輝度差が生じる場合がある。この輝度差による表示のムラの状態の例を図７２に示す。
【０３４８】
なお、図７１に示す例では、インターレースブロック反転の場合となっているが、順次走査ブロック反転（ｎＨ反転）の場合も同様の問題が生じる。ただし、図７２に示すように、インターレースの場合には１行間隔でムラが生じるので、順次走査の場合よりもムラが目立つことになる。
【０３４９】
この問題に対する対策として、ゲートオンパルスの幅を、ＧＣＫのＬ時間で決めるのではなく、ＧＣＫとＧＯＥとの２つの信号の組合せによって任意に設定する駆動方法について以下に説明する。まず、ゲートオンパルスＰｗの元となるパルスＰｑｗの幅を所定の値（例えば２Ｈなど）に予め設定しておく。また、ＧＯＥでマスクすることでゲートオンパルスの長さを微調整できるようにする。また、本充電期間はＧＯＥパルスが立っていても（Ｈ（ハイレベル）であっても）、ゲートオンパルスはハイのままとなるようにすること

によって、ＧＯＥパルスによらず本充電期間を全てのラインで共通に設けることができる。この場合、ＧＯＥをＨで固定にすれば、シングルパルスの駆動を実現することも可能である。

【０３５０】

図７３は、ゲートオンパルスＰｗのパルス幅を制御する例を示している。これらの例において、本充電期間は、ＧＯＥの影響を受けずに、ＧＣＫのＬ期間によって設定されている。これに対して、プレ充電期間は、ＧＯＥのパルス波形の影響を受けるようになっている。例１では、プレ充電期間は、ＧＯＥのパルスによってパルスＰｑｗの最初の部分がマスクされることによって短くなっている。例２では、プレ充電期間は、ＧＯＥのパルスによってパルスＰｑｗの途中部分がマスクされることにより、２つの期間に分断されるとともに、トータルの期間も短くなっている。例３では、プレ充電期間は、ＧＯＥのパルスによってパルスＰｑｗの最後の部分がマスクされることによって短くなっているとともに、プレ充電期間と本充電期間との間にギャップが挿入されることになる。例４では、ＧＯＥがＬ固定となっていることによって、プレ充電期間が最大の長さになっている。例５では、ＧＯＥがＨ（ハイレベル）固定となっていることによって、プレ充電期間が０となり、シングルパルス駆動が実現されている。

【０３５１】

（ダブルパルスを実現するゲートドライバの構成および動作（１））

図７４は、上記のようなダブルパルス駆動で、順次走査ｎＨ反転駆動を実現するゲートドライバ用ＩＣ４１ｎの構成例を示している。ゲートドライバ用ＩＣ４１ｎは、同図に示すように、シフトレジスタ４６と、当該シフトレジスタ４６の各段に対応して設けられた第１、第２および第３のＡＮＤゲート４４１、４４２、４４３と、第１のＯＲゲート４４４と、第３のＡＮＤゲート４４３の出力信号ｇ１～ｇｐに基づき走査信号Ｇ１～Ｇｐを出力する出力部４５とを備えている。また、ゲートドライバ用ＩＣ４１ｎは、外部からスタートパルス信号ＳＰｉ、クロック信号ＣＫ、出力制御信号ＯＥ、および選択信号ＳＥＬを受け取る。スタートパルス信号ＳＰｉはシフトレジスタ４６の入力端に与えられ、シフトレジスタ４６の出力端からは、後続のゲートドライバ用ＩＣ４１ｎ＋１に入力されるべきスタートパルス信号ＳＰｏを出力する。

【０３５２】

また、シフトレジスタ４６の奇数段（Ｑｋ；ｋ＝１～ｐのうち、ｋが奇数に相当する段）では、第１のＡＮＤゲート４４１には出力制御信号ＯＥと選択信号ＳＥＬの論理反転信号とが入力され、第２のＡＮＤゲート４４２にはクロック信号ＣＫと選択信号ＳＥＬとが入力され、第１のＯＲゲート４４４には第１のＡＮＤゲート４４１と第２のＡＮＤゲート４４２との出力が入力され、第３のＡＮＤゲート４４３には第１のＯＲゲート４４４の出力の論理反転信号とシフトレジスタ４６の奇数段出力信号Ｑｋ（ｋは奇数）とが入力される。

【０３５３】

一方、シフトレジスタ４６の偶数段（Ｑｋ；ｋ＝１～ｐのうち、ｋが偶数に相当する段）では、第１のＡＮＤゲート４４１には出力制御信号ＯＥと選択信号ＳＥＬとが入力され、第２のＡＮＤゲート４４２にはクロック信号ＣＫと選択信号ＳＥＬの論理反転信号とが入力され、第１のＯＲゲート４４４には第１のＡＮＤゲート４４１と第２のＡＮＤゲート４４２の出力が入力され、第３のＡＮＤゲート４４３には第１のＯＲゲート４４４の出力の論理反転信号とシフトレジスタの偶数段出力信号Ｑｋ（ｋは偶数）とが入力される。

【０３５４】

本構成例によるゲートドライバ４００は、上記構成の複数（ｑ個）のゲートドライバ用ＩＣ４１１～４１ｑが縦続接続されることによって実現される。すなわち、ゲートドライバ用ＩＣ４１１～４１ｑ内のシフトレジスタ４６が１つのシフトレジスタを形成するように、各ゲートドライバ用ＩＣ４１ｎ内のシフトレジスタ４６の出力端が次のゲートドライバ用ＩＣ４１ｎ＋１内のシフトレジスタ４６の入力端に接続される。

【０３５５】

ただし、先頭のゲートドライバ用ＩＣ４１１内のシフトレジスタ４６の入力端には、表示制御回路２００からゲートスタートパルス信号ＧＳＰが入力され、最後尾のゲートドライバ用ＩＣチップ４１ｑ内のシフトレジスタ４６の出力端は外部と未接続となっている。また、表示制御回路２００からのゲートクロック信号ＧＣＫ、ＧＯＥ、およびＳＥＬは、各ゲートドライバ用ＩＣ４１１～４１ｑにクロック信号ＣＫ、出力制御信号ＯＥおよび選択信号ＳＥＬとして共通に入力される。

【０３５６】

次に、図７５に示す波形図を参照しながら、前記構成例によるゲートドライバ４００の動作について説明する。表示制御回路２００は、波形図に示すように、画素データ書込パルスＰｗに対応する期間Ｔｓｐｗだけ Ｈレベルとなる信号をゲートスタートパルス信号ＧＳＰとして生成するとともに、データ信号の極性反転直後を除き基本的に１水平走査期間（１Ｈ）毎に所定期間だけＨレベルとなるゲートクロック信号ＧＣＫを生成する。

【０３５７】

このようなゲートスタートパルス信号ＧＳＰおよびゲートクロック信号ＧＣＫがゲートドライバ４００に入力されると、先頭のゲートドライバ用ＩＣ４１１におけるシフトレジスタ４６の初段の出力信号Ｑ１が出力される。この出力信号Ｑ１は、各フレーム期間において、画素データ書込パルスＰｗに対応するパルスＰｑｗを含む。

【０３５８】

このようなパルスＰｑｗがゲートクロック信号ＧＣＫに従ってゲートドライバ４００の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、信号波形がＧＣＫの立ち上がりに合わせてＨレベルとなりそのＧＣＫの２つ後のＧＣＫの立ち上がりに合わせてＬレベルとなる出力信号Ｑｎが順次ずれて出力される。

【０３５９】

また、ＧＣＫがＨレベルになった後にデータ信号の極性が反転するタイミングでは、次にＧＣＫがＨレベルになるまでの間隔が２Ｈとなっている。このクロックＧＣＫの動作に伴い、出力信号Ｑｋの波形Ｐｑｗの長さが変動する。

【０３６０】

また、表示制御回路２００は、前述したように、ゲートドライバ４００を構成するゲートドライバ用ＩＣ４１１～４１ｑに与えるべきゲートドライバ出力制御信号ＧＯＥおよび選択信号ＳＥＬを生成する。選択信号ＳＥＬによってＧＣＫおよびＧＯＥのいずれかが選択され、この選択された方によってパルスＰｑｗのパルス幅が調整され、画素データ書込パルスＰｗが設定される。図において、ＰｑｗおよびＰｗのパルス幅中に記載されている「ＯＥ」「ＣＫ」は、それぞれＧＯＥによって制御されている部分、ＧＣＫによって制御されている部分を示している。

【０３６１】

各ゲートドライバ用ＩＣチップ４１ｎ（ｎ＝１～ｑ）では、上記のようなシフトレジスタ各段の出力信号Ｑｋ（ｋ＝１～ｐ）、ゲートクロック信号ＧＣＫ、ゲートドライバ出力制御信号ＧＯＥ、および選択信号ＳＥＬに基づき、第１および第２のＡＮＤゲート４４１・４４２、第１のＯＲゲート４４４、および第３のＡＮＤゲート４４３により、内部走査信号ｇ１～ｇｐが生成され、それらの内部走査信号ｇ１～ｇｐが出力部４５でレベル変換されて、ゲートラインＧＬ１～ＧＬｍに印加すべき走査信号Ｇ１～Ｇｐが出力される。

【０３６２】

これにより、ゲートラインＧＬ１～ＧＬｍには、順次同じパルス幅の画素データ書込パルスＰｗが印加される。よって、データ信号の極性が反転するゲートラインの行と、それ以外のゲートラインの行とで、充電期間の長さを等しくすることができるので、上記したような表示ムラを防止することができる。

【０３６３】

なお、図７６に示すように、ＧＣＫがＨレベルになった後にデータ信号の極性が反転するタイミングで、ＧＣＫのＨレベルを１Ｈ期間継続させるようにしてもよい。この場合も、クロックＧＣＫの動作に伴い、出力信号Ｑｋの波形Ｐｑｗの長さが変動する。そして、

ゲートドライバ出力制御信号ＧＯＥおよび選択信号ＳＥＬを適宜設定することによって、上記と同様に、ゲートラインＧＬ１～ＧＬｍに、順次同じパルス幅の画素データ書込パルスＰｗを印加することができる。

【０３６４】

ここで、以下に示す図７７から図７９のデータ信号波形の極性反転時のゲートオンパルスＰｗの形成は、図７４に示したゲートドライバ用ＩＣを用いることによりゲートクロックＧＣＫ、ゲートドライバ出力制御信号ＧＯＥのパルス幅、および選択信号ＳＥＬを適宜選択することにより実現することが可能である。例えば、極性直前のゲートオンパルスの立下りをＧＣＫでマスクし、極性反転直後のゲートオンパルスの立ち上がりをＧＯＥでマスクすればよい。

【０３６５】

図７７は、上記のようなダブルパルス駆動で、データ信号電圧がデータ信号電圧の中央値Ｖｓｃを基準として１０行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の１水平期間（１Ｈ）をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、およびゲートオンパルス（画素データ書き込みパルス）Ｐｗのタイミングチャートを示している。同図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行を示している。

【０３６６】

極性反転が行われた直後は、実際のデータ信号の波形に鈍りが生じている、すなわち、データ信号波形が極性反転後の所定の電圧に到達するまでに時間がかかっている。これに対して、上記の駆動方式では、極性反転直後の１水平期間においては本充電期間を設けないことにより、ダミーの水平期間を設けている。よって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。

【０３６７】

このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインＳＬ１～ＳＬｎ（データ信号線）の、印加電圧に対する実際の電圧の到達率（充電率）を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する１０行毎のムラを防止できる。

【０３６８】

また、図７８に示すように、上記の駆動では、極性反転時点よりも前の時点で印加されるゲートオンパルスＰｗのうち、極性反転時点に最も近いゲートオンパルスＰｗの最後端から、該ゲートオンパルスＰｗが印加される水平期間の終了時点までの時間を第１の期間、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスＰｗのうち、極性反転時点に最も近いゲートオンパルスＰｗの印加開始時点までの時間を第２の期間とすると、この第２の期間が上記第１の期間よりも長くなっている。

【０３６９】

このような駆動によれば、極性反転時点にはゲートオンパルスＰｗが印加されないことになるので、極性反転前後にゲートオンパルスＰｗが印加される隣接する２つのゲートラインにおいて、極性が互いに反転しているデータ信号が同時に印加されないようにすることができる。これにより、極性反転時の画像表示の乱れを防止することができる。

【０３７０】

また、極性反転時点以降に印加されるゲートオンパルスＰｗのうち、極性反転時点に最も近いゲートオンパルスＰｗは、極性反転時点から上記第１の期間よりも長い期間の後にゲートオンされている。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間でプレ充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

【０３７１】

図７９は、上記のようなダブルパルス駆動で、データ信号電圧がＶｓｃを基準として１

０行毎に極性反転する順次走査方式の駆動において、極性反転が行われた直後の２水平期間（２Ｈ）をダミー挿入期間とする場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、およびゲートオンパルスＰｗのタイミングチャートを示している。これらの図において、横方向は時間経過を示しており、縦方向はゲートオンパルスが印加されるゲートライン（書き込み行）ＧＬ１～ＧＬｍの各行を示している。

【０３７２】

上記のように、実際のデータ信号が極性反転後から所定の電圧に到達するまでの時間を含むようにダミー挿入期間の長さを設定することによって、ダミー挿入期間の次の水平期間では、データ信号が所定の電圧に到達した状態でデータ信号の各画素への書き込みが行われることになる。このように、ダミー挿入期間を設けることで、極性反転後の画素データ書き込み時におけるソースラインＳＬ１～ＳＬｎの、印加電圧に対する実際の電圧の到達率を上げることができる。よって、極性反転時のデータ信号波形の鈍りに起因する１０行毎のムラを防止できる。

【０３７３】

なお、上記の例では、ダミー挿入期間を２Ｈまたは３Ｈとしているが、極性反転後のデータ信号波形の鈍りの程度に応じて、４Ｈ以上に設定してもよい。

【０３７４】

また、上記の駆動では、極性反転時点から、該極性反転時点以降に印加されるゲートオンパルスＰｗのうち、極性反転時点に最も近いゲートオンパルスＰｗの印加開始時点までの時間が、水平期間から水平帰線期間を引いた期間としての水平表示期間の時間以上となるようにゲートオンパルスが印加されている。

【０３７５】

前記したように、通常、ソースラインに印加されるデータ信号は、１水平表示期間内で画素が充電されるような信号波形となるように設計される。よって、極性反転時点から１水平表示期間以上経過した時点では、極性反転時に生じるデータ信号の波形の鈍りの影響は抑えられていることになる。よって、極性反転時に生じるデータ信号の波形の鈍りが大きい期間で画素充電が行われないようにすることができるので、表示ムラなどを抑制した表示品位の高い表示を行うことが可能となる。

【０３７６】

なお、上記の構成例では、ゲートクロックＧＣＫ、ゲートドライバ出力制御信号ＧＯＥのパルス幅、および選択信号ＳＥＬを適宜選択することによってダブルパルスとしてのゲートオンパルスＰｗを印加するようにしているが、選択信号ＳＥＬを用いない構成とすることも可能である。図９０は、選択信号ＳＥＬを用いずにダブルパルスのゲートオンパルスＰｗを印加するゲートドライバ用ＩＣの要部構成を示している。同図に示す構成は、ゲートドライバ用ＩＣ４１ｎのうち、１本のゲートラインに対する走査信号Ｇを出力するための構成としてのゲートドライバユニットを示している。

【０３７７】

同図に示すように、このゲートドライバユニットは、第１フリップフロップ４６１、第２フリップフロップ４６２、第１出力マスク４６３、第２出力マスク４６４、およびＯＲゲート４６５を備えている。第１フリップフロップ４６１は、ゲートスタートパルス信号ＧＳＰを入力し、ゲートクロック信号ＧＣＫに従って動作し、出力信号ＱＡを出力する。第１フリップフロップ４６２は、出力信号ＱＡを入力し、ゲートクロック信号ＧＣＫに従って動作し、出力信号ＱＢを出力する。

【０３７８】

第１出力マスク４６３は、出力信号ＱＡに対してゲートドライバ出力制御信号ＧＯＥによるマスクを行った信号を出力する。第２出力マスク４６４は、出力信号ＱＢをゲートクロック信号ＧＣＫがＬレベルとなっている期間のみ出力する。そして、ＯＲゲート４６５は、第１出力マスク４６３からの出力信号と第２出力マスク４６４からの出力信号とのＯＲ論理演算結果を走査信号Ｇとして出力する。なお図示はしていないが、第１フリップフロップ４６１は次段のゲートドライバユニットの第１フリップフロップに出力信号ＱＡを

出力し、順次繰り返すことで、シフトレジスタを構成し、ゲートドライバとして機能する。

【０３７９】

次に、図９１に示す波形図を参照しながら、前記構成例によるゲートドライバ４００の動作について説明する。表示制御回路２００は、波形図に示すように、画素データ書込パルスＰｗに対応する期間ＴｐｓだけＨレベルとなる信号をゲートスタートパルス信号ＧＳＰとして生成するとともに、データ信号の極性反転直後では１水平走査期間（１Ｈ）の期間だけＨレベルとなる一方、それ以外の期間では１水平走査期間（１Ｈ）毎に所定期間だけＨレベルとなるゲートクロック信号ＧＣＫを生成する。

【０３８０】

このようなゲートスタートパルス信号ＧＳＰおよびゲートクロック信号ＧＣＫがゲートドライバ４００に入力されると、先頭のゲートドライバユニットにおける第１フリップフロップ４６１の出力信号ＱＡ１が出力される。

【０３８１】

また、ゲートスタートパルスＧＳＰがゲートクロック信号ＧＣＫに従ってゲートドライバユニットを順次転送されていく。それに応じて各ゲートドライバユニットから、信号波形がＧＣＫの立ち下がりに合わせてＨレベルとなりそのＧＣＫの１つ後のＧＣＫの立ち下がりに合わせてＬレベルとなる出力信号ＱＡｋが順次ずれて出力される。

【０３８２】

また、ＧＣＫがＨレベルになった後にデータ信号の極性が反転するタイミングでは、ＧＣＫがＨレベルで継続する期間が１Ｈとなっている。このクロックＧＣＫの動作に伴い、出力信号ＱＡｋのパルス幅が変動する。

【０３８３】

また、第１フリップフロップ４６１から出力信号ＱＡｋが出力されると、これに従って第２フリップフロップ４６２がＧＣＫに従って出力信号ＱＢｋが出力される。すなわち、出力信号ＱＡｋが１Ｈだけずれた信号が出力信号ＱＢｋとなる。

【０３８４】

また、表示制御回路２００は、前述したように、ゲートドライバ４００を構成するゲートドライバ用ＩＣ４１１～４１ｑに与えるべきゲートドライバ出力制御信号ＧＯＥを生成する。このＧＯＥは、データ信号の極性反転直前の１Ｈ期間だけＨレベルとなり、それ以外の期間はＬレベルとなる信号である。このＧＯＥのＨレベルとなるパルス幅を制御することによって、第１出力マスク４６３によるマスク作用により、走査信号Ｇｋのプレ充電期間の長さが制御される。また、出力信号ＱＢｋとＧＣＫとに基づいて、第２出力マスク４６４によるマスク作用により、走査信号Ｇｋの本充電期間が設定される。

【０３８５】

これにより、選択信号ＳＥＬを用いることなく、ゲートラインＧＬ１～ＧＬｍには、順次同じパルス幅の画素データ書込パルスＰｗが印加される。よって、データ信号の極性が反転するゲートラインの行と、それ以外のゲートラインの行とで、充電期間の長さを等しくすることができるので、上記したような表示ムラを防止することができる。

【０３８６】

また、ゲートドライバユニットを奇数行用と偶数行用に２系統用意し、後述する図８０に示す構成と同様に、それぞれ、奇数行用と偶数行用の入力信号ＧＳＰａ、ＧＳＰｂ、ＧＣＫａ、ＧＣＫｂ、ＧＯＥａ、ＧＯＥｂを入力することで、ブロック分割インターレース駆動を実現することもできる。

【０３８７】

（ダブルパルスを実現するゲートドライバの構成および動作（２））

図８０は、上記のようなダブルパルス駆動で、ブロック分割インターレース駆動を実現するゲートドライバ用ＩＣ４１ｎの構成例を示している。ゲートドライバ用ＩＣ４１ｎは、同図に示すように、第１および第２シフトレジスタ４２・４３、論理回路Ａおよび論理回路Ｂ、および、出力部４５を備えている。

【０３８８】
第１シフトレジスタ４２は、奇数段用シフトレジスタであり、第２シフトレジスタ４３は、偶数段用シフトレジスタである。論理回路Ａは第１シフトレジスタ４２からの出力に対応して設けられており、論理回路Ｂは第２シフトレジスタ４３からの出力に対応して設けられている。出力部４５は、論理回路Ａおよび論理回路Ｂの出力信号ｇ１～ｇｐに基づいて走査信号Ｇ１～Ｇｐを出力する。
【０３８９】
ゲートドライバ用ＩＣ４１ｎには、外部から各シフトレジスタに入力されるスタートパルス信号ＳＰｉａ・ＳＰｉｂ、クロック信号ＣＫａ・ＣＫｂ、出力制御信号ＯＥａ・ＯＥｂ、および選択信号ＳＥＬａ・ＳＥＬｂが入力されている。スタートパルス信号ＳＰｉａ・ＳＰｉｂは、それぞれ第１シフトレジスタ４２および第２シフトレジスタ４３の入力端に入力され、第１シフトレジスタ４２および第２シフトレジスタ４３の出力端からは、後続のゲートドライバ用ＩＣに入力されるべきスタートパルス信号ＳＰｏａ、ＳＰｏｂが出力される。
【０３９０】
論理回路Ａおよび論理回路Ｂは、それぞれ第１、第２および第３のＡＮＤゲート４４１、４４２、４４３と、第１のＯＲゲート４４４とを備えている。
【０３９１】
論理回路Ａの奇数段（Ｑ（４ｋ－３）（ｋ＝１，２，…）に対応）では、第１のＡＮＤゲート４４１には出力制御信号ＯＥａと選択信号ＳＥＬａの論理反転信号とが入力され、第２のＡＮＤゲート４４２にはクロック信号ＣＫａと選択信号ＳＥＬａとが入力され、第１のＯＲゲート４４４には第１のＡＮＤゲート４４１と第２のＡＮＤゲート４４２との出力が入力され、第３のＡＮＤゲート４４３には第１のＯＲゲート４４４の出力の論理反転信号とシフトレジスタの奇数段出力信号Ｑ（４ｋ－３）とが入力される。
【０３９２】
論理回路Ａの偶数段（Ｑ（４ｋ－１）（ｋ＝１，２，…）に対応）では、第１のＡＮＤゲート４４１には出力制御信号ＯＥａと選択信号ＳＥＬａとが入力され、第２のＡＮＤゲート４４２にはクロック信号ＣＫａと選択信号ＳＥＬａの論理反転信号とが入力され、第１のＯＲゲート４４４には第１のＡＮＤゲート４４１と第２のＡＮＤゲート４４２の出力が入力され、第３のＡＮＤゲート４４３には第１のＯＲゲート４４４の出力の論理反転信号とシフトレジスタの奇数段出力信号Ｑ（４ｋ－１）とが入力される。
【０３９３】
論理回路Ｂの奇数段（Ｑ（４ｋ－２）（ｋ＝１，２，…）に対応）では、第１のＡＮＤゲート４４１には出力制御信号ＯＥｂと選択信号ＳＥＬｂの論理反転信号とが入力され、第２のＡＮＤゲート４４２にはクロック信号ＣＫｂと選択信号ＳＥＬｂとが入力され、第１のＯＲゲート４４４には第１のＡＮＤゲート４４１と第２のＡＮＤゲート４４２との出力が入力され、第３のＡＮＤゲート４４３には第１のＯＲゲート４４４の出力の論理反転信号とシフトレジスタ４６の奇数段出力信号Ｑ（４ｋ－２）とが入力される。
【０３９４】
論理回路Ｂの偶数段（Ｑ（４ｋ）（ｋ＝１，２，…）に対応）では、第１のＡＮＤゲート４４１には出力制御信号ＯＥｂと選択信号ＳＥＬｂとが入力され、第２のＡＮＤゲート４４２にはクロック信号ＣＫｂと選択信号ＳＥＬｂの論理反転信号とが入力され、第１のＯＲゲート４４４には第１のＡＮＤゲート４４１と第２のＡＮＤゲート４４２の出力が入力され、第３のＡＮＤゲート４４３には第１のＯＲゲート４４４の出力の論理反転信号とシフトレジスタの奇数段出力信号Ｑ（４ｋ）とが入力される。
【０３９５】
本構成例によるゲートドライバ４００は、上記構成の複数（ｑ個）のゲートドライバ用ＩＣ４１１～４１ｑが、縦続接続されることによって実現される。すなわち、ゲートドライバ用ＩＣ４１１～４１ｑ内の第１および第２シフトレジスタ４２・４３が１つのシフトレジスタを形成するように、各ゲートドライバ用ＩＣ４１ｎ内の第１および第２シフトレ

ジスタ４２・４３の出力端が次のゲートドライバ用ＩＣ内の第１および第２シフトレジスタ４２・４３の入力端に接続される。

【０３９６】

ただし、先頭のゲートドライバ用ＩＣ４１１内の第１および第２シフトレジスタ４２・４３の入力端には、表示制御回路２００からゲートスタートパルス信号ＧＳＰａ、ＧＳＰｂが入力され、最後尾のゲートドライバ用ＩＣ４１ｑ内の第１および第２シフトレジスタ４２・４３の出力端は外部と未接続となっている。また、表示制御回路２００からのゲートクロック信号ＧＣＫａ・ＧＣＫｂ、出力制御信号ＧＯＥａ・ＧＯＥｂ、および選択信号ＳＥＬａ・ＳＥＬｂは、各ゲートドライバ用ＩＣ４１ｎにクロック信号ＣＫａ・ＣＫｂ、出力制御信号ＯＥａ・ＯＥｂ、および選択信号ＳＥＬａ・ＳＥＬｂとして共通に入力される。

【０３９７】

次に、図８１および図８２に示す波形図を参照しながら、前記構成例によるゲートドライバ４００の動作について説明する。図８１は、ラッチストローブ信号ＬＳ、データ信号、データ信号の極性ＰＯＬ、ゲートスタートパルス信号ＧＳＰａ・ＧＳＰｂ、ゲートクロック信号ＧＣＫａ・ＧＣＫｂ、出力制御信号ＧＯＥａ・ＧＯＥｂ、選択信号ＳＥＬａ・ＳＥＬｂ、および、出力信号Ｑｎのタイミングチャートを示しており、図８２は、図８１に対応した、ラッチストローブ信号ＬＳ、データ信号、データ信号の極性ＰＯＬ、および走査信号Ｇｎのタイミングチャートを示している。

【０３９８】

表示制御回路２００は、波形図に示すように、画素データ書込パルスＰｗに対応する期間ＴｓｐｗだけＨレベルとなる信号をゲートスタートパルス信号ＧＳＰ（奇数段用ＧＳＰａおよび偶数段用ＧＳＰｂ）として生成するとともに、データ信号の極性反転直後を除き基本的に１水平走査期間（１Ｈ）毎に所定期間だけＨレベルとなるゲートクロック信号ＧＣＫ（奇数段用ＧＣＫａおよび偶数段用ＧＣＫｂ）を生成する。

【０３９９】

このようなゲートスタートパルス信号ＧＳＰおよびゲートクロック信号ＧＣＫ（ＧＣＫａ・ＧＣＫｂ）がゲートドライバ４００に入力されると、先頭のゲートドライバ用ＩＣ４１１における第１および第２シフトレジスタ４２・４３の初段の出力信号Ｑ１・Ｑ２が出力される。この出力信号Ｑ１・Ｑ２は、各フレーム期間において、画素データ書込パルスＰｗに対応するパルスＰｑｗを含む。

【０４００】

このようなパルスＰｑｗがゲートクロック信号ＧＣＫに従ってゲートドライバ４００の結合シフトレジスタを順次転送されていく。それに応じて結合シフトレジスタの各段から、信号波形がＧＣＫの立ち上がりに合わせてＨレベルとなりそのＧＣＫの２つ後のＧＣＫの立ち上がりに合わせてＬレベルとなる出力信号Ｑｎが順次ずれて出力される。

【０４０１】

また、ＧＣＫは奇数段出力を制御するＧＣＫａと偶数段出力を制御するＧＣＫｂとからなるが、これらのクロック信号は、データ信号の極性ＰＯＬが反転するのと連動してＨレベルを維持し、次にデータ信号の極性が再度反転後ダミー挿入期間（１Ｈ）が経過するとクロック信号がＬレベルとなり、１Ｈ毎に所定期間だけＨレベルとなる基本動作を再開する。このクロック（ＧＣＫａ・ＧＣＫｂ）の動作に伴い、出力信号Ｑｋの波形Ｐｑｗの長さが変動する。

【０４０２】

また、表示制御回路２００は、前述したように、ゲートドライバ４００を構成するゲートドライバ用ＩＣ４１１～４１ｑに与えるべきゲートドライバ出力制御信号ＧＯＥ（ＧＯＥａ・ＧＯＥｂ）および選択信号ＳＥＬａ・ＳＥＬｂを生成する。選択信号ＳＥＬによってＧＣＫおよびＧＯＥのいずれかが選択され、この選択された方によってパルスＰｑｗのパルス幅が調整され、画素データ書込パルスＰｗが設定される。図において、ＰｑｗおよびＰｗのパルス幅中に記載されている「ＯＥａ（ｂ）」「ＣＫａ（ｂ）」は、それぞれＧ

ＯＥａ（ｂ）によって制御されている部分、ＧＣＫａ（ｂ）によって制御されている部分を示している。

【０４０３】

各ゲートドライバ用ＩＣチップ４１ｎ（ｎ＝１～ｑ）では、上記のようなシフトレジスタ各段の出力信号Ｑｋ（ｋ＝１～ｐ）、ゲートクロック信号ＧＣＫ、ゲートドライバ出力制御信号ＧＯＥ、および選択信号ＳＥＬに基づき、第１および第２のＡＮＤゲート４４１・４４２、第１のＯＲゲート４４４、および第３のＡＮＤゲート４４３により、内部走査信号ｇ１～ｇｐが生成され、それらの内部走査信号ｇ１～ｇｐが出力部４５でレベル変換されて、ゲートラインＧＬ１～ＧＬｍに印加すべき走査信号Ｇ１～Ｇｐが出力される。

【０４０４】

これにより、ゲートラインＧＬ１～ＧＬｍには、順次同じパルス幅の画素データ書込パルスＰｗが印加される。よって、データ信号の極性が反転するゲートラインの行と、それ以外のゲートラインの行とで、充電期間の長さを等しくすることができるので、上記したような表示ムラを防止することができる。

【０４０５】

なお、図８３および図８４に示すように、データ信号の極性ＰＯＬが反転するのと連動して、ＧＯＥａが所定の周期（１Ｈ）で所定のパルス幅でＬレベルとなる期間と、ＧＯＥｂが所定の周期（１Ｈ）で所定のパルス幅でＬレベルとなる期間とが切り替えられるようになっていてもよい。この場合、ＧＯＥａおよびＧＯＥｂにおけるＬレベルとなる期間の長さを調整することによって、画素データ書込パルスＰｗのパルス幅を調整することができる。

【０４０６】

図８５は、上記のようなダブルパルス駆動で、１つのブロックに含まれる走査線数αを２０としたブロック分割飛び越し走査方式の駆動において、データ信号の極性反転が行われた直後の１水平期間（１Ｈ）を第１のダミー挿入期間とし、データ信号の極性反転が行われた時点の５水平期間（５Ｈ）前の１水平期間（１Ｈ）を第２のダミー挿入期間とするとともに、第１および第２のダミー挿入期間を挿入した期間におけるＣＳ信号にもそれぞれ１Ｈ分のＣＳ信号ダミー期間を挿入する場合のデータ信号波形、データ信号、ラッチストローブ信号ＬＳ、ゲートオンパルスＰｗ、およびＣＳ信号のタイミングチャートを示している。また、図８６は、第１のダミー挿入期間および第２のダミー挿入期間のそれぞれを２Ｈとした場合の駆動例を示している。なお、ゲートオンパルスＰｗのパルス幅がダブルパルスである点以外は、前記した図２６および図３０と同様の駆動であるので、ここではその説明を省略する。

【０４０７】

［テレビジョン受像機の構成］

次に、本発明に係る液晶表示装置をテレビジョン受像機に使用した例について説明する。図４９は、このテレビジョン受像機用の表示装置８００の構成を示すブロック図である。この表示装置８００は、Ｙ／Ｃ分離回路８０と、ビデオクロマ回路８１と、Ａ／Ｄコンバータ８２と、液晶コントローラ８３と、液晶パネル８４と、バックライト駆動回路８５と、バックライト８６と、マイコン（マイクロコンピュータ）８７と、階調回路８８とを備えている。なお、上記液晶パネル８４は、本発明に係る液晶表示装置に対応するものであり、アクティブマトリクス型の画素アレイからなる表示部と、その表示部を駆動するためのソースドライバおよびゲートドライバを含んでいる。

【０４０８】

上記構成の表示装置８００では、まず、テレビジョン信号としての複合カラー映像信号Ｓｃｖが外部からＹ／Ｃ分離回路８０に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路８１にて光の３原色に対応するアナログＲＧＢ信号に変換され、さらに、このアナログＲＧＢ信号はＡ／Ｄコンバータ８２により、デジタルＲＧＢ信号に変換される。このデジタルＲＧＢ信号は液晶コントローラ８３に入力される。また、Ｙ／Ｃ分離回路８０では、外部から入力された複合カラー映像信号

Ｓｃｖから水平および垂直同期信号も取り出され、これらの同期信号もマイコン８７を介して液晶コントローラ８３に入力される。

【０４０９】

液晶コントローラ８３は、Ａ／Ｄコンバータ８２からのデジタルＲＧＢ信号（前記したデジタルビデオ信号Ｄｖに相当）に基づきドライバ用データ信号を出力する。また、液晶コントローラ８３は、液晶パネル８４内のソースドライバおよびゲートドライバを上記実施形態と同様に動作させるためのタイミング制御信号を、上記同期信号に基づいて生成し、それらのタイミング制御信号をソースドライバおよびゲートドライバに与える。また、階調回路８８では、カラー表示の３原色Ｒ，Ｇ，Ｂそれぞれの階調電圧が生成され、それらの階調電圧も液晶パネル８４に供給される。

【０４１０】

液晶パネル８４では、これらのドライバ用データ信号、タイミング制御信号および階調電圧に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号、走査信号等）が生成され、それらの駆動用信号に基づき内部の表示部にカラー画像が表示される。なお、この液晶パネル８４によって画像を表示するには、液晶パネル８４の後方から光を照射する必要がある。この表示装置８００では、マイコン８７の制御の下にバックライト駆動回路８５がバックライト８６を駆動することにより、液晶パネル８４の裏面に光が照射される。

【０４１１】

上記の処理を含め、システム全体の制御はマイコン８７が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号等も使用可能であり、この表示装置８００では、様々な映像信号に基づいた画像表示が可能である。

【０４１２】

上記構成の表示装置８００でテレビジョン放送に基づく画像を表示する場合には、図５０に示すように、当該表示装置８００にチューナ部９０が接続される。このチューナ部９０は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号Ｓｃｖを取り出す。この複合カラー映像信号Ｓｃｖは、既述のように表示装置８００に入力され、この複合カラー映像信号Ｓｃｖに基づく画像が当該表示装置８００によって表示される。

【０４１３】

図５１は、上記構成の表示装置をテレビジョン受像機とするときの機械的構成の一例を示す分解斜視図である。図５１に示した例では、テレビジョン受像機は、その構成要素として、上記表示装置８００の他に第１筐体８０１および第２筐体８０６を有しており、表示装置８００を第１筐体８０１と第２筐体８０６とで包み込むようにして挟持した構成となっている。第１筐体８０１には、表示装置８００で表示される画像を透過させる開口部８０１ａが形成されている。また、第２筐体８０６は、表示装置８００の背面側を覆うものであり、当該表示装置８００を操作するための操作用回路８０５が設けられると共に、下方に支持用部材８０８が取り付けられている。

【０４１４】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【０４１５】

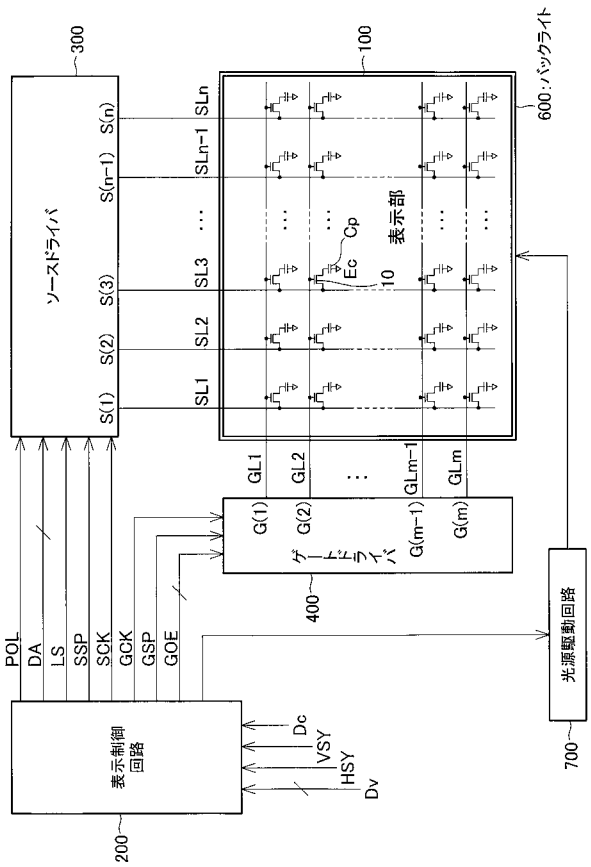
また、本願では説明の便宜上、列方向にデータ信号線、行方向に走査信号線と関連付けているが、画面を90°回転した構成なども含まれることは言うまでもない。

【産業上の利用可能性】

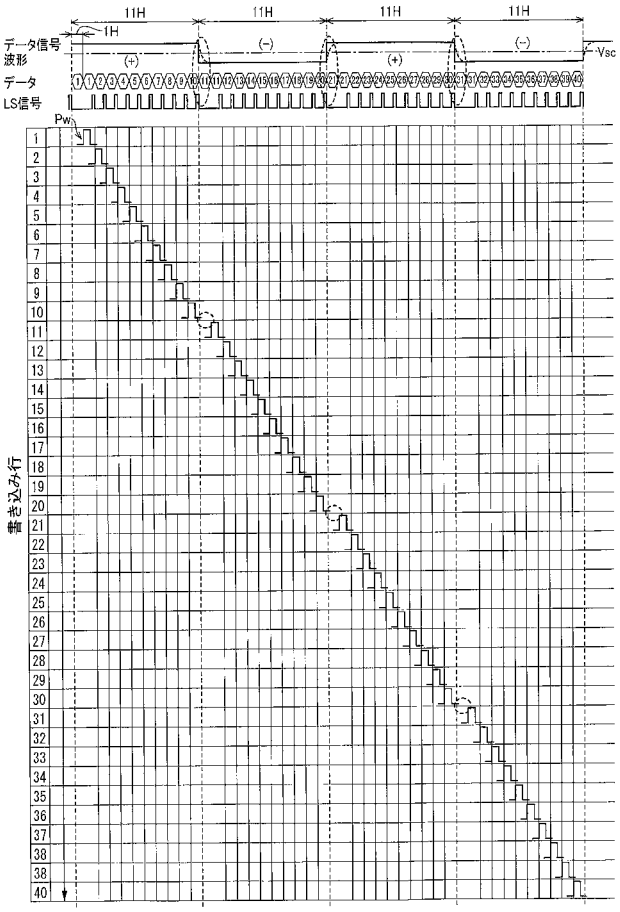
【０４１６】

本発明に係る液晶表示装置は、例えばパーソナルコンピュータのモニターやテレビジョン受像機など、各種の表示装置に適用できる。

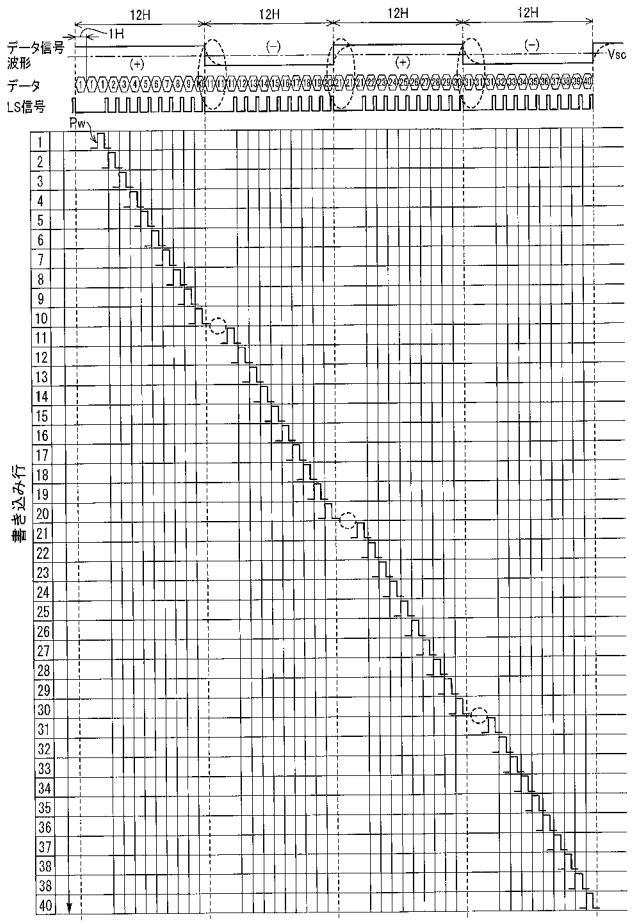
【図１】



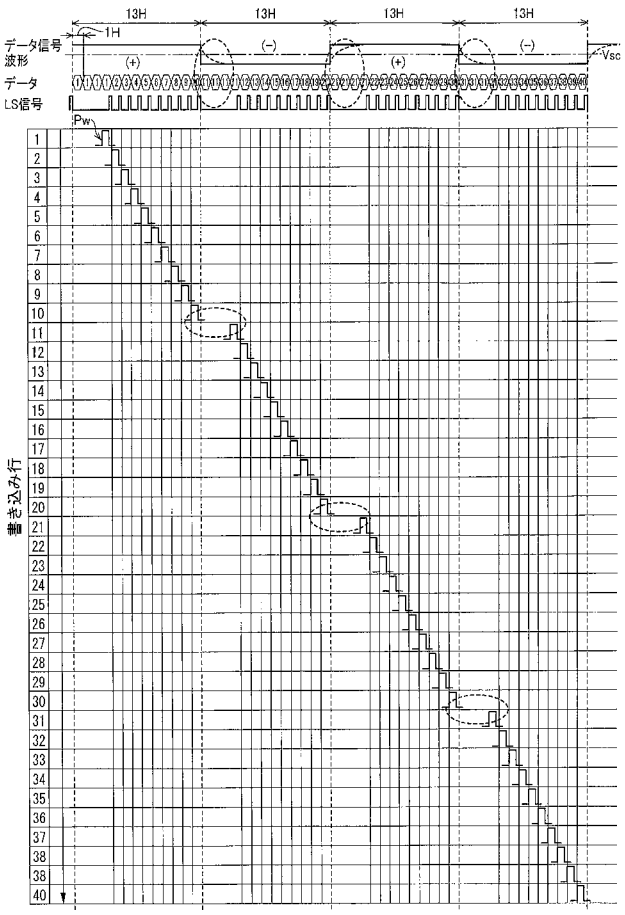
【図２】



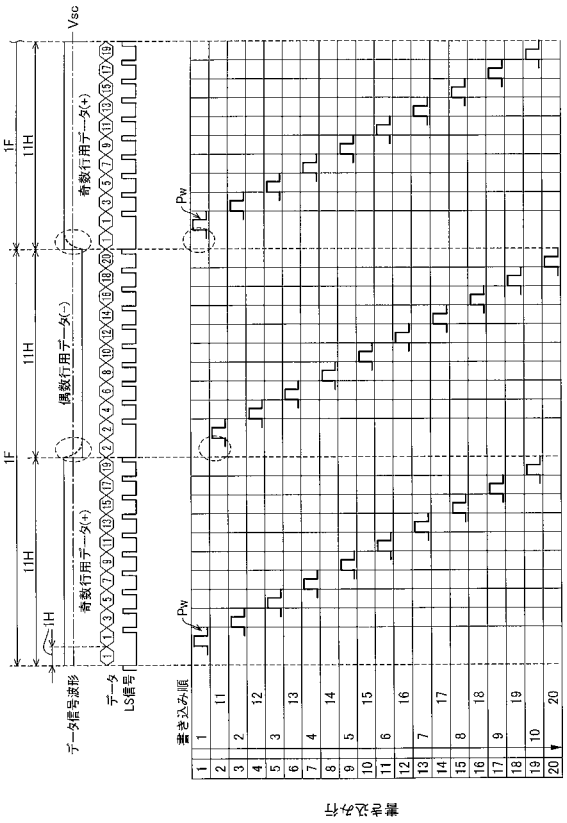
【図３】


12H
12H
12H
12H
1H
データ信号波形
データ
LS信号
(+)
(−)
(+)
(−)
Vsc
Pw
書き込み行

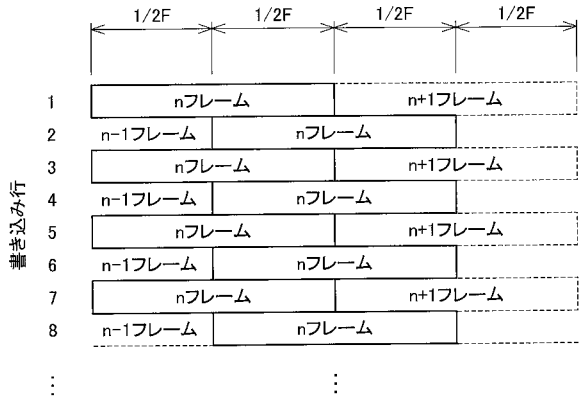
【図４】


13H
13H
13H
13H
1H
データ信号波形
データ
LS信号
(+)
(−)
(+)
(−)
Vsc
Pw
書き込み行

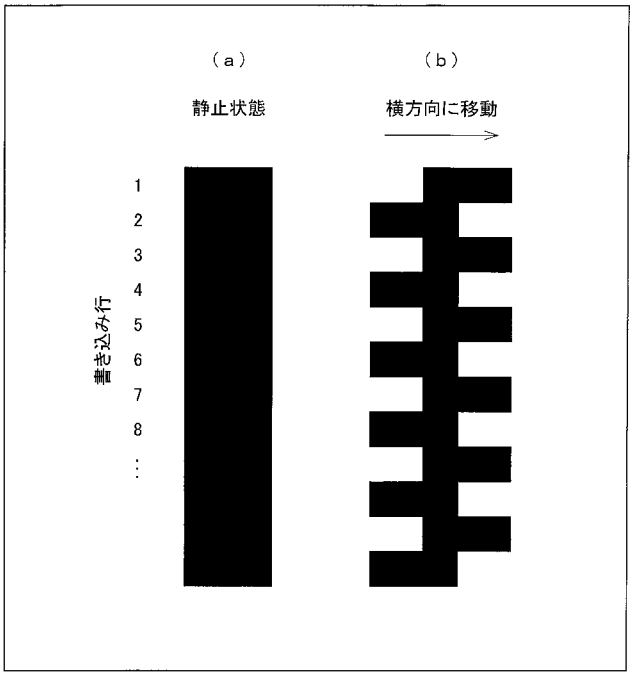
【図５】


Vsc
1F
11H
1H
偶数行用データ(−)
奇数行用データ(+)
データ信号波形
データ
LS信号
Pw
書き込み順
書き込み行

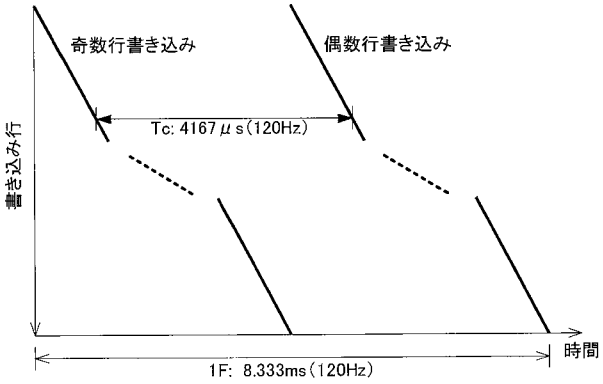
【図６】


1/2F
1/2F
1/2F
1/2F
nフレーム
n+1フレーム
n−1フレーム
nフレーム
書き込み行

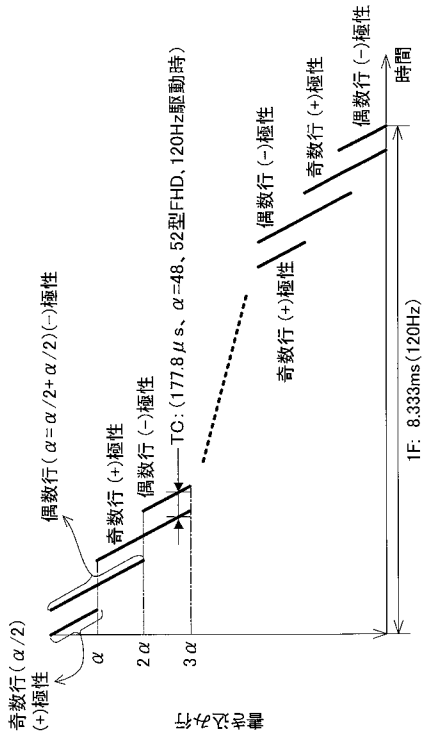
【図７】


（ａ）
静止状態
（ｂ）
横方向に移動
書き込み行
1
2
3
4
5
6
7
8
…

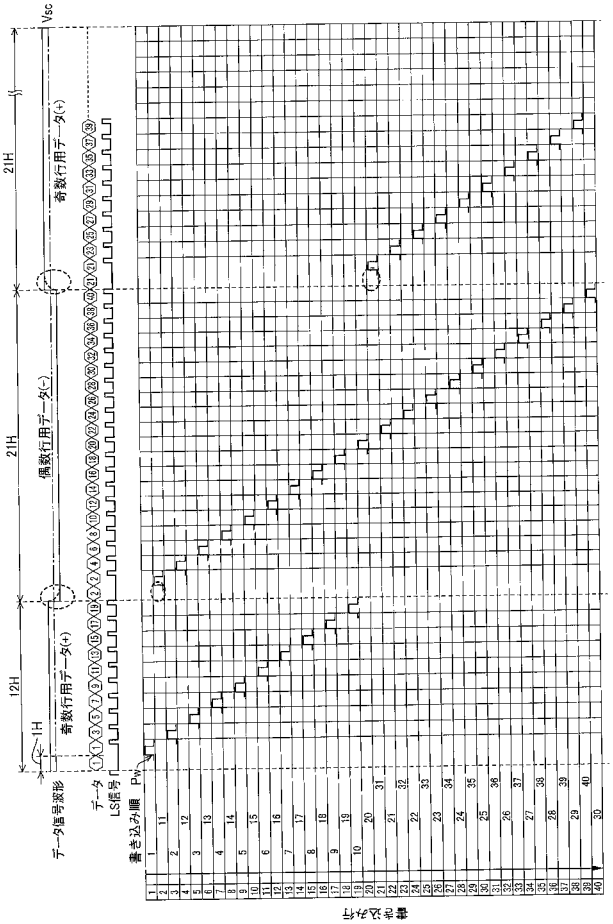
【図８】


奇数行書き込み
偶数行書き込み
Tc: 4167μs(120Hz)
書き込み行
時間
1F: 8.333ms(120Hz)

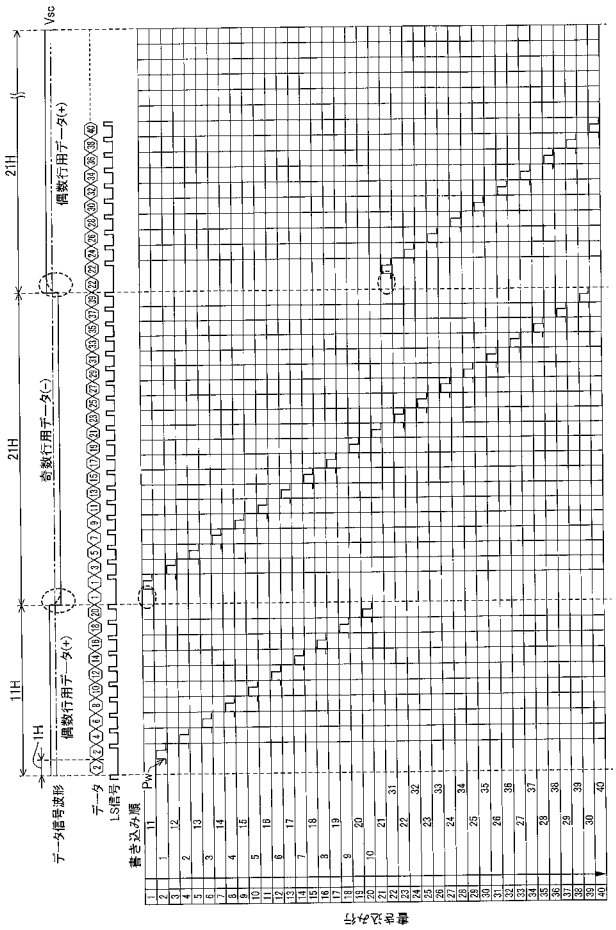
【図９】


偶数行(α=α/2+α/2)(−)極性
奇数行(+)極性
偶数行(−)極性
TC:(177.8μs、α=48、52型FHD、120Hz駆動時)
奇数行(α/2)
(+)極性
α
2α
3α
奇数行(+)極性
偶数行(−)極性
奇数行(+)極性
偶数行(−)極性
1F: 8.333ms(120Hz)
時間
書き込み行

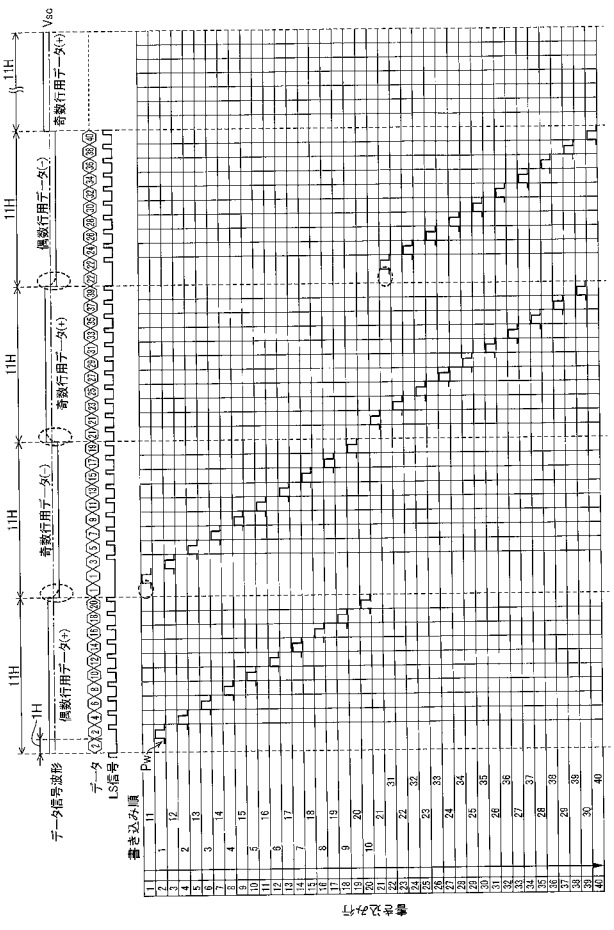
【図１０】


Vsc
21H
奇数行用データ(+)
21H
偶数行用データ(−)
12H
1H
奇数行用データ(+)
データ信号波形
データ
LS信号
Pw
書き込み順
書き込み行

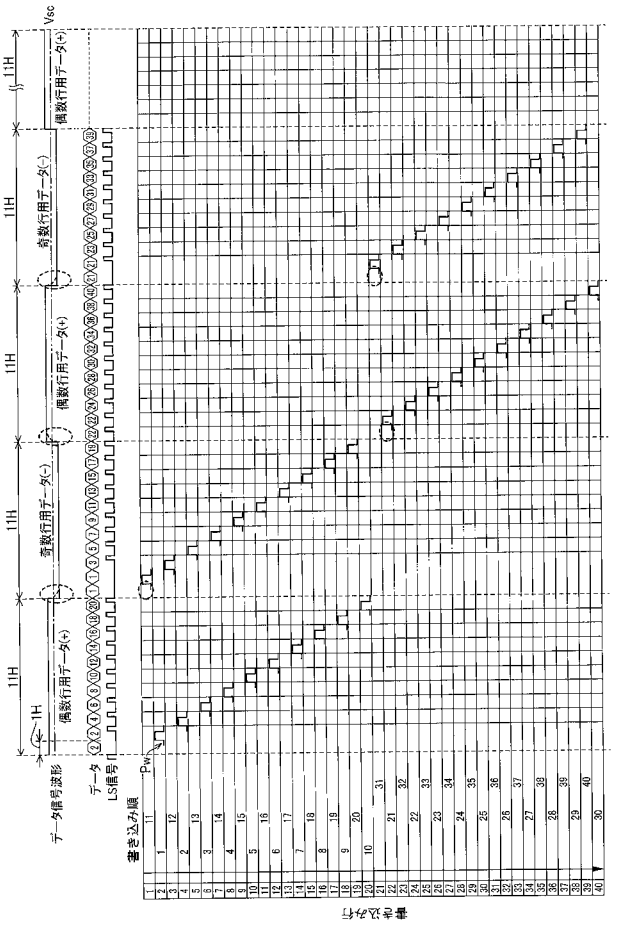
【図１１】



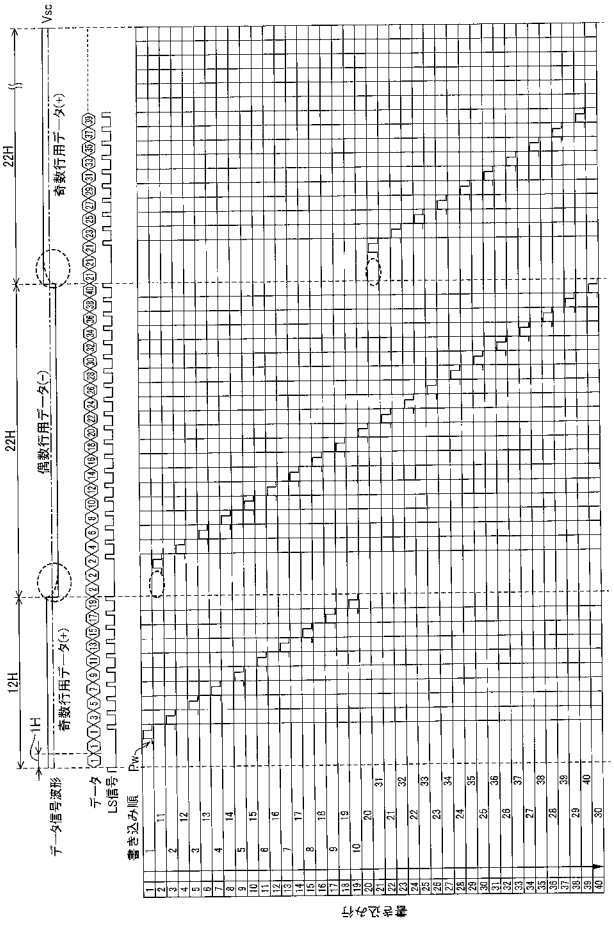
【図１２】



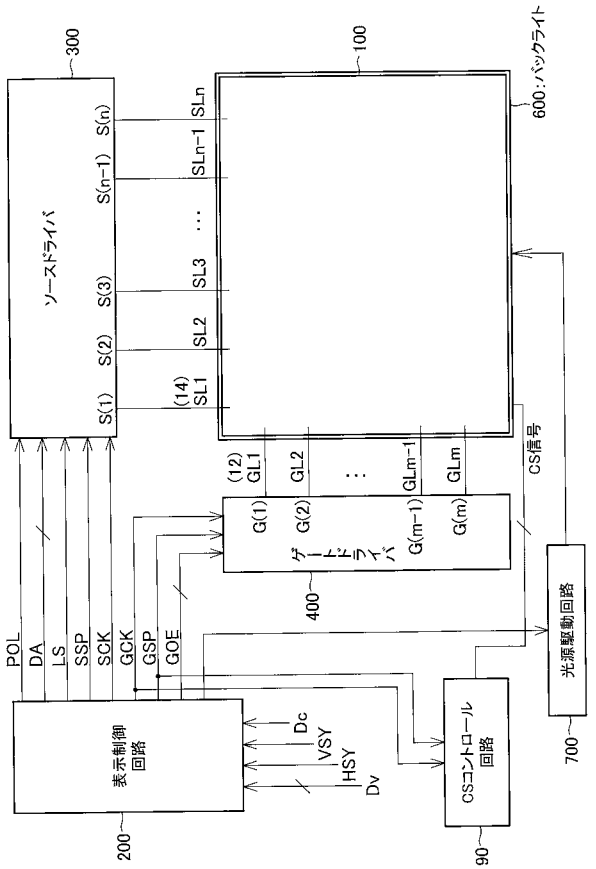
【図１３】



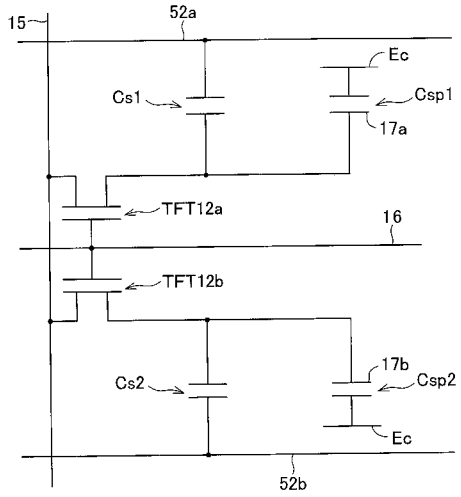
【図１４】



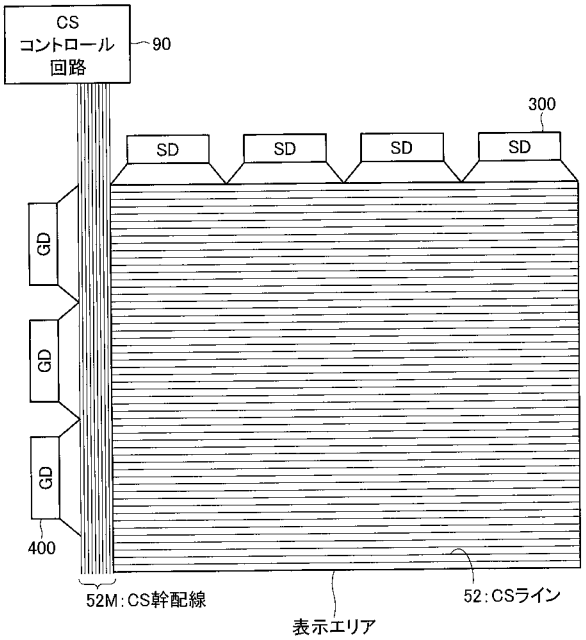
【図１５】



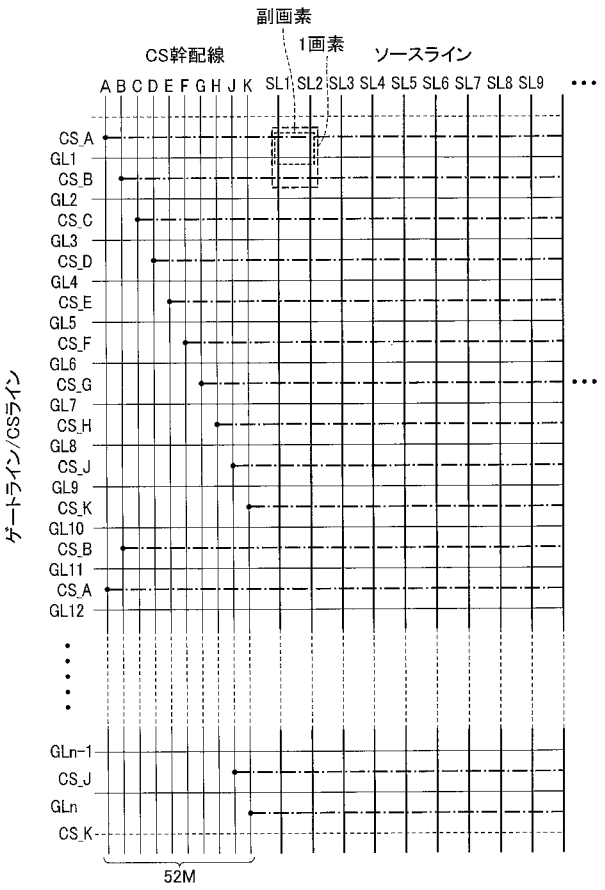
【図１６】



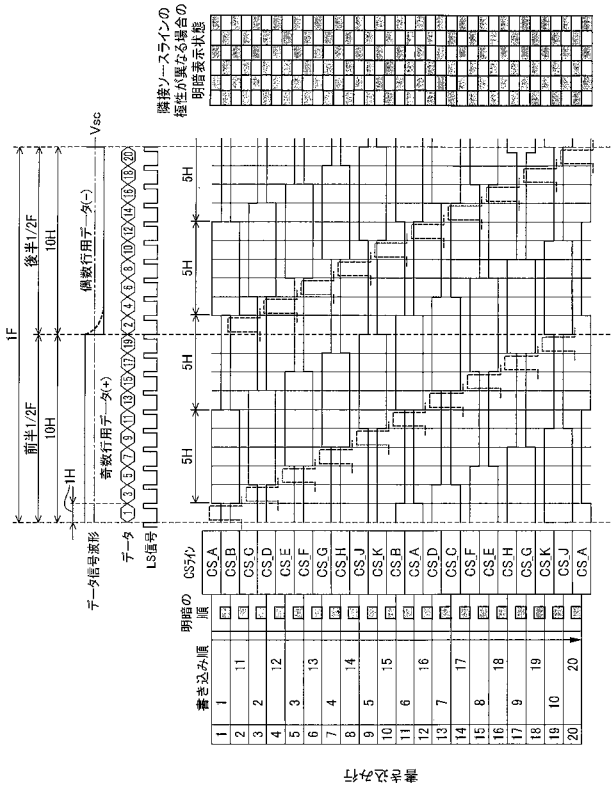
【図１７】



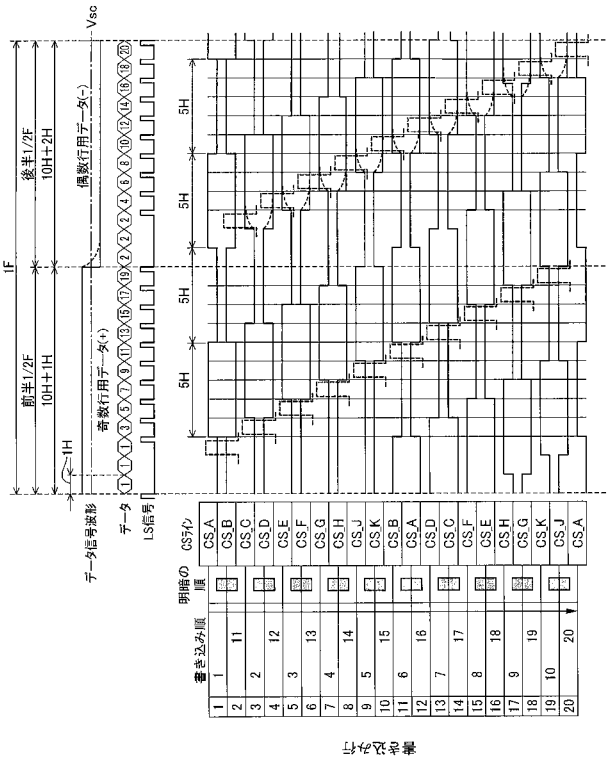
【図１８】



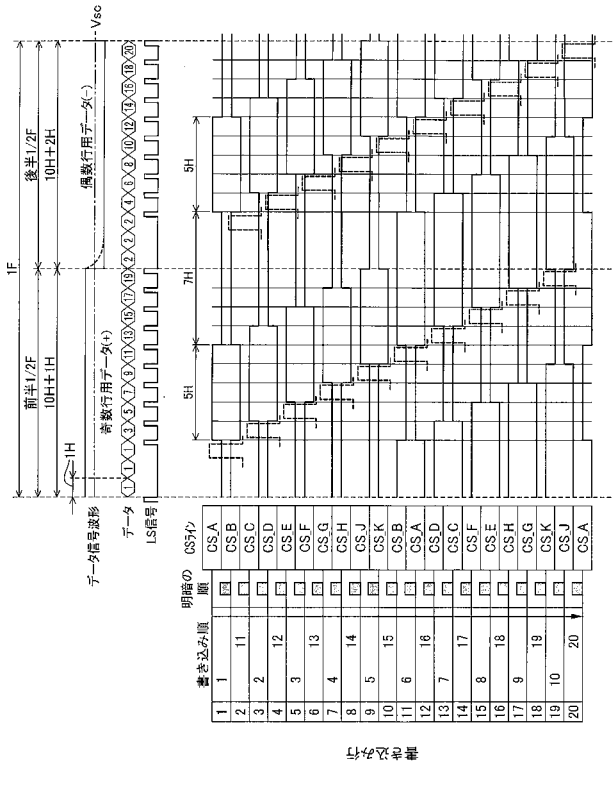
【図１９】



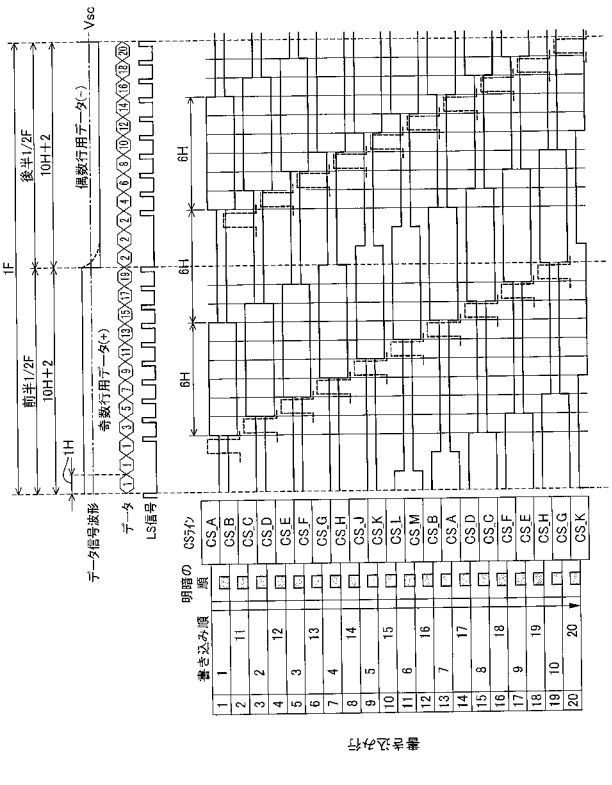
【図２０】



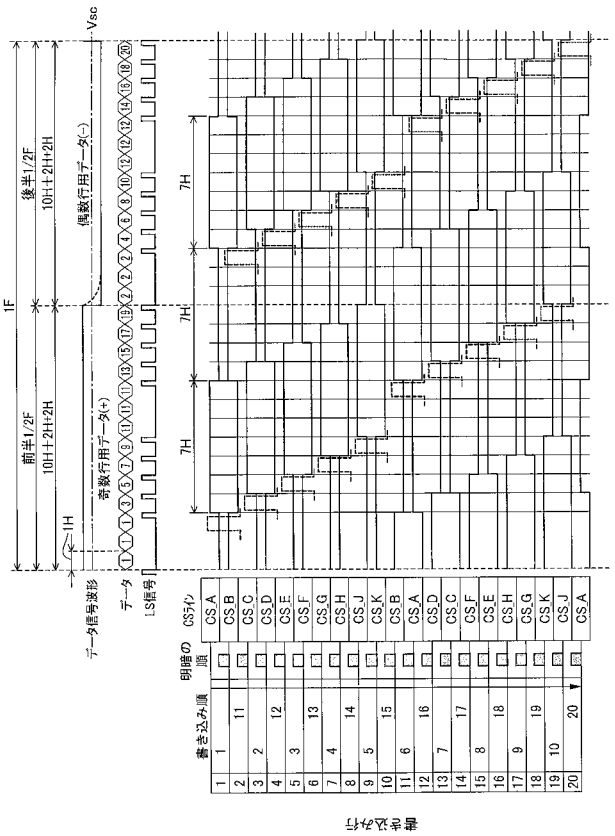
【図２１】



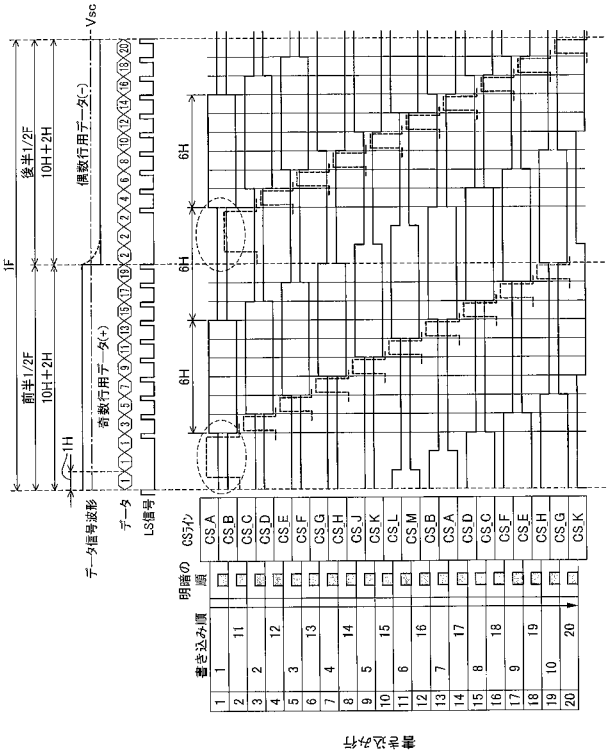
【図２２】



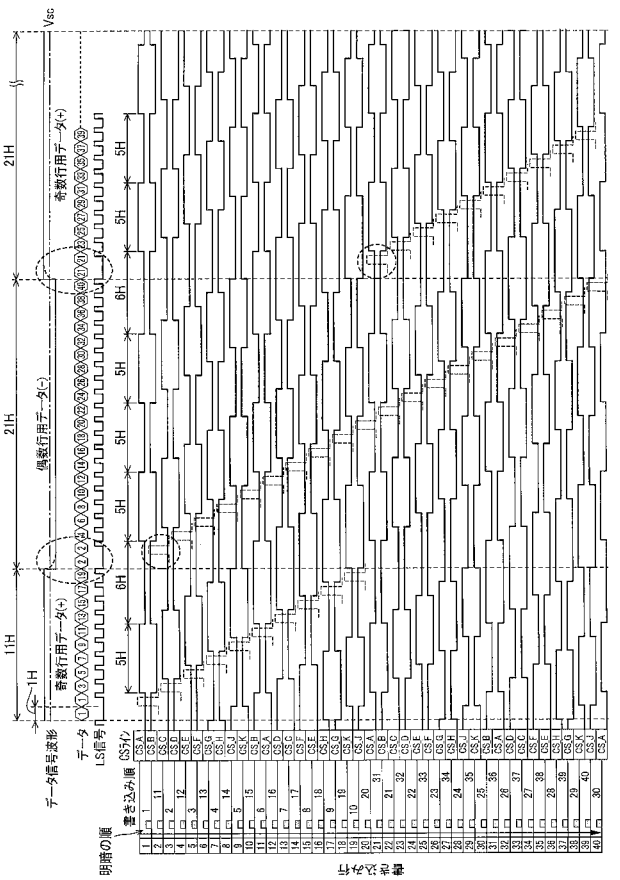
【図２３】



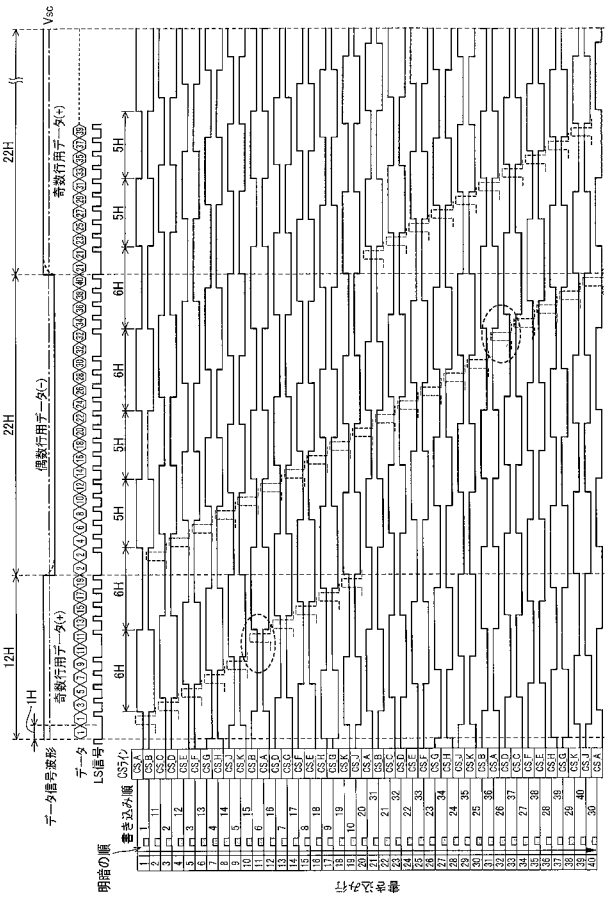
【図２４】



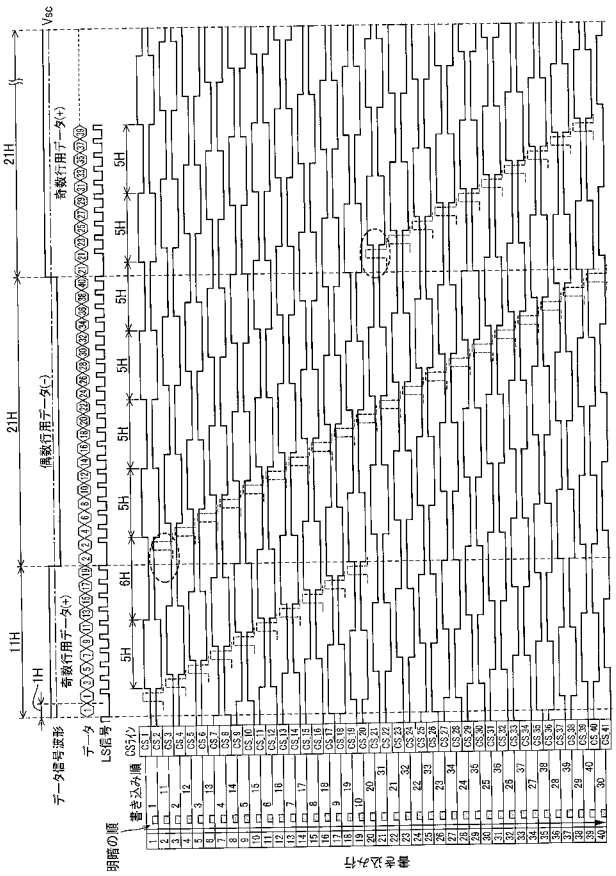
【図２５】



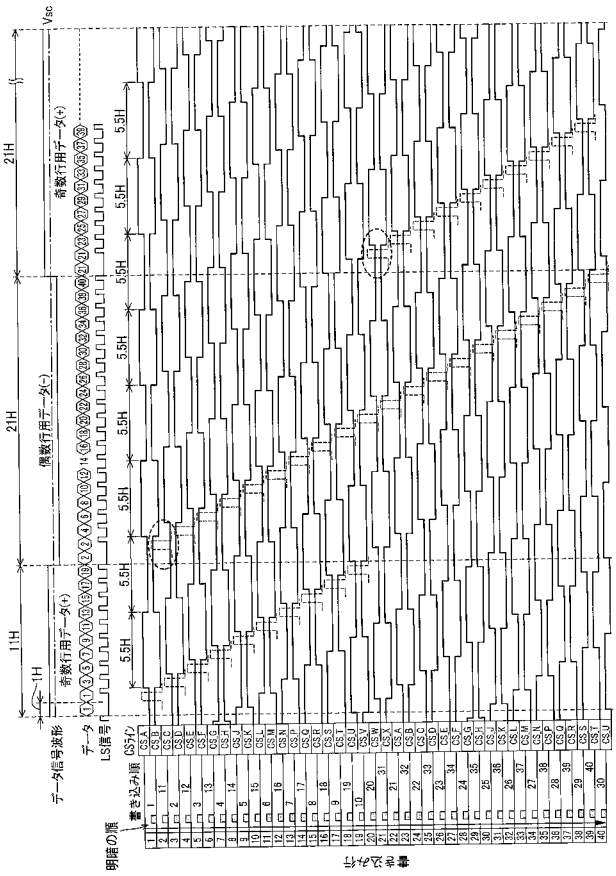
【図２６】



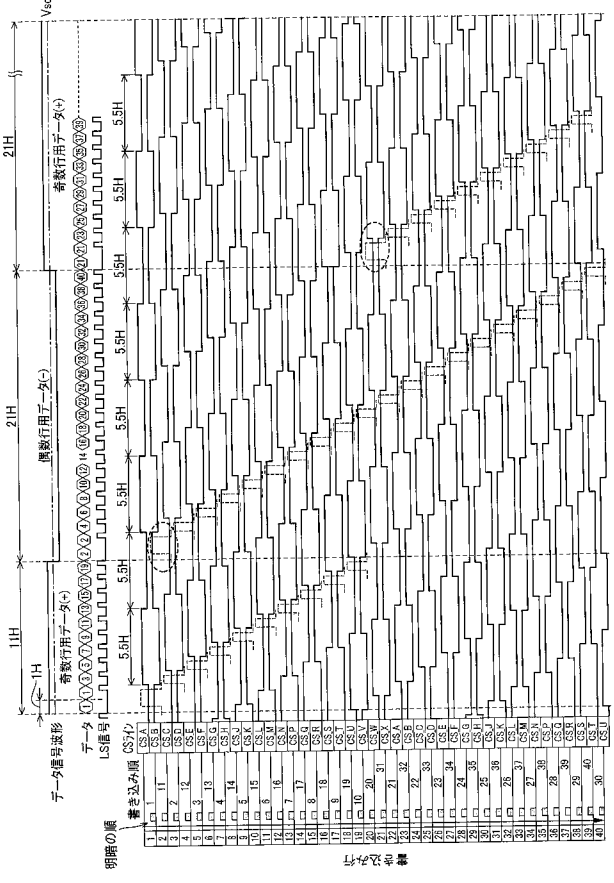
【図２７】



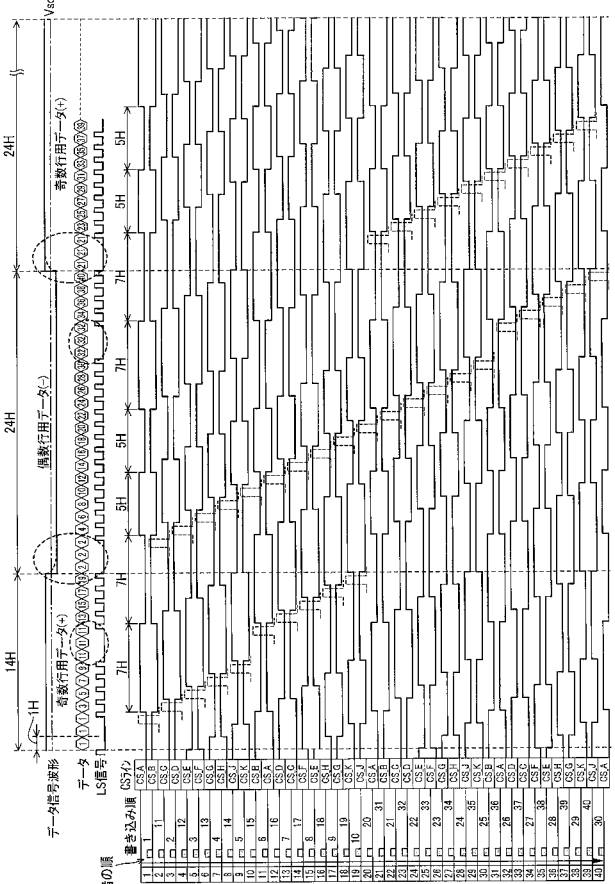
【図２８】



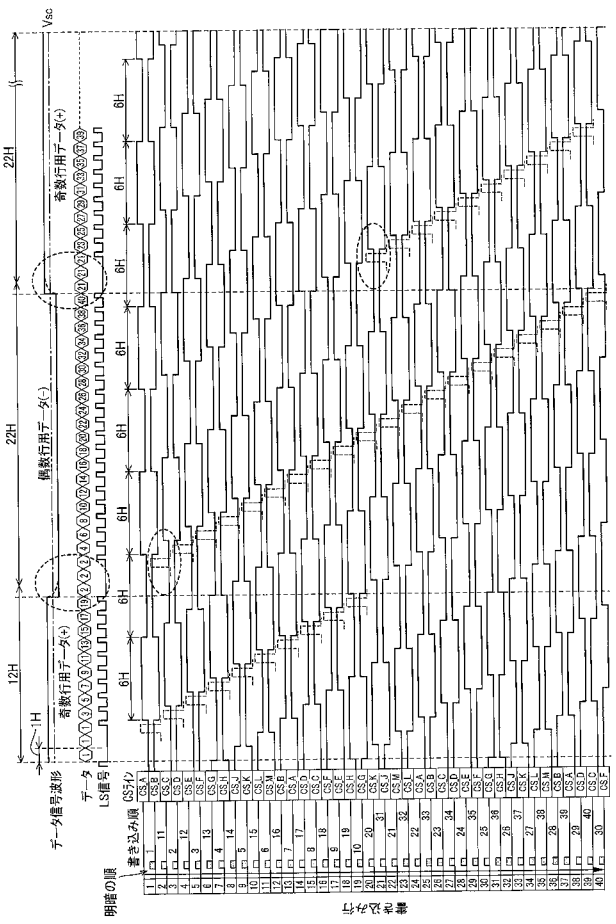
【図２９】



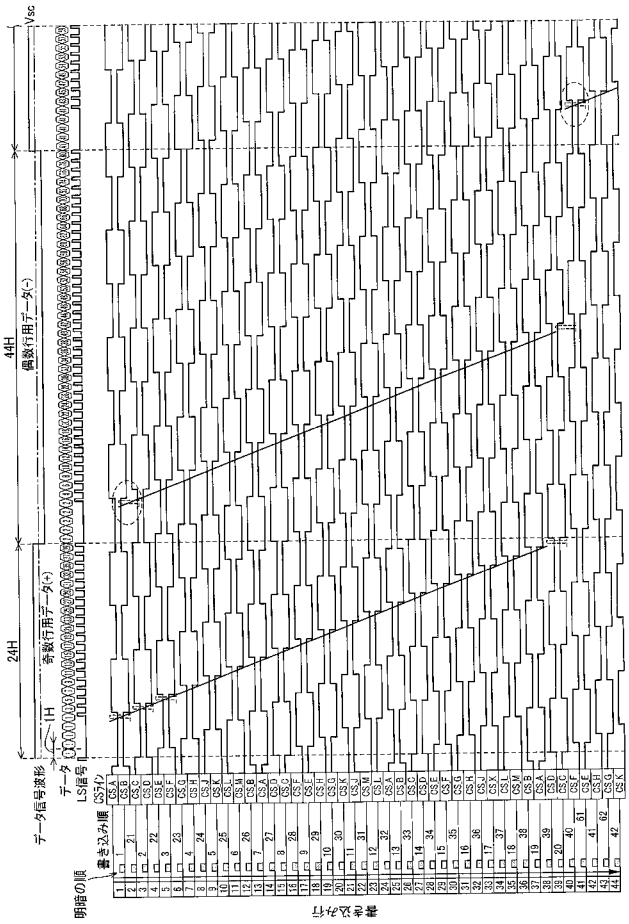
【図３０】



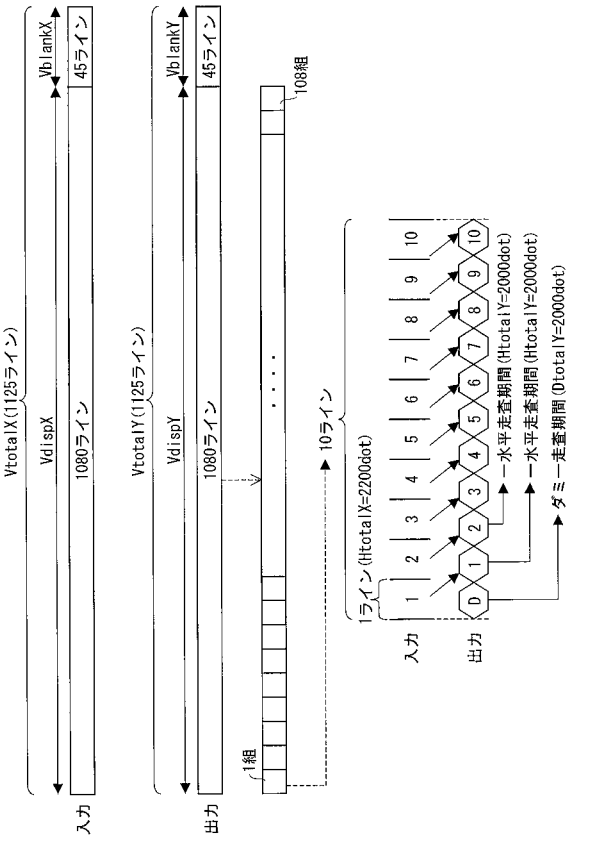
【図３１】



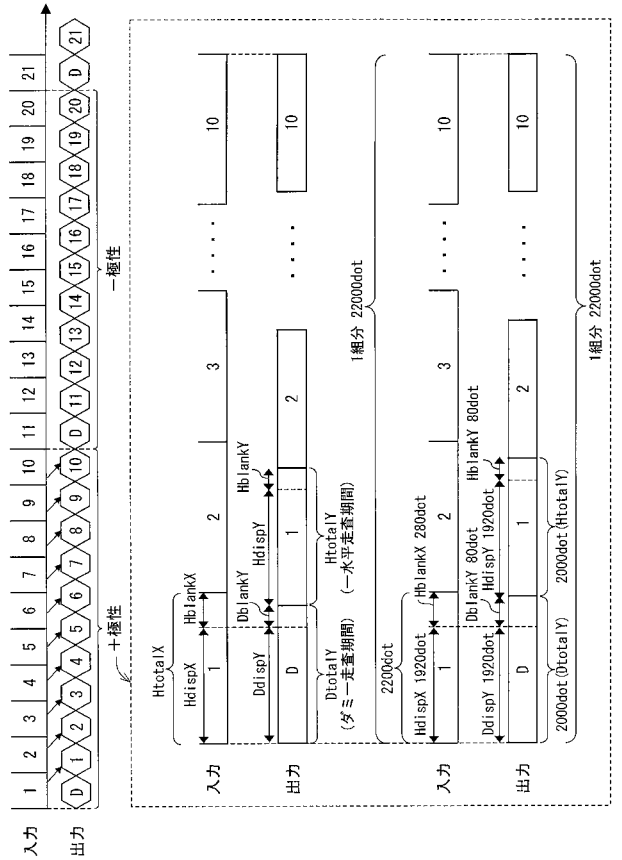
【図３２】



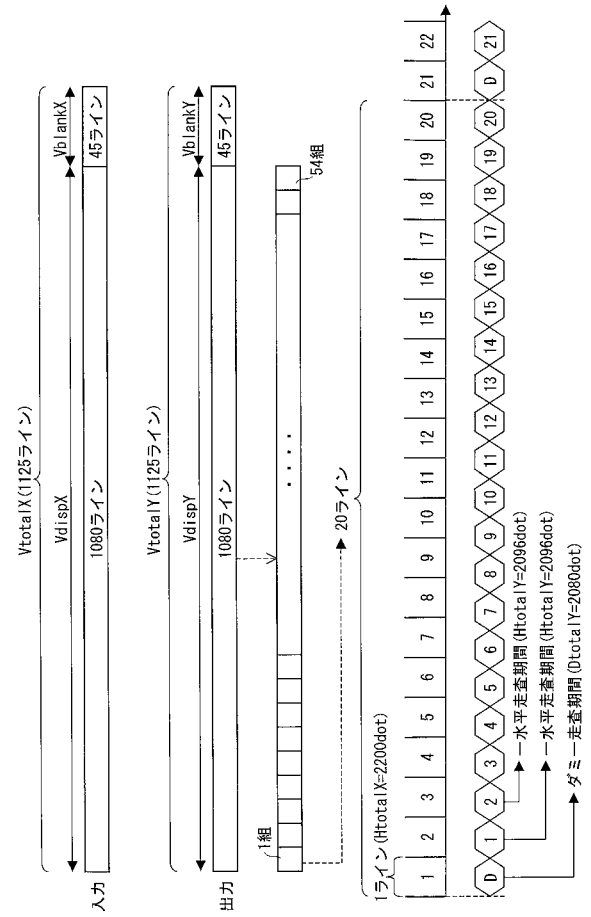
【図３３】



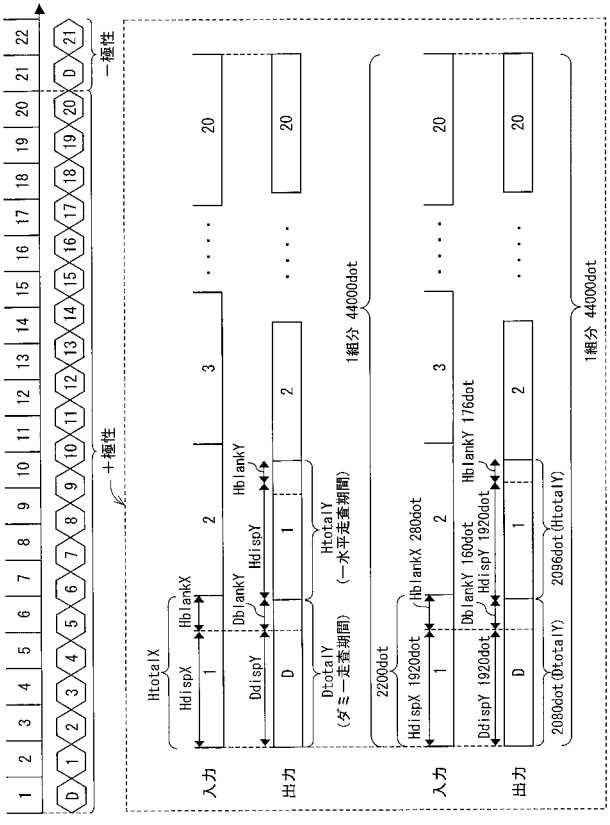
【図３４】



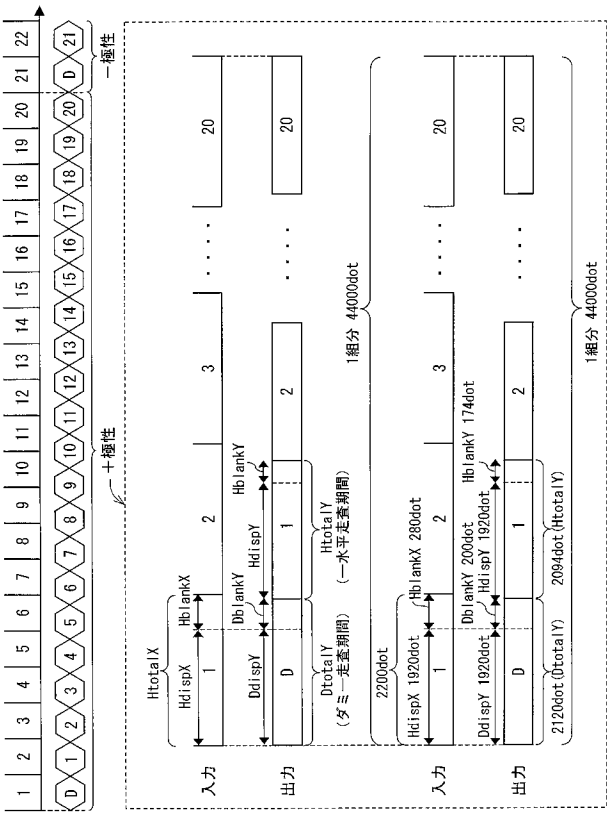
【図３５】



【図３６】



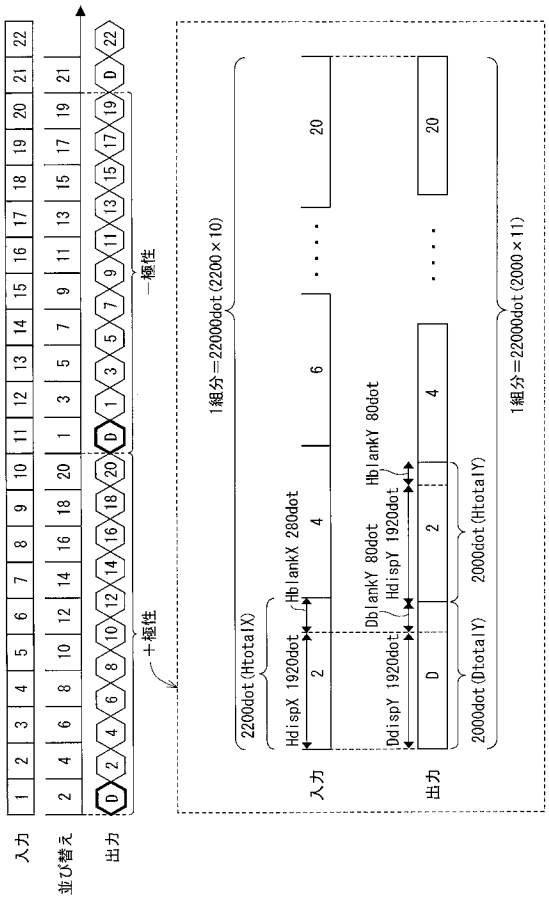
【図３７】



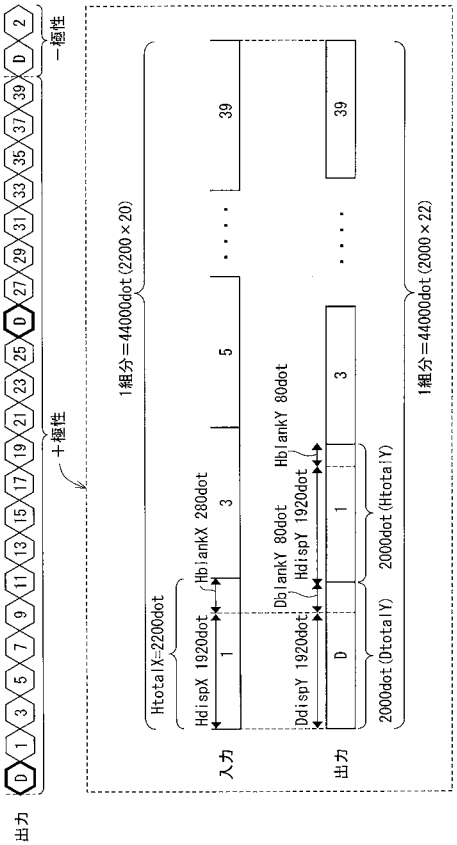
【図３８】

入力側：HtotalX=2200, HdispX=1920, HblankX=280							
1組の映像データ数（ライン数）	1組の総入力クロック（2200×20）	1組のダミー走査期間数	水平走査期間		ダミー走査期間	
			HdispY	HblankY	DdispY	DblankY
20	44000	1	1920	1	1920	3660
20	44000	1	1920	2	1920	3640
20	44000	1	1920	3	1920	3620
20	44000	1	1920	100	1920	1680
20	44000	1	1920	101	1920	1660
20	44000	1	1920	102	1920	1640
20	44000	1	1920	150	1920	680
20	44000	1	1920	151	1920	660
20	44000	1	1920	152	1920	640
20	44000	1	1920	174	1920	200
20	44000	1	1920	175	1920	180
20	44000	1	1920	176	1920	160
20	44000	1	1920	180	1920	80
20	44000	1	1920	181	1920	60
20	44000	1	1920	182	1920	40
20	44000	1	1920	183	1920	20
20	44000	1	1920	184	1920	0

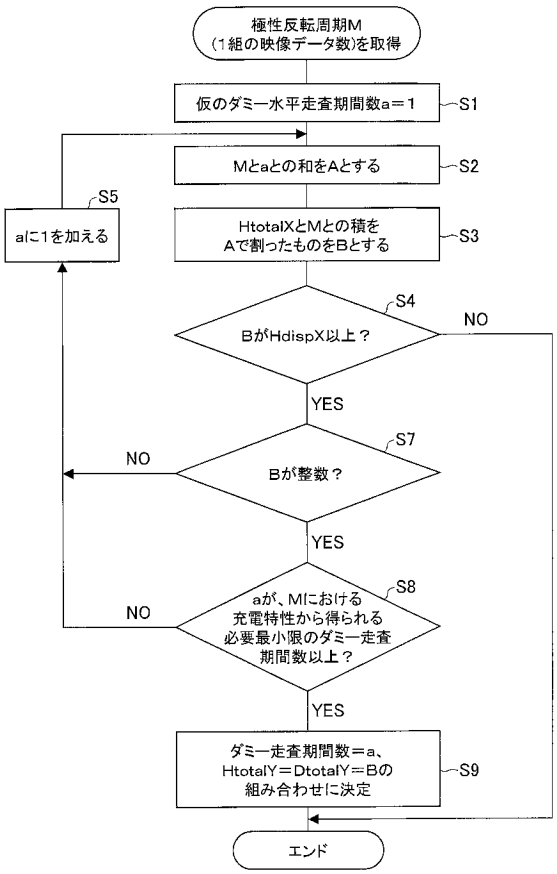
【図３９】



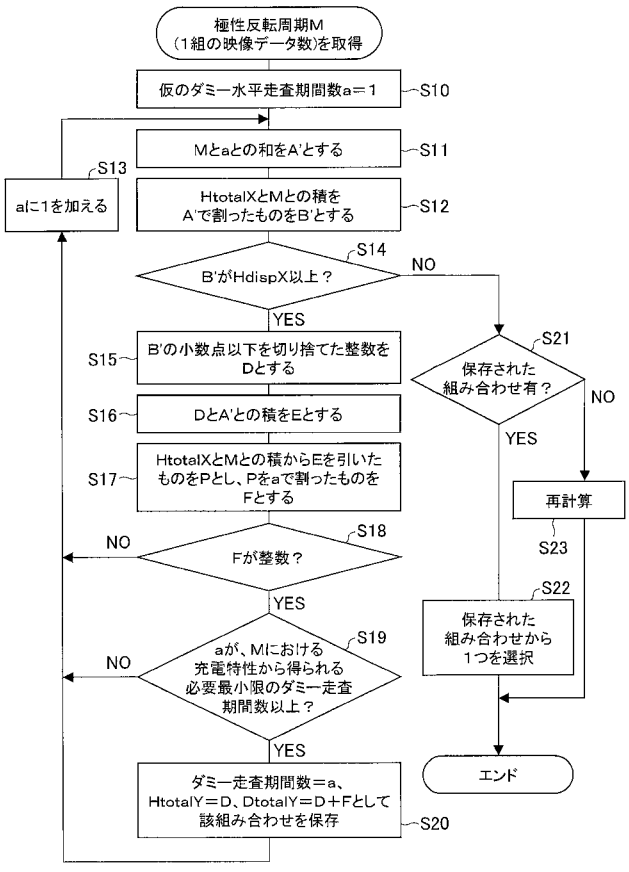
【図４０】



【図４１】



【図４２】



【図４３】

HtotalX(入力側)=2200, HdispY(出力側)=1920

M	a＝ダミー走査期間数	B'	D=HtotalY	E	F	D-F=DtotalY
30	1	2129.03	2129	65999	1	2130
30	2	2062.5	2062	65984	8	2070
30	3	2000	2000	66000	0	2000
30	5	1885.7				不可

HtotalX(入力側)=2200, HdispY(出力側)=1920

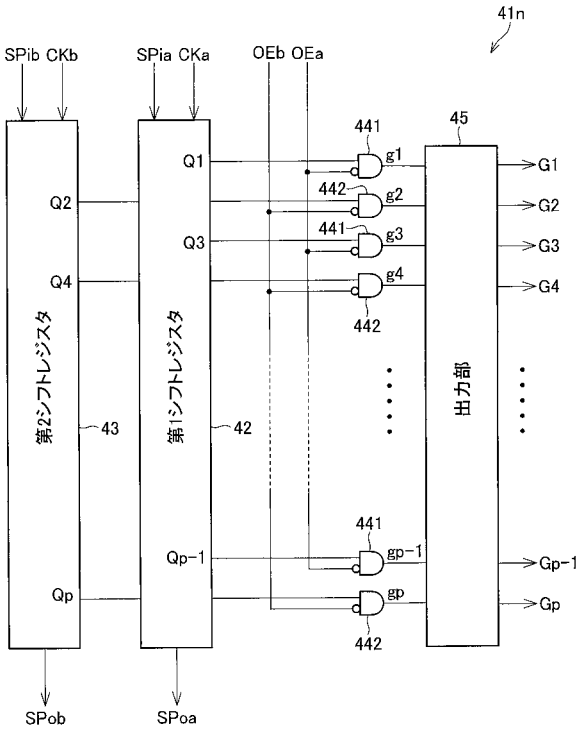
M	a＝ダミー走査期間数	B'	D=HtotalY	E	F	D-F=DtotalY
40	1	2146.3	2146	87986	14	2160
40	2	2095.2	2095	87990	5	2100
40	4	2000	2000	88000	0	2000
40	5	1955.5	1955	87975	5	1960
40	6	1913.04				不可

【図４４】

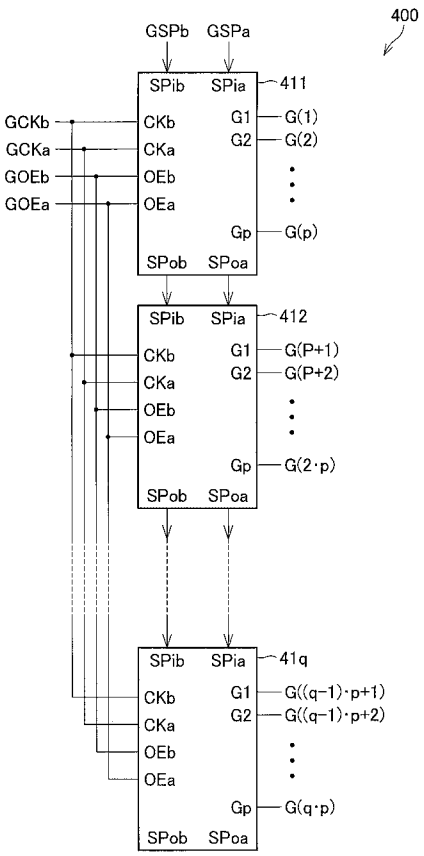
入力側:HtotalX=2200, HdispX=1920, HblankX=280

1組の映像データ数M（ライン数）	1組の総入力クロック（2200×40）	1組のダミー走査期間数	水平走査期間 HdispY	水平走査期間 HblankY	ダミー走査期間 DdispY	ダミー走査期間 DblankY
40	88000	3	1920	100	1920	480
40	88000	3	1920	106	1920	400
40	88000	3	1920	112	1920	320
40	88000	3	1920	118	1920	240
40	88000	3	1920	124	1920	160
40	88000	3	1920	130	1920	80
40	88000	3	1920	136	1920	0

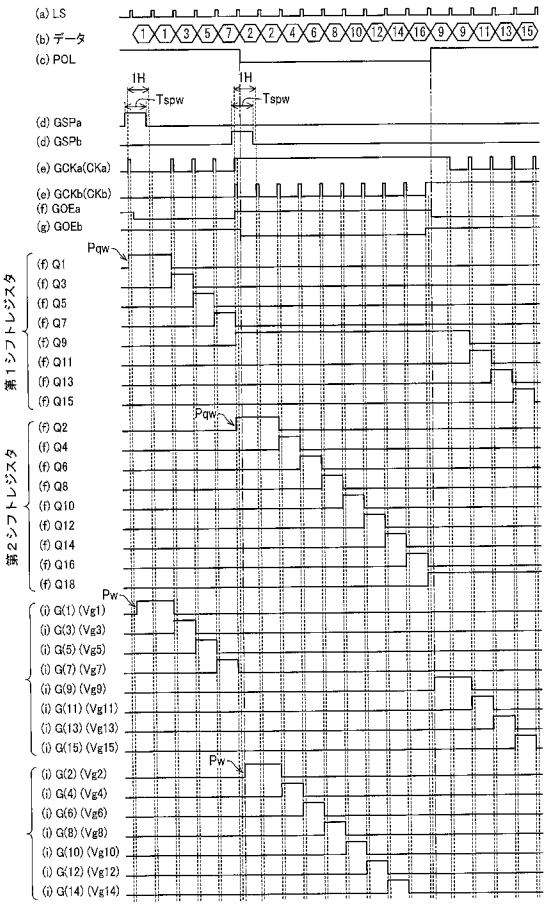
【図４５】



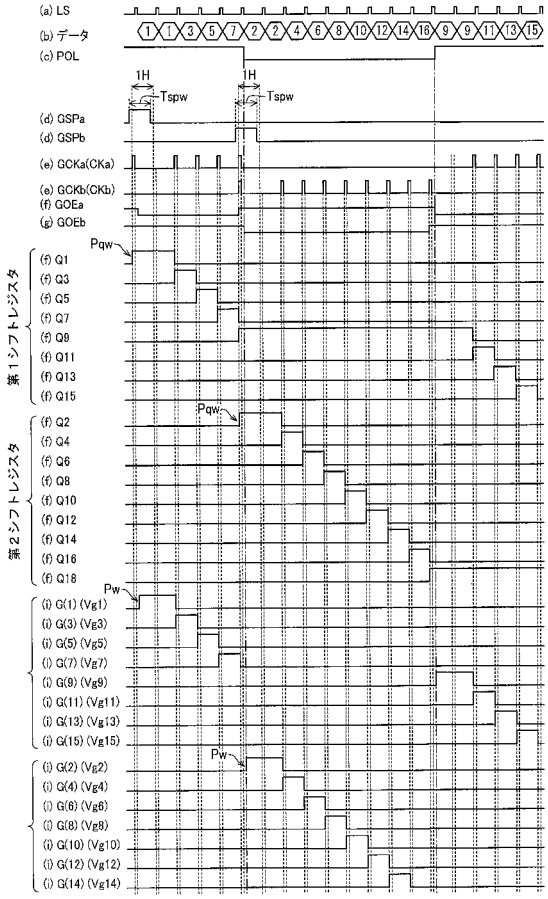
【図４６】



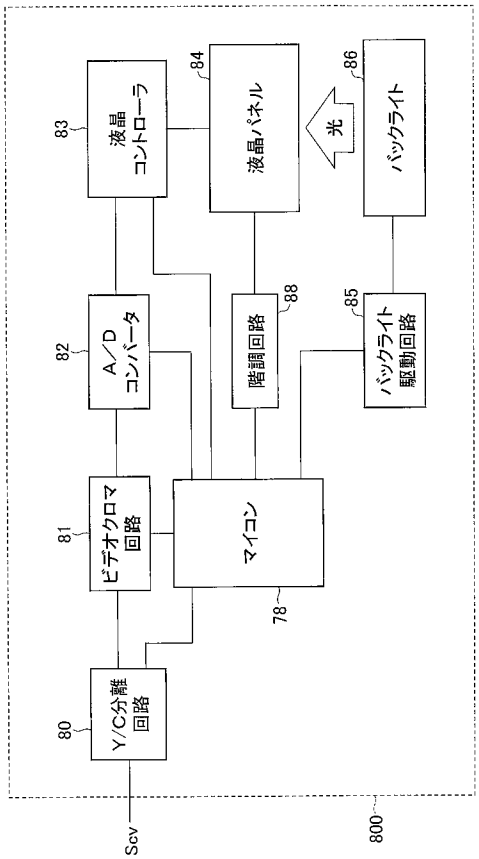
【図４７】



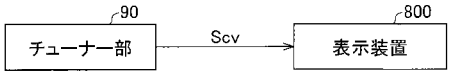
【図４８】



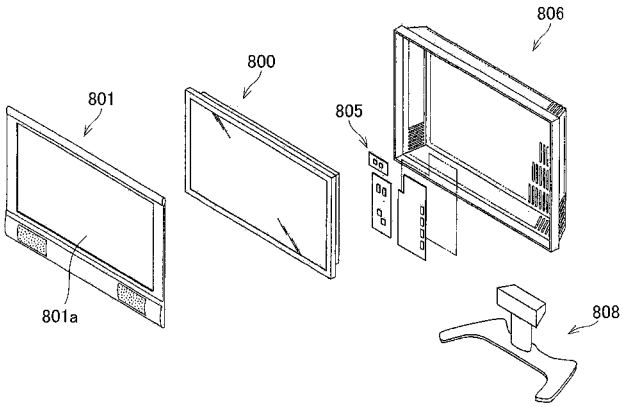
【図４９】



【図５０】



【図５１】

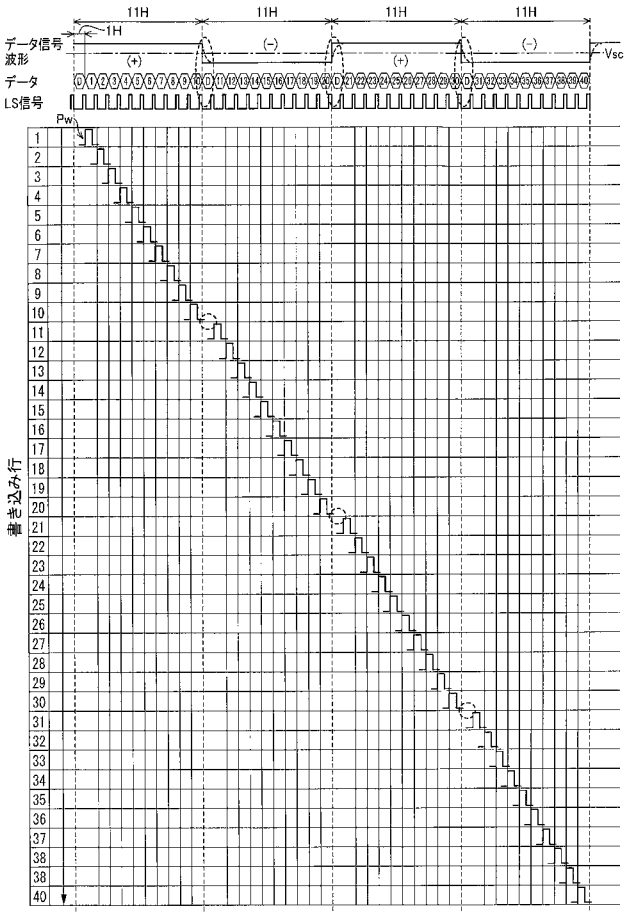


【図５２】

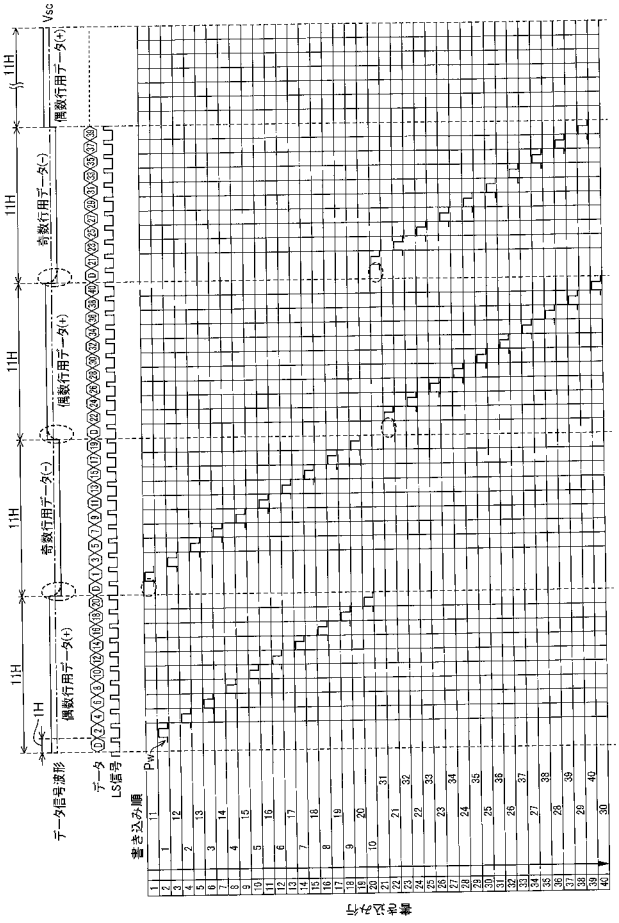
ダミー挿入期間H	540	270	135	100	80	60	55	50	40
時間：Ta(μs)	8000	4000	2000	1481	1185	889	815	741	593
判定	×	×	×	×	△	△	○	○	○

（×非常に悪いレベル、△少し気になるレベル、○気にならないレベル）

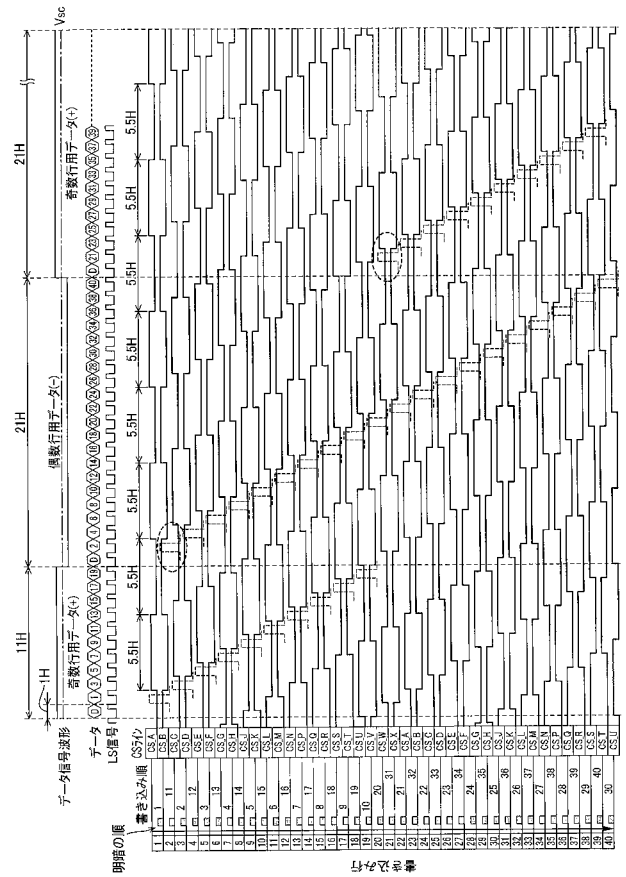
【図５３】



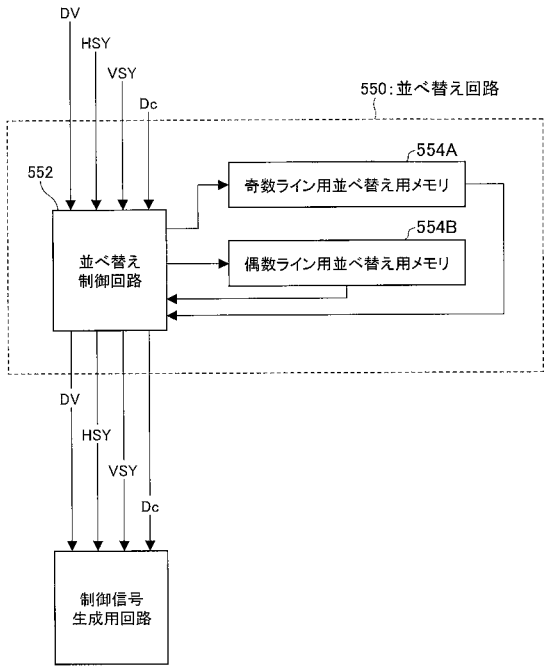
【図５４】



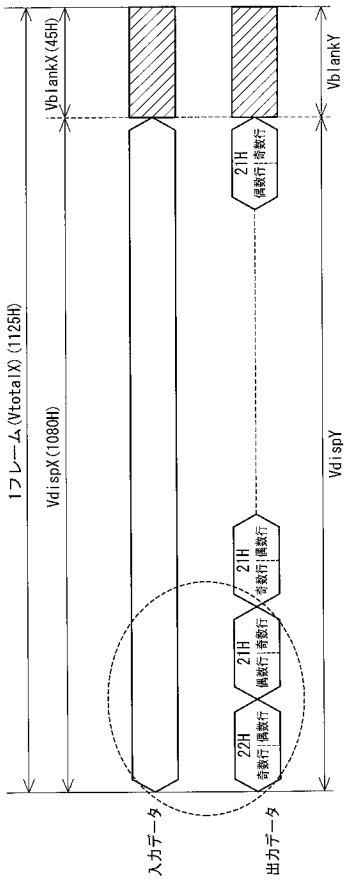
【図５５】



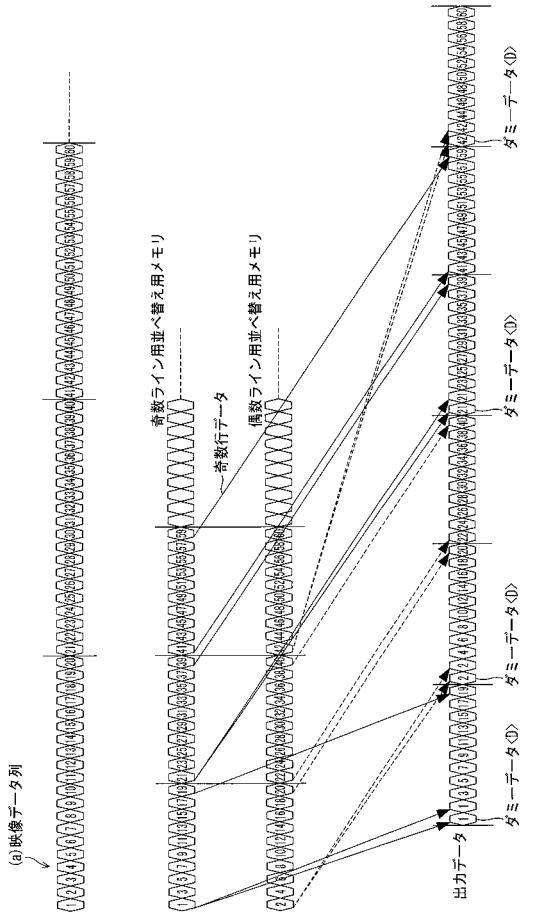
【図５６】



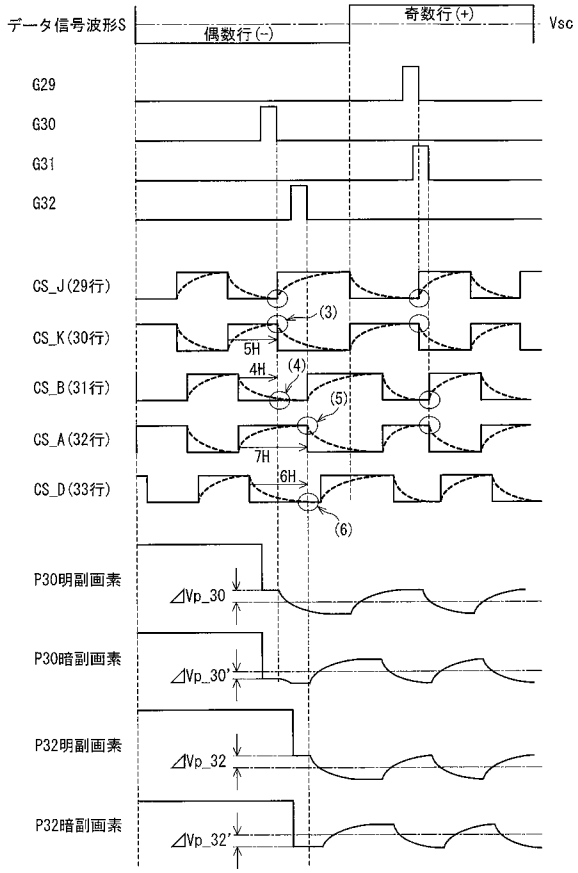
【図５７】



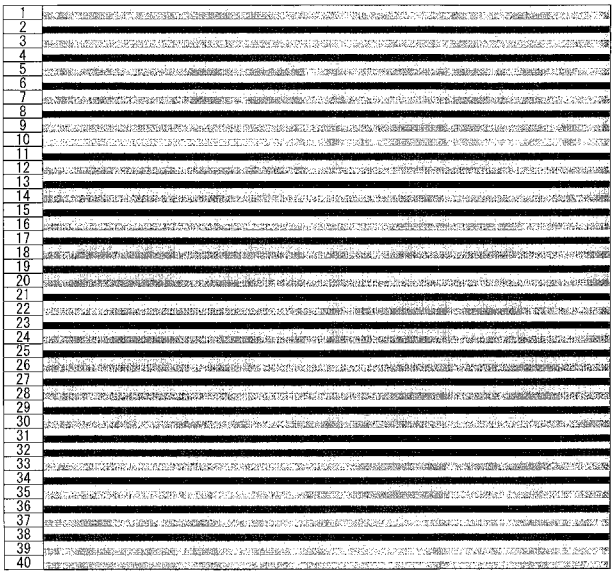
【図５８】



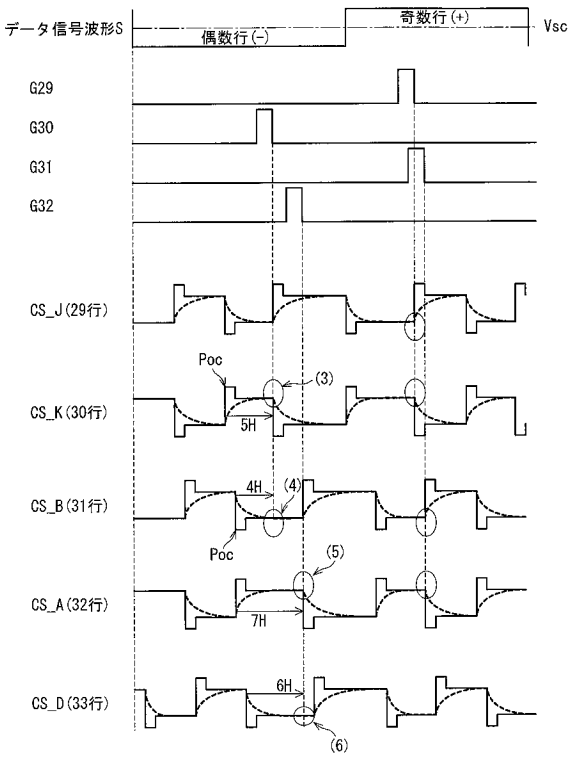
【図５９】



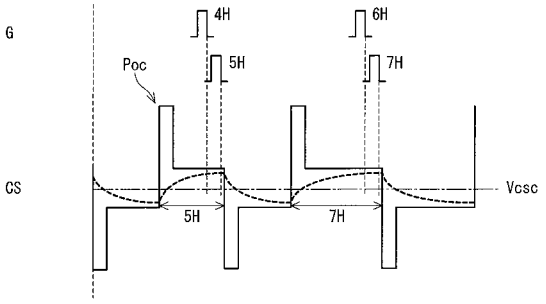
【図６０】



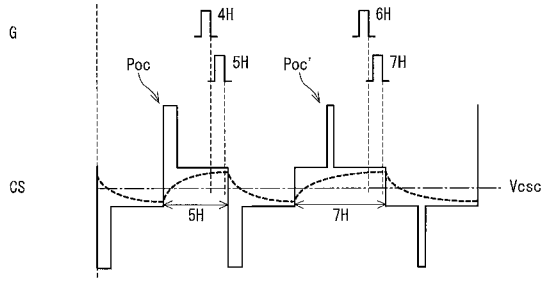
【図６１】



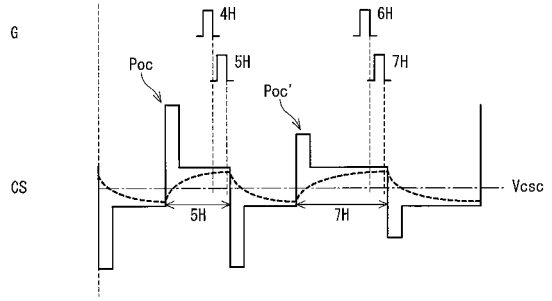
【図６２】



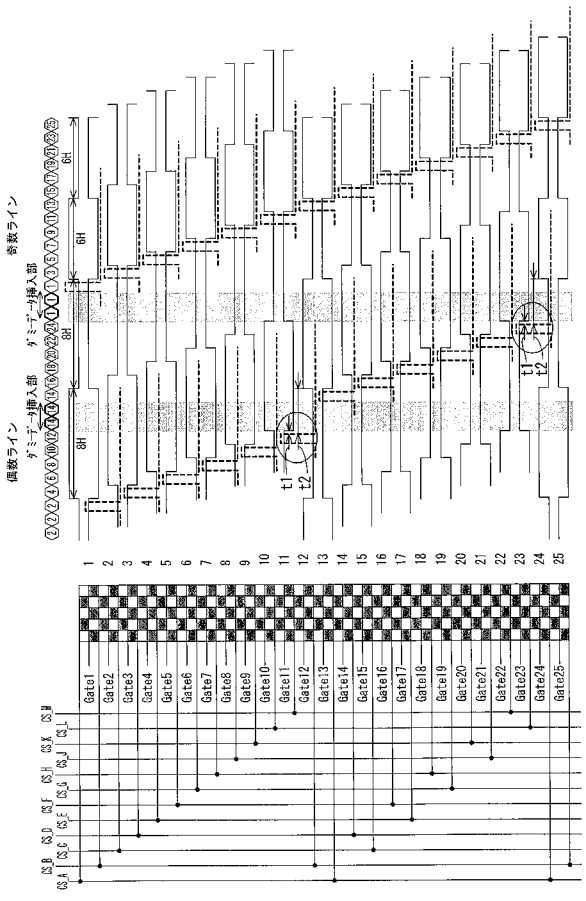
【図６３】



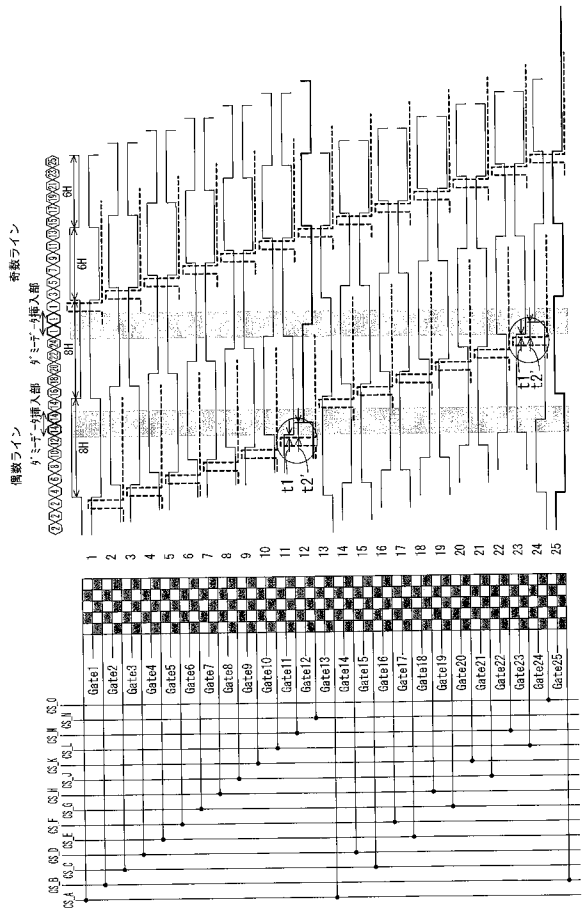
【図６４】



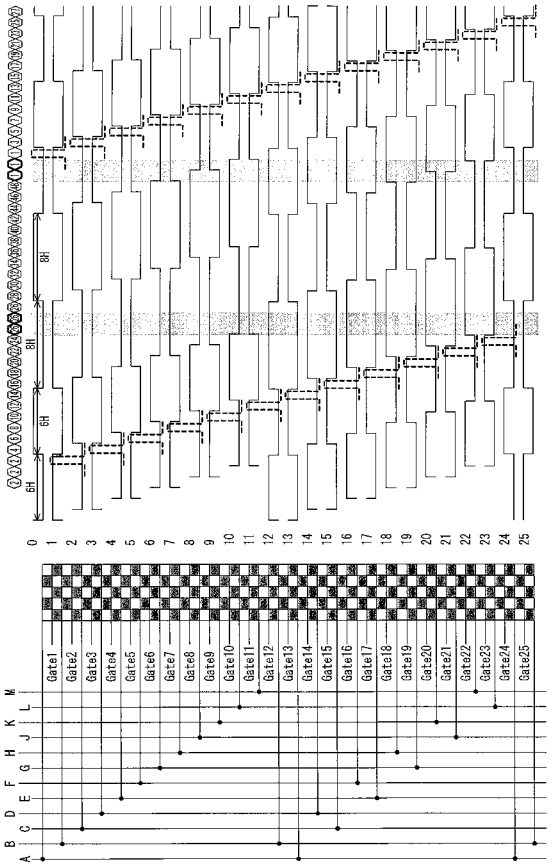
【図６５】



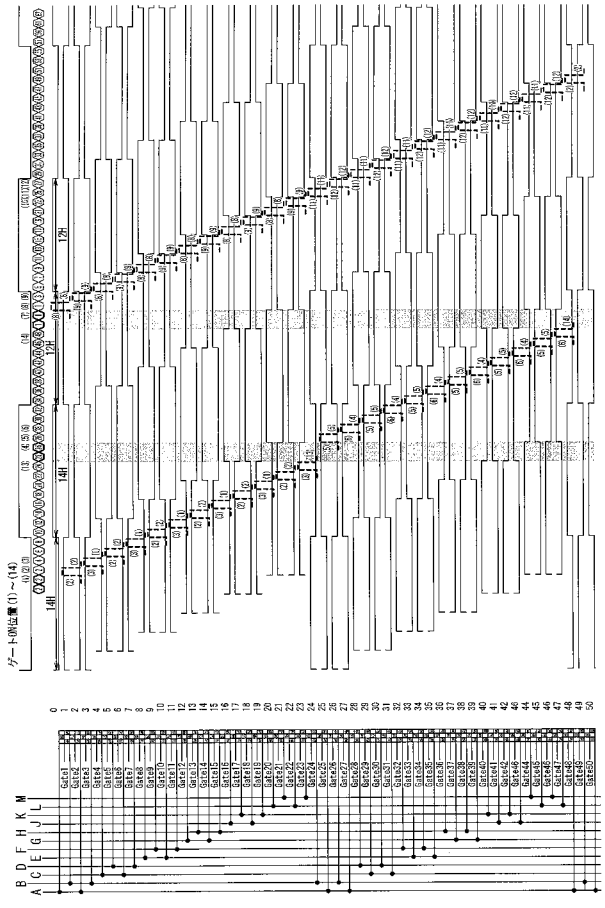
【図６６】



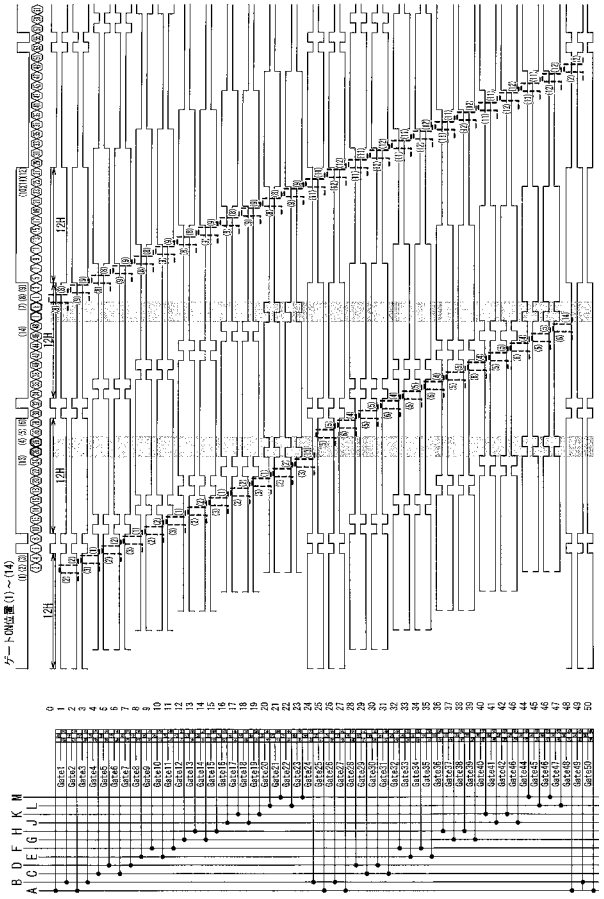
【図６７】



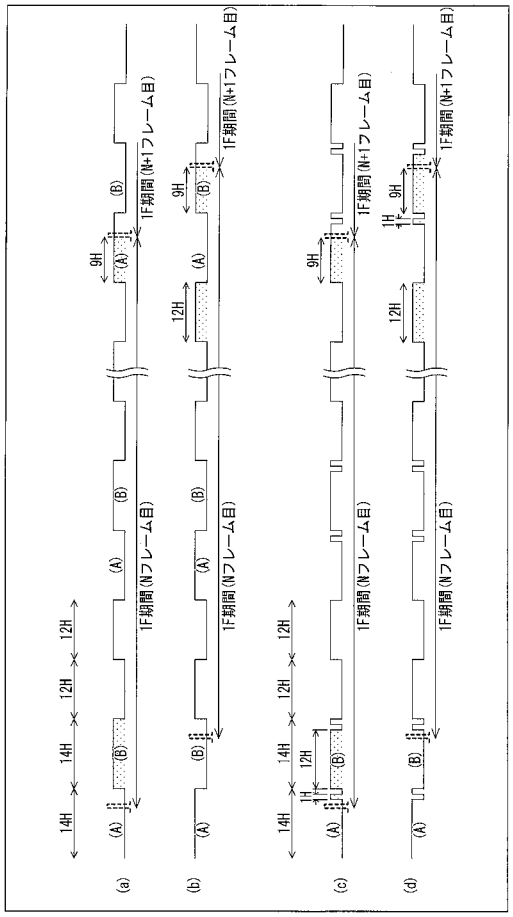
【図６８】



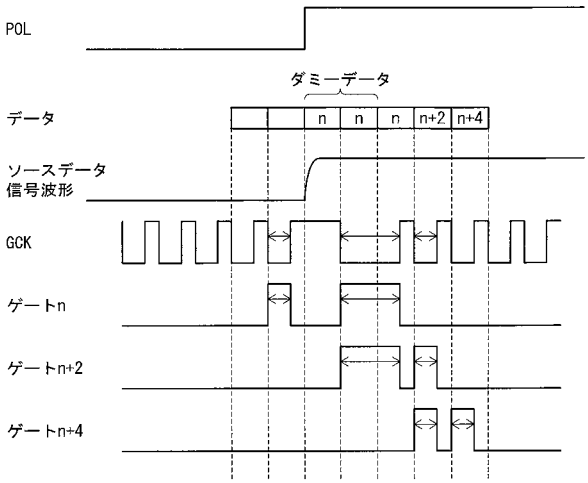
【図６９】



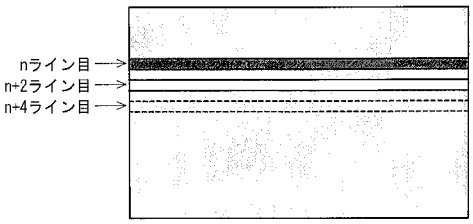
【図７０】



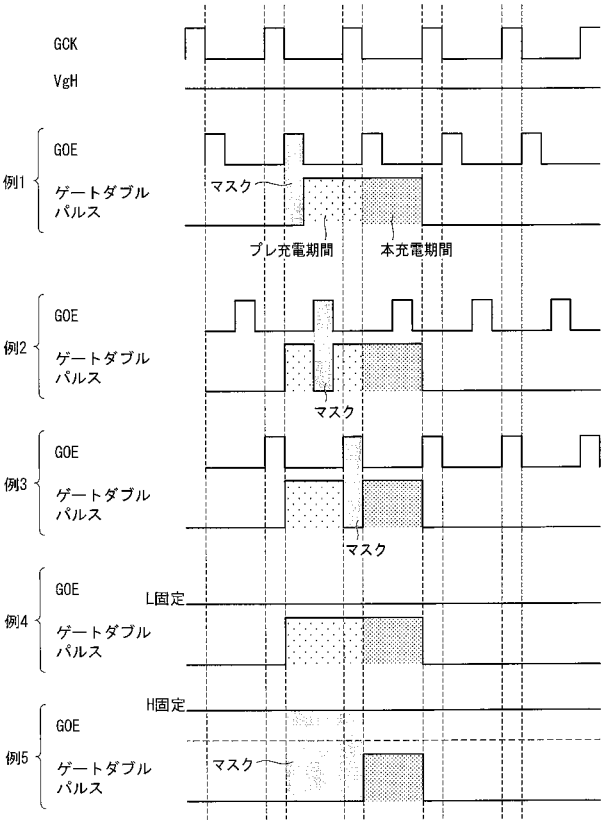
【図７１】



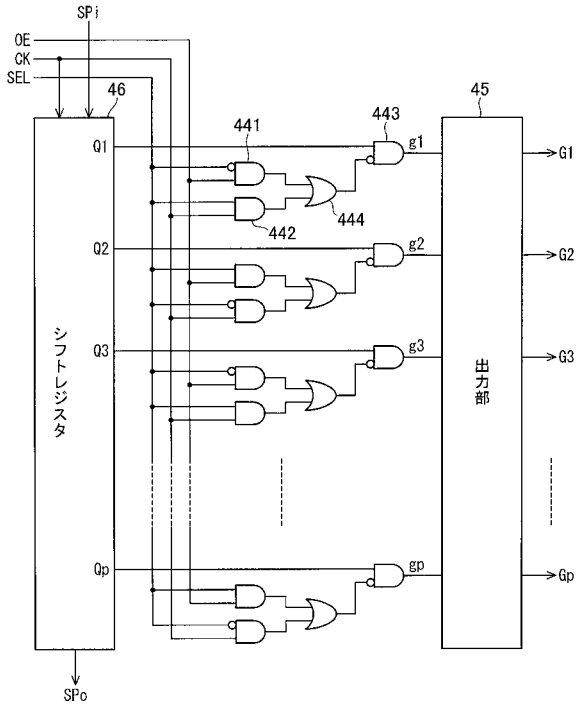
【図７２】



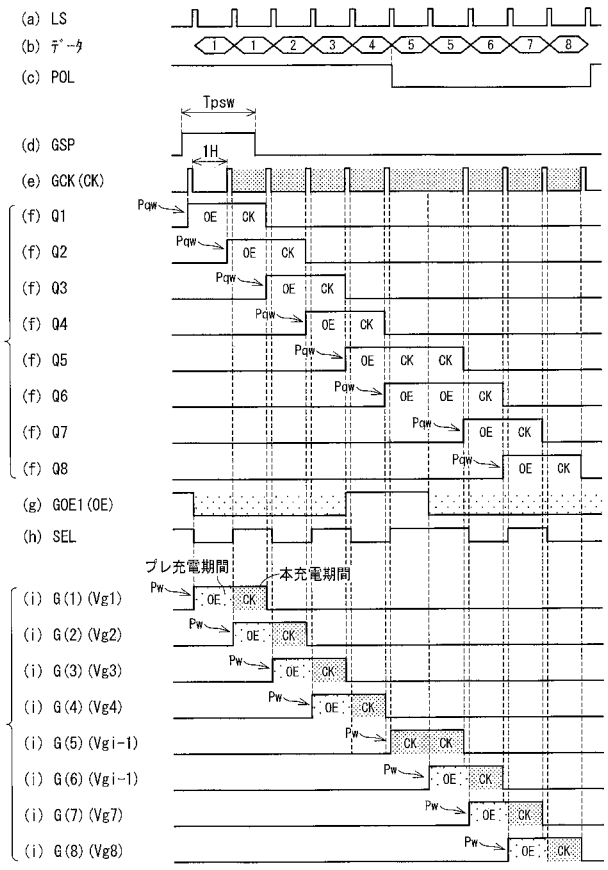
【図７３】



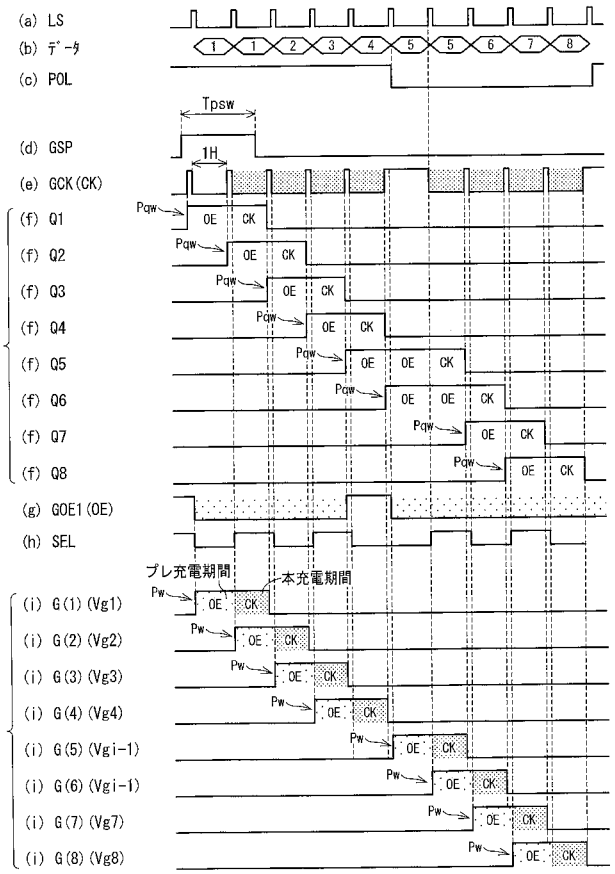
【図７４】



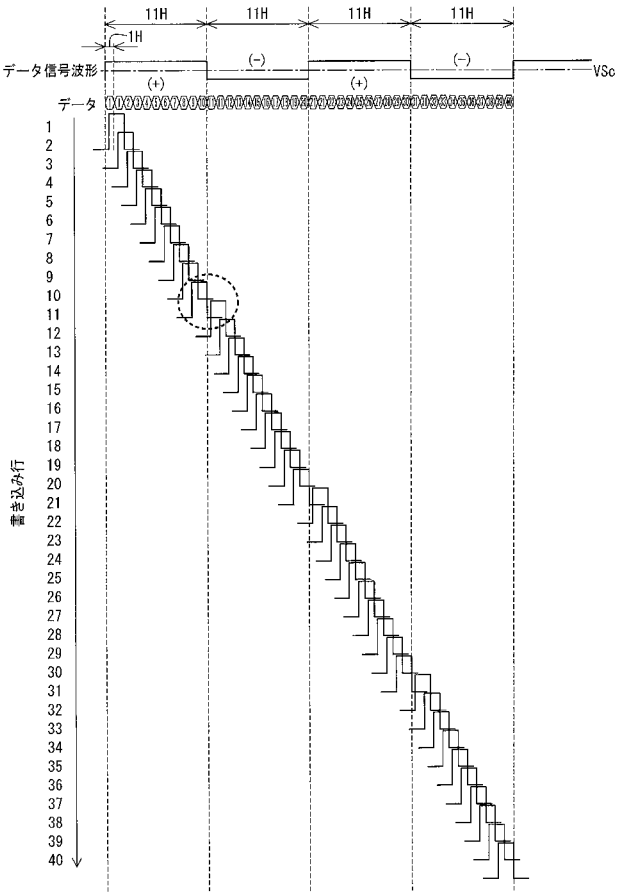
【図７５】



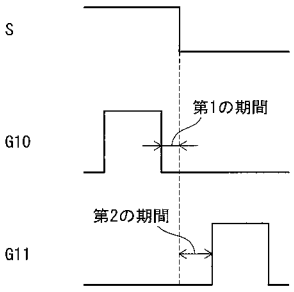
【図７６】



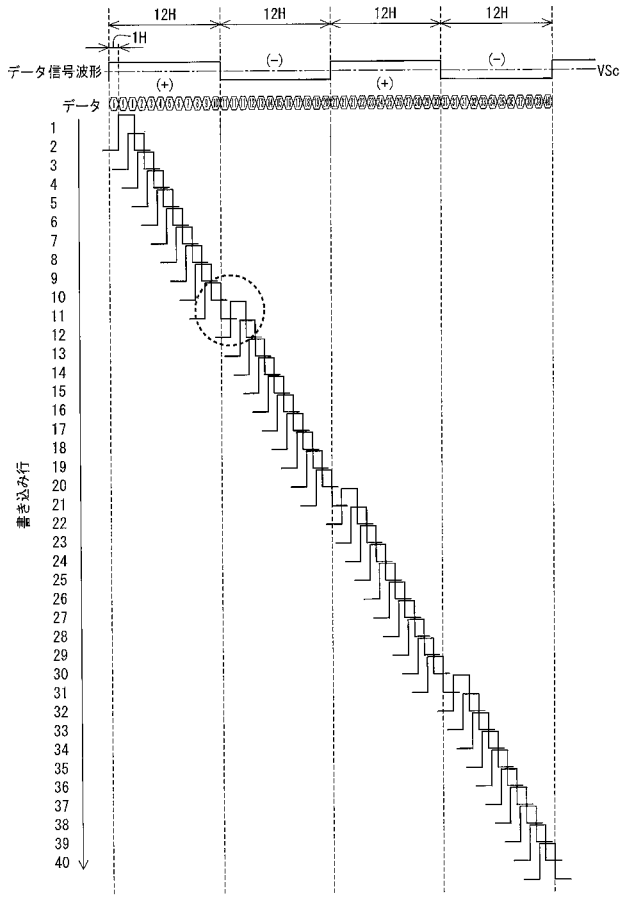
【図７７】



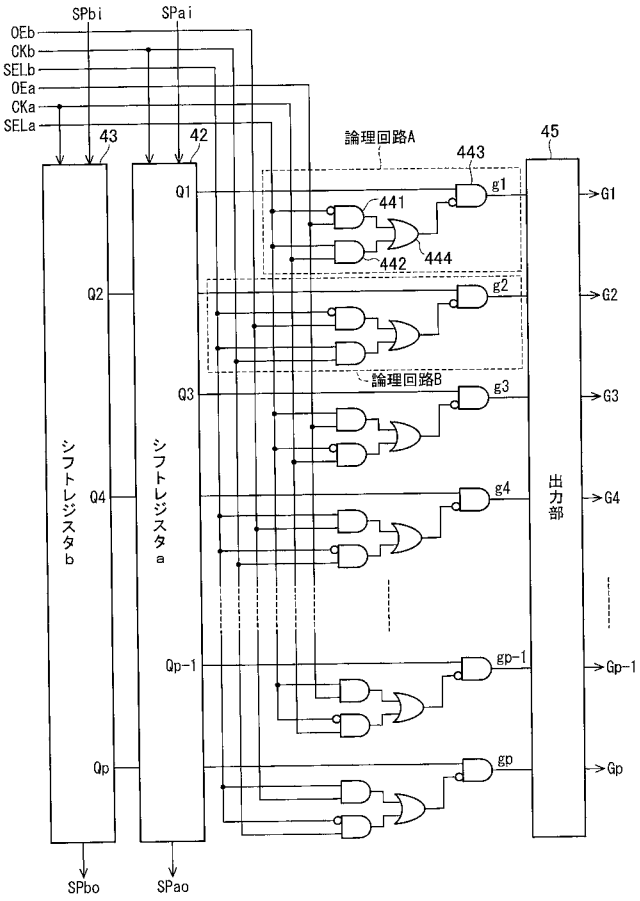
【図７８】



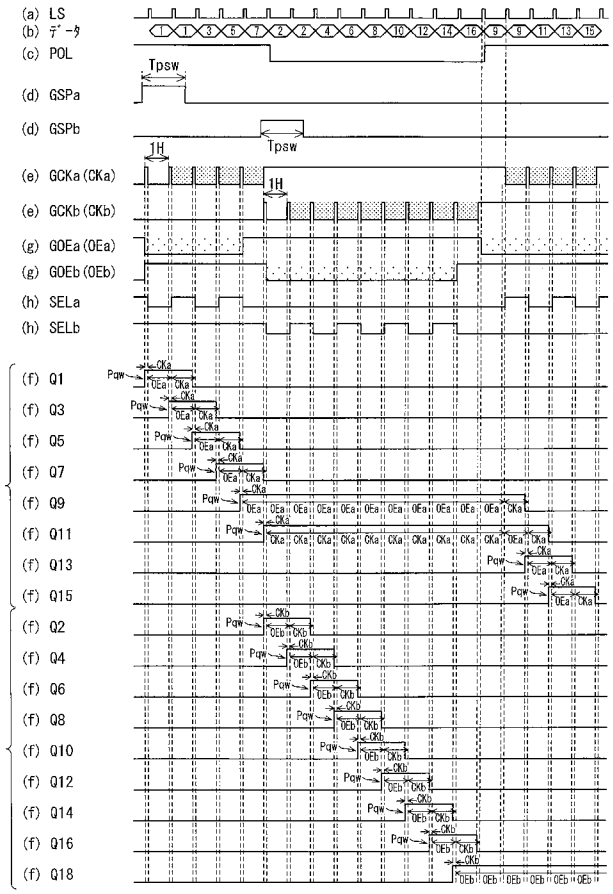
【図７９】



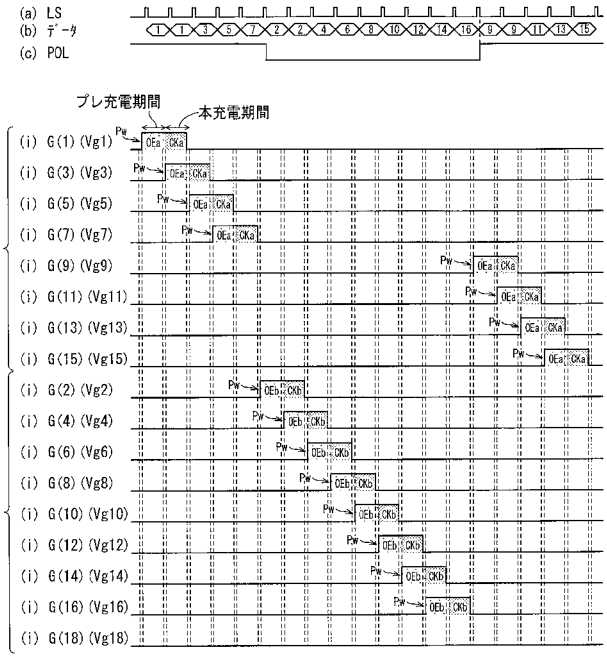
【図８０】



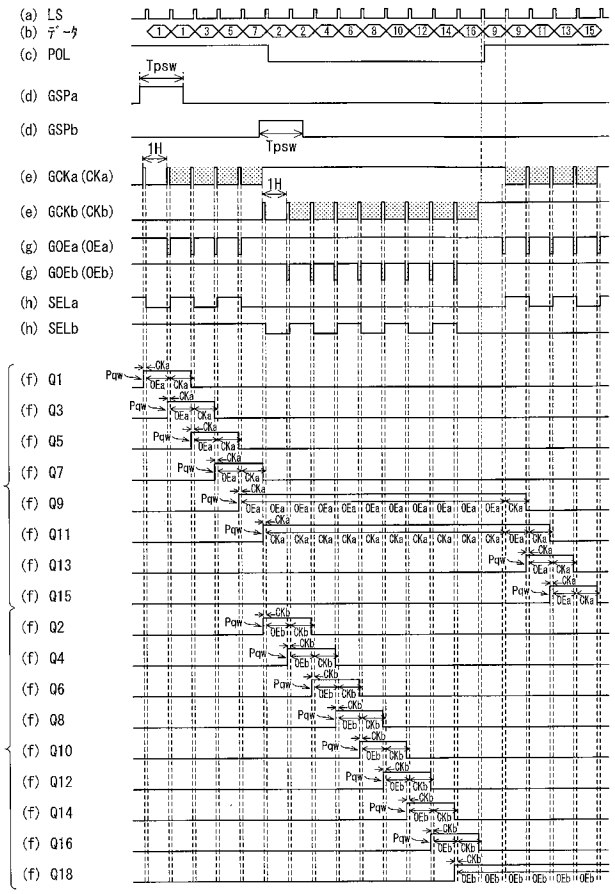
【図８１】



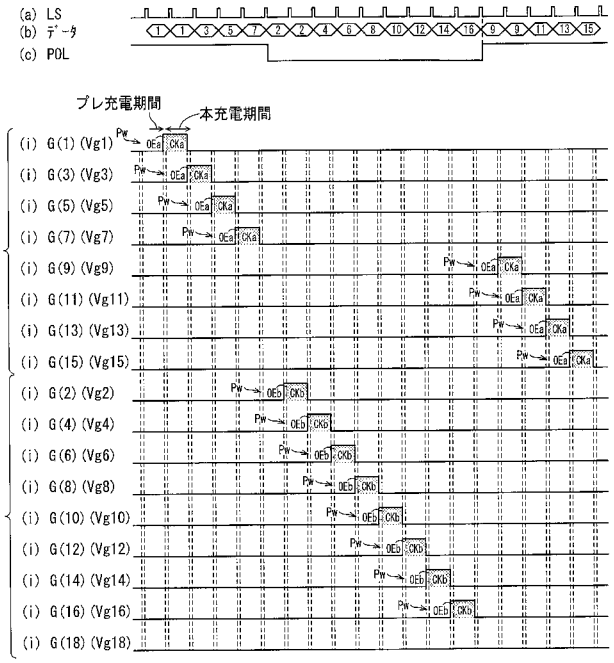
【図８２】



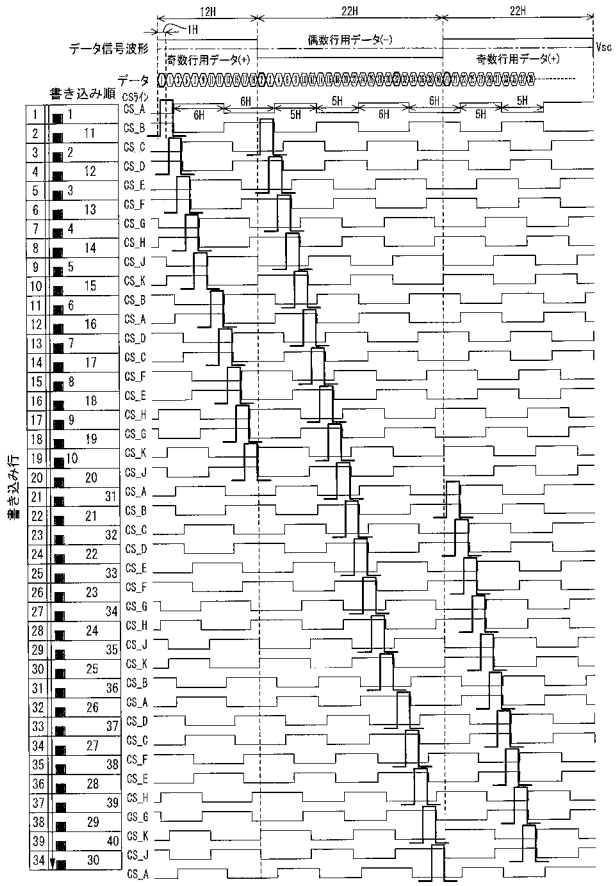
【図８３】



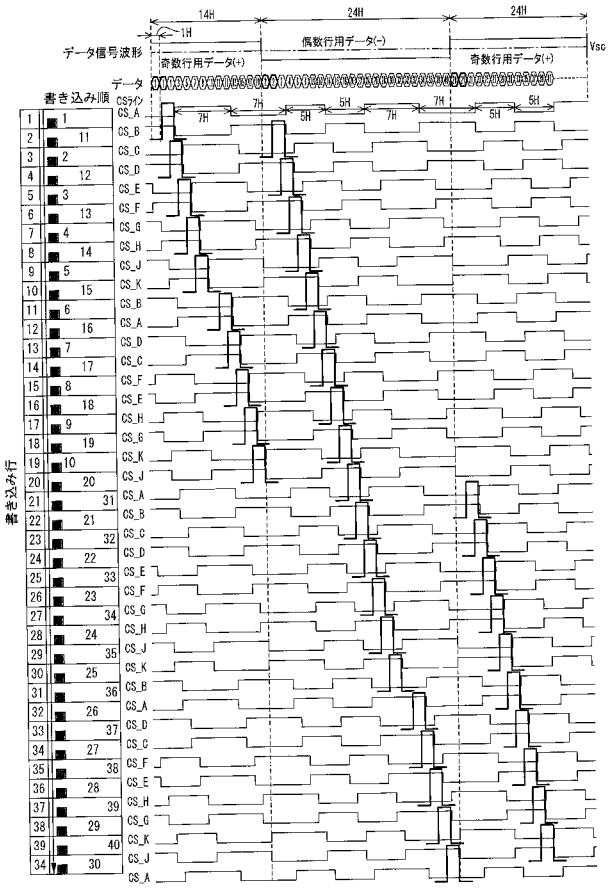
【図８４】



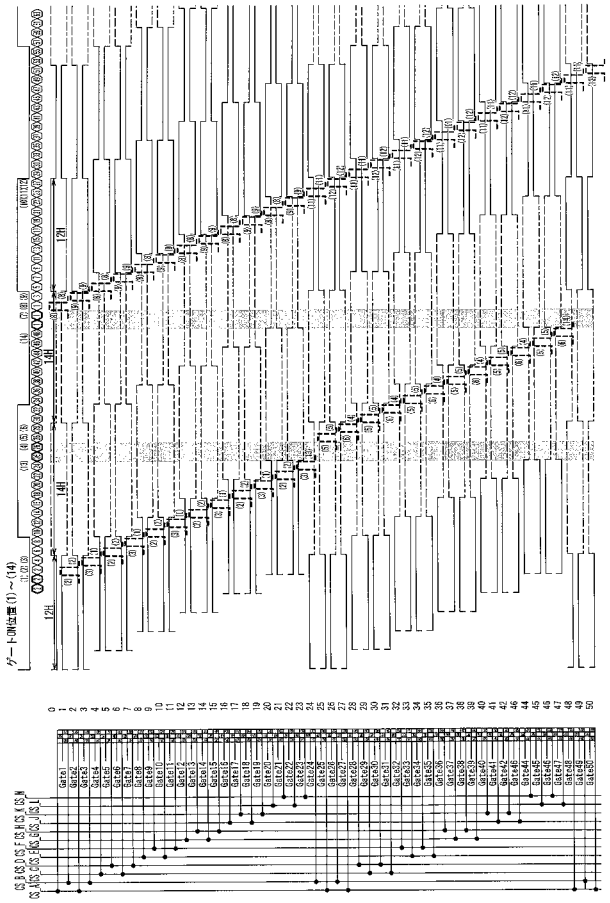
【図８５】



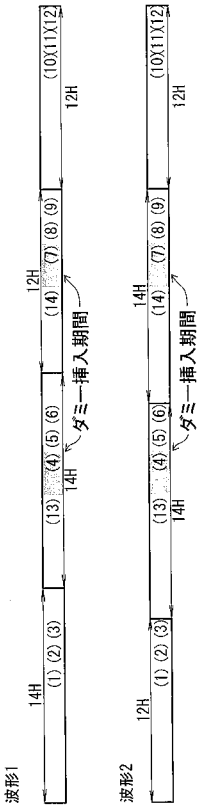
【図８６】



【図８７】



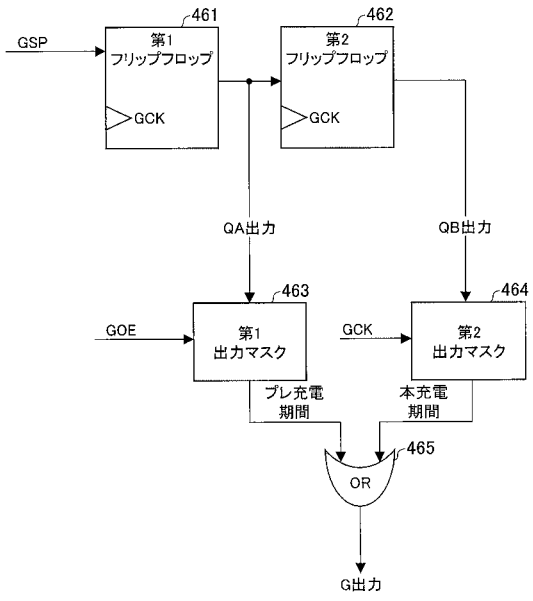
【図８８】



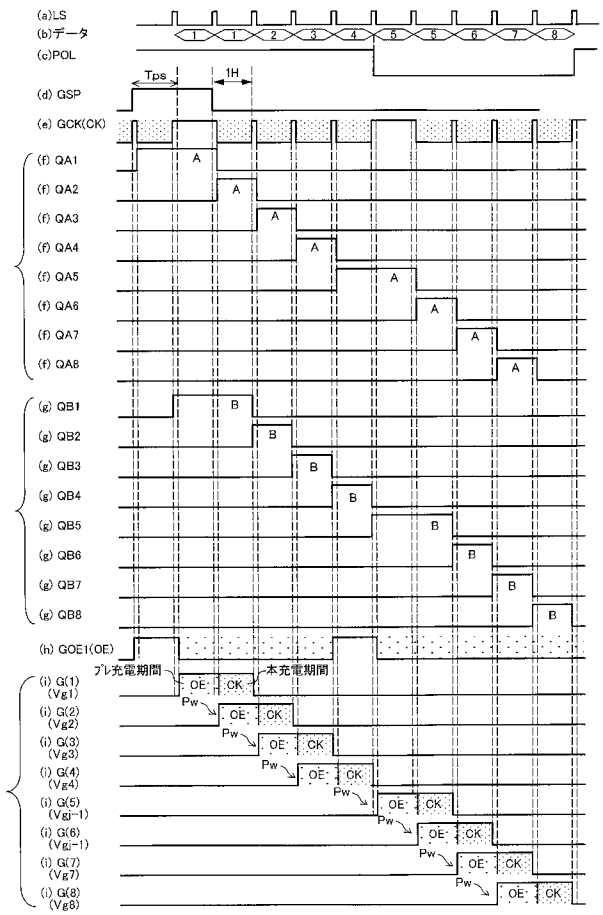
【図８９】

走査線数	差	比	ムラ(目視評価)
768	0	0	◎
768	0.5H	0.07%	◎
768	1H	0.13%	○
768	2H	0.26%	×
1080	0	0	◎
1080	0.5H	0.05%	◎
1080	1H	0.09%	◎
1080	2H	0.19%	△

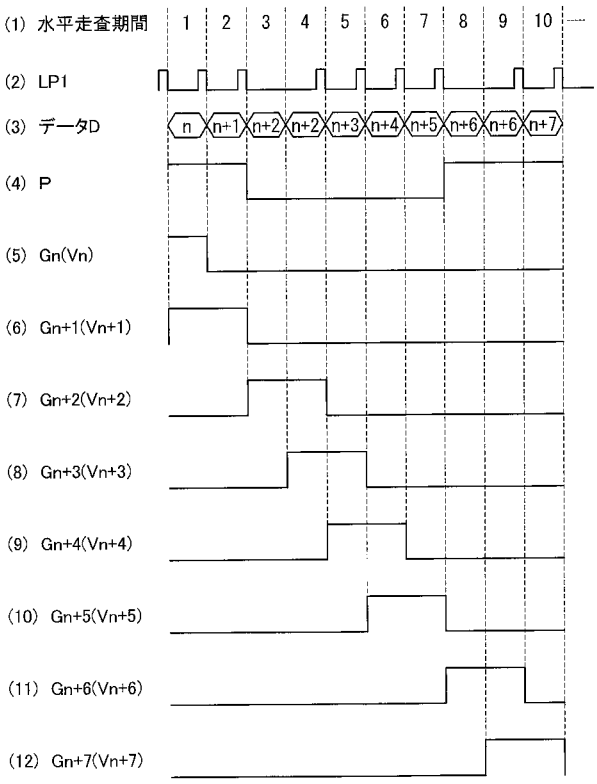
【図９０】



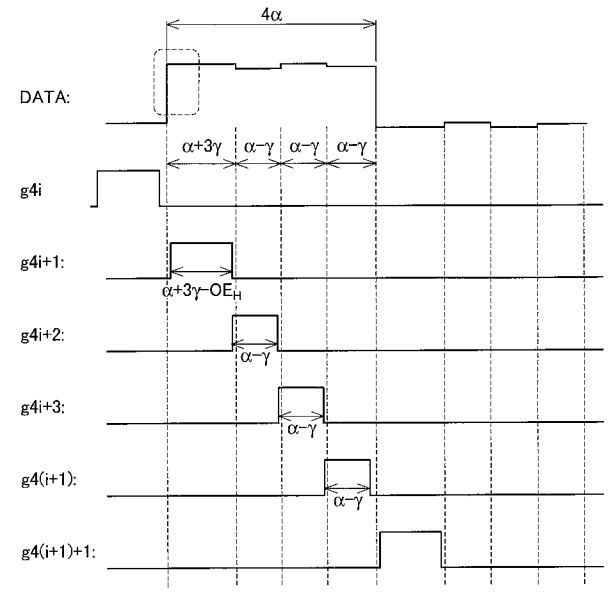
【図９１】


(a)LS
(b)データ
(c)POL
(d) GSP
(e) GCK(CK)
Tps
1H
(f) QA1
(f) QA2
(f) QA3
(f) QA4
(f) QA5
(f) QA6
(f) QA7
(f) QA8
(g) QB1
(g) QB2
(g) QB3
(g) QB4
(g) QB5
(g) QB6
(g) QB7
(g) QB8
(h) GOE1(OE)
プレ充電期間
本充電期間
(i) G(1) (Vg1)
(i) G(2) (Vg2)
(i) G(3) (Vg3)
(i) G(4) (Vg4)
(i) G(5) (Vgj-1)
(i) G(6) (Vgj-1)
(i) G(7) (Vg7)
(i) G(8) (Vg8)
OE
CK
Pw

【図９２】


(1) 水平走査期間
1
2
3
4
5
6
7
8
9
10
(2) LP1
(3) データD
n
n+1
n+2
n+2
n+3
n+4
n+5
n+6
n+6
n+7
(4) P
(5) Gn(Vn)
(6) Gn+1(Vn+1)
(7) Gn+2(Vn+2)
(8) Gn+3(Vn+3)
(9) Gn+4(Vn+4)
(10) Gn+5(Vn+5)
(11) Gn+6(Vn+6)
(12) Gn+7(Vn+7)

【図９３】


4α
DATA:
α+3γ
α−γ
α−γ
α−γ
g4i
g4i+1:
α+3γ−OE_H
g4i+2:
α−γ
g4i+3:
α−γ
g4(i+1):
α−γ
g4(i+1)+1:

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/055968

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/36(2006.01)i, *G02F1/133*(2006.01)i, *G09G3/20*(2006.01)i, *H04N5/66*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/36, G02F1/133, G09G3/20, H04N5/66

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-39542 A (Samsung Electronics Co., Ltd.), 09 February, 2006 (09.02.06), Par. Nos. [0098] to [0109]; Fig. 8 & US 2006/0041805 A1	1-4,40-41,43 5-9
Y	JP 11-352938 A (Sharp Corp.), 24 December, 1999 (24.12.99), Par. Nos. [0168] to [0175]; Figs. 18 to 19 (Family: none)	5-8
Y	JP 2001-215469 A (NEC Corp.), 10 August, 2001 (10.08.01), Par. Nos. [0040] to [0050]; Fig. 3 & US 2001/0043178 A1	9

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
11 June, 2008 (11.06.08)	24 June, 2008 (24.06.08)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2007)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/055968

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature common to the inventions of claims 1-43 relates to that "a gate-on pulse is applied so that a second period is longer than a first period wherein the first period starts at the last end of the nearest gate-on pulse before the polarity conversion and ends at the end point at the horizontal period while the second period starts at the moment of the polarity conversion and ends at the start time of the nearest gate-on pulse after the polarity conversion."

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-9, 40-41, 43

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2008/055968

Continuation of Box No.III of continuation of first sheet(2)

However, the search has revealed that the technical feature is not novel since it is disclosed in JP 2006-39542 A (Samsung Electronics Co., Ltd.), 09 February, 2006 (09.02.06), paragraphs [0098]-[0109], Fig. 8.

As a result, the technical feature makes no contribution over the prior art and the common technical feature cannot be a special technical feature within the meaning of PCT Rule 13.2, second sentence.

Accordingly, there exists no technical feature common to the inventions of claims 1-9, 40-41, 43, claims 10-15, claims 16-29, and claims 30—39, 42. Since there exists no other common feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13 between the different inventions can be seen.

Consequently, it is obvious that the inventions of claim 1-43 do not satisfy the requirement of unity of invention.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００８／０５５９６８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, H04N5/66(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/36, G02F1/133, G09G3/20, H04N5/66

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	ＪＰ　２００６－３９５４２　Ａ（三星電子株式会社）２００６．０２．０９，段落【００９８】－【０１０９】，図８　＆　ＵＳ　２００６／００４１８０５　Ａ１	1-4, 40-41, 43
Y		5-9
Y	ＪＰ　１１－３５２９３８　Ａ（シャープ株式会社）１９９９．１２．２４，段落【０１６８】－【０１７５】，図１８－１９（ファミリーなし）	5-8

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １１．０６．２００８	国際調査報告の発送日 ２４．０６．２００８
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　2G　9509 濱本　禎広 電話番号　０３－３５８１－１１０１　内線　３２２６

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００７年４月）

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００８／０５５９６８

Ｃ（続き）． 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｙ	ＪＰ ２００１－２１５４６９ Ａ（日本電気株式会社）２００１．０８．１０，段落【００４０】－【００５０】，図３ ＆ ＵＳ ２００１／００４３１７８ Ａ１	９

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００８／０５５９６８

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求の範囲＿＿＿＿＿＿＿＿ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。
請求の範囲１－４３に係る発明の共通な事項は、「極性反転時点以前において最も近いゲートオンパルスの後端と水平期間の終了時点までの第１の期間より、極性反転時点から、極性反転時点以降において最も近いゲートオンパルスの開始時点までの第２の期間が長くなるようにゲートオンパルスを印加する」ことである。

しかしながら、調査の結果、前記の構成は、ＪＰ ２００６－３９５４２ Ａ（三星電子株式会社）２００６．０２．０９，段落【００９８】－【０１０９】，図８に開示されているから、新規でないことが明らかとなった。

（特別ページに続く）

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

４．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲（１－９，４０－４１，４３）

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告 国際出願番号 ＰＣＴ／ＪＰ２００８／０５５９６８

（第Ⅲ欄の続き）
結果として、前記構成は先行技術の域を出ないから、ＰＣＴ規則１３．２の第２文の意味において、この共通事項は特別な技術的特徴ではない。

それ故、請求の範囲（１－９，４０－４１，４３），（１０－１５），（１６－２９），（３０－３９，４２）に係る発明に共通の事項はない。ＰＣＴ規則１３．０２の第２文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの相違する発明の間にＰＣＴ規則１３の意味における技術的な関連を見いだすことはできない。

よって、請求の範囲１－４３に係る発明は発明の単一性の要件を満たしていないことが明らかである。

フロントページの続き

(51)Int.Cl.	FI		テーマコード（参考）
	Ｇ０９Ｇ	3/20	６２２Ｐ
	Ｇ０９Ｇ	3/20	６２２Ｃ
	Ｇ０９Ｇ	3/20	６２２Ｄ
	Ｇ０９Ｇ	3/20	６２２Ｍ
	Ｇ０９Ｇ	3/20	６２２Ｎ
	Ｇ０９Ｇ	3/20	６１２Ｋ
	Ｇ０９Ｇ	3/20	６２２Ｅ
	Ｇ０９Ｇ	3/20	６２３Ｄ
	Ｇ０９Ｇ	3/20	６２１Ｆ
	Ｇ０９Ｇ	3/20	６２２Ｒ
	Ｇ０９Ｇ	3/20	６２１Ａ
	Ｇ０９Ｇ	3/20	６１１Ｅ
	Ｇ０９Ｇ	3/20	６１１Ａ
	Ｇ０２Ｆ	1/133	５５０
	Ｇ０２Ｆ	1/133	５２５
	Ｈ０４Ｎ	5/66	１０２Ｂ

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,NO,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 津幡 俊英
日本国大阪府大阪市阿倍野区長池町２２番２２号 シャープ株式会社内
(72)発明者 山田 直
日本国大阪府大阪市阿倍野区長池町２２番２２号 シャープ株式会社内

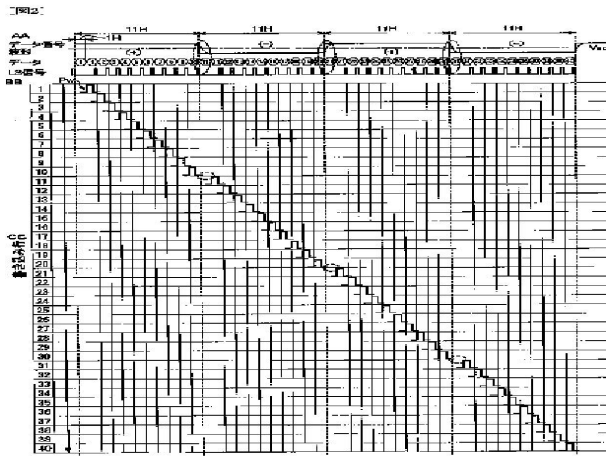
Ｆターム(参考) 2H193 ZA04 ZA07 ZB02 ZB03 ZB06 ZB14 ZC05 ZC20 ZC25 ZC26
ZC34 ZC36 ZD32 ZE04 ZF12 ZG04 ZG12
5C006 AA01 AC24 AC26 AC27 AC28 AC29 AF42 AF44 AF50 AF72
BB16 BC03 BC06 BC22 BF03 BF26 FA22 FA23 FA41 FA47
5C058 AA06 BA01 BA35 BB01 BB09
5C080 AA10 BB05 DD05 DD06 DD20 DD22 DD26 FF07 FF11 GG08
JJ01 JJ02 JJ03 JJ04 JJ06 KK43

（注）この公表は、国際事務局（ＷＩＰＯ）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第１８４条の１０第１項(実用新案法第４８条の１３第２項）により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶显示装置，扫描信号驱动装置，液晶显示装置的驱动方法，扫描信号驱动方法和电视接收装置		
公开(公告)号	JPWO2008152848A1	公开(公告)日	2010-08-26
申请号	JP2009519183	申请日	2008-03-27
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	北山雅江 入江健太郎 下敷領文一 津幡俊英 山田直		
发明人	北山 雅江 入江 健太郎 下敷領 文一 津幡 俊英 山田 直		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/36 G02F1/13624 G02F2001/133397 G09G3/3614 G09G3/3648 G09G3/3677 G09G2300/0443 G09G2300/0876 G09G2310/0205 G09G2310/0224 G09G2310/0248 G09G2310/0251 G09G2310/0286 G09G2310/08 G09G2320/0233 G09G2320/0261 G09G2320/028		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.611.J G09G3/20.642.A G09G3/20.623.C G09G3/20.622.P G09G3/20.622.C G09G3/20.622.D G09G3/20.622.M G09G3/20.622.N G09G3/20.612.K G09G3/20.622.E G09G3/20.623.D G09G3/20.621.F G09G3/20.622.R G09G3/20.621.A G09G3/20.611.E G09G3/20.611.A G02F1/133.550 G02F1/133.525 H04N5/66.102.B		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB06 2H193/ZB14 2H193/ZC05 2H193/ZC20 2H193/ZC25 2H193/ZC26 2H193/ZC34 2H193/ZC36 2H193/ZD32 2H193/ZE04 2H193/ZF12 2H193/ZG04 2H193/ZG12 5C006/AA01 5C006/AC24 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AC29 5C006/AF42 5C006/AF44 5C006/AF50 5C006/AF72 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC22 5C006/BF03 5C006/BF26 5C006/FA22 5C006/FA23 5C006/FA41 5C006/FA47 5C058/AA06 5C058/BA01 5C058/BA35 5C058/BB01 5C058/BB09 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD20 5C080/DD22 5C080/DD26 5C080/FF07 5C080/FF11 5C080/GG08 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43		
优先权	2007155652 2007-06-12 JP 2007309529 2007-11-29 JP		
其他公开文献	JP5214601B2		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置，在该液晶显示装置中，栅极驱动器施加栅极导通脉冲，使得第二周期长于第一周期。 第一时段和第二时段定义如下。 在数据信号极性反转之前施加的栅极导通脉冲中，最接近极性反转时刻的栅极导通脉冲的最后端早于栅极导通期间水平周期的结束时间 施加脉冲。 第一个周期从栅极导通脉冲的最后端开始，到施加栅极导通脉冲的水平周期的结束时间结束。 第二周期在极性反转的时刻开始，并且在极性反转之后施加的栅极导通脉冲中最接近极性反转时刻的栅极导通脉冲的施加开始时刻结束。 因此，即使当极性反转时数据信号波形不清晰时，也可以抑制显示不均匀并进行高质量的显示。



AA DATA SIGNAL WAVEFORM
BB DATA LSI SIGNAL
CC WRITE ROWS