

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5305755号
(P5305755)

(45) 発行日 平成25年10月2日 (2013. 10. 2)

(24) 登録日 平成25年7月5日 (2013. 7. 5)

(51) Int. Cl.

F I

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

GO 2 F 1/1335 (2006. 01)

GO 2 F 1/1335 5 0 0

GO 2 F 1/1343 (2006. 01)

GO 2 F 1/1343

請求項の数 4 (全 9 頁)

(21) 出願番号 特願2008-168229 (P2008-168229)
 (22) 出願日 平成20年6月27日 (2008. 6. 27)
 (65) 公開番号 特開2010-8737 (P2010-8737A)
 (43) 公開日 平成22年1月14日 (2010. 1. 14)
 審査請求日 平成22年12月17日 (2010. 12. 17)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 横溝 政幸
 熊本県合志市御代志997番地 メルコ・
 ディスプレイ・テクノロジー株式会社内
 審査官 清水 誓史

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数のゲート配線と、
 複数のソース配線と、
 前記ゲート配線と前記ソース配線との各交差部に対応して配設された複数の画素と、
 前記複数の画素間の境界に配設されたブラックマトリクスと
 を含む液晶パネルを備える液晶表示装置であって、
 前記画素の各々は、
 前記ブラックマトリクスの開口部内に位置する第1の画素電極と、
全体が前記ブラックマトリクスと重なって前記ブラックマトリクスの下に位置する第2 10
 の画素電極と、
 前記第1の画素電極に接続した第1の薄膜トランジスタと、
 前記第2の画素電極に接続した第2の薄膜トランジスタと、
 液晶を介して前記第1および第2の画素電極に対向して配置される対向電極とを備え、
 前記第2の画素電極は、
 前記複数の画素間の境界に配設された前記ブラックマトリクスと対向して形成され、前
 記ブラックマトリクスの開口部に配置された前記第1の画素電極を囲むように形成される
 、
 ことを特徴とする液晶表示装置。

【請求項 2】

前記画素の各々において、

前記第 1 および第 2 の薄膜トランジスタは、共に同じゲート線およびソース線に接続している

ことを特徴とする液晶表示装置。

【請求項 3】

前記画素の各々が、

前記第 2 の画素電極および前記第 2 の薄膜トランジスタを複数組備える、請求項 1 または請求項 2 記載の液晶表示装置。

【請求項 4】

前記画素の各々において、

前記第 1 の画素電極と前記第 2 の画素電極との境界における当該第 1 および第 2 の画素電極の辺に、互いに相補的な凹凸が設けられている、請求項 1 から請求項 3 のいずれか記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置の画素構造に関するものであり、特に、点欠陥の修復技術に関するものである。

【背景技術】

【0002】

TFT 液晶表示装置 (TFT-LCD: Thin Film Transistor-Liquid Crystal Display) の製造過程においては、完成した液晶パネルに対して表示検査が行われる。そこでは、液晶パネルの線欠陥、点欠陥、表示ムラの有無など、表示品位に関する検査が行われる。そして救済可能な欠陥に関しては、その修復 (リペア) が行われる。

【0003】

TFT 液晶表示装置における輝点欠陥のリペア方法としては、従来から幾つか知られたものがある。例えば、輝点欠陥の原因がその画素を駆動する TFT の故障である場合、TFT のゲートとドレインのオーバーラップ領域をレーザー照射して、そのゲート・ドレイン間をショートさせるリペア方法 (以下「第 1 のリペア方法」) が適用可能である (例えば下記の特許文献 1)。第 1 のリペア方法によれば、TFT のショートしたゲート・ドレインを通して画素電極にゲート配線電位が印加されることとなり、輝点欠陥が黒点欠陥に変化するため、その視認性を低下させることができる。

【0004】

また、輝点欠陥の原因が、導電性の異物による画素電極と対向電極 (共通電極) との間のショート (対向電極間ショート) である場合には、異物およびその周辺部をレーザー照射して、対向電極間ショートを解消させるリペア方法 (以下、「第 2 のリペア方法」) が適用可能である。第 2 のリペア方法によれば、輝点欠陥である画素を、正常画素へと復帰させることができる。

【0005】

さらに別のリペア方法としては、輝点欠陥である画素の表面をくまなくレーザー照射して、当該画素における配向膜のラビングの効果を解消し、液晶の配向を乱れさせるリペア方法 (以下「第 3 のリペア方法」) がある。第 3 のリペア方法は、第 1 のリペア方法と同様に、輝点欠陥を黒点欠陥に変化させ、その視認性を低下させることができる。

【0006】

上記の各リペア方法の成功率は必ずしも 100% ではない。第 1 ~ 第 3 のリペア方法の実際の成功確率をそれぞれ $SR(1) \sim SR(3)$ とすると、一般的に、 $SR(1) > SR(2) > SR(3)$ の関係となる。

【0007】

表示検査後のリペア工程では、まず輝点欠陥である画素に対し顕微鏡による異物の有無のチェックが行われる。このとき異物が見つからなかった場合には、第 1 あるいは第 3 の

10

20

30

40

50

リペア方法を適用可能であるが、より成功率の高い第1のリペア方法が行われる。つまり当該画素のTFTのゲート・ドレイン間をショートする。

【0008】

また画素内に異物が見つかった場合には、第2または第3のリペア方法が行われる。この場合、第1のリペア方法は採用されない。その理由は、異物による対向電極間ショートが発生している画素に対して第1のリペア方法を行うと、対向電極がゲート配線とショートするため、ゲート配線方向の線欠陥が生じるからである。

【0009】

【特許文献1】特開平5-210111号公報

【発明の開示】

10

【発明が解決しようとする課題】

【0010】

TFTおよび画素電極が形成されるTFTアレイ基板(TFT基板)においては、ゲート配線およびソース配線が発生する電界の影響により生じる液晶のドメイン領域を極力少なくするために、画素電極はゲート配線およびソース配線の極めて近い位置まで延在していることが好ましい。一方、TFT基板に対向するカラーフィルタ基板(CF基板)には、赤、緑、青(R, G, B)各画素間の光の漏れによるコントラストの低下を防止するために、各画素間の光を遮断する仕切り壁であるブラックマトリクス(BM)が設けられる。その結果、TFT基板とCF基板とを張り合わせて液晶パネルを形成したとき、TFT基板の画素電極の一部(外周部)がブラックマトリクスと重なることとなる。

20

【0011】

そのため異物による対向電極間ショートは、画素を囲むブラックマトリクス下の領域でも生じる可能性がある。その場合、その画素は輝点欠陥となるが、ブラックマトリクス下の領域の異物は顕微鏡によって視認できないため、表示検査後のリペア工程では異物は発見されず、第1のリペア方法が施される。

【0012】

しかし上記のように、対向電極間ショートが発生している画素に第1のリペア方法を施すと、対向電極とゲート配線とがショートしてゲート配線方向の線欠陥を生じさせる結果となる。つまり従来の画素構造では、輝点欠陥の原因がブラックマトリクス下の異物である場合、リペア工程でその異物を見つけ出すことができずに第1のリペア方法が施され、輝点欠陥が修復されるどころか線欠陥へと拡大される蓋然性がある。このことは、表示装置製造における歩留まりの低下を招く要因となっていた。

30

【0013】

リペア工程後の点灯検査においてそのような線欠陥が観察されればまだ良いが、場合によっては、点灯検査の際に異物による対向電極間ショートが一時的に解消され、正常にリペアされたが如く黒点欠陥として観察されることもある。その場合、点灯検査では正常にリペアが行われたと判断され、その液晶パネルを組み込んだ表示装置は製品として出荷される。しかしその後の運送による振動などの外的ストレスによって、対向電極間ショートが再現することもある。その結果、線欠陥を有する不良品が市場に出回ることとなり問題となる。

40

【0014】

本発明は以上のような課題を解決するためになされたものであり、ブラックマトリクス下の異物に起因する輝点欠陥および線欠陥の発生を防止することが可能な液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明に係る液晶表示装置は、複数のゲート配線と、複数のソース配線と、前記ゲート配線と前記ソース配線との各交差部に対応して配設された複数の画素と、前記複数の画素間の境界に配設されたブラックマトリクスを含む液晶パネルを備える液晶表示装置であって、前記画素の各々は、前記ブラックマトリクスの開口部内に位置する第1の画素電極

50

と、全体が前記ブラックマトリクスと重なって前記ブラックマトリクスの下に位置する第2の画素電極と、前記第1の画素電極に接続した第1の薄膜トランジスタと、前記第2の画素電極に接続した第2の薄膜トランジスタと、液晶を介して前記第1および第2の画素電極に対向して配置される対向電極とを備え、前記第2の画素電極は、前記複数の画素間の境界に配設された前記ブラックマトリクスと対向して形成され、前記ブラックマトリクスの開口部に配置された前記第1の画素電極を囲むように形成されるものである。

【発明の効果】

【0016】

本発明によれば、ブラックマトリクスの下に異物が混入し、それを通して第2の画素電極が対向電極とショートしても、画素のその部分はブラックマトリクスの下に位置するため輝点欠陥として視認されず、リペアの必要がない。従って、ブラックマトリクス下の異物に起因して輝点欠陥となった画素に対し、その異物に気付かずにゲート配線と画素電極とをショートさせるリペア方法を施すことによって線欠陥が引き起こされるという問題を回避できる。また、第2の画素電極がブラックマトリクスの下、すなわちゲート配線およびソース配線の近傍に配設されるため、液晶のドメイン領域を小さくする効果も得られる。

10

【発明を実施するための最良の形態】

【0017】

<実施の形態1>

図1および図2は、本発明の実施の形態1に係る液晶表示装置の構成を示す図であり、図1は液晶パネルの1画素分の平面図、図2は図1に示すA-A線に沿った画素の断面図である。また図3は当該液晶パネルの1画素分の等価回路図である。図1、図2において、互いに対応する要素には同一符号を付してある。また図3の回路図でも、図1、図2で示したものに対応する要素およびノードには、同一符号を付してある。

20

【0018】

液晶パネルの画素は、図2の如く所定の間隔を空けて貼り合わせられたTFT基板100とCF基板20の間に液晶材料（不図示）が注入されて成る。図1には、そのうちのTFT基板100の1画素分の構成を示している。TFT基板100上のガラス基板1（透明絶縁基板）上には、互いに直行するゲート配線3およびソース配線4がそれぞれ複数本配設されており、画素はそれらの交点それぞれの近傍に形成される。またCF基板20には、対向電極21およびブラックマトリクス22が形成される。ブラックマトリクス22は画素間の境界に配設されており、図1、図2の参照符号23は、ブラックマトリクス22の開口部を示している。

30

【0019】

従来のTFT基板側には、1つの画素ごとにTFTと画素電極とが1つずつ設けられていたが、本実施の形態では1つの画素がTFTと画素電極とを2つずつ有する。即ち、本実施の形態の画素は、画素電極として、CF基板20のブラックマトリクス22の開口部23内の領域に形成された画素電極2Aと、ブラックマトリクス22の下方に形成された画素電極2Bとに分割されている。ブラックマトリクス22は、各画素間の境界に配設されるので、画素電極2Bは画素の外周部に、画素電極2Aを囲むように配設される。以下、画素電極2Bを「BM下画素電極」と称する。

40

【0020】

そして当該画素は、画素電極2Aとの間に接続するTFT10Aと、BM下画素電極2Bとの間に接続するTFT10Bとを有している。TFT10A、10Bは共に、そのゲート電極が同じゲート配線3に接続し、ソース電極が同じソース配線4に接続している。つまりTFT10A、10Bは、ゲート電極およびソース電極を共通にしている（図3の回路図参照）。TFT10Aのドレイン電極11Aは、コンタクトホール12Aを通して画素電極2Aに接続し、TFT10Bのドレイン電極11Bは、コンタクトホール12Bを通してBM下画素電極2Bに接続する。

【0021】

50

C F 基板 2 0 の対向電極 2 1 は、画素電極 2 A および B M 下画素電極 2 B に対向するように設けられており、実使用時には所定のコモン電位 (V com) が供給される。本実施の形態の画素は、画素電極が、画素電極 2 A と B M 下画素電極 2 B とに分割されているので、 T F T 基板 1 0 0 と C F 基板 2 0 との間の液晶で構成される液晶素子も、ブラックマトリクス 2 2 の開口部 2 3 内に位置する液晶素子部 3 0 A と、ブラックマトリクス 2 2 の下に位置する液晶素子部 3 0 B とに分割して考えることができる (図 3)。但し、上記のように T F T 1 0 A , 1 0 B は、ゲート電極およびソース電極が互いに共通であり、原則として画素電極 2 A と B M 下画素電極 2 B には同じ画像信号が供給されるため、画素全体としての動作は、分割されていない単一の画素と実質的に同じである。

【 0 0 2 2 】

10

なお図 1 には、液晶パネルに保持容量配線 5 が設けられている例を示している。この保持容量配線 5 は、 T F T 基板 1 0 0 上にゲート配線 3 と同じ層を用いて形成され、画素電極 2 A および B M 下画素電極 2 B とそれとの間でそれぞれ保持容量 3 1 A , 3 1 B を形成する (図 3)。図 1 の保持容量配線 5 には、保持容量 3 1 A , 3 1 B の容量値を稼ぐために、画素の外周部にソース配線 4 の長さ方向に延びる突出部 5 1 が設けられている。

【 0 0 2 3 】

図 1 に示した T F T 基板 1 0 0 の各要素は、ガラス基板 1 上にメタル膜、半導体膜、絶縁膜などを写真製版技術を用いて選択的に形成することにより、作り上げられる。その T F T 基板 1 0 0 上に、カラーフィルタ (不図示)、対向電極 2 1 およびブラックマトリクス 2 2 を備える C F 基板 2 0 を所要のギャップを保たせつつ張り合わせ、そのギャップに液晶注入することで液晶パネルが完成する。

20

【 0 0 2 4 】

完成した液晶パネルに対しては、従来と同様に表示検査が行われ、そこでは線欠陥、点欠陥、表示ムラの有無などの表示品位に関する検査が行われる。輝点欠陥が存在した場合は、その液晶パネルをレーザーリペア装置へと搬送し、当該リペア装置に付属の顕微鏡を用いて、輝点欠陥である画素内の異物チェックが行われる。そしてその後のリペア工程で、異物の有無に応じたリペア方法が施される。

【 0 0 2 5 】

本実施の形態の画素は、ブラックマトリクス 2 2 の開口部 2 3 内の液晶素子部 3 0 A (画素電極 2 A 上の部分) と、ブラックマトリクス 2 2 下の液晶素子部 3 0 B (B M 下画素電極 2 B 上の部分) とに分けて考えることができる。例えばブラックマトリクス 2 2 下の液晶素子部 3 0 B において対向電極間ショートが発生しても、当該液晶素子部 3 0 B を通過する光はブラックマトリクス 2 2 により遮られるため、見かけ上、輝点欠陥として現れない。そのため本実施の形態では、その画素に対してのリペアは行われない。

30

【 0 0 2 6 】

一方、ブラックマトリクス 2 2 の開口部 2 3 内の画素電極 2 A が輝点欠陥となった場合は、従来どおりにリペアを行う。そのリペア工程のフローは、基本的に従来と同じでよい。即ち、輝点欠陥である画素 (つまり画素電極 2 A) 内に異物が見つからなかった場合には、第 1 のリペア方法が行われる (T F T 1 0 A のゲート - ドレイン間をショートする)

40

【 0 0 2 7 】

また画素内に異物が見つかった場合には、第 2 または第 3 のリペア方法が行われる。この場合、第 1 のリペア方法は採用されない。例えば、異物の一部がブラックマトリクス 2 2 や配線等に重なっていなければ第 2 のリペア方法を行い、重なっていれば異物へのレーザー照射が困難であるので第 3 のリペア方法を行う。

【 0 0 2 8 】

以上のように本実施の形態においては、ブラックマトリクス 2 2 下の液晶素子部 3 0 B は、それ自体が視認されないため輝点欠陥と同じ状態の故障が生じても、それに対するリペアを行う必要がない。そのため輝点欠陥の原因がブラックマトリクス 2 2 下の異物を通して対向電極間ショートである場合に、第 1 のリペア方法によって線欠陥が引き起こされ

50

るという問題は生じない。従って表示装置製造の歩留まり向上に寄与できる。

【0029】

なお、ブラックマトリクス22下の液晶素子部30B（正確にはその透過光）は、表示画面上に現れないが、BM下画素電極2Bがゲート配線3およびソース配線4の近くに配設されることで、当該ゲート配線3およびソース配線4が発生する電界の影響により生じる液晶のドメイン領域を極力少なくするように機能している。従って、本実施の形態の液晶パネルにおいても、従来と同程度の表示品質を維持することができる。

【0030】

<実施の形態2>

実施の形態1においては、ブラックマトリクス22の開口部23内の画素電極2Aと、ブラックマトリクス22下のBM下画素電極2Bとを1つつ有する構成を示したが、本実施の形態ではBM下画素電極2Bを複数個備える構成とする。

【0031】

図4は、本発明の実施の形態2に係る液晶表示装置の構成を示す図であり、液晶パネルの1画素分の平面図である。同図の如く、本実施の形態では、ブラックマトリクス22下に配設されるBM下画素電極2Bを、画素の左半分に位置するBM下画素電極2B₁と、右半分に位置するBM下画素電極2B₂とにさらに分割したものである。

【0032】

BM下画素電極2B₁、2B₂には、それぞれTF T10B₁、10B₂が接続される。TF T10B₁、10B₂は共に、そのゲート電極が同じゲート配線3に接続し、ソース電極が同じソース配線4に接続している。つまりTF T10B₁、10B₂は共に、TF T10Aとゲート電極およびソース電極を共通にしている。TF T10B₁のドレイン電極11B₁は、コンタクトホール12B₁を通してBM下画素電極2B₁に接続し、TF T10B₂のドレイン電極11B₂は、コンタクトホール12B₂を通してBM下画素電極2B₂に接続する。

【0033】

本実施の形態によれば、例えばBM下画素電極2B₁で異物による故障が生じた場合でも、BM下画素電極2B₂には影響しないので、その故障により当該画素におけるドメイン領域を少なくする効果が低下する度合いを小さくできる。実施の形態1で説明したように、本発明においてはBM下画素電極に対するリペアを行わないため有効である。また、

【0034】

本実施の形態においては、画素が、BM下画素電極およびそれに接続するTF Tを2組有する構成を示したが、3つ以上有する構成としてもよい。

【0035】

<実施の形態3>

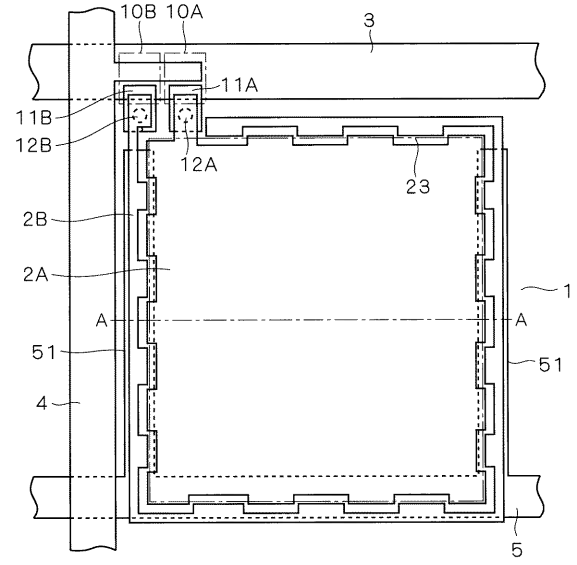
図1の例では、画素の外周部に画素電極2AとBM下画素電極2Bとの間に直線的な形状の隙間がある。そのため、TF T基板100とCF基板20との位置合わせずれにより、画素に対してブラックマトリクス22の位置がずれると、各画素の見た目上の輝度にそれが大きく影響することが考えられる。

【0036】

図5は、本発明の実施の形態2に係る液晶表示装置の構成を示す図であり、液晶パネルの1画素分の平面図である。同図の如く、本実施の形態では、画素電極2AとBM下画素電極2Bとの間の隙間が、ジグザグ形状になるようにしている。つまり、画素電極2Aの外周（BM下画素電極2Bに対向する辺（輪郭線））と、BM下画素電極2Bにおける画素電極2Aに対向する辺（輪郭線）に、互いに相補的な形状となる凹凸を設けている。言い換えれば、画素電極2Aの凸部に面するBM下画素電極2Bの部分には、その凸部が入り込むように凹部が配設され、画素電極2Aの凹部に面するBM下画素電極2Bの部分には、その凹部に入り込むように凸部が配設される。

【0037】

1 ガラス基板、2 A 画素電極、2 B B M下画素電極、3 ゲート配線、4 ソース配線、5 保持容量配線、1 0 A , 1 0 B T F T、1 1 A , 1 1 B ドレイン電極、1 2 A , 1 2 B コンタクトホール、1 0 0 T F T基板、2 0 C F 基板、2 2 ブラックマトリクス、2 3 ブラックマトリクスの開口部、2 1 対向電極。



フロントページの続き

- (56)参考文献 特開 2 0 0 8 - 0 2 6 8 7 0 (J P , A)
国際公開第 2 0 0 7 / 0 9 1 3 6 5 (W O , A 1)
特開 2 0 0 6 - 1 3 3 5 7 7 (J P , A)
特開平 0 3 - 2 3 0 1 2 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 3 5
G 0 2 F	1 / 1 3 4 3

专利名称(译)	液晶表示装置		
公开(公告)号	JP5305755B2	公开(公告)日	2013-10-02
申请号	JP2008168229	申请日	2008-06-27
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	横溝政幸		
发明人	横溝 政幸		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1343		
FI分类号	G02F1/1368 G02F1/1335.500 G02F1/1343		
F-TERM分类号	2H092/GA29 2H092/JA24 2H092/JA46 2H092/JB41 2H092/JB72 2H092/MA47 2H092/MA52 2H092/NA12 2H092/NA16 2H092/NA29 2H092/NA30 2H092/PA09 2H191/FA14Y 2H191/GA04 2H191/GA19 2H191/LA09 2H191/LA13 2H192/AA24 2H192/BA13 2H192/BC14 2H192/BC31 2H192/CB05 2H192/CC04 2H192/DA12 2H192/EA22 2H192/EA43 2H192/HB33 2H192/HB42 2H192/HB46 2H192/HB63 2H291/FA14Y 2H291/GA04 2H291/GA19 2H291/LA09 2H291/LA13		
其他公开文献	JP2010008737A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在液晶显示装置中，为了防止在黑矩阵下产生由于异物引起的亮点缺陷和线缺陷。解决方案：液晶显示装置的每个像素具有位于黑矩阵的开口23内部的像素电极2A和位于黑矩阵下方的BM下像素电极2B。像素电极2A和下BM像素电极2B分别分别设置有TFT 10A和10B。TFT 10A和10B连接到相同的栅极布线3和源极布线4

【图 1】

