

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5110680号
(P5110680)

(45) 発行日 平成24年12月26日 (2012.12.26)

(24) 登録日 平成24年10月19日 (2012.10.19)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/36

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/20 6 2 2 E

G 0 2 F 1/133 (2006.01)

G 0 9 G 3/20 6 2 2 C

G 1 1 C 19/28 (2006.01)

G 0 9 G 3/20 6 2 2 D

G 0 9 G 3/20 6 2 1 M

請求項の数 15 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2006-262269 (P2006-262269)
 (22) 出願日 平成18年9月27日 (2006.9.27)
 (65) 公開番号 特開2007-94415 (P2007-94415A)
 (43) 公開日 平成19年4月12日 (2007.4.12)
 審査請求日 平成21年9月25日 (2009.9.25)
 (31) 優先権主張番号 10-2005-0089827
 (32) 優先日 平成17年9月27日 (2005.9.27)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 gtong-gu, Suwon-si, G
 yeonggi-do, Republic
 of Korea
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 李 洪 雨
 大韓民国 忠清南道 天安市 斗井洞 1
 169番地 306号

最終頁に続く

(54) 【発明の名称】 シフトレジスタ及びこれを有する表示装置

(57) 【特許請求の範囲】

【請求項 1】

互いに連結されて順次に出力信号を生成する複数のステージを有し、

前記各ステージは、交互に第1出力電圧を出力する第1及び第2出力端を有し、

前記各ステージは、トランジスタと前記トランジスタの二つの端子間に接続されたキャ
 パシタを含む出力部と、前記キャパシタを充電するプルアップ駆動部と、前記キャパシタ
 を放電させるプルダウン駆動部を含み、

前記各ステージは、出力部の出力を受けて、前記第1出力電圧と第2出力電圧をスイッ
 チングして前記第1出力端と前記第2出力端に交互に変えて出力する出力スイッチング部
 をさらに含み、

前記出力スイッチング部は、第1スイッチング信号によって出力電圧生成部の出力をス
 イッチングする第1トランジスタと、

第2スイッチング信号によって前記出力電圧生成部の出力をスイッチングする第2トラ
 ンジスタとを含み、

前記出力スイッチング部は、前記第2スイッチング信号によって前記第2出力電圧を前
 記第1出力端に出力または遮断する第3トランジスタと、

前記第1スイッチング信号によって前記第2出力電圧を前記第2出力端に出力または遮
 断する第4トランジスタとをさらに含み、

前記第3トランジスタの入力端子は前記第1トランジスタの制御端子に接続され、前記
 第4トランジスタの入力端子は前記第2トランジスタの制御端子に接続されていることを

10

20

特徴とするシフトレジスタ。

【請求項 2】

前記各ステージは、出力開始信号または前段ステージのうちの何れか一つの出力信号に応答して前記第 1 出力電圧と前記第 2 出力電圧を生成する前記出力電圧生成部を含み、

前記第 1 出力電圧は前記第 2 出力電圧と大きさが異なることを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 3】

前記第 1 スイッチング信号と前記第 2 スイッチング信号の位相は互いに反対であることを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 4】

前記第 1 及び前記第 2 スイッチング信号は 1 H (1 水平周期) を周期として反転することを特徴とする請求項 1 に記載のシフトレジスタ。

【請求項 5】

基板と、

前記基板上に形成される複数のゲート線と、

前記ゲート線と交差する複数のデータ線と、

前記ゲート線及び前記データ線と連結される複数の薄膜トランジスタと、

前記薄膜トランジスタと連結され行列状に配列されて、前記ゲート線に平行な第 1 辺、及び前記第 1 辺より長さが短く前記第 1 辺と隣接し前記データ線に平行な第 2 辺を有する複数の画素電極と、

前記ゲート線と連結されるゲート駆動部とを有し、

前記ゲート駆動部は互いに連結されて順次に出力信号を生成する複数のステージを含み、

前記各ステージは、トランジスタと前記トランジスタの二つの端子間に接続されたキャパシタを含む出力部と、前記キャパシタを充電するプルアップ駆動部と、前記キャパシタを放電させるプルダウン駆動部を含み、

前記各ステージは、出力部の出力を受けて、前記第 1 出力電圧と第 2 出力電圧をスイッチングして前記複数の出力端である第 1 出力端と第 2 出力端に交互に変えて出力する出力スイッチング部をさらに含み、

前記出力スイッチング部は、第 1 スイッチング信号によって出力電圧生成部の出力をスイッチングする第 1 トランジスタと、

第 2 スイッチング信号によって前記出力電圧生成部の出力をスイッチングする第 2 トランジスタとを含み、

前記出力スイッチング部は、前記第 2 スイッチング信号によって前記第 2 出力電圧を前記第 1 出力端に出力または遮断する第 3 トランジスタと、

前記第 1 スイッチング信号によって前記第 2 出力電圧を前記第 2 出力端に出力または遮断する第 4 トランジスタとをさらに含み、

前記第 3 トランジスタの入力端子は前記第 1 トランジスタの制御端子に接続され、前記第 4 トランジスタの入力端子は前記第 2 トランジスタの制御端子に接続されていることを特徴とする表示装置。

【請求項 6】

前記各ステージは、出力開始信号または前段ステージのうちの何れか一つの出力信号に応答して前記第 1 出力電圧と前記第 2 出力電圧を生成する出力電圧生成部を含み、

前記第 1 出力電圧は前記第 2 出力電圧と大きさが異なることを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記第 1 スイッチング信号と前記第 2 スイッチング信号の位相は互いに反対であることを特徴とする請求項 5 に記載の表示装置。

【請求項 8】

前記第 1 及び第 2 スイッチング信号は 1 H を周期として反転することを特徴とする請求

10

20

30

40

50

項 5 に記載の表示装置。

【請求項 9】

列方向に隣接した画素電極は互いに異なるデータ線と連結されることを特徴とする請求項 5 に記載の表示装置。

【請求項 10】

前記ゲート駆動部は互いに異なるゲート線に連結される第 1 及び第 2 シフトレジスタを有し、

前記第 1 及び第 2 シフトレジスタ各々は前記ステージの中の第 1 及び第 2 ステージを含むことを特徴とする請求項 5 に記載の表示装置。

【請求項 11】

基板と、

前記基板上に形成される複数のゲート線と、

前記ゲート線と交差する複数のデータ線と、

前記ゲート線及び前記データ線と連結される複数の薄膜トランジスタと、

前記薄膜トランジスタと連結され行列状に配列されて、前記ゲート線に平行な第 1 辺、及び前記第 1 辺より長さが短く前記第 1 辺と隣接し前記データ線に平行な第 2 辺を有する複数の画素電極と、

前記基板の左右端部に配置されて、前記ゲート線と連結されるゲート駆動部とを有し、

前記ゲート駆動部は互いに連結されて順次出力信号を生成する複数のステージを含み、

前記各ステージは、トランジスタと前記トランジスタの二つの端子間に接続されたキャパシタを含む出力部と、前記キャパシタを充電するプルアップ駆動部と、前記キャパシタを放電させるプルダウン駆動部を含み、

前記各ステージは、出力部の出力を受けて、前記第 1 出力電圧と第 2 出力電圧をスイッチングして前記複数の出力端である第 1 出力端と第 2 出力端に交互に変えて出力する出力スイッチング部をさらに含み、

前記出力スイッチング部は、第 1 スwitching 信号によって出力電圧生成部の出力をスイッチングする第 1 トランジスタと、

第 2 スwitching 信号によって前記出力電圧生成部の出力をスイッチングする第 2 トランジスタとを含み、

前記出力スイッチング部は、前記第 2 スwitching 信号によって前記第 2 出力電圧を前記第 1 出力端に出力または遮断する第 3 トランジスタと、

前記第 1 スwitching 信号によって前記第 2 出力電圧を前記第 2 出力端に出力または遮断する第 4 トランジスタとをさらに含み、

前記第 3 トランジスタの入力端子は前記第 1 トランジスタの制御端子に接続され、前記第 4 トランジスタの入力端子は前記第 2 トランジスタの制御端子に接続されていることを特徴とする表示装置。

【請求項 12】

前記各ステージは、出力開始信号または前段ステージのうちの何れか一つの出力信号に応答して前記第 1 出力電圧と第 2 出力電圧を生成する出力電圧生成部を含み、

前記第 1 出力電圧は第 2 出力電圧と大きさが異なることを特徴とする請求項 11 に記載の表示装置。

【請求項 13】

前記第 1 スwitching 信号と前記第 2 スwitching 信号の位相は互いに反対であることを特徴とする請求項 11 に記載の表示装置。

【請求項 14】

前記第 1 及び第 2 スwitching 信号は 1 H を周期として反転することを特徴とする請求項 11 に記載の表示装置。

【請求項 15】

列方向に隣接した画素電極は互いに異なるデータ線と連結されることを特徴とする請求

10

20

30

40

50

項 1 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明はシフトレジスタ及びこれを有する表示装置に関し、特に表示板に必要なデータ線の数減らすことができ、それによりデータ駆動部の数を減らすことのできるシフトレジスタ及びこれを有する表示装置に関する。

【背景技術】

【 0 0 0 2 】

液晶表示装置は、現在最も広く使用されている平板表示装置のうちのひとつであって、画素電極と共通電極など電場を生成する電極が形成されている二枚の表示板とその間に入っている液晶層を含む。液晶表示装置は、電場生成電極に電圧を印加して液晶層に電場を生成し、これを通して液晶層の液晶分子の配向を決定して入射光の偏光を制御することによって画像を表示する。

液晶表示装置をはじめとする表示装置は、また、各画素電極に連結されているスイッチング素子及びスイッチング素子を制御して画素電極に電圧を印加するためのゲート線とデータ線などの複数の信号線を含む。

【 0 0 0 3 】

このような信号線は、別途に備えられた駆動装置から信号の印加を受けて、スイッチング素子を通して当該画素に当該信号を印加する。従って、表示装置を駆動するためには駆動装置を表示装置に連結したり、表示装置に装着しなければならない。しかし、表示装置を製造において、このような駆動装置は費用が高くなるという問題がある。

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

そこで、本発明は上記従来の表示装置における問題点に鑑みてなされたものであって、本発明の目的は、表示板に必要なデータ線の数減らすことができ、それによりデータ駆動部の数を減らすことができ、液晶表示装置に設置される駆動部に消費される製造費用を低減できるシフトレジスタ及びこれを有する表示装置を提供する。

【課題を解決するための手段】

【 0 0 0 5 】

上記目的を達成するためになされた本発明によるシフトレジスタは、互いに連結されていて順次に出力信号を生成する複数のステージを有し、前記各ステージは交互に第 1 出力電圧を出力する第 1 及び第 2 出力端を有し、前記各ステージは、トランジスタと前記トランジスタの二つの端子間に接続されたキャパシタを含む出力部と、前記キャパシタを充電するプルアップ駆動部と、前記キャパシタを放電させるプルダウン駆動部を含み、前記各ステージは、出力部の出力を受けて、前記第 1 出力電圧と第 2 出力電圧をスイッチングして前記第 1 出力端と前記第 2 出力端に交互に変えて出力する出力スイッチング部をさらに含み、前記出力スイッチング部は、第 1 スwitching 信号によって出力電圧生成部の出力をスイッチングする第 1 トランジスタと、第 2 スwitching 信号によって前記出力電圧生成部の出力をスイッチングする第 2 トランジスタとを含み、前記出力スイッチング部は、前記第 2 スwitching 信号によって前記第 2 出力電圧を前記第 1 出力端に出力または遮断する第 3 トランジスタと、前記第 1 スwitching 信号によって前記第 2 出力電圧を前記第 2 出力端に出力または遮断する第 4 トランジスタとをさらに含み、前記第 3 トランジスタの入力端子は前記第 1 トランジスタの制御端子に接続され、前記第 4 トランジスタの入力端子は前記第 2 トランジスタの制御端子に接続されていることを特徴とする。

【 0 0 0 6 】

上記目的を達成するためになされた本発明による表示装置は、基板と、前記基板上に形成される複数のゲート線と、前記ゲート線と交差する複数のデータ線と、前記ゲート線及び前記データ線と連結される複数の薄膜トランジスタと、前記薄膜トランジスタと連結さ

10

20

30

40

50

れ行列状に配列されて、前記ゲート線に平行な第 1 辺、及び前記第 1 辺より長さが短く前記第 1 辺と隣接し前記データ線に平行な第 2 辺を有する複数の画素電極と、前記ゲート線と連結されるゲート駆動部と、を有し、前記ゲート駆動部は互いに連結されて順次に出力信号を生成する複数のステージを含み、前記各ステージは、トランジスタと前記トランジスタの二つの端子間に接続されたキャパシタを含む出力部と、前記キャパシタを充電するプルアップ駆動部と、前記キャパシタを放電させるプルダウン駆動部を含み、前記各ステージは、出力部の出力を受けて、前記第 1 出力電圧と第 2 出力電圧をスイッチングして前記複数の出力端である第 1 出力端と第 2 出力端に交互に変えて出力する出力スイッチング部をさらに含み、前記出力スイッチング部は、第 1 スwitching 信号によって出力電圧生成部の出力をスイッチングする第 1 トランジスタと、第 2 スwitching 信号によって前記出力電圧生成部の出力をスイッチングする第 2 トランジスタと、を含み、前記出力スイッチング部は、前記第 2 スwitching 信号によって前記第 2 出力電圧を前記第 1 出力端に出力または遮断する第 3 トランジスタと、前記第 1 スwitching 信号によって前記第 2 出力電圧を前記第 2 出力端に出力または遮断する第 4 トランジスタとをさらに含み、前記第 3 トランジスタの入力端子は前記第 1 トランジスタの制御端子に接続され、前記第 4 トランジスタの入力端子は前記第 2 トランジスタの制御端子に接続されていることを特徴とする。

10

【0007】

前記各ステージは、出力開始信号または前段ステージのうちの何れか一つの出力信号に
応答して前記第 1 出力電圧と前記第 2 出力電圧を生成する出力電圧生成部を含み、前記第
1 出力電圧は第 2 出力電圧と大きさが異なることが好ましい。

20

【0008】

前記第 1 スwitching 信号と前記第 2 スwitching 信号の位相は互いに反対であることが好ましい。

【0009】

前記第 1 及び第 2 スwitching 信号は 1 H を周期として反転することが好ましい。

【0010】

列方向に隣接した画素電極は互いに異なるデータ線と連結されることが好ましい。

前記ゲート駆動部は互いに異なるゲート線に連結される第 1 及び第 2 シフトレジスタを
有し、前記第 1 及び第 2 シフトレジスタ各々は前記ステージの中の第 1 及び第 2 ステージ
を含むことが好ましい。

30

【発明の効果】

【0011】

本発明に係るシフトレジスタ及びこれを有する表示装置によれば、表示板に必要なデータ線の数を減らすことができ、それによりデータ駆動部の数を減らすことができるため、製造費用を低減できるという効果がある。

【発明を実施するための最良の形態】

【0012】

次に、本発明に係るシフトレジスタ及びこれを有する表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。

40

【0013】

図面では多様な層及び領域を明確に示すために厚さを拡大して示した。明細書全体にわたって類似する部分については同一図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“直上”にある場合だけでなく、その中間に他の部分がある場合も含む。それとは異なってある部分が他の部分の“直上”にあるとする時には中間に他の部分がないことを意味する。

【0014】

図 1 及び図 2 を参照して本発明の一実施形態による液晶表示装置について表示装置の一例として説明する。

図 1 は、本発明の一実施形態による液晶表示装置のブロック図であり、図 2 は本発明の

50

一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【 0 0 1 5 】

図 1 及び図 2 を参照すると、本発明の一実施形態による液晶表示装置は、液晶表示板組立体 3 0 0、ゲート駆動部 4 0 0 L、4 0 0 R、データ駆動部 5 0 0、階調電圧生成部 8 0 0、そして信号制御部 6 0 0 を含む。

液晶表示板組立体 3 0 0 は、等価回路で見ると、複数の表示信号線とこれに連結されて行列状に配列された複数の画素 (P X) を含む。一方、図 2 に示した構造で見ると、液晶表示板組立体 3 0 0 は互いに対向する下部及び上部表示板 1 0 0、2 0 0 と両者の間に介在する液晶層 3 を含む。

【 0 0 1 6 】

信号線 ($G_1 - G_{2n}$ 、 $D_1 - D_m$) は、ゲート信号 (“ 走査信号 ” とも言う) を伝達する複数のゲート線 ($G_1 - G_{2n}$) とデータ信号を伝達する複数のデータ線 ($D_1 - D_m$) を含む。ゲート線 ($G_1 - G_{2n}$) は略行方向に延びて互いにほとんど平行し、データ線 ($D_1 - D_m$) は略列方向に延びて互いにほとんど平行する。

各画素 (P X)、例えば、 i 番目 ($i = 1, 2, \dots, 2n$) のゲート線 (G_i) と j 番目 ($j = 1, 2, \dots, m$) のデータ線 (D_j) に連結された画素 (P X) は、信号線 (G_i 、 D_j) に連結されたスイッチング素子 (Q) とこれに連結された液晶キャパシタ (C l c) 及びストレージキャパシタ (C s t) を含む。図 1 を参照すると、同列で隣接した二つの画素 (P X) は、互いに異なるデータ線 ($D_1 - D_m$) と連結されている。

【 0 0 1 7 】

スイッチング素子 (Q) は、下部表示板 1 0 0 に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線 (G_i) と連結されており、入力端子はデータ線 (D_j) と連結されており、出力端子は液晶キャパシタ (C l c) 及びストレージキャパシタ (C s t) と連結されている。

液晶キャパシタ (C l c) は、下部表示板 1 0 0 の画素電極 1 9 1 と上部表示板 2 0 0 の共通電極 2 7 0 を二つの端子として二つの電極 (1 9 1、2 7 0) の間の液晶層 3 は誘電体として機能する。

【 0 0 1 8 】

画素電極 1 9 1 はスイッチング素子 (Q) と連結され、図 1 に示した画素 (P X) のように、画素電極 1 9 1 の行方向長さは列方向長さより長い。

例えば、画素電極 1 9 1 の行方向長さが列方向長さの約 3 倍でありうる。

【 0 0 1 9 】

共通電極 2 7 0 は上部表示板 2 0 0 の前面に形成されて共通電圧 (V c o m) を印加される。図 2 とは異なって、共通電極 2 7 0 が下部表示板 1 0 0 に備えられる場合もあり、この時には二つの電極 (1 9 1、2 7 0) のうち、少なくとも一つが線状または棒状で形成できる。

【 0 0 2 0 】

液晶キャパシタ (C l c) の補助的な役割を果たすストレージキャパシタ (C s t) は、下部表示板 1 0 0 に備えられた別の信号線 (図示せず) と画素電極 1 9 1 とが絶縁体を間に置いて重なって構成され、この別の信号線には共通電圧 (V c o m) などの決められた電圧が印加される。しかし、ストレージキャパシタ (C s t) は、画素電極 1 9 1 が絶縁体を媒介として真上の前段ゲート線 (G_{i-1}) と重なって形成することもできる。ストレージキャパシタ (C s t) は必要により省略できる。

【 0 0 2 1 】

一方、色表示を実現するためには、各画素 (P X) が基本色のうち一つを固有するように表示したり (空間分割)、各画素 (P X) が時間によって交互に基本色を表示するように (時間分割) して、これら基本色の空間的、時間的合計として希望の色相が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色がある。

【 0 0 2 2 】

図 2 は空間分割の一例で、各画素 (P X) が画素電極 1 9 1 に対応する上部表示板 2 0

10

20

30

40

50

0の領域に基本色のうち一つを示す色フィルタ230を備えることを示している。図2とは異なって、色フィルタ230は下部表示板100の画素電極191の上、または下に形成することもできる。

図1を参照すると、色フィルタ230は画素電極191と同様に行方向に延びることができる。一つの画素行の色フィルタ230は同一基本色を示すことができ、互いに連結されて帯形態を有することができる。列方向には、互いに異なる基本色を示す色フィルタ230が交互に配列されている。この場合、列方向に隣接した三つの画素(PX)が画像の基本単位のドットを構成できる。

【0023】

液晶表示板組立体300には、少なくとも一つの偏光子(図示せず)が備えられている。

【0024】

再び図1を参照すると、階調電圧生成部800は画素(PX)の透過率と関する二対の階調電圧集合(または基準階調電圧集合)を生成する。二対のうちの一対は共通電圧(Vcom)に対して正の値を有して他の一対は負の値を有する。

ゲート駆動部400L、400Rは、液晶表示板組立体300の左側周縁と右側周縁に配置されている。左側ゲート駆動部400Lは奇数番目のゲート線(G_1 、 G_3 、...、 G_{2n-1})と連結されており、右側ゲート駆動部400Rは偶数番目のゲート線(G_2 、 G_4 、...、 G_{2n})と連結されている。

【0025】

ゲート駆動部400L、400Rはゲートオン電圧(V_{on})とゲートオフ電圧(V_{off})の組み合わせで構成されたゲート信号をゲート線($G_1 - G_{2n}$)に印加する。ゲート駆動部400L、400Rは、スイッチング素子(Q)及び信号線($G_1 - G_{2n}$ 、 $D_1 - D_m$)などと共に液晶表示板組立体300に集積できる。しかし、ゲート駆動部400L、400Rは、少なくとも一つの集積回路チップの形態に液晶表示板組立体300上に直接装着されたり、可撓性印刷回路フィルム(図示せず)上に装着されてTCPの形態に液晶表示板組立体300に付着できる。

【0026】

データ駆動部500は、液晶表示板組立体300のデータ線($D_1 - D_m$)に連結されており、階調電圧生成部800からの階調電圧を選択してこれをデータ信号としてデータ線($D_1 - D_m$)に印加する。しかし、階調電圧生成部800が全ての階調に対する電圧を全て提供するのではなく、限定された数の基準階調電圧のみを提供する場合には、データ駆動部500は基準階調電圧を分圧してデータ信号を生成する。データ駆動部500は、複数の集積回路チップの形態に液晶表示板組立体300上に直接装着されたり、可撓性印刷回路フィルム(図示せず)上に装着されて、TCPの形態に液晶表示板組立体300に付着できる。

【0027】

信号制御部600は、ゲート駆動部400L、400R及びデータ駆動部500などを制御する。

【0028】

このように画素(PX)の長辺が横になるように並べると、画素(PX)の長辺が縦に伸びるように並べる場合に比べて、データ線($D_1 - D_m$)の数が減るため、データ駆動集積回路チップの数を減らすことができる。反面ゲート線($G_1 - G_{2n}$)の数が増えてもゲート駆動部400L、400Rは表示板組立体300内に集積できるため、製品の値段が安くなる。また、ゲート駆動部400L、400Rをチップに形成してもその値段がデータ駆動回路チップより安いので有利である。

【0029】

このような液晶表示装置の動作について詳細に説明する。

信号制御部600は、外部のグラフィック制御器(図示せず)から入力画像信号(R、G、B)及びその表示を制御する入力制御信号を受信する。入力画像信号(R、G、B)

10

20

30

40

50

は、各画素 (P X) の輝度情報を含み、輝度は決められた数、例えば、 $1024 (= 2^{10})$ 、 $256 (= 2^8)$ または $64 (= 2^6)$ 個の階調を有している。入力制御信号の例としては、垂直同期信号 (V s y n c) と水平同期信号 (H s y n c)、メインクロック信号 (M C L K)、データイネーブル信号 (D E) などがある。

【 0 0 3 0 】

信号制御部 6 0 0 は、入力画像信号 (R、G、B) と入力制御信号に基づいて入力画像信号 (R、G、B) を液晶表示板組立体 3 0 0 の動作条件に合うように適切に処理してゲート制御信号 (C O N T 1) 及びデータ制御信号 (C O N T 2) など生成した後、ゲート制御信号 (C O N T 1) をゲート駆動部 4 0 0 L、4 0 0 R に出力してデータ制御信号 (C O N T 2) と処理したデジタル画像信号 (D A T) をデータ駆動部 5 0 0 に出力する。信号制御部 6 0 0 のこのような画像信号処理には、図 1 に示した画素の配置によって入力画像信号 (R、G、B) を再配列する動作が含まれる。

10

【 0 0 3 1 】

ゲート制御信号 (C O N T 1) は、走査開始を指示する一対の走査開始信号 (L S T V、R S T V) とゲートオン電圧 (V o n) の出力周期を制御する二対の (第 1 乃至第 4) クロック信号及びゲートオン電圧の出力を制御する一対の出力スイッチング信号を含む。ゲート制御信号 (C O N T 1) は、また、ゲートオン電圧 (V o n) の持続時間を限定する出力イネーブル信号 (O E) をさらに含むことができる。

【 0 0 3 2 】

データ制御信号 (C O N T 2) は、一行の画素に対するデジタル画像信号 (D A T) の伝送開始を知らせる水平同期開始信号 (S T H) と、データ線 (D₁ - D_m) にアナログデータ信号を印加することを指示するロード信号 (L O A D) 及びデータクロック信号 (H C L K) を含む。データ制御信号 (C O N T 2) は、また、共通電圧 (V c o m) に対するアナログデータ信号の電圧極性 (以下、“共通電圧に対するデータ信号の電圧極性” を略して“データ信号の極性” という) を反転させる反転信号 (R V S) をさらに含むことができる。

20

信号制御部 6 0 0 からのデータ制御信号 (C O N T 2) によって、データ駆動部 5 0 0 は一行の画素に対するデジタル画像信号 (D A T) を受信して、各デジタル画像信号 (D A T) に対応する階調電圧を選択することによって、デジタル画像信号 (D A T) をアナログデータ信号に変換した後、これを該当データ線 (D₁ - D_m) に印加する。

30

【 0 0 3 3 】

ゲート駆動部 4 0 0 L、4 0 0 R は、信号制御部 6 0 0 からのゲート制御信号 (C O N T 1) によってゲートオン電圧 (V o n) をゲート線 (G₁ - G_{2n}) に印加して、このゲート線 (G₁ - G_{2n}) に連結されたスイッチング素子 (Q) を導通させる。以下、データ線 (D₁ - D_m) に印加されたデータ信号が導通したスイッチング素子 (Q) を通して該当画素 (P X) に印加される。

【 0 0 3 4 】

画素 (P X) に印加されたデータ信号の電圧と共通電圧 (V c o m) の差は、液晶キャパシタ (C l c) の充電電圧、つまり、画素電圧として現れる。液晶分子は、画素電圧の大きさによってその配列を異なるようにし、そのために液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は、表示板組立体 3 0 0 に付着された偏光子によって光の透過率変化として現れ、これによって画素 (P X) はデジタル画像信号 (D A T) の階調が示す輝度を表示する。

40

【 0 0 3 5 】

1 水平周期 [“ 1 H ” ともいい、水平同期信号 H s y n c 及びデータイネーブル信号 (D E) の一周期と同じである] を単位としてこのような過程を繰り返すことによって、全てのゲート線 (G₁ - G_{2n}) に対して順次ゲートオン電圧 (V o n) を印加して全ての画素 (P X) にデータ信号を印加して 1 フレームの画像を表示する。

一つのフレームが終わると、次のフレームが始まって各画素 (P X) に印加されるデータ信号の極性が直前のフレームでの極性と反対になるように、データ駆動部 5 0 0 に印加さ

50

れる反転信号 (R V S) の状態が制御される (“ フレーム反転 ”) 。この時、一つのフレーム内でも反転信号 (R V S) の特性によって一つのデータ線を通して流れるデータ信号の極性が変わったり (例 : 行反転、点反転) 、一つの画素行に印加されるデータ信号の極性も互いに異なりうる (例 : 列反転、点反転) 。

【 0 0 3 6 】

上述したように、各画素列において隣接した二つの画素 (P X) は、互いに反対側のデータ線と連結されている。データ駆動部 5 0 0 が列反転を行うと、行方向と列方向に隣接した二つの画素 (P X) の画素電圧の極性が反対となる。つまり、液晶表示板組立体 3 0 0 に現れる外形反転の形は点反転となる。

【 0 0 3 7 】

本発明の一実施形態によるゲート駆動部について、図 3 及び図 4 を参照してより詳細に説明する。

図 3 は図 1 に示したゲート駆動部を示したブロック図の一例であり、図 4 は図 3 に示したゲート駆動部の一つのステージの回路図の一例である。

【 0 0 3 8 】

図 3 及び図 4 を参照すると、各ゲート駆動部 4 0 0 L、4 0 0 R、例えば、左側ゲート駆動部 4 0 0 L は、互いに従属的に連結されて順次ゲート信号を出力する複数のステージ (S T ₁、S T ₂、...) を含み、ゲートオフ電圧 (V o f f)、第 1 及び第 2 クロック信号 (L C K 1、L C K 2)、第 1 及び第 2 スイッチング信号 (V H 1、V H 2)、そして初期化信号 (I N T) が入力される。全てのステージ (S T ₁、S T ₂、...) はゲート線と一対一に連結されているが、最後のゲート線との連結されないダミーステージが付加されることもありうる。

【 0 0 3 9 】

各ステージ (S T ₁、S T ₂、...) は、第 1 クロック端子 (C K 1)、第 2 クロック端子 (C K 2)、セット端子 (S)、リセット端子 (R)、ゲート電圧端子 (G V)、フレームリセット端子 (F R)、第 1 スイッチング端子 (V 1)、第 2 スイッチング端子 (V 2)、そして第 1 及び第 2 ゲート出力端子 (O U T 1、O U T 2) とキャリア出力端子 (O U T 3) を有している。

【 0 0 4 0 】

各ステージ、例えば、j 番目のステージ (S T _j) のセット端子 (S) には、前段ステージ (S T _{j - 1}) のキャリア出力、つまり、前段キャリア出力「 C O U T (j - 1) 」が、リセット端子 (R) には後段ステージ (S T _{j + 1}) のキャリア出力、つまり、後段キャリア出力「 C O U T (j + 1) 」が入力され、第 1 及び第 2 クロック端子 (C K 1、C K 2) にはクロック信号 (L C K 1、L C K 2) が入力され、ゲート電圧端子 (G V) にはゲートオフ電圧 (V o f f) が入力されて、フレームリセット端子 (F R) には初期化信号 (I N T) が入力される。また、第 1 及び第 2 スイッチング端子 (V 1、V 2) には、各々第 2 及び第 1 スイッチング信号 (V H 2、V H 1) が入力される。第 1 及び第 2 ゲート出力端子 (O U T 1、O U T 2) は、各々第 1 及び第 2 ゲート出力「 G O U T (4 j - 3)、G O U T (4 j - 1) 」を出力し、キャリア出力端子 (O U T 3) はキャリア出力「 C O U T (j) 」を出力する。最後ステージのキャリア出力は、初期化信号 (I N T) として各ステージに提供できる。

【 0 0 4 1 】

但し、シフトレジスタ 4 0 0 L、4 0 0 R の第 1 ステージ (S T ₁) には、前段キャリア出力の代わりに走査開始信号 (S T V) が入力されて、最後ステージには後段ゲート出力の代わりに走査開始信号 (S T V) が入力できる。また、j 番目のステージ (S T _j) の第 1 クロック端子 (C K 1) に第 2 クロック信号 (L C K 2) が、第 2 クロック端子 (C K 2) に第 1 クロック信号 (L C K 1) が入力される場合、これに隣接した (j - 1) 番目及び (j + 1) 番目のステージ (S T _{j - 1}、S T _{j + 1}) の第 1 クロック端子 (C K 1) には第 1 クロック信号 (L C K 1) が、第 2 クロック端子 (C K 2) には第 2 クロック信号 (L C K 2) が入力される。

10

20

30

40

50

【 0 0 4 2 】

第 1 及び第 2 クロック信号 (L C K 1、L C K 2) は、画素のトランジスタ (T r) を駆動できるように、電圧レベルがハイの場合はゲートオン電圧 (V o n) と同一であって、ローの場合はゲートオフ電圧 (V o f f) と同一であるのが好ましい。第 1 及び第 2 クロック信号 (L C K 1、L C K 2) は、デューティ比が 5 0 % であり、その位相差は 1 8 0 ° でありうる。

【 0 0 4 3 】

第 1 及び第 2 スイッチング信号 (V H 1、V H 2) はまた、画素のトランジスタ (T r) を駆動できるように、電圧レベルがハイの場合は、ゲートオン電圧 (V o n) と同一であって、ローの場合はゲートオフ電圧 (V o f f) と同一であるのが好ましい。第 1 及び第 2 スイッチング信号 (V H 1、V H 2) は、デューティ比が 5 0 % であり、その位相差は 1 8 0 ° でありうる。第 1 及び第 2 スイッチング信号 (V H 1、V H 2) の周期は 1 フレームである。

【 0 0 4 4 】

図 4 を参照すると、本発明の一実施形態によるゲート駆動部 4 0 0 L、4 0 0 R の各ステージ、例えば、j 番目ステージ (S T_j) は、入力部 4 2 0、プルアップ駆動部 4 3 0、プルダウン駆動部 4 4 0、出力部 4 5 0 を含む電圧生成部と、出力部 4 5 0 に連結されている出力スイッチング部 4 6 0 を含む。

【 0 0 4 5 】

これらは少なくとも一つの N 型電界効果トランジスタ (T 1 ~ T 1 4) を含み、プルアップ駆動部 4 3 0 には更にキャパシタ C 1 及び C 2 を、出力部 4 5 0 にはキャパシタ C 3 を更に含む。しかし、N 型電界効果トランジスタの代わりに P 型電界効果トランジスタを使用しても良い。また、キャパシタ (C 1 ~ C 3) はゲート・ドレイン間 / ゲート・ソース間の寄生容量のみでもよい。また、電圧生成部の構造は図 4 に示した例と異なっても良い。

【 0 0 4 6 】

入力部 4 2 0 はセット端子 (S) とゲート電圧端子 (G V) に順次直列連結されている三つのトランジスタ (T 1 1、T 1 0、T 5) を含む。トランジスタ (T 1 1、T 5) のゲートは、第 2 クロック端子 (C K 2) に連結されてトランジスタ (T 5) のゲートは第 1 クロック端子 (C K 1) に連結されている。トランジスタ (T 1 1) とトランジスタ (T 1 0) の間の接続点は接続点 (J 1) に連結されており、トランジスタ (T 1 0) とトランジスタ (T 5) の間の接続点は接続点 (J 2) に連結されている。

【 0 0 4 7 】

プルアップ駆動部 4 3 0 は、三つのトランジスタ (T 4、T 1 2、T 7) と二つのキャパシタ (C 1、C 2) を含む。トランジスタ (T 4) はセット端子 (S) と接続点 (J 1) との間に連結されており、トランジスタ (T 1 2) は第 1 クロック端子 (C K 1) と接続点 (J 3) との間に連結されており、トランジスタ (T 7) は第 1 クロック端子 (C K 1) と接続点 (J 4) との間に連結されている。トランジスタ (T 4) のゲートとドレインはセット端子 (S) に共通に連結され、ソースは接続点 (J 1) に連結されており、トランジスタ (T 1 2) のゲートとドレインは第 1 クロック端子 (C K 1) に共通に連結されており、ソースは接続点 (J 3) に連結されている。トランジスタ (T 7) のゲートは接続点 (J 3) に連結されると同時に、キャパシタ (C 1) を通して第 1 クロック端子 (C K 1) に連結されており、ドレインは第 1 クロック端子 (C K 1) に、ソースは接続点 (J 4) に連結されており、接続点 (J 3) と接続点 (J 4) との間にキャパシタ (C 2) が連結されている。

【 0 0 4 8 】

プルダウン駆動部 4 4 0 は、ソースを通してゲートオフ電圧 (V o f f) を受信してドレインを通して接続点 (J 1、J 2、J 3、J 4) に出力する複数のトランジスタ (T 9、T 1 3、T 8、T 3、T 2、T 6) を含む。トランジスタ (T 9) のゲートは、リセット端子 (R) に、ドレインは接続点 (J 1) に連結されており、トランジスタ (T 1 3、

T 8) のゲートは接続点 (J 2) に共通に連結されており、ドレインは各々接続点 (J 3、J 4) に連結されている。トランジスタ (T 3) のゲートは接続点 (J 4) に、トランジスタ (T 2) のゲートはリセット端子 (R) に連結されており、二つのトランジスタ (T 3、T 2) のドレインは接続点 (J 2) に連結されている。トランジスタ (T 6) のゲートはフレームリセット端子 (F R) に連結されており、ドレインは接続点 (J 1) に、ソースはゲートオフ電圧端子 (G V) に連結されている。

【0049】

出力部 450 は、一対のトランジスタ (T 1、T 14) とキャパシタ (C 3) を含む。トランジスタ (T 1) のドレインとソースは、第 1 クロック端子 (C K 1) と出力端子 (O U T 1、O U T 3) との間に連結されており、トランジスタ (T 14) のドレインとソースは第 1 クロック端子 (C K 1) とキャリア出力端子 (O U T 3) との間に連結されている。トランジスタ (T 1、T 14) のゲートは、接続点 (J 1) に連結されている。キャパシタ (C 3) はトランジスタ (T 1) のゲートとドレインとの間、つまり、接続点 (J 1) と接続点 (J 2) との間に連結されている。トランジスタ (T 1) のソースは、また、接続点 (J 2) に連結されている。

【0050】

出力スイッチング部 460 は、第 1 及び第 2 スイッチング信号 (V H 1、V H 2) に対して対称に連結されている 2 対の伝達及び遮断トランジスタ (T 16 ~ T 19) を含む。各伝達トランジスタ (T 16、T 18) の制御端子には第 1、第 2 スイッチング信号 (V H 1、V H 2) が印加され、入力端子には出力部 450 の出力が印加されて、出力端子はステージ (S T j) の第 1、第 2 ゲート出力端子 (O U T 1、O U T 2) に連結されている。

【0051】

各遮断トランジスタ (T 17、T 19) の制御端子には第 2、第 1 スイッチング信号 (V H 2、V H 1) が印加され、入力端子には第 1、第 2 スイッチング信号 (V H 1、V H 2) が印加されて、出力端子はステージ (S T j) の第 1、第 2 ゲート出力端子 (O U T 1、O U T 2) に連結されている。

【0052】

このようなステージの動作について以下に説明する。

第 1 及び第 2 クロック信号 (L C K 1、L C K 2) と第 1 及び第 2 スイッチング信号 (V H 1、V H 2) のローレベル電圧の大きさはゲートオフ電圧 (V o f f) と同一であると仮定する。

【0053】

まず、第 2 クロック信号 (L C K 2) 及び前段キャリア出力 [C O U T (j - 1)] がハイになると、トランジスタ (T 11、T 5) とトランジスタ (T 4) が導通する。そうになると、二つのトランジスタ (T 11、T 4) は高電圧を接続点 (J 1) に伝達して、トランジスタ (T 5) は低電圧を接続点 (J 2) に伝達する。これによって、トランジスタ (T 1、T 15) が導通して第 1 クロック信号 (L C K 1) が出力端子 (O U T 1、O U T 3) に出力されるが、この時、接続点 (J 2) の電圧と第 1 クロック信号 (L C K 1) が全て低電圧であるため、出力部 450 の出力は行われる。これと同時に、キャパシタ (C 3) は高電圧と低電圧の差に該当する大きさの電圧を充電する。

この時、第 1 クロック信号 (L C K 1) 及び後段キャリア出力 [C O U T (j + 1)] はローであり、接続点 (J 2) もローであるので、これにゲートが連結されているトランジスタ (T 10、T 9、T 12、T 13、T 8、T 2) は全てオフ状態となる。

【0054】

次に、第 2 クロック信号 (L C K 2) がローになると、トランジスタ (T 11、T 5) が遮断されて、これと同時に第 1 クロック信号 (L C K 1) がハイになるとトランジスタ (T 1) の出力電圧及び接続点 (J 2) の電圧が高電圧となる。この時、トランジスタ (T 10) のゲートには高電圧が印加されるが、接続点 (J 2) に連結されているソースの電位がまた、同一の高電圧であるため、ゲート - ソース間の電位差が 0 になって、トラン

ジスタ (T10) は遮断状態を維持する。従って、接続点 (J1) は浮遊状態になって、そのためにキャパシタ (C3) によって高電圧であるほど電位がさらに上昇する。

【0055】

一方、第1クロック信号 (LCK1) 及び接続点 (J2) の電位が高電圧であるため、トランジスタ (T12、T13、T8) が導通する。この状態でトランジスタ (T12) とトランジスタ (T13) が高電圧と低電圧との間で直列連結され、抵抗のように動作する。そのために接続点 (J3) の電位は、二つのトランジスタ (T12、T13) の導通時に抵抗状態の抵抗値によって分圧された電圧値を有する。

【0056】

しかし、トランジスタ (T13) の導通時に、抵抗状態の抵抗値がトランジスタ (T12) の導通時の抵抗状態の抵抗値に比べて、非常に大きく、例えば、約10、000倍程度に設定されているとすると、接続点 (J3) の電圧は高電圧とほとんど同一である。従って、トランジスタ (T7) が導通してトランジスタ (T8) と直列連結され、そのために接続点 (J4) の電位は二つのトランジスタ (T7、T8) の導通時に抵抗状態の抵抗値によって分圧された電圧値を有する。この時、二つのトランジスタ (T7、T8) の抵抗状態の抵抗値がほとんど同一に設定されると、接続点 (J4) の電位は高電圧と低電圧の中間値を有し、そのためにトランジスタ (T3) は遮断状態を維持する。

【0057】

この時、後段キャリア出力 [COUT(j+1)] が依然としてローであるため、トランジスタ (T9、T2) も遮断状態を維持する。従って、出力部450の出力は第1クロック信号 (LCK1) にだけ連結されて低電圧とは遮断されて高電圧を出力する。

一方、キャパシタ (C1) とキャパシタ (C2) は、両端の電位差に該当する電圧を各々充電するが、接続点 (J3) の電圧が接続点 (J5) の電圧より低い。

【0058】

次に、後段キャリア出力 [COUT(j+1)] 及び第2クロック信号 (LCK2) がハイになって第1クロック信号 (LCK1) がローになると、トランジスタ (T9、T2) が導通して接続点 (J1、J2) に低電圧を伝達する。この時、接続点 (J1) の電圧はキャパシタ (C3) が放電しながら低電圧に落ちる。

【0059】

ところが、キャパシタ (C3) の放電時間によって接続点 (J1) の電圧が低電圧に完全に落ちるまでには、ある程度時間を要する。従って、二つのトランジスタ (T1、T15) は後段キャリア出力 [COUT(j+1)] がハイになっても少しの間導通状態を維持し、そのために出力部450の出力が第1クロック信号 (LCK1) と連結されて低電圧を出力する。続いて、キャパシタ (C3) が完全に放電されて接続点 (J1) の電位が低電圧になると、トランジスタ (T15) が遮断されてキャリア出力端子 (OUT3) が第1クロック信号 (LCK1) から遮断されるので、キャリア出力 [COUT(j)] は浮遊状態になって低電圧を維持する。

【0060】

これと同時に、出力部450の他の出力、つまり、図4の下端のトランジスタ (T16~T19)、すなわち、出力スイッチング部460に入力される出力は、トランジスタ (T1) が上記T15と同様に遮断されても、プルダウン駆動部440のトランジスタ (T2) を通して低電圧のVoffと連結されるので、出力端子 (OUT1) は引き続き低電圧を出力する。

【0061】

一方、トランジスタ (T12、T13) が遮断されるため、接続点 (J3) が浮遊状態となる。また、接続点 (J5) の電圧が接続点 (J4) の電圧より低くなるが、キャパシタ (C1) によって接続点 (J3) の電圧が接続点 (J5) の電圧より低い状態を維持するため、トランジスタ (T7) は遮断される。これと同時にトランジスタ (T8) も遮断状態になるため接続点 (J4) の電圧もその分低くなり、トランジスタ (T3) も遮断状態を維持する。また、トランジスタ (T10) は、ゲートが第1クロック信号 (LCK1

10

20

30

40

50

）の低電圧に連結されて接続点（Ｊ２）の電圧もローであるため、遮断状態を維持する。

【００６２】

次に、第１クロック信号（ＬＣＫ１）がハイになると、トランジスタ（Ｔ１２、Ｔ７）が導通され、接続点（Ｊ４）の電圧が上昇してトランジスタ（Ｔ３）を導通させて低電圧を接続点（Ｊ２）に伝達するため、出力部４５０の出力は引続き低電圧を出力する。つまり、たとえ後段キャリア出力〔ＣＯＵＴ（ｊ＋１）〕の出力がローであっても、接続点（Ｊ２）の電圧が低電圧になるようにする。

一方、トランジスタ（Ｔ１０）のゲートが第１クロック信号（ＬＣＫ１）の高電圧と連結されて接続点（Ｊ２）の電圧が低電圧であるため、トランジスタ（Ｔ１０）が導通して接続点（Ｊ２）の低電圧を接続点（Ｊ１）に伝達する。

10

【００６３】

一方、二つのトランジスタ（Ｔ１、Ｔ１５）のドレインには、第１クロック端子（ＣＫ１）が連結されていて第１クロック信号（ＬＣＫ１）が引続き印加される。特に、トランジスタ（Ｔ１）は他のトランジスタに比べて相対的に大きくさせるが、これによってゲート・ドレイン間の寄生容量が大きくなってドレインの電圧変化がゲート電圧に影響を及ぼすことがありうる。従って、第１クロック信号（ＬＣＫ１）がハイになると、ゲート・ドレイン間の寄生容量のため、ゲート電圧が上がりトランジスタ（Ｔ１）が導通することもありうる。従って、接続点（Ｊ２）の低電圧を接続点（Ｊ１）に伝達することによって、トランジスタ（Ｔ１）のゲート電圧を低電圧に維持してトランジスタ（Ｔ１）が導通することを防止する。

20

【００６４】

以降、前段キャリア出力〔ＣＯＵＴ（ｊ－１）〕がハイになるまで接続点（Ｊ１）の電圧は低電圧を維持し、接続点（Ｊ２）の電圧は第１クロック信号（ＬＣＫ１）がハイで第２クロック信号（ＬＣＫ２）がローの時は、トランジスタ（Ｔ３）を通して低電圧になり、その逆の場合にはトランジスタ（Ｔ５）を通して低電圧を維持する。

【００６５】

一方、出力部４５０の出力が高電圧の時、第１スイッチング信号（ＶＨ１）がハイで第２スイッチング信号（ＶＨ２）がローの場合、出力スイッチング部４６０のトランジスタ（Ｔ１６）は出力部４５０の出力によってトランジスタ（Ｔ１７）はオフになる。これとは逆に、トランジスタ（Ｔ１８）はオフされて、トランジスタ（Ｔ１９）はオンされて、第２スイッチング信号（ＶＨ２）の値、つまり、低電圧を出力する。従って、第１ゲート出力端子（ＯＵＴ１）の出力は高電圧となって、第２ゲート出力端子（ＯＵＴ２）の出力は低電圧となる。

30

これと同様に、第１スイッチング信号（ＶＨ１）がローで第２スイッチング信号（ＶＨ２）がハイの場合、第１ゲート出力端子（ＯＵＴ１）の出力は低電圧になって、第２ゲート出力端子（ＯＵＴ２）の出力は高電圧となる。

【００６６】

一方、トランジスタ（Ｔ６）は、最後のダミーステージのキャリア出力〔ＣＯＵＴ（ｎ＋１）〕の初期化信号（ＩＮＴ）を受信してゲートオフ電圧（Ｖｏｆｆ）を接続点（Ｊ１）に伝達して接続点（Ｊ１）の電圧を再び低電圧に設定する。

40

【００６７】

このような方式で、ステージ（ＳＴ_ｊ）は前段キャリア信号〔ＣＯＵＴ（ｊ－１）〕及び後段キャリア信号〔ＣＯＵＴ（ｊ＋１）〕に基づいて第１及び第２クロック信号（ＬＣＫ１、ＬＣＫ２）に同期してキャリア信号〔ＣＯＵＴ（ｊ）〕及びゲート信号〔ＧＯＵＴ（４ｊ－３）、ＧＯＵＴ（４ｊ－１）〕を生成し、第１及び第２スイッチング信号（ＶＨ１、ＶＨ２）はステージ（ＳＴ_ｊ）の二つの出力が交互に出るように制御する。

このようにすると、４つのトランジスタと２つの信号線のみを追加することによって、二つのゲート線にゲートオン電圧を印加することができるため、シフトレジスタが占める面積が減る。

本実施形態では、一つのステージ（ＳＴ_ｊ）が二つのゲート線に供給するゲートオン電

50

圧を生成する。しかし、ステージ (S T j) は幾つかのトランジスタと信号線を追加することによって3つまたは4つ以上のゲート線に供給するゲートオン電圧を生成するように変形されることができる。

本実施形態では、ゲート線に順次にゲートオン電圧 (V o n) を印加する。つまり、ゲートオン電圧 (V o n) が印加される順序は、第1ゲート線、第2ゲート線、第3ゲート線、第4ゲート線、...の順である。

【0068】

一方、第1及び第2クロック信号 (L C K 1、L C K 2) の周期を1フレームとすると、前半1/2フレームと後半1/2フレームの値が変わるので、前半1/2フレームの間は全てのステージが第1出力端を通してだけ出力し、後半1/2フレームの間は全てのステージが第2出力端を通してだけ出力する。従って、ゲートオン電圧 (V o n) を印加されるゲート線は、第1、第2、第5、第6、...第3、第4、第7、第8、...の形態となる。

10

【0069】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0070】

【図1】本発明の一実施形態による液晶表示装置のブロック図である。

【図2】本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である

20

。

【図3】図1に示したゲート駆動部のブロック図の一例である。

【図4】図3に示したゲート駆動部の一つのステージの回路図の一例である。

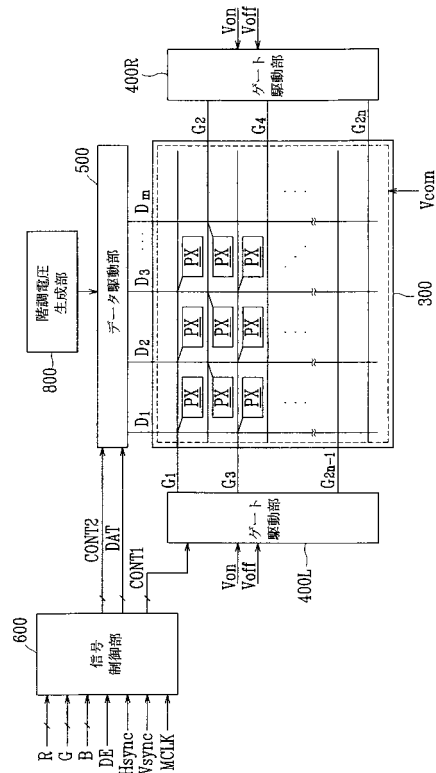
【符号の説明】

【0071】

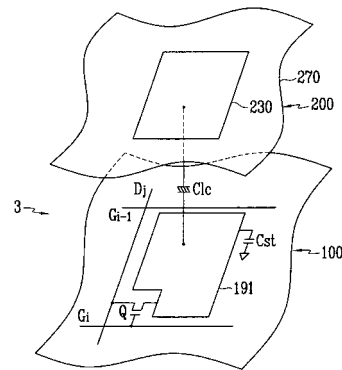
3	液晶層
100	下部表示板
200	上部表示板
191	画素電極
230	色フィルタ
270	共通電極
300	液晶表示板組立体

30

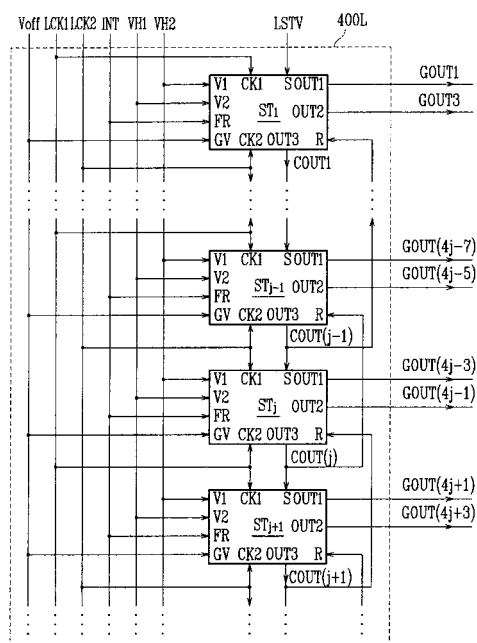
【 図 1 】



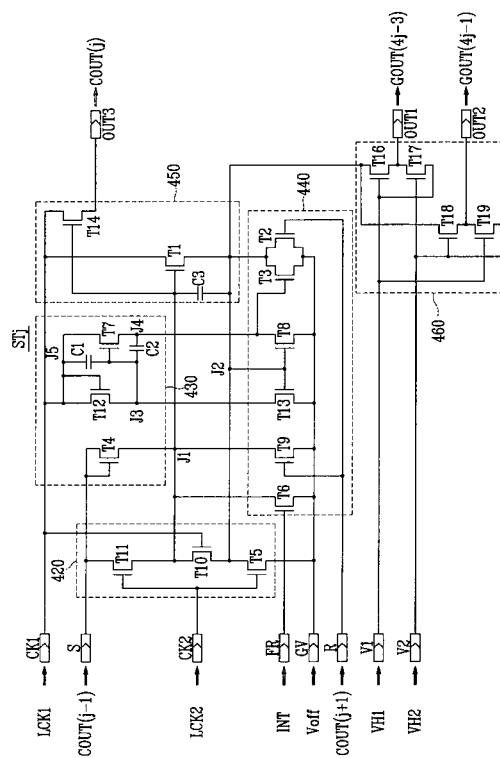
【圖 2】



【 図 3 】



【 図 4 】



 フロントページの続き

(51)Int.Cl. F I
 G 0 2 F 1/133 5 5 0
 G 1 1 C 19/28 D

(72)発明者 李 癸 憲
 大韓民国 京畿道 水原市 八達区 霊通洞 ファンゴルマウル2団地アパート 2 2 2 棟 1 9
 0 6 号

(72)発明者 李 鍾 煥
 大韓民国 京畿道 安養市 東安区 達安洞 セッピールアパート 6 0 2 棟 1 7 0 5 号

審査官 堀部 修平

(56)参考文献 特開平05-313129(JP,A)
 特開平11-045072(JP,A)
 特開昭62-116924(JP,A)
 特開昭61-004019(JP,A)
 特開2005-222688(JP,A)
 特開平11-296129(JP,A)
 特開平02-253232(JP,A)
 特開2005-234057(JP,A)

(58)調査した分野(Int.Cl., DB名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3
 G 1 1 C 1 9 / 0 0 - 1 9 / 3 2

专利名称(译)	移位寄存器和具有相同的显示设备		
公开(公告)号	JP5110680B2	公开(公告)日	2012-12-26
申请号	JP2006262269	申请日	2006-09-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李洪雨 李癸憲 李鍾煥		
发明人	李 洪 雨 李 癸 憲 李 鍾 煥		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G11C19/28		
CPC分类号	G09G3/3677 G09G2300/0439 G09G2310/0281 G09G2310/0286 G11C19/184		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.622.C G09G3/20.622.D G09G3/20.621.M G02F1/133.550 G11C19/28.D G11C19/00 G11C19/00.J G11C19/28.230		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC34 2H093/NC35 2H093/ND39 2H093/ND49 2H193/ZA04 2H193/ZF24 5B074/AA10 5B074/CA01 5B074/EA01 5C006/AC22 5C006/AF42 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC22 5C006/BC23 5C006/BF03 5C006/BF06 5C006/BF34 5C006/BF37 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ06		
优先权	1020050089827 2005-09-27 KR		
其他公开文献	JP2007094415A JP2007094415A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供移位寄存器和具有移位寄存器的显示装置，其中可以减少显示板所需的数据线的数量，从而可以减少数据驱动部件的数量并且制造成本是可以减少在安装在液晶显示装置中的驱动部件上消耗的功率。
ŽSOLUTION：显示装置包括：基板；多个栅极线形成在基板上；多条数据线与栅极线交叉；多个薄膜晶体管连接到栅极线和数据线；连接到薄膜晶体管的多个像素电极，像矩阵一样排列，并且具有与栅极线平行的第一侧和比第一侧短并且在每个像素电极中与第一侧相邻的第二侧，以及栅极驱动部分连接到栅极线。栅极驱动部分包括相互连接并连续产生输出信号的多个级。每级具有多个输出端子，分别连接到至少两条栅极线，并且能够交替地输出第一输出电压，用于将薄膜晶体管导通到至少两条栅极线。
Ž

【 図 1 】

