

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4678755号
(P4678755)

(45) 発行日 平成23年4月27日 (2011. 4. 27)

(24) 登録日 平成23年2月10日 (2011. 2. 10)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)

G09G 3/36
G02F 1/133 550
G02F 1/133 575
G09G 3/20 621B
G09G 3/20 623B

請求項の数 18 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2004-231610 (P2004-231610)
(22) 出願日 平成16年8月6日 (2004. 8. 6)
(65) 公開番号 特開2006-47878 (P2006-47878A)
(43) 公開日 平成18年2月16日 (2006. 2. 16)
審査請求日 平成19年7月12日 (2007. 7. 12)

(73) 特許権者 302062931
ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100102864
弁理士 工藤 実
(72) 発明者 平塚 準
神奈川県川崎市中原区下沼部1753番地
NECエレクトロニクス株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置、ソースドライバ、及びソースドライバ動作方法

(57) 【特許請求の範囲】

【請求項1】

第1領域と、前記第1領域に隣接する第2領域とを備える表示パネルと、
前記表示パネルの前記第1領域に位置する複数のデータ線のそれぞれにデータ信号を供給する第1ソースドライバと、
前記表示パネルの前記第2領域に位置する複数のデータ線のそれぞれにデータ信号を供給する第2ソースドライバと、
前記第1ソースドライバと前記第2ソースドライバとに、それぞれが前記データ信号の生成に使用する画素データを供給する信号線
とを含み、

前記第1ソースドライバは、前記第2ソースドライバに前記画素データの取り込みの開始を指示するシフト開始信号を供給すると共に、自己が出力する前記データ信号の極性パターンに対応する制御情報を前記シフト開始信号によって前記第2ソースドライバに供給し

、
前記第2ソースドライバは、前記制御情報にตอบสนองして、前記第2ソースドライバが出力する前記データ信号の極性パターンを決定する

液晶表示装置。

【請求項2】

請求項1に記載の液晶表示装置であって、
更に、第3ソースドライバを備え、

前記表示パネルは、前記第 1 領域と反対の側で前記第 2 領域に隣接する第 3 領域を備え

、
前記第 2 ソースドライバは、前記第 1 ソースドライバが出力する前記データ信号の前記極性パターンに
応答して他の制御情報を生成し、生成した前記他の制御情報を前記第 3 ソースドライバに供給し、

前記第 3 ソースドライバは、前記他の制御情報に
応答して、前記第 3 ソースドライバが前記表示パネルの前記第 3 領域に位置する複数のデータ線のそれぞれに供給するデータ信号の極性パターンを決定する

液晶表示装置。

【請求項 3】

請求項 2 に記載の液晶表示装置であって、

前記第 3 ソースドライバは、前記信号線を介して前記第 3 ソースドライバが前記データ信号の生成に使用する画素データを受け取り、

前記第 2 ソースドライバは、前記第 3 ソースドライバに前記画素データの取り込みの開始を指示する他のシフト開始信号を供給し、

前記他の制御情報は、前記他のシフト開始信号によって前記第 3 ソースドライバに供給される

液晶表示装置。

【請求項 4】

請求項 1 に記載の液晶表示装置であって、

前記シフト開始信号は、シフト開始パルスを含み、

前記第 2 ソースドライバは、前記シフト開始パルスに
応答して前記画素データの取り込みを開始し、

前記制御情報は、前記シフト開始パルスのパルス幅として前記第 2 ソースドライバに供給される

液晶表示装置。

【請求項 5】

請求項 1 に記載の液晶表示装置であって、

前記シフト開始信号は、シフト開始パルスを含み、

前記第 2 ソースドライバは、前記シフト開始パルスに
応答して前記画素データの取り込みを開始し、

前記制御情報は、前記シフト開始信号に前記シフト開始パルスとは別に用意される極性制御ビットとして前記第 2 ソースドライバに供給される

液晶表示装置。

【請求項 6】

請求項 5 に記載の液晶表示装置であって、

前記極性制御ビットは、前記シフト開始パルスの伝送の後に前記第 2 ソースドライバに伝送される

液晶表示装置。

【請求項 7】

請求項 1 に記載の液晶表示装置であって、

前記第 2 ソースドライバは、前記制御情報に
応答して、複数の極性パタンのうちから一の極性パターンを選択し、且つ、前記選択された極性パターンを、前記第 2 ソースドライバが出力する前記データ信号の前記極性パターンとして決定する

液晶表示装置。

【請求項 8】

請求項 7 に記載の液晶表示装置であって、

前記複数の極性パターンは、互いに極性が相補である 2 つの極性パターンから構成される

液晶表示装置。

【請求項 9】

10

20

30

40

50

請求項 1 に記載の液晶表示装置であって、
前記第 2 ソースドライバは、
前記複数のデータ信号の生成に使用される複数の画素データを保持する複数のレジスタと、

複数の正側ドライブ回路と、
複数の負側ドライブ回路と、
複数の出力端子と、

前記複数のレジスタを、前記複数の正側ドライブ回路と前記複数の負側ドライブ回路に接続する入力側切り替え回路と、

前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路を、前記複数の出力端子に接続する出力側切り替え回路とを含み、

前記入力側切り替え回路は、前記複数のレジスタと、前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路との間の接続関係を前記制御情報に应答して決定し、

前記複数の正側ドライブ回路のそれぞれは、前記複数のレジスタのうちの対応するレジスタから前記入力側切り替え回路を介して受け取った前記画素データに应答して、正の極性の階調電圧を出力するように構成され、

前記複数の負側ドライブ回路のそれぞれは、前記複数のレジスタのうちの対応するレジスタから前記入力側切り替え回路を介して受け取った前記画素データに应答して、負の極性の階調電圧を出力するように構成され、

前記出力側切り替え回路は、前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路と、前記複数の出力端子との間の接続関係を前記制御情報に应答して決定し、

前記複数の出力端子のそれぞれは、前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路のうちの対応するドライブ回路から前記出力側切り替え回路を介して受け取った前記階調電圧に対応するデータ信号を出力する

液晶表示装置。

【請求項 10】

請求項 9 に記載の液晶表示装置であって、

前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路の数の和は、いずれも、前記出力端子の数の半分である

液晶表示装置。

【請求項 11】

請求項 10 に記載の液晶表示装置であって、

前記第 2 ソースドライバは、更に、前記制御情報に应答して、極性が相補である 2 つの極性パターンから一の極性パターンを選択し、且つ、前記選択された極性パターンを示す極性パターン信号を前記入力側切り替え回路と前記出力側切り替え回路とに供給する極性判定回路を含み、

前記入力側切り替え回路は、前記複数のレジスタと、前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路との間の接続関係を前記極性パターン信号に应答して決定し、

前記出力側切り替え回路は、前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路と、前記複数の出力端子との間の接続関係を前記極性パターン信号に应答して決定する液晶表示装置。

【請求項 12】

請求項 9 に記載の液晶表示装置であって、

前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路の数の和は、前記出力端子の数よりも多い

液晶表示装置。

【請求項 13】

請求項 9 に記載の液晶表示装置であって、

前記複数の出力端子は、前記表示パネルの前記データ線に接続されない非接続出力端子

を含み、

前記出力側切り替え回路は、前記非接続出力端子を、前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路のいずれからも切り離す液晶表示装置。

【請求項 14】

表示パネルの駆動に使用されるソースドライバであって、
複数のレジスタと、
隣接するソースドライバから供給されるシフト開始信号にตอบสนองして、前記複数のレジスタに画素データの取り込みを開始させる制御回路と、

前記画素データにตอบสนองして前記データ信号を生成するデータ信号生成手段とを備え、

当該ソースドライバは、前記隣接するソースドライバが出力するデータ信号の極性パターンにตอบสนองして生成される制御情報を前記シフト開始信号によって前記隣接するソースドライバから受け取り、

前記データ信号生成手段が、前記シフト開始信号に含まれる前記制御情報にตอบสนองして、当該ソースドライバが出力するデータ信号の極性パターンを決定するソースドライバ。

【請求項 15】

請求項 14 に記載のソースドライバであって、
前記制御回路は、前記シフト開始信号に含まれるシフト開始パルスにตอบสนองして、前記複数のレジスタに前記画素データの取り込みを開始させ、

前記制御情報は、前記シフト開始パルスのパルス幅として当該ソースドライバに伝送され、

前記データ信号生成手段は、前記パルス幅にตอบสนองして前記データ信号の前記極性パターンを決定するソースドライバ。

【請求項 16】

請求項 14 に記載のソースドライバであって、
前記制御回路は、前記シフト開始信号に含まれるシフト開始パルスにตอบสนองして、前記複数のレジスタに前記画素データの取り込みを開始させ、

前記制御情報は、前記シフト開始信号に前記シフト開始パルスとは別に用意される極性制御ビットとして当該ソースドライバに供給され、

前記データ信号生成手段は、前記極性制御ビットにตอบสนองして前記データ信号の前記極性パターンを決定するソースドライバ。

【請求項 17】

請求項 14 に記載のソースドライバであって、
前記データ信号生成手段は、
複数の正側ドライブ回路と、
複数の負側ドライブ回路と、
複数の出力端子と、

前記複数のレジスタを、前記複数の正側ドライブ回路と前記複数の負側ドライブ回路に接続する入力側切り替え回路と、

前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路を、前記複数の出力端子に接続する出力側切り替え回路

とを含み、

前記入力側切り替え回路は、前記複数のレジスタと、前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路との間の接続関係を前記シフト開始信号によって伝送される前記制御情報にตอบสนองして決定し、

前記複数の正側ドライブ回路のそれぞれは、前記複数のレジスタのうちの対応するレジ

スタから前記入力側切り替え回路を介して受け取った前記画素データにตอบสนองして、正の極性の階調電圧を出力するように構成され、

前記複数の負側ドライブ回路のそれぞれは、前記複数のレジスタのうちの対応するレジスタから前記入力側切り替え回路を介して受け取った前記画素データにตอบสนองして、負の極性の階調電圧を出力するように構成され、

前記出力側切り替え回路は、前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路と、前記複数の出力端子との間の接続関係を前記制御情報にตอบสนองして決定し、

前記複数の出力端子のそれぞれは、前記複数の正側ドライブ回路及び前記複数の負側ドライブ回路のうちの対応するドライブ回路から前記出力側切り替え回路を介して受け取った前記階調電圧に対応する前記データ信号を出力する

ソースドライバ。

【請求項 18】

表示パネルのデータ線にデータ信号を供給するために使用されるソースドライバの動作方法であって、

第 1 ソースドライバと第 2 ソースドライバとに、それぞれが前記データ信号の生成に使用する画素データを供給するステップと、

前記第 1 ソースドライバが、受け取った画素データにตอบสนองして前記表示パネルの第 1 領域に位置する複数のデータ線のそれぞれにデータ信号を供給するステップと、

前記第 1 ソースドライバが、前記第 2 ソースドライバに画素データの取り込みの開始を指示するシフト開始信号を供給するステップと、

前記第 2 ソースドライバが、受け取った画素データにตอบสนองして前記表示パネルの第 2 領域に位置する複数のデータ線のそれぞれにデータ信号を供給するステップ
とを備え、

前記第 1 ソースドライバが、自己が出力するデータ信号の極性パターンにตอบสนองして制御情報を前記シフト開始信号によって第 2 ソースドライバに供給し、

前記第 2 ソースドライバが、前記シフト開始信号に含まれる前記制御情報にตอบสนองして、前記第 2 ソースドライバが出力するデータ信号の極性パターンを決定する

ソースドライバ動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、交流駆動によって表示パネルを駆動する液晶表示装置に関する。

【背景技術】

【0002】

表示パネルの画素を直流電圧で駆動すると各画素の液晶層の寿命が短くなる現象は焼き付き現象として知られており、この焼き付き現象を防止するために広く使用される技術が、交流駆動（又は反転駆動）である。交流駆動とは、定期的に、各画素に供給されるデータ信号の極性を反転する駆動方法である。各画素に供給されるデータ信号の極性を反転する時間的な周期は最も典型的には 1 フレームであり、このような交流駆動は、しばしばフレーム反転駆動と呼ばれる。交流駆動は、画素の液晶容量に印加される電圧の直流成分を減少させ、焼き付き現象の発生を有効に防止する。

【0003】

交流駆動には、概略的には、コモン一定駆動法とコモン反転駆動法の 2 種類がある。コモン一定駆動法とは、画素のコモン電極（対向電極）の電位（以下、「共通電位」という。）を一定に保ち、データ信号のみの極性を反転する駆動法である。一方、コモン反転駆動法とは、データ信号と共通電位の両方を反転する駆動法である。コモン一定駆動法は、コモン反転駆動法と比較してコモン電極の電位の安定性に優れている、という利点を有している。当業者に広く知られているように、コモン電極の電位の安定性はフリッカの発生

10

20

30

40

50

の抑制の点で重要である。以下に述べられるように、本発明はコモン一定駆動法に関連している。

【0004】

コモン電極の電位を一層に安定にするための技術として、ドット反転駆動法が知られている。ドット反転駆動法とは、隣接する2つの画素に反対の極性のデータ信号を書き込む駆動方法である；本明細書において、データ信号の極性とは、共通電位を基準として定義されることに留意されたい。隣接する2つの画素に反対の極性のデータ信号を書き込むことの重要性は、データ線とコモン電極との容量的な結合に起因するコモン電極の電位の変動を抑制できることにある。隣接する2つの画素に反対の極性のデータ信号を書き込む場合には、隣接するデータ線には、共通電位を基準として反対の極性の電圧が発生する。このため、容量カップリングによってデータ線の電位がコモン電極の電位に及ぼす影響が隣接するデータ線同士でキャンセルされ、コモン電極の電位の変動が抑制される。このように、ドット反転駆動法は、コモン電極の電位の変動を抑制し、これによってフリッカを一層に有効に抑制することができる。

10

【0005】

このドット反転駆動法を採用する液晶表示装置で近年問題になっていることは、特定のパターンを表示パネルに表示するとき、フリッカが発生しやすいことである。より具体的には、ドット反転駆動法は、図1に示されているような、RGB3色のうちの2色の画素が画面全体で"0"階調であり、残りの1色の画素が1画素毎に最小階調(図1では、"0")と最大階調(図1では"255")とが繰り返されるような画面を表示するとき、フリッカを発生させる問題がある。ドット反転駆動法を採用する液晶表示装置でかかる画面を表示しようとするとき、一方の極性(図1では正(+))のデータ信号の振幅が、他方の極性(図1では負(-))のデータ信号の振幅よりも大きくなる。この結果、データ線の電位がコモン電極の電位に及ぼす影響が、隣接するデータ線でキャンセルしなくなる。これは、コモン電極の電位を変動させ、フリッカを発生させる。

20

【0006】

この問題を解決するための一つの方法は、特開2003-216124号公報に開示されているように、データ信号の極性が反転される空間的な周期を複数の画素にすることである。このような駆動方法は、しばしば、nドット反転駆動と呼ばれる。例えば、2画素毎にデータ信号の極性が反転される駆動方法は、2ドット反転駆動と呼ばれる。極性が反転される空間周期を複数の画素にすることにより、データ線の電位がコモン電極の電位に及ぼす影響が全体としてキャンセルされ、コモン電極の電位の変動、およびこれによるフリッカの発生が抑制される。データ信号の極性が反転される空間周期を複数の画素にする技術は、特開2000-29438号公報、及び特開平5-48056号公報にも開示されている。

30

【0007】

nドット反転駆動は、複数のソースドライバによってデータ線を駆動する大型の表示パネルにも適用され得る。しかし、複数のソースドライバを用いてnドット反転駆動によって表示パネルを駆動する場合、隣接するソースドライバによって駆動される領域の境界部分において、画像にムラが見られる場合がある。

40

【0008】

発明者らは、この画像のムラが、境界部分におけるデータ信号の極性の規則性の乱れに起因することを見出した。図2は、データ信号の極性の規則性の乱れを説明する概念図である。図2には、複数のソースドライバ102によって表示パネル103を駆動する液晶駆動装置が示されている；図2には、ソースドライバ102は2つだけ図示されており、それらは、添字によって区別される。典型的な液晶駆動装置では、各ソースドライバ102に共通に極性信号POLが供給され、ソースドライバ102は、その極性信号POLにตอบสนองして、それぞれが出力するデータ信号の極性を決定する。これは、各ソースドライバ102が出力するデータ信号の極性のパターン(以下、単に「極性パターン」ということがある。)が同一であることを意味している。各ソースドライバ102の出力の数と、データ

50

信号の極性が反転される空間的な周期とが対応していない場合，各ソースドライバ102が使用する極性パターンが同一であることは，データ信号の極性の規則性の乱れを生じさせ得る。例えば，図2に示されているように，ソースドライバ102の出力の数が414であり，2ドット反転駆動が使用される場合には，ソースドライバ102の出力の数が4の倍数でないために，データ信号の極性の規則性の乱れが発生する。

【0009】

データ信号の極性の規則性の乱れは，各ソースドライバ102の出力の数と，データ信号の極性が反転される空間的な周期とが対応させることによって対処可能であろう。具体的には，2ドット反転駆動が適用される液晶表示装置では，ソースドライバの出力の数を4の倍数にすることによってデータ信号の極性の規則性の乱れを解消可能である。

10

【0010】

しかしながら，各ソースドライバ102の出力の数は，表示パネルのデータ線の数，及びソースドライバが画素データを受け取るために使用するポートの数に依存して決定されるべきものである。例えば，1380×1024ピクセルの表示パネルをポートの数が6であるソースドライバで駆動する場合，ソースドライバ102の出力の数は，4140(=1380×3)の整数分の1であり，且つ，6の倍数である数，具体的には，414が好ましい。しかし，上述されているように，ソースドライバ102の出力の数が414であることは，データ信号の極性の規則性の乱れを生じさせる。

【0011】

このような背景から，複数のソースドライバを使用してnドット反転駆動によって表示パネルを駆動する液晶表示装置において発生し得る，データ信号の極性の規則性の乱れを解消するための技術の提供が望まれている。

20

【特許文献1】特開2003-216124号公報

【特許文献2】特開2000-29438号公報

【特許文献3】特開平5-48056号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

本発明の目的は，複数のソースドライバを使用してnドット反転駆動によって表示パネルを駆動する液晶表示装置において発生し得る，データ信号の極性の規則性の乱れを解消するための技術を提供することにある。

30

【課題を解決するための手段】

【0013】

上記の目的を達成するために，本発明は，以下に述べられる手段を採用する。その手段に含まれる技術的事項の記述には，[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために，[発明を実施するための最良の形態]で使用される番号・符号が付加されている。但し，付加された番号・符号は，[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0014】

本発明による液晶表示装置は，第1領域(4₁)と，前記第1領域(4₁)に隣接する第2領域(4₂)とを備える表示パネル(3)と，表示パネル(3)の第1領域(4₁)に位置する複数のデータ線のそれぞれにデータ信号を供給する第1ソースドライバ(2₁)と，表示パネル(3)の第2領域(4₂)に位置する複数のデータ線のそれぞれにデータ信号を供給する第2ソースドライバ(2₂)とを含む。当該液晶表示装置は，第1ソースドライバ(2₁)が出力するデータ信号の極性パターンと，第2ソースドライバ(2₂)が出力するデータ信号の極性パターンとが，個別に制御可能であるように構成されている。このような液晶表示装置は，第2ソースドライバ(2₂)が出力するデータ信号の極性パターンを，第1ソースドライバ(2₁)が出力するデータ信号の極性パターンに応じて，データ信号の極性の規則性が維持されるように選択することができる。これにより，当該液晶表示装置は，画像のムラを抑制することができる。

40

50

【 0 0 1 5 】

好適には、第1ソースドライバ(2₁)は、自己が出力するデータ信号の極性パターンに対応する制御情報を第2ソースドライバ(2₂)に出力し、第2ソースドライバ(2₂)は、該制御情報にตอบสนองして、前記第2ソースドライバが出力する前記データ信号の極性パターンを決定する。隣接する第1ソースドライバ(2₁)から第2ソースドライバ(2₂)に制御情報を供給して極性パターンの個別的な制御を実現することは、より短い信号線を用いて制御情報を供給するために有効である。

【 0 0 1 6 】

表示パネル(3)が第1領域(4₁)と反対の側で第2領域(4₂)に隣接する第3領域(4₃)を備え、当該液晶表示装置が更に第3ソースドライバを備えている場合も同様である。この場合、第2ソースドライバ(2₂)は、第1ソースドライバ(2₁)が出力するデータ信号の極性パターンにตอบสนองして他の制御情報を生成し、生成した他の制御情報を第3ソースドライバ(2₃)に供給する。第3ソースドライバ(2₃)は、該他の制御情報にตอบสนองして、表示パネル(3)の第3領域(4₃)に位置する複数のデータ線のそれぞれに供給するデータ信号の極性パターンを決定する。

10

【 0 0 1 7 】

当該液晶表示装置が、更に、第1ソースドライバ(2₁)と第2ソースドライバ(2₂)とにデータ信号の生成に使用される画素データを供給する信号線を備え、且つ、第1ソースドライバ(2₁)が、第2ソースドライバ(2₂)に画素データの取り込みの開始を指示するシフト開始信号(S T H < 2 >)を供給するように構成されている場合、該制御情報は、シフト開始信号(S T H < 2 >)によって第2ソースドライバ(2₂)に供給されることが好適である。シフト開始信号(S T H < 2 >)によって制御情報を第2ソースドライバ(2₂)に供給することは、制御情報を第2ソースドライバ(2₂)に伝送するための専用の信号線を不要にし、第2ソースドライバ(2₂)が使用する極性パターンの制御を、より少ない信号線で行うことを可能にする。

20

【 0 0 1 8 】

より具体的には、シフト開始信号S T H < 2 >が、第2ソースドライバ(2₂)に画素データの取り込みの開始を指示するシフト開始パルス(31)を含む場合には、該制御情報は、シフト開始パルス(31)のパルス幅として第2ソースドライバ(2₂)に供給されることが好適である。

30

【 0 0 1 9 】

また、該制御情報は、シフト開始信号(S T H < 2 >)にシフト開始パルス(31)とは別に用意される極性制御ビット(32)として第2ソースドライバ(2₂)に供給されることも好適である。この場合、極性制御ビット(32)は、シフト開始パルス(31)の伝送の後に第2ソースドライバ(2₂)に伝送されることが好適である。

【 0 0 2 0 】

第2ソースドライバ(2₂)は、制御情報にตอบสนองして、複数の極性パターンのうちから一の極性パターンを選択し、且つ、選択された極性パターンを、第2ソースドライバ(2₂)が出力するデータ信号の前記極性パターンとして決定することが好適である。この複数の極性パターンは、互いに極性が相補である2つの極性パターンから構成されることが好適である。

40

【 0 0 2 1 】

好適な実施形態では、第2ソースドライバ(2₂)は、複数のデータ信号の生成に使用される複数の画素データを保持する複数のレジスタ(12)と、複数の正側ドライブ回路及び複数の負側ドライブ回路(15)と、複数の出力端子(19)と、複数のレジスタ(12)を、正側ドライブ回路及び負側ドライブ回路(15)に接続する入力側切り替え回路(13)と、正側ドライブ回路及び負側ドライブ回路(15)を、前記複数の出力端子(19)に接続する出力側切り替え回路(17)とを含む。入力側切り替え回路(13)は、複数のレジスタ(12)と、複数の正側ドライブ回路及び負側ドライブ回路(15)との間の接続関係を制御情報にตอบสนองして決定する。前記複数の正側ドライブ回路(15)のそれぞれは、複数のレジスタ(12)のうちの対応するレジスタ(12)から入力側切

50

り替え回路(13)を介して受け取った画素データにตอบสนองして、正の極性の階調電圧を出力するように構成されている。一方、複数の負側ドライブ回路(15)のそれぞれは、複数のレジスタ(12)のうちの対応するレジスタ(12)から入力側切り替え回路(13)を介して受け取った画素データにตอบสนองして、負の極性の階調電圧を出力するように構成されている。出力側切り替え回路(17)は、複数の正側ドライブ回路及び負側ドライブ回路(15)と、複数の出力端子(19)との間の接続関係を該制御情報にตอบสนองして決定する。複数の出力端子(19)のそれぞれは、複数の正側ドライブ回路及び負側ドライブ回路(15)のうちの対応するドライブ回路から出力側切り替え回路(17)を介して受け取った階調電圧に対応するデータ信号を出力する。

【0022】

好適な実施形態では、複数の正側ドライブ回路及び負側ドライブ回路(15)の数の和は、いずれも、出力端子(19)の数の半分である。この場合、第2ソースドライバ(22)は、更に、該制御情報にตอบสนองして、極性が相補である2つの極性パターンから一の極性パターンを選択し、且つ、選択された極性パターンを示す極性パターン信号(S_{PTN})を入力側切り替え回路(13)と出力側切り替え回路(17)とに供給する極性判定回路(14)を含み、且つ、入力側切り替え回路(13)は、複数のレジスタ(12)と、複数の正側ドライブ回路及び負側ドライブ回路(15)との間の接続関係を極性パターン信号(S_{PTN})にตอบสนองして決定し、出力側切り替え回路(17)は、複数の正側ドライブ回路及び負側ドライブ回路(15)と、複数の出力端子(19)との間の接続関係を極性パターン信号(S_{PTN})にตอบสนองして決定することが好適である。

【0023】

他の好適な実施形態では、複数の正側ドライブ回路及び負側ドライブ回路(15)の数の和は、出力端子(19)の数よりも多い。かかる構成は、第2ソースドライバ(22)が使用可能な極性パタンの種類を増加させる。

【0024】

また、他の好適な実施形態では、複数の出力端子(19)は、前記表示パネル(3)の前記データ線に接続されない非接続出力端子を含み、出力側切り替え回路(17)は、非接続出力端子を、複数の正側ドライブ回路及び負側ドライブ回路(15)のいずれからも切り離す。

【0025】

極性パタンの個別的な制御は、各ソースドライバ(2_1 , 2_2)に共通に供給される極性信号(POL)とは別に、制御信号を供給することによって行われることも好適である。より具体的には、第1ソースドライバ(2_1)は、極性信号(POL)と第1制御信号とにตอบสนองして、それが出力するデータ信号の極性パターンを決定する。第2ソースドライバ(2_1)は、極性信号(POL)と、第1制御信号とは別個に生成される第2制御情報とにตอบสนองして、それが出力するデータ信号の極性パターンを決定する。

【0026】

また、極性パタンの個別的な制御は、複数の極性信号(POL_{odd} , POL_{even})を用いることによって実現されることも好適である。具体的には、第1ソースドライバ(2_1)は、第1極性信号(POL_{odd})にตอบสนองして、それが出力するデータ信号の極性パターンを決定し、第2ソースドライバ(2_2)は、第1極性信号(POL_{odd})とは別個に生成される第2極性信号(POL_{even})にตอบสนองして、第2ソースドライバ(2_2)が出力する前記データ信号の前記極性パターンを決定する。

【0027】

本発明の他の観点において、本発明による、表示パネルの駆動に使用されるソースドライバ(2_i)は、隣接するソースドライバ(2_{i-1})が出力するデータ信号の極性パターンにตอบสนองして生成される制御情報が供給され、該制御情報にตอบสนองして、表示パネル(3)のデータ線に出力するデータ信号の極性パターンを決定するように構成されている。

【0028】

好適には、当該ソースドライバ(2_i)は、複数のレジスタ(12)と、シフト開始信

10

20

30

40

50

号 (S T H ^{< i >}) に応答して、複数のレジスタ (1 2) に画素データの取り込みを開始させる制御回路 (1 1) と、画素データに応答して前記データ信号を生成するデータ信号生成手段 (1 3 - 1 9) とを備えている。該制御情報は、シフト開始信号 (S T H ^{< i >}) によって当該ソースドライバ (2 ₂ - 2 _n) に伝送される。データ信号生成手段 (1 3 - 1 9) は、シフト開始信号 (S T H ^{< i >}) に含まれる前記制御情報に応答して、データ信号の極性パターンを決定する。

【 0 0 2 9 】

好適な実施形態では、制御回路 (1 1) は、シフト開始信号 (S T H ^{< i >}) に含まれるシフト開始パルス (3 1) に応答して、複数のレジスタ (1 2) に前記画素データの取り込みを開始させる。この場合、制御情報は、シフト開始パルス (3 1) のパルス幅として当該ソースドライバ (2 _i) に伝送され、データ信号生成手段 (1 3 - 1 9) は、該パルス幅に応答してデータ信号の極性パターンを決定することが好適である。

10

【 0 0 3 0 】

該制御情報は、シフト開始信号 (S T H ^{< i >}) にシフト開始パルス (3 1) とは別に用意される極性制御ビット (3 2) として当該ソースドライバ (2 _i) に供給され、データ信号生成手段 (1 3 - 1 9) は、極性制御ビット (3 2) に応答してデータ信号の前記極性パターンを決定することが好適である。

【 発明の効果 】

【 0 0 3 1 】

本発明によれば、複数のソースドライバを使用して n ドット反転駆動によって表示パネルを駆動する液晶表示装置において発生し得る、データ信号の極性の規則性の乱れを解消することができる。

20

【 発明を実施するための最良の形態 】

【 0 0 3 2 】

第 1 実施の第 1 形態

1. 全体構成

本発明による実施の第 1 形態では、図 3 に示されているように、液晶表示装置は、コントローラ 1 と、 n 個のソースドライバ 2 ₁ ~ 2 _n と、画素 (図示されない) が行列に並べられている表示パネル 3 とを備えている。コントローラ 1 は、ソースドライバ 2 ₁ ~ 2 _n を制御する機能を有している。ソースドライバ 2 ₁ ~ 2 _n は、表示パネル 3 のデータ線にデータ信号を供給し、各画素を駆動する機能を有している。表示パネル 3 は、ソースドライバと同数の領域 4 ₁ ~ 4 _n に分割され、表示パネル 3 の各領域 4 _i の画素は、対応するソースドライバ 2 _i によって駆動される。

30

【 0 0 3 3 】

詳細には、コントローラ 1 は、ソースドライバ 2 ₁ ~ 2 _n のそれぞれに画素データ D A T A , 同期クロック C L K , 及び、極性信号 P O L をソースドライバ 2 ₁ ~ 2 _n に供給する。画素データ D A T A は、各画素の階調レベルを指定するデータであり、本実施の形態では、画素データ D A T A は、 n ビットデータである。ある一の水平期間 (即ち、表示パネル 3 の一のゲート線に接続されている画素が駆動される期間) における、画素データ D A T A のソースドライバ 2 ₁ ~ 2 _n への供給は、時分割的に行われる ; まず、第 1 段のソースドライバ 2 ₁ への画素データ D A T A の供給が行われ、次に、第 2 段のソースドライバ 2 ₂ への画素データ D A T A の供給が行われる。第 3 段 ~ 第 n 段のソースドライバ 2 ₃ ~ 2 _n への画素データ D A T A の供給も同様にして行われる。同期クロック C L K は、ソースドライバ 2 ₁ ~ 2 _n を同期させるために使用されるクロック信号である。極性信号 P O L は、各水平期間における、ソースドライバ 2 ₁ ~ 2 _n のそれぞれが出力するデータ信号の極性パターンを指定するために使用される。極性信号 P O L は、一の水平期間において一定である。

40

【 0 0 3 4 】

ソースドライバ 2 ₁ ~ 2 _n は、画素データ D A T A , 同期クロック C L K , 及び、極性信号 P O L に応答して、表示パネル 3 のデータ線にデータ信号を供給する。各データ線に

50

供給されるデータ信号の電圧は、画素データDATAにตอบสนองして決定される、データ信号の極性は、極性信号POLにตอบสนองして決定される。各ソースドライバ $2_1 \sim 2_n$ は、画素データDATAを受け取る入力ポートを6個有しており、6画素分の画素データDATAを同時に受け取るように構成されている。また、ソースドライバ $2_1 \sim 2_n$ のそれぞれは、414本の出力を有しており、414本のデータ線を駆動する機能を備えている。

【0035】

ソースドライバ $2_1 \sim 2_n$ には、シフト開始信号 $STH^{<1>} \sim STH^{<n>}$ が供給されており、各ソースドライバ $2_1 \sim 2_n$ は、それぞれシフト開始信号 $STH^{<1>} \sim STH^{<n>}$ にตอบสนองして画素データDATAの取り込みを開始する。ソースドライバ $2_1 \sim 2_n$ は、カスケード接続されており、各ソースドライバ 2_i は、前段のソースドライバ 2_{i-1} からシフト開始信号 $STH^{<i>}$ を供給される；ただし、初段のソースドライバ 2_1 へのシフト開始信号 $STH^{<1>}$ の供給は、コントローラ1によって行われる。詳細には、ソースドライバ $2_1 \sim 2_n$ へのシフト開始信号 $STH^{<1>} \sim STH^{<n>}$ の供給は、以下のようにして行われる。コントローラ1は、ソースドライバ 2_1 に画素データDATAの取り込みを開始させる場合、シフト開始信号 $STH^{<1>}$ を論理"1"に設定する。ソースドライバ 2_1 は、シフト開始信号 $STH^{<1>}$ が論理"1"に設定されたことにตอบสนองして、画素データDATAの取り込みを開始する。ソースドライバ 2_1 は、必要とする画素データDATAの取り込みを終了すると、次段のソースドライバ 2_2 に供給されるシフト開始信号 $STH^{<2>}$ を論理"1"にプルアップする。ソースドライバ 2_2 は、シフト開始信号 $STH^{<2>}$ のプルアップにตอบสนองして画素データDATAの取り込みを開始する。更にソースドライバ 2_2 は、必要とする画素データDATAの取り込みを終了すると、次段のソースドライバ 2_3 に供給されるシフト開始信号 $STH^{<3>}$ をプルアップする。他のソースドライバ $2_3 \sim 2_{n-1}$ も、同様の過程によってシフト開始信号 $STH^{<4>} \sim STH^{<n>}$ を供給し、次段のソースドライバ $2_4 \sim 2_n$ に画素データDATAの取り込みを開始させる。これにより、コントローラ1からソースドライバ $2_1 \sim 2_n$ のそれぞれへの画素データDATAの転送を、時分割的に行うことができる。

【0036】

シフト開始信号 $STH^{<1>} \sim STH^{<n>}$ は、画像データDATAの取り込みを開始させるのみならず、データ信号の極性パターンを指定する制御情報をソースドライバ $2_1 \sim 2_n$ に供給するためにも使用される。本実施の形態では、データ信号の極性パターンを指定する制御情報は、シフト開始信号 $STH^{<1>} \sim STH^{<n>}$ の波形、より具体的には、シフト開始信号 $STH^{<1>} \sim STH^{<n>}$ に含まれるシフト開始パルスのパルス幅として伝送される；シフト開始パルスとは、シフト開始信号 $STH^{<i>}$ の波形のうち論理"1"に設定されている部分のことである。本実施の形態では、シフト開始パルスのパルス幅は、同期クロックCLKの1周期と2周期とのうちから選択される。以下では、パルス幅が同期クロックCLKの1周期である場合、当該パルス幅は"1"であると表現され、2周期である場合、当該パルス幅は"2"であると表現される。

【0037】

ソースドライバ 2_1 が使用する極性パターンの指定はコントローラ1によって行われ、ソースドライバ $2_2 \sim 2_n$ が使用する極性パターンの指定は、それぞれの前段のソースドライバによって行われる。より具体的には、コントローラ1は、シフト開始信号 $STH^{<1>}$ に含まれるシフト開始パルスのパルス幅により、ソースドライバ 2_1 のデータ信号の極性パターンを指定する。ソースドライバ 2_1 は、それが出力するデータ信号の極性パターンにตอบสนองしてシフト開始パルスのパルス幅を決定し、決定されたパルス幅のシフト開始パルスを含むシフト開始信号 $STH^{<2>}$ を生成する。ソースドライバ 2_2 は、シフト開始信号 $STH^{<2>}$ のシフト開始パルスのパルス幅にてตอบสนองしてそれが出力するデータ信号の極性パターンを決定する。加えて、ソースドライバ 2_2 は、それが出力するデータ信号の極性パターンにตอบสนองしてシフト開始パルスのパルス幅を決定し、決定されたパルス幅のシフト開始パルスを含むシフト開始信号 $STH^{<3>}$ を生成する。他のソースドライバ $2_3 \sim 2_{n-1}$ も、同様の過程によってシフト開始信号 $STH^{<4>} \sim STH^{<n>}$ を供給し、次段の

10

20

30

40

50

ソースドライバ $2_4 \sim 2_n$ が使用する極性パターンを指定する。

【0038】

このような動作は、各ソースドライバが隣接するソースドライバの極性パターンに応答してそれぞれが出力するデータ信号の極性パターンを決定し、これによってデータ信号の極性が反転される空間的な周期の規則性を保つことを可能にする。

【0039】

加えて、シフト開始信号 $STH^{<1>} \sim STH^{<n>}$ が、ソースドライバ $2_1 \sim 2_n$ に画素データ $DATA$ の取り込みを開始させるのみならずデータ信号の極性パターンを指定するために兼用されることは、より短く、且つ、より少ない数の信号線で各ソースドライバ $2_1 \sim 2_n$ が出力するデータ信号の極性パターンを指定することを可能にする点で好適である。

10

【0040】

2. ソースドライバの構成

図4は、各ソースドライバ 2_i の構成を示すブロック図である。ソースドライバ 2_i は、制御回路11と、レジスタ $12_1 \sim 12_{4 \cdot 1 \cdot 4}$ を含むシフトレジスタ12と、入力側切り替え回路13と、極性判定回路14と、ドライブ回路 $15_1 \sim 15_{4 \cdot 1 \cdot 4}$ からなるドライバ部15と、階調電圧生成回路16と、出力側切り替え回路17と、出力アンプ $18_1 \sim 18_{4 \cdot 1 \cdot 4}$ からなる出力アンプ群18と、表示パネル3の領域 4_i のデータ線に接続されている $4 \cdot 1 \cdot 4$ 個の出力端子19を備えている。出力端子19には、1～ $4 \cdot 1 \cdot 4$ までの端子番号が与えられており、端子番号が j である出力端子19は、以下、出力端子 19_j と記載される。

20

【0041】

制御回路11は、シフト開始信号 $STH^{<i>}$ 及び同期クロック CLK に応答して、シフトレジスタ12を制御する。シフト開始信号 $STH^{<i>}$ が論理"1"に設定されると、制御回路11は、シフトレジスタ12に画素データ $DATA$ の取り込みを開始させる。制御回路11は、更に、次段のソースドライバ 2_{i+1} に供給されるシフト開始信号 $STH^{<i+1>}$ を生成する機能も有している。

【0042】

シフトレジスタ12は、シフト制御信号に応答してコントローラ1から供給される画素データ $DATA$ を取り込み、対応するデータ線の順番に画素データ $DATA$ を保持する。シフトレジスタ12は、それぞれが1画素分の画素データを保持するレジスタ $12_1 \sim 12_{4 \cdot 1 \cdot 4}$ を備えている。レジスタ $12_1 \sim 12_{4 \cdot 1 \cdot 4}$ に保持されている画素データに対応する電圧レベルのデータ信号が、出力端子 $19_1 \sim 19_{4 \cdot 1 \cdot 4}$ から出力される。本実施の形態では、シフトレジスタ12は、画素データ $DATA$ を6画素分ずつ69回に分けて受け取るように構成されている。

30

【0043】

入力側切り替え回路13は、極性判定回路14から供給される極性パターン信号 S_{PTN} に応答して、レジスタ $12_1 \sim 12_{4 \cdot 1 \cdot 4}$ とドライブ回路 $15_1 \sim 15_{4 \cdot 1 \cdot 4}$ の接続関係を切り替えるための回路である。入力側切り替え回路13は、レジスタ $12_1 \sim 12_{4 \cdot 1 \cdot 4}$ から出力される画素データを、所望のドライブ回路 $15_1 \sim 15_{4 \cdot 1 \cdot 4}$ に出力する役割を有している。

40

【0044】

極性判定回路14は、極性信号 POL と、シフト開始信号 $STH^{<i>}$ のシフト開始パルスのパルス幅とに、極性パターン信号 S_{PTN} を生成する回路である。極性パターン信号 S_{PTN} とは、図10に示されているように、出力端子 $19_1 \sim 19_{4 \cdot 1 \cdot 4}$ から出力されるデータ信号の極性パターンを指定する信号である。極性パターン信号 S_{PTN} が論理"0"である場合には、両端の出力端子 $19_1, 19_{4 \cdot 1 \cdot 4}$ から出力されるデータ信号の極性は正であり、出力端子 $19_2 \sim 19_{4 \cdot 1 \cdot 3}$ から出力されるデータ信号の極性は、2つの出力端子19毎に極性が反転されるような極性パターンが指定される。極性パターン信号 S_{PTN} が論理"1"である場合には、各データ信号の極性が極性パターン信号 S_{PTN} が論

50

理 " 0 " である場合と反対である極性パターンが指定される。

【 0 0 4 5 】

図 9 は、極性判定回路 1 4 の真理値表である。シフト開始信号 $STH^{<i>i</i>}$ のシフト開始パルスのパルス幅が " 1 " である場合、即ち、シフト開始パルスのパルス幅が同期クロック CLK の 1 周期分である場合、極性パターン信号 S_{PTN} の値は、極性信号 POL の値に一致する。一方、シフト開始信号 $STH^{<i>i</i>}$ のシフト開始パルスのパルス幅が " 2 " である場合、極性パターン信号 S_{PTN} の値は、極性信号 POL の値と相補の値である。このように、極性パターン信号 S_{PTN} の値は、シフト開始パルスのパルス幅にตอบสนองして決定される。

【 0 0 4 6 】

図 4 に戻り、ドライバ部 1 5 の各ドライブ回路 $15_{1 \sim 15_{4 \ 1 \ 4}}$ は、入力側切り替え回路 1 3 を介してシフトレジスタ 1 2 から受け取った画素データに対応する階調電圧を出力する機能を有している。各ドライブ回路 $15_{1 \sim 15_{4 \ 1 \ 4}}$ のうちの半数は、表示パネル 3 の共通電極の電位 (コモン電位) を基準として、正の階調電圧を発生する正側ドライブ回路であり、残りの半数は、負の階調電圧を発生する負側ドライブ回路である。図 4 の記号 " + " は、それが付せられているドライブ回路が正側ドライブ回路を示す記号であり、記号 " - " は、ドライブ回路が負側ドライブ回路を示す記号である。具体的には、左端のドライブ回路 15_1 は正側ドライブ回路であり、右端のドライブ回路 $15_{4 \ 1 \ 4}$ は負側ドライブ回路である。中間に位置するドライブ回路 $15_{2 \sim 15_{4 \ 1 \ 3}}$ としては、2 つの負側ドライブ回路と、2 つの正側ドライブ回路が繰り返して並べられている；ドライブ回路 $15_2, 15_3$ は、負側ドライブ回路であり、ドライブ回路 $15_4, 15_5$ は、正側ドライブ回路である。ドライブ回路 $15_6 \sim 15_{4 \ 1 \ 3}$ についても同様である。

【 0 0 4 7 】

図 5 は、各ドライブ回路 $15_{1 \sim 15_{4 \ 1 \ 4}}$ の構成を示すブロック図である。ドライブ回路 $15_{1 \sim 15_{4 \ 1 \ 4}}$ は、ラッチ 2 1 と、レベルシフタ 2 2 と、D / A コンバータ 2 3 とを備えている。

【 0 0 4 8 】

ラッチ 2 1 は、シフトレジスタ 1 2 から受け取った画素データを一時的に保持してレベルシフタ 2 2 に出力する。

【 0 0 4 9 】

レベルシフタ 2 2 は、ラッチ 2 1 の出力の電圧レベルを D / A コンバータ 2 3 に対応するように変換する。

【 0 0 5 0 】

D / A コンバータ 2 3 は、ラッチ 2 1 からレベルシフタ 2 2 を介して受け取った画素データに対して D / A 変換を行い、画素データに対応する階調電圧を出力する。正側ドライブ回路の D / A コンバータ 2 3 は、階調電圧生成回路 1 6 から供給される 2^n 本の (コモン電位を基準として) 正の階調電圧 V_{REF}^+ を用いて、正の階調電圧を生成する。より具体的には、各正側ドライブ回路の D / A コンバータ 2 3 は、供給された階調電圧 V_{REF}^+ のうちから、入力側切り替え回路 1 3 から受け取った画素データに対応する階調電圧を選択し、選択した階調電圧を出力する。同様に、負側ドライブ回路の D / A コンバータ 2 3 は、階調電圧生成回路 1 6 から供給される 2^n 本の負の階調電圧 V_{REF}^- を用いて、負の階調電圧を生成する。各負側ドライブ回路は、供給された階調電圧 V_{REF}^- のうちから、入力側切り替え回路 1 3 から受け取った画素データに対応する階調電圧を選択し、選択した階調電圧を出力する。各ドライブ回路 $15_{1 \sim 15_{4 \ 1 \ 4}}$ の D / A コンバータ 2 3 の出力は、出力側切り替え回路 1 7 に接続されている。

【 0 0 5 1 】

図 4 に戻り、出力側切り替え回路 1 7 は、上述の極性パターン信号 S_{PTN} にตอบสนองして、ドライブ回路 $15_{1 \sim 15_{4 \ 1 \ 4}}$ の D / A コンバータ 2 3 とアンプ $18_{1 \sim 18_{4 \ 1 \ 4}}$ との接続関係を切り替える回路である。出力側切り替え回路 1 7 は、ドライブ回路 $15_{1 \sim 15_{4 \ 1 \ 4}}$ から出力される階調電圧を、所望のアンプ $18_{1 \sim 18_{4 \ 1 \ 4}}$ に出力する役割

10

20

30

40

50

を有している。

【0052】

アンプ18₁～18₄₁₄は、D/Aコンバータ23とデータ線との間のインピーダンスマッチングを実現するための回路であり、アンプ18₁～18₄₁₄としては、典型的にはソースフォロア回路が使用される。アンプ18₁～18₄₁₄が出力端子19₁～19₄₁₄に出力する信号が、表示パネル3のデータ線に供給されるデータ信号である。入力側切り替え回路13が出力する画素データの出力先、及び、出力側切り替え回路17が出力する階調電圧の出力先が極性パタン信号S_{P_TN}に応じて決定され、これにより、極性パタン信号S_{P_TN}に指定された極性パタンに従った極性のデータ信号が、出力端子19₁～19₄₁₄から出力される。

10

【0053】

3. 各ソースドライバの動作

図6に示されているように、本実施の形態のソースドライバ2₁～2_nは、水平方向（即ち、データ線に垂直な方向）については2画素ごとにデータ信号の極性を反転させ、垂直方向（即ち、データ線が延伸する方向）については、1ライン毎にデータ信号の極性を反転させるように、データ信号を生成する。

【0054】

本実施の形態におけるソースドライバ2₁～2_nの動作の最終的な目的は、データ信号の極性の規則性が領域4₁～4_nの境界部分において乱れないように、ソースドライバ2₁～2_nが使用する極性パタンを制御することにある。水平方向については2画素ごとにデータ信号の極性を反転させるためには、4画素の周期で、データ信号の極性を反転させる必要がある。しかしながら、本実施の形態のソースドライバ2₁～2_nは、その出力端子19の数4で割り切れない。これは、極性の規則性を乱さないためには、各ソースドライバ2₁～2_nが使用する極性パタンを制御する必要があることを意味する。本実施の形態の液晶表示装置は、シフト開始信号S_{TH^{<i>i</i>}}のシフト開始パルスのパルス幅によって各ソースドライバ2₁～2_nが出力するデータ信号の極性パタンを制御し、データ信号の極性の規則性を維持する。

20

【0055】

図7は、ソースドライバ2₁、2₂の動作を示すタイミングチャートである。図7には、極性信号POLが論理"1"である水平期間におけるソースドライバ2₁、2₂の動作が示されている。ソースドライバ2₁は、シフト開始信号S_{TH^{<1>}}が論理"1"に設定されると、画素データDATAを取り込み始める。更にソースドライバ2₁は、シフト開始信号S_{TH^{<1>}}が論理"1"に設定されると、シフト開始パルス31のパルス幅をカウントし、極性信号POLとシフト開始パルス31のパルス幅にตอบสนองして極性パタン信号S_{P_TN}を生成する。本実施の形態では、極性信号POLが論理"1"であり、且つ、シフト開始パルス31のパルス幅が"2"であることから、ソースドライバ2₁の極性判定回路14は、極性パタン信号S_{P_TN}を論理"0"に設定する（図9参照）。

30

【0056】

図8に示されているように、極性パタン信号S_{P_TN}が論理"0"に設定されたことにตอบสนองして、入力側切り替え回路13は、レジスタ12₁～12₄₁₄をドライブ回路15₁～15₄₁₄にそれぞれに接続し、出力側切り替え回路17は、ドライブ回路15₁～15₄₁₄をアンプ18₁～18₄₁₄に接続する。これにより、出力端子19₁～19₄₁₄から出力されるデータ信号の極性は、論理"0"である極性パタン信号S_{P_TN}に対応した極性パタンに従うようになる（図10参照）。

40

【0057】

ソースドライバ2₁は、画素データDATAの取り込みを完了すると、シフト開始信号S_{TH^{<2>}}を論理"1"に設定し、シフト開始パルスをソースドライバ2₂に供給する。シフト開始パルスのパルス幅は、ソースドライバ2₁が使用する極性パタンにตอบสนองして、極性の規則性が乱れないように決定される；本実施の形態では、ソースドライバ2₁は、シフト開始信号S_{TH^{<2>}}のシフト開始パルスのパルス幅を"1"に決定する。

50

【 0 0 5 8 】

シフト開始信号 $STH^{<2>}$ が論理 " 1 " に設定されたことに応答して、ソースドライバ 2_2 は、画素データ $DATA$ の取り込みを開始する。更に、ソースドライバ 2_2 は、シフト開始パルスのパルス幅をカウントし、そのパルス幅と極性信号 POL とに併答して、極性パタン信号 S_{PTN} を論理 " 1 " に設定する。

【 0 0 5 9 】

図 8 に示されているように、極性パタン信号 S_{PTN} が論理 " 1 " に設定されたことに併答して、入力側切り替え回路 1_3 は、奇数番目のレジスタ $1_2_1, 1_2_3, \dots, 1_2_{4_1_3}$ を偶数番目のドライブ回路 $1_5_2, 1_5_4, \dots, 1_5_{4_1_4}$ にそれぞれに接続し、偶数番目のレジスタ $1_2_2, 1_2_4, \dots, 1_2_{4_1_4}$ を奇数番目のドライブ回路 $1_5_1, 1_5_3, \dots, 1_5_{4_1_3}$ にそれぞれに接続する。更に、出力側切り替え回路 1_7 は、奇数番目のドライブ回路 $1_5_1, 1_5_3, \dots, 1_5_{4_1_3}$ を偶数番目のアンプ $1_8_2, 1_8_4, \dots, 1_8_{4_1_4}$ に接続し、偶数番目のドライブ回路 $1_5_2, 1_5_4, \dots, 1_5_{4_1_4}$ を、奇数番目のアンプ $1_8_1, 1_8_3, \dots, 1_8_{4_1_3}$ に接続する。これにより、出力端子 $1_9_1 \sim 1_9_{4_1_4}$ から出力されるデータ信号の極性は、論理 " 1 " である極性パタン信号 S_{PTN} に対応した極性パタンに従うようになる（図 10 参照）。

【 0 0 6 0 】

この結果、図 6 に示されているように、ソースドライバ $2_1, 2_2$ によって駆動される領域 $4_1, 4_2$ の境界部分において、データ信号の極性の規則性が維持される。これにより、不所望な表示パネル 3 におけるムラの発生が防がれている。

【 0 0 6 1 】

残りのソースドライバ $2_3 \sim 2_n$ もソースドライバ $2_1, 2_2$ と同様に動作する。シフト開始パルスのパルス幅が " 2 " であるシフト開始信号 $STH^{<i>}$ を受け取ったソースドライバ 2_i は、論理 " 0 " である極性パタン信号 S_{PTN} に対応した極性パタンに従ってデータ信号を出力し、更に、シフト開始パルスのパルス幅が " 1 " であるシフト開始信号 $STH^{<i+1>}$ を次段のソースドライバ 2_{i+1} に供給する。一方、シフト開始パルスのパルス幅が " 1 " であるシフト開始信号 $STH^{<j>}$ を受け取ったソースドライバ 2_j は、論理 " 1 " である極性パタン信号 S_{PTN} に対応した極性パタンに従ってデータ信号を出力し、更に、シフト開始パルスのパルス幅が " 2 " であるシフト開始信号 $STH^{<j+1>}$ を次段のソースドライバ 2_{j+1} に供給する。これにより、表示パネル 3 の全体にわたってデータ信号の極性の規則性が維持され、不所望な表示パネル 3 におけるムラの発生が防がれている。

【 0 0 6 2 】

次に水平期間では、極性信号 POL が論理 " 0 " に反転されて同様の動作が行われる。極性信号 POL が論理 " 0 " に反転されることに併答して、ソースドライバ 2_1 の極性判定回路 1_4 は極性パタン信号 S_{PTN} を論理 " 1 " に設定し、ソースドライバ 2_2 の極性判定回路 1_4 は極性パタン信号 S_{PTN} を論理 " 0 " に設定する。同様に、奇数番目のソースドライバ 2_{2_i+1} の極性判定回路 1_4 は極性パタン信号 S_{PTN} を論理 " 1 " に設定し、偶数番目のソースドライバ 2_{2_i} の極性判定回路 1_4 は極性パタン信号 S_{PTN} を論理 " 0 " に設定する。この結果、図 6 に示されているように、ソースドライバ $2_1 \sim 2_n$ は、先の水平期間と反対の極性のデータ信号を表示パネル 3 に供給する。

【 0 0 6 3 】

以上に説明されているように、本実施の形態では、シフト開始信号 $STH^{<1>} \sim STH^{<n>}$ によって制御情報をソースドライバ $2_1 \sim 2_n$ に供給することにより、ソースドライバ $2_1 \sim 2_n$ が使用する極性パタンが制御され、これにより、データ信号の極性の規則性が維持される。

【 0 0 6 4 】

本実施の形態の構成は、2 ドット反転駆動以外の n ドット反転駆動 (n は 3 以上) にも適用可能であることは当業者にとって自明的である。

【 0 0 6 5 】

10

20

30

40

50

4. 変形例

(1) 変形例 1

図 1 1 に示されているように、データ信号の極性パタンの指定は、シフト開始信号 $STH^{<i>i</i>}$ のシフト開始パルス 3 1 のパルス幅を制御する代わりに、シフト開始パルス 3 1 が伝送されない区間で極性制御ビット 3 2 を伝送することによって行われることが可能である。この場合、図 1 2 に示されているように、極性パターン信号 S_{PTN} は、極性信号 POL と極性制御ビット 3 2 とにตอบสนองして生成される。

【0066】

極性制御ビット 3 2 の伝送は、シフト開始パルス 3 1 の発生の後に行われることが好適である。極性制御ビット 3 2 をシフト開始パルス 3 1 の発生の前に伝送するためには、極性制御ビット 3 2 を取り込むタイミングを指示する制御信号を、別途に各ソースドライバ $2_1 \sim 2_n$ に供給する必要がある。これは、液晶表示装置の信号線の数を増加させるため好適でない。極性制御ビット 3 2 の伝送がシフト開始パルス 3 1 の発生の後に行われる場合には、シフト開始パルス 3 1 を極性制御ビット 3 2 を取り込むタイミングを指示するために使用可能である。この場合、各ソースドライバ $2_1 \sim 2_n$ は、シフト開始パルス 3 1 の伝送の後、所定時間だけ経過した後に極性制御ビット 3 2 を取り込み、取り込んだ極性制御ビット 3 2 にตอบสนองして極性パターン信号 S_{PTN} を生成するように構成される。図 1 1 では、極性制御ビット 3 2 の伝送は、シフト開始パルス 3 1 の伝送の後、3 クロック周期だけ遅れて行われる。

【0067】

(2) 変形例 2

液晶表示装置の信号線の一層に減らすためには、図 1 3 に示されているように、各ソースドライバ $2_1 \sim 2_n$ が使用する極性パターンを、極性信号 POL を使用せずにシフト開始信号 $STH^{<1>} \sim STH^{<n>}$ によって伝送される制御情報のみによって制御することも可能である。上述されているように、極性パターンを指定する制御情報は、シフト開始パルス 3 1 のパルス幅として伝送されることが可能である。この場合、図 1 4 に示されているように、極性パターン信号 S_{PTN} は、シフト開始パルス 3 1 のパルス幅のみにตอบสนองして決定される。また、図 1 5 に示されているように、極性パターンを指定する制御情報は、シフト開始パルス 3 1 とは別に生成される極性制御ビット 3 2 として伝送されることも可能である。この場合、図 1 6 に示されているように、極性パターン信号 S_{PTN} は、極性制御ビット 3 2 のみにตอบสนองして決定される。

【0068】

(3) 変形例 3

図 1 9 に示されているように、極性が反転される空間的周期が 2 画素である場合には、各ソースドライバ $2_1 \sim 2_n$ がとり得る極性パターンは $4 (= 2^2)$ 種類である。各ソースドライバ $2_1 \sim 2_n$ が、これらの全ての極性パターンを使用可能であることは、液晶表示装置の構成の柔軟性を高めるために有用である。

【0069】

4 種類の極性パタンの全てを使用可能にするためには、各ソースドライバ $2_1 \sim 2_n$ は、図 1 7 に示されているように構成されることが好適である。図 1 7 の構成では、ソースドライバ 2_i のドライバ部 1 5 は、出力端子 1 9 の数よりも多い 4×16 個のドライブ回路 $15_1 \sim 15_{4 \times 16}$ を備えている。ドライブ回路 $15_1 \sim 15_{4 \times 16}$ の半数は、極性が正のデータ信号を出力するために使用される正側ドライブ回路であり、残りの半数は、極性が負のデータ信号を出力するために使用される負側ドライブ回路である。より具体的には、両端のドライブ回路 $15_1, 15_{4 \times 16}$ は正側ドライブ回路であり、中間に位置するドライブ回路 $15_2 \sim 15_{4 \times 15}$ としては、2 つの負側ドライブ回路と、2 つの正側ドライブ回路が繰り返して並べられている；ドライブ回路 $15_2, 15_3$ は、負側ドライブ回路であり、ドライブ回路 $15_4, 15_5$ は、正側ドライブ回路である。ドライブ回路 $15_6 \sim 15_{4 \times 15}$ についても同様である。かかる構成を採用するのは、図 1 9 に示されている極性パタンの全てを使用可能にするためには、正側ドライブ回路、及び負側ドライブ回路

が、それぞれ、出力端子 19 の数の半数よりも 1 だけ多い、208 個ずつ必要であるからである。

【0070】

ドライバ部 15 の構成の変更に合わせて、入力側切り替え回路 13、極性判定回路 14、及び出力側切り替え回路 17 の機能が下記のように変更される。極性判定回路 14 が出力する極性パタン信号 S_{PTN} としては、2 ビットの信号が使用され、極性判定回路 14 の動作は、図 18 の真理値表に示されているように変更される。極性パタン信号 S_{PTN} のとり得る 4 つの値は、図 19 に示されているように、4 種類の極性パタンにそれぞれに対応付けられている。極性信号 POL と極性パタン信号 S_{PTN} との対応関係は、極性信号 POL が反転されたときに、極性パタンも反転されるように決定されていることに留意されたい。入力側切り替え回路 13 及び出力側切り替え回路 17 の動作は、極性パタン信号 S_{PTN} に応答して図 19 に示されている全ての極性パタンを実現できるように変更される。

10

【0071】

図 20 は、図 17 に示されているように構成されたソースドライバ 2_1 、 2_2 の動作の一例を示している。

極性信号 POL が "0" に設定され、シフト開始パルスのパルス幅が "1" であるシフト開始信号 $STH^{<1>}$ を受け取ると、ソースドライバ 2_1 の極性判定回路 14 は、極性パタン信号 S_{PTN} を値 "0" に設定する。極性パタン信号 S_{PTN} が値 "0" に設定されたことに応答して、ソースドライバ 2_1 の入力側切り替え回路 13 は、レジスタ $12_{11} \sim 12_{414}$ をそれぞれドライブ回路 $15_{11} \sim 15_{414}$ に接続し、出力側切り替え回路 17 は、ドライブ回路 $15_{11} \sim 15_{414}$ をアンプ $18_{11} \sim 18_{414}$ にそれぞれに接続する；ドライブ回路 15_{415} 、 15_{416} は使用されない。更に、ソースドライバ 2_1 は、シフト開始信号 $STH^{<2>}$ をソースドライバ 2_2 に供給する。シフト開始信号 $STH^{<2>}$ のシフト開始パルスのパルス幅は、ソースドライバ 2_1 が使用する極性パタンに応答して、データ信号の極性の規則性が維持されるような極性パタンを隣接するソースドライバ 2_2 に使用させるように選ばれる。図 20 の動作では、シフト開始信号 $STH^{<2>}$ のシフト開始パルスのパルス幅は "2" に設定される。

20

【0072】

シフト開始信号 $STH^{<2>}$ のシフト開始パルスのパルス幅が "2" であることに応答して、ソースドライバ 2_2 の極性判定回路 14 は、極性パタン信号 S_{PTN} を値 "0" に設定する。極性パタン信号 S_{PTN} が値 "0" に設定されたことに応答して、ソースドライバ 2_2 の入力側切り替え回路 13 は、レジスタ $12_{11} \sim 12_{414}$ をそれぞれドライブ回路 $15_{31} \sim 15_{416}$ に接続し、出力側切り替え回路 17 は、ドライブ回路 $15_{31} \sim 15_{416}$ をアンプ $18_{11} \sim 18_{414}$ にそれぞれに接続する；ソースドライバ 2_2 では、ドライブ回路 15_{11} 、 15_{21} は使用されない。このようなソースドライバ 2_1 、 2_2 の動作により、これらのドライバによって駆動される領域 4_1 、 4_2 の境界部分におけるデータ信号の極性の規則性が維持される。更にソースドライバ 2_2 は、シフト開始信号 $STH^{<3>}$ をソースドライバ 2_3 に供給する。シフト開始信号 $STH^{<3>}$ のシフト開始パルスのパルス幅は、データ信号の極性の規則性が維持されるように選ばれる。他のソースドライバ $2_3 \sim 2_n$ も同様の動作を行う。

30

40

【0073】

図 17 の構成が採用される場合にも、各ソースドライバ $2_1 \sim 2_n$ が使用する極性パタンは、極性信号 POL を使用せずにシフト開始信号 $STH^{<1>} \sim STH^{<n>}$ のみによって制御されることが可能である。この場合、極性パタンを指定する 2 ビットの制御情報が、シフト開始信号 $STH^{<1>} \sim STH^{<n>}$ によって各ソースドライバ $2_1 \sim 2_n$ に供給される。制御情報は、シフト開始パルスのパルス幅として各ソースドライバ $2_1 \sim 2_n$ に供給されることが可能である。また、図 21 に示されているように、極性パタンを指定する 2 ビットの制御情報が、シフト開始パルス 31 と別途に用意される 2 ビットの極性制御ビット 32' として、各ソースドライバ $2_1 \sim 2_n$ に供給されることが可能である。

50

【 0 0 7 4 】

本変形例の構成は、2ドット反転駆動以外の n ドット反転駆動(n は3以上)にも適用可能である。 n ドット反転駆動によって表示パネル3が駆動される場合には、各ソースドライバが選択可能な極性パタンの数は $2n$ 個であり、 $2n$ 個の極性パターンを選択するために十分なビット数の制御情報がシフト開始信号 $STH^{<i>i</i>}$ によって各ソースドライバ $2_1 \sim 2_n$ に供給される。制御情報は、シフト開始パルスのパルス幅として各ソースドライバ $2_1 \sim 2_n$ に供給されることが可能であり、シフト開始パルスの後に伝送される極性制御ビットとして各ソースドライバ $2_1 \sim 2_n$ に供給されることも可能である。

【 0 0 7 5 】

(4) 変形例4

データ信号の極性の規則性を維持するためには、図22に示されているように、領域 $4_1 \sim 4_n$ に設けられているデータ線の数よりも多くの出力端子、アンプ及びドライブ回路が各ソースドライバ $2_1 \sim 2_n$ に設けられ、その出力端子、アンプ及びドライブ回路の一部が使用されない構成も採用され得る。図22の構成では、各ソースドライバ $2_1 \sim 2_n$ の出力端子、アンプ、及びドライブ回路の数は $4 \cdot 1 \cdot 6$ である。言い換えれば、各ソースドライバ $2_1 \sim 2_n$ は、ドライブ回路 $15_1 \sim 15_{4 \cdot 1 \cdot 6}$ と、アンプ $18_1 \sim 18_{4 \cdot 1 \cdot 6}$ と、出力端子 $19_1 \sim 19_{4 \cdot 1 \cdot 6}$ とを備えている。出力端子 $19_1 \sim 19_{4 \cdot 1 \cdot 6}$ のうち2つは表示パネル3には接続されない。図22における記号"NC"は、対応する出力端子が表示パネル3には接続されないことを示している。より具体的には、ソースドライバ 2_1 では出力端子 $19_{4 \cdot 1 \cdot 5}$ 、 $19_{4 \cdot 1 \cdot 6}$ が表示パネル3には接続されず、ソースドライバ 2_2 では出力端子 19_1 、 19_2 が表示パネル3には接続されない。同様に、奇数番目のソースドライバ 2_3 、 2_5 、 \dots では出力端子 $19_{4 \cdot 1 \cdot 5}$ 、 $19_{4 \cdot 1 \cdot 6}$ が表示パネル3には接続されず、偶数番目ソースドライバ 2_4 、 2_6 、 \dots では出力端子 19_1 、 19_2 が表示パネル3には接続されない。

【 0 0 7 6 】

図22を参照しながら、ソースドライバ 2_1 、 2_2 の動作の一例が説明される。極性信号POLが"0"に設定され、シフト開始パルスのパルス幅が"1"であるシフト開始信号 $STH^{<1>}$ を受け取ると、ソースドライバ 2_1 の極性判定回路14は、極性パターン信号 S_{PTN} を値"0"に設定する。極性パターン信号 S_{PTN} が値"0"に設定されたことに応答して、ソースドライバ 2_1 の入力側切り替え回路13は、レジスタ $12_1 \sim 12_{4 \cdot 1 \cdot 4}$ をそれぞれドライブ回路 $15_1 \sim 15_{4 \cdot 1 \cdot 4}$ に接続し、出力側切り替え回路17は、ドライブ回路 $15_1 \sim 15_{4 \cdot 1 \cdot 4}$ をアンプ $18_1 \sim 18_{4 \cdot 1 \cdot 4}$ にそれぞれに接続する；ドライブ回路 $15_{4 \cdot 1 \cdot 5}$ 、 $15_{4 \cdot 1 \cdot 6}$ 、アンプ $18_{4 \cdot 1 \cdot 5}$ 、 $18_{4 \cdot 1 \cdot 6}$ 、及び出力端子 $19_{4 \cdot 1 \cdot 5}$ 、 $19_{4 \cdot 1 \cdot 6}$ は使用されない。更に、ソースドライバ 2_1 は、シフト開始信号 $STH^{<2>}$ をソースドライバ 2_2 に供給する。シフト開始信号 $STH^{<2>}$ のシフト開始パルスのパルス幅は、ソースドライバ 2_1 が使用する極性パターンに応答して、データ信号の極性の規則性が維持されるような極性パターンを隣接するソースドライバ 2_2 に使用させるように選ばれる。図20の動作では、シフト開始信号 $STH^{<2>}$ のシフト開始パルスのパルス幅は"2"に設定される。

【 0 0 7 7 】

シフト開始信号 $STH^{<2>}$ のシフト開始パルスのパルス幅が"2"であることに応答して、ソースドライバ 2_2 の極性判定回路14は、極性パターン信号 S_{PTN} を値"0"に設定する。極性パターン信号 S_{PTN} が値"0"に設定されたことに応答して、ソースドライバ 2_2 の入力側切り替え回路13は、レジスタ $12_1 \sim 12_{4 \cdot 1 \cdot 4}$ をそれぞれドライブ回路 $15_3 \sim 15_{4 \cdot 1 \cdot 6}$ に接続し、出力側切り替え回路17は、ドライブ回路 $15_3 \sim 15_{4 \cdot 1 \cdot 6}$ をアンプ $18_3 \sim 18_{4 \cdot 1 \cdot 6}$ にそれぞれに接続する；ソースドライバ 2_2 では、ドライブ回路 15_1 、 15_2 、アンプ 18_1 、 18_2 、及び出力端子 19_1 、 19_2 は使用されない。このようなソースドライバ 2_1 、 2_2 の動作により、これらのドライバによって駆動される領域 4_1 、 4_2 の境界部分におけるデータ信号の極性の規則性が維持される。更にソースドライバ 2_2 は、シフト開始信号 $STH^{<3>}$ をソースドライバ 2_3 に供

10

20

30

40

50

給する。シフト開始信号 $STH^{<3>}$ のシフト開始パルスのパルス幅は、データ信号の極性の規則性が維持されるように選ばれる。他のソースドライバ $2_3 \sim 2_n$ も同様の動作を行う。

【0078】

第2 実施の第2形態

図23は、本発明の実施の第2形態の液晶表示装置を示すブロック図である。実施の第2形態では、極性パタンを制御する制御信号が、専用を用意される信号線5a, 5bを介して各ソースドライバ $2_1 \sim 2_n$ に供給され、これにより各ソースドライバ $2_1 \sim 2_n$ の極性パタンが個別に制御される；シフト開始信号 $STH^{<1>} \sim STH^{<n>}$ は、各ソースドライバ $2_1 \sim 2_n$ に画素データDATAの取り込みを開始させるためにのみ使用される。信号線5aには、コントローラ1によってHigh電位が生成されており、信号線5bには、Low電位が生成されている。信号線5aは、論理"1"の制御信号を所望のソースドライバに供給するために使用され、信号線5bは、論理"0"の制御信号を所望のソースドライバに供給するために使用される。信号線5a, 5bとソースドライバ $2_1 \sim 2_n$ との接続関係は、隣接するソースドライバが使用する極性パタンに対応する制御信号が各ソースドライバ $2_1 \sim 2_n$ に供給されるように決定されている。より具体的には、信号線5aは、奇数番目のソースドライバ $2_1, 2_3, \dots$ に接続され、信号線5bは、偶数番目のソースドライバ $2_2, 2_4, \dots$ に接続されている。これにより、奇数番目のソースドライバ $2_1, 2_3, \dots$ には論理"1"の制御信号が、偶数番目のソースドライバ $2_2, 2_4, \dots$ には論理"0"の制御信号が供給される。

【0079】

図24は、実施の第2形態における各ソースドライバ 2_i の構成を示すブロック図である。実施の第2形態のソースドライバ 2_i の構成及び動作は、極性判定回路14に信号線5a又は信号線5bから制御信号が供給される点を除き、図4に示されているソースドライバ 2_i の構成と同一である。実施の第2形態では、極性判定回路14は、極性信号POLと、信号線5a又は信号線5bから供給される制御信号に反応して、極性パタン信号 S_{PTN} を生成する。図25は、実施の第2形態における極性判定回路14の動作を示す真理値表である。制御信号が論理"0"である場合には、極性パタン信号 S_{PTN} の値は、極性信号POLの値と同一に決定され、制御信号が論理"1"である場合には、極性パタン信号 S_{PTN} の値は、極性信号POLの値と相補になるように決定される。奇数番目のソースドライバ $2_1, 2_3, \dots$ には論理"1"の制御信号が、偶数番目のソースドライバ $2_2, 2_4, \dots$ には論理"0"の制御信号が供給されるから、結果として、奇数番目のソースドライバ $2_1, 2_3, \dots$ と、偶数番目のソースドライバ $2_2, 2_4, \dots$ とは、データ信号の極性がそれぞれに反対である極性パタンを使用することになる。例えば、極性信号POLが論理"1"である場合には、奇数番目のソースドライバ $2_1, 2_3, \dots$ は極性パタン信号 S_{PTN} を論理"0"に設定し、偶数番目のソースドライバ $2_2, 2_4, \dots$ は極性パタン信号 S_{PTN} を論理"1"に設定する。その結果、図6から理解されるように、データ信号の極性の規則性が維持される。極性信号POLが論理"0"であるときも同様である。

【0080】

奇数番目のソースドライバ $2_1, 2_3, \dots$ と、偶数番目のソースドライバ $2_2, 2_4, \dots$ とが、データ信号の極性がそれぞれに反対である極性パタンを使用するように各ソースドライバを制御するためには、図26に示されているように、互いに相補の極性信号 POL_{odd}, POL_{even} が使用されることも可能である；極性信号 POL_{odd}, POL_{even} の一方が論理"1"である場合には、他方は論理"0"に設定される。奇数番目のソースドライバ $2_1, 2_3, \dots$ には、極性信号 POL_{odd} が供給され、偶数番目のソースドライバ $2_2, 2_4, \dots$ には、極性信号 POL_{even} が供給される。図26の構成では、互いに相補の極性信号 POL_{odd}, POL_{even} は、極性パタンをソースドライバ $2_1 \sim 2_n$ 毎に制御する役割を果たしている。

【0081】

10

20

30

40

50

図27は、図26の液晶表示装置の構成が採用されるとき各ソースドライバ 2_i の構成を示している。各ソースドライバ 2_i の入力側切り替え回路13及び出力側切り替え回路17に、直接に、極性信号 POL_{odd} 又は極性信号 POL_{even} が入力される。

【0082】

入力された極性信号が論理"0"である場合、入力側切り替え回路13は、レジスタ $12_{1,2,3,4}$ をドライブ回路 $15_{1,2,3,4}$ にそれぞれに接続し、出力側切り替え回路17は、ドライブ回路 $15_{1,2,3,4}$ をアンプ $18_{1,2,3,4}$ に接続する。これにより、出力端子 $19_{1,2,3,4}$ から出力されるデータ信号の極性は、図10の論理"0"である極性パターン信号 S_{PTN} に対応した極性パターンに従うようになる。

【0083】

一方、入力された極性信号が論理"1"である場合、入力側切り替え回路13は、奇数番目のレジスタ $12_1, 12_3, \dots, 12_{4,1,3}$ を偶数番目のドライブ回路 $15_2, 15_4, \dots, 15_{4,1,4}$ にそれぞれに接続し、偶数番目のレジスタ $12_2, 12_4, \dots, 12_{4,1,4}$ を奇数番目のドライブ回路 $15_1, 15_3, \dots, 15_{4,1,3}$ にそれぞれに接続する。更に、出力側切り替え回路17は、奇数番目のドライブ回路 $15_1, 15_3, \dots, 15_{4,1,3}$ を偶数番目のアンプ $18_2, 18_4, \dots, 18_{4,1,4}$ に接続し、偶数番目のドライブ回路 $15_2, 15_4, \dots, 15_{4,1,4}$ を、奇数番目のアンプ $18_1, 18_3, \dots, 18_{4,1,3}$ に接続する。これにより、出力端子 $19_{1,2,3,4}$ から出力されるデータ信号の極性は、図10の論理"1"である極性パターン信号 S_{PTN} に対応した極性パターンに従うようになる。

【0084】

この結果、奇数番目のソースドライバ $2_1, 2_3, \dots$ と、偶数番目のソースドライバ $2_2, 2_4, \dots$ とが使用する極性パターンは互いに相補になり、図6から理解されるように、データ信号の極性の規則性が維持される。これにより、表示パネル3における不所望なムラの発生が防がれる。

【0085】

第3 まとめと補足

以上に説明されているように、上記の実施の形態に係る液晶表示装置は、各ソースドライバが使用すべき極性パターンが個別的に制御可能であり、これにより、データ信号の極性の規則性を維持することができる。

【0086】

なお、本発明は、その趣旨に反しない限り、実施の形態に記述されている構成に限定されず、様々な変形が可能である。例えば、ソースドライバ2は、TAB (Tape Automated Bonding) 技術を用いてパッケージされて表示パネル3に接続されることが可能であり、また、COG (Chip on Glass) 技術を用いて表示パネル3に接続されることも可能である。

【図面の簡単な説明】

【0087】

【図1】図1は、ドット反転駆動を採用する液晶表示装置において、特定のパターンを表示パネルに表示するとき、フリッカが発生する原因を説明する概念図である。

【図2】図2は、一般的な構成の液晶表示装置において、データ信号の極性の規則性に乱れが生じる原因を説明する概念図である。

【図3】図3は、本発明の実施の第1形態の液晶表示装置の構成を示すブロック図である。

【図4】図4は、実施の第1形態におけるソースドライバの構成を示すブロック図である。

【図5】図5は、実施の第1形態におけるドライブ回路の構成を示すブロック図である。

【図6】図6は、実施の第1形態において、各ソースドライバが出力するデータ信号の極性を示す概念図である。

【図7】図7は、実施の第1形態におけるソースドライバ $2_1, 2_2$ の動作を示すタイム

10

20

30

40

50

ングチャートである。

【図 8】図 8 は、実施の第 1 形態における、ソースドライバ 2_1 、 2_2 の動作、特に、レジスタ、ドライブ回路、アンプの接続関係を示すブロック図である。

【図 9】図 9 は、実施の第 1 形態における、極性判定回路の動作を示す真理値表である。

【図 10】図 10 は、極性パタン信号と、極性パタンとの対応関係を示す表である。

【図 11】図 11 は、変形例 1 における、ソースドライバ 2_1 、 2_2 の動作を示すタイミングチャートである。

【図 12】図 12 は、変形例 1 における、極性信号及び極性制御ビットと、極性パタン信号の値の対応関係を示す表である。

【図 13】図 13 は、変形例 2 における液晶表示装置の構成を示すブロック図である。

10

【図 14】図 14 は、変形例 2 における、シフト開始パルスのパルス幅と極性パタン信号の値の対応関係を示す表である。

【図 15】図 15 は、変形例 2 において、極性パタンを指定する制御情報が極性制御ビットとして伝送される場合の、ソースドライバ 2_1 、 2_2 の動作を示すタイミングチャートである。

【図 16】図 16 は、変形例 2 における、極性制御ビットと極性パタン信号の値の対応関係を示す表である。

【図 17】図 17 は、変形例 3 におけるソースドライバの構成を示すブロック図である。

【図 18】図 18 は、変形例 3 における極性判定回路の動作を示す真理値表である。

【図 19】図 19 は、変形例 3 における、極性パタン信号の値と、極性パタンとの対応関係を示す表である。

20

【図 20】図 20 は、図 17 に示されているように構成されたソースドライバの動作を示す概念図である。

【図 21】図 21 は、変形例 3 におけるソースドライバの好適な動作を示すタイミングチャートである。

【図 22】図 22 は、変形例 4 におけるソースドライバの構成及び動作を示すブロック図である。

【図 23】図 23 は、実施の第 2 形態における液晶表示装置の構成を示すブロック図である。

【図 24】図 24 は、実施の第 2 形態におけるソースドライバの構成を示すブロック図である。

30

【図 25】図 25 は、実施の第 2 形態における極性判定回路の動作を示す真理値表である。

【図 26】図 26 は、実施の第 2 形態の変形例における液晶表示装置の構成を示すブロック図である。

【図 27】図 27 は、実施の第 2 形態の変形例におけるソースドライバの構成を示すブロック図である。

【符号の説明】

【0088】

1：コントローラ

40

$2_1 \sim 2_n$ ：ソースドライバ

3：表示パネル

$4_1, 4_2, \dots, 4_n$ ：領域

5a, 5b：信号線

11：制御回路

12：シフトレジスタ

$12_1 \sim 12_{4_1 4}$ ：レジスタ

13：入力側切り替え回路

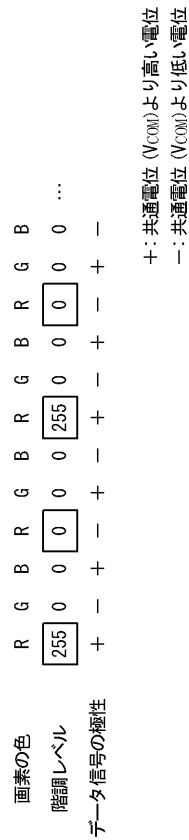
14：極性判定回路

15：ドライバ部

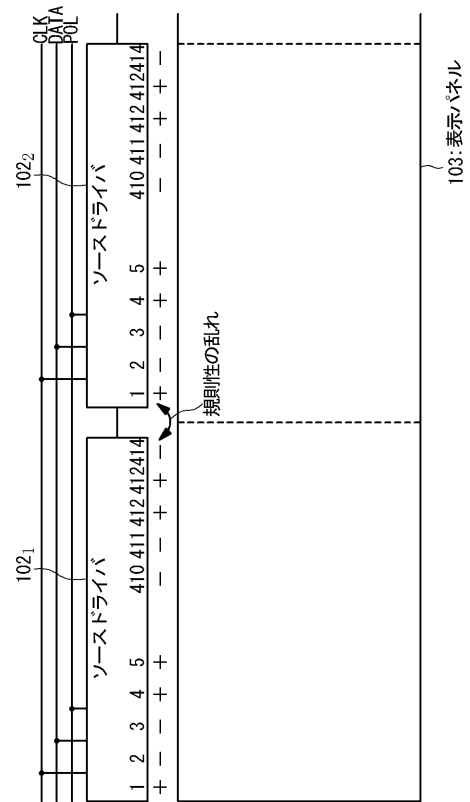
50

- 15₁ ~ 15₄ 1₆ : ドライブ回路
- 16 : 階調電圧生成回路
- 17 : 出力側切り替え回路
- 18 : 出力アンプ群
- 18₁ ~ 18₄ 1₆ : アンプ
- 19₁ ~ 19₄ 1₆ : 出力端子
- 21 : ラッチ
- 22 : レベルシフタ
- 23 : D / Aコンバータ

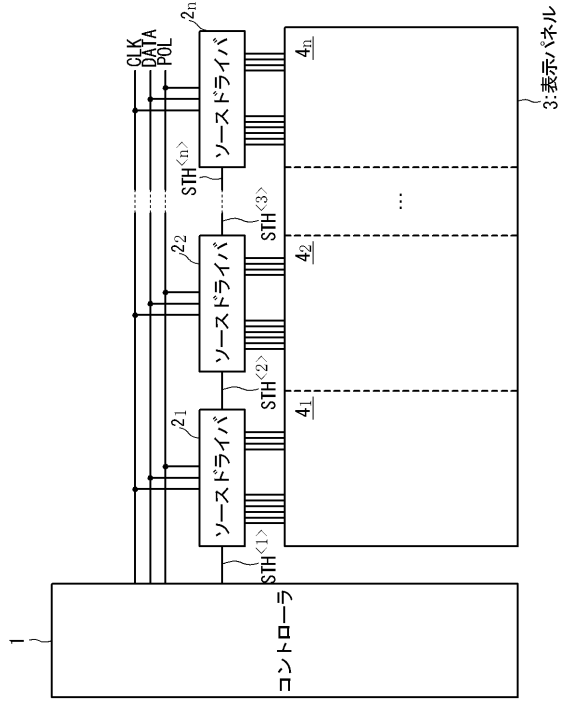
【 図 1 】



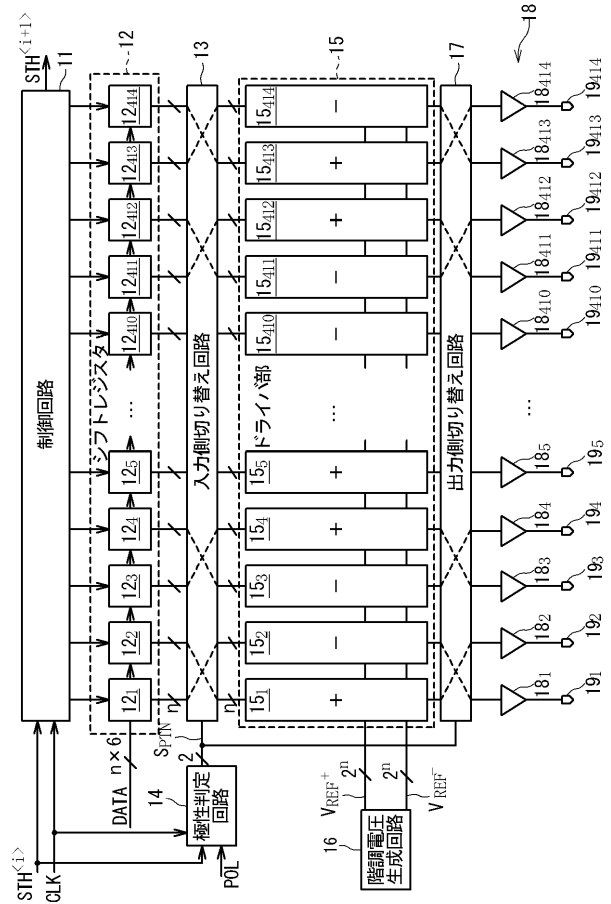
【 図 2 】



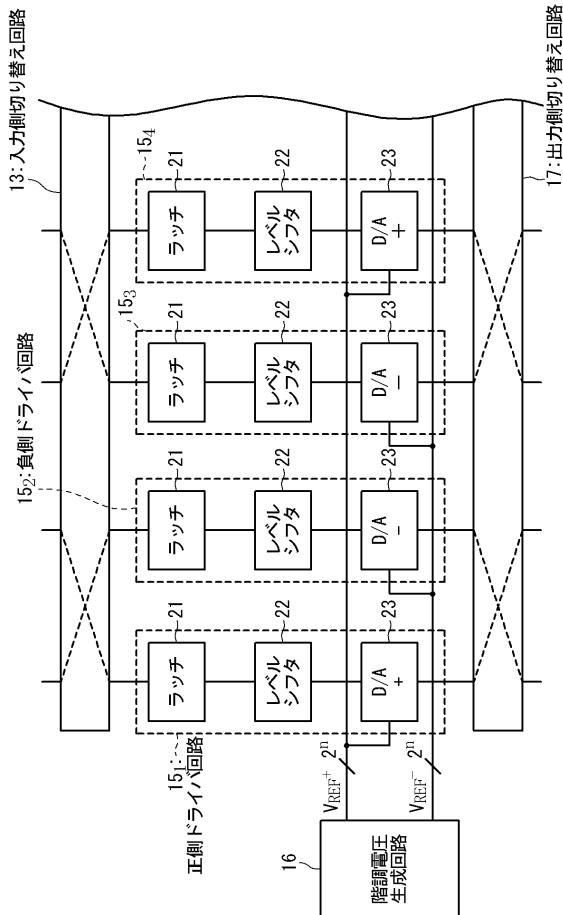
【図3】



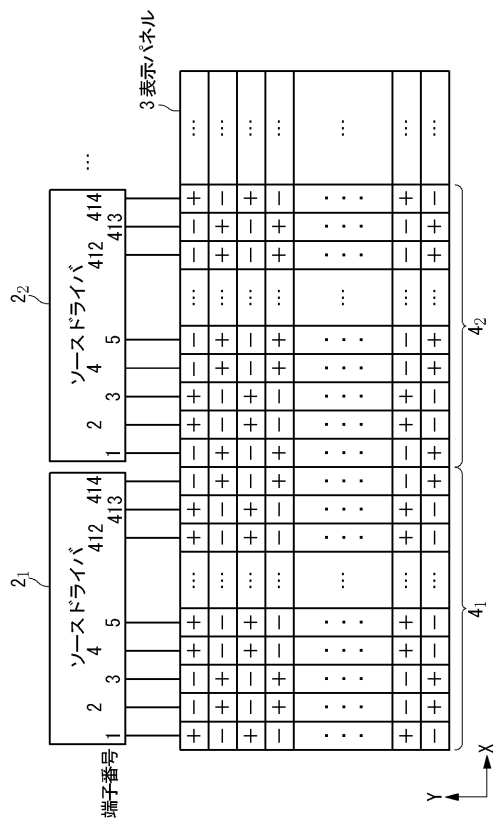
【図4】



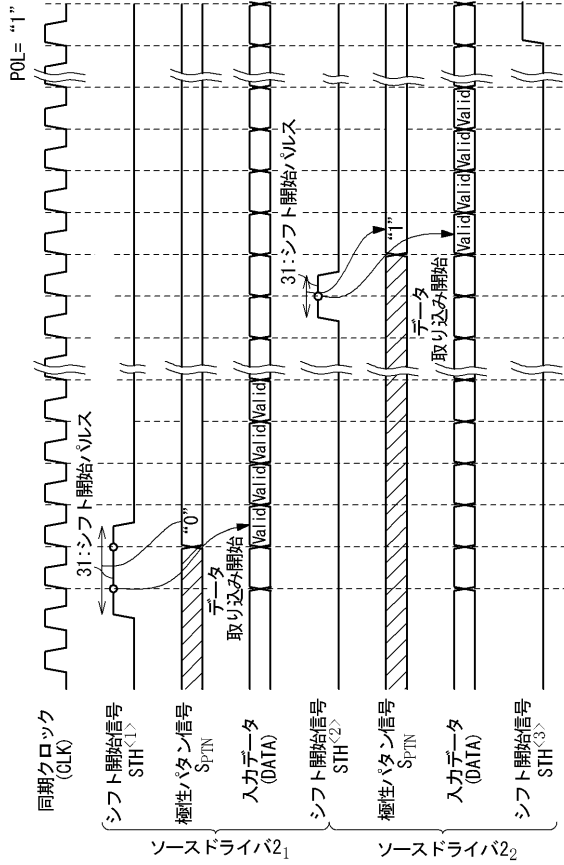
【図5】



【図6】



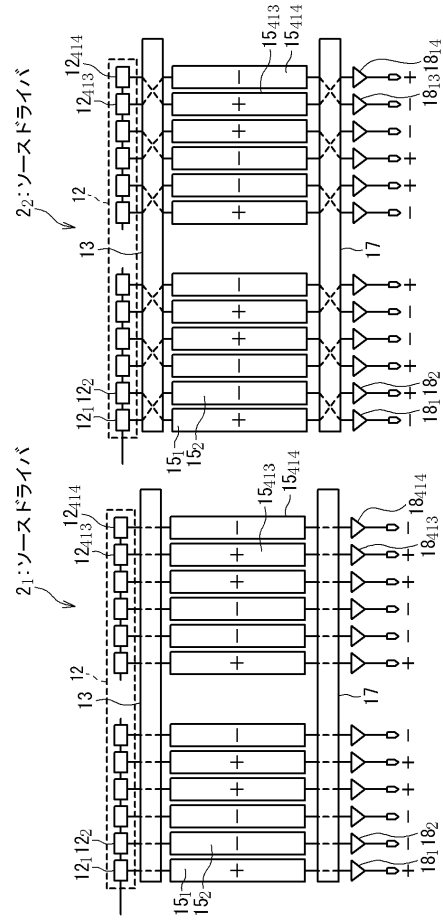
【図7】



【図9】

		シフト開始信号STH<1>のパルス幅	極性パターン信号 SPTN
極性信号 POL	0	1	0
		2	1
1		1	1
		2	0

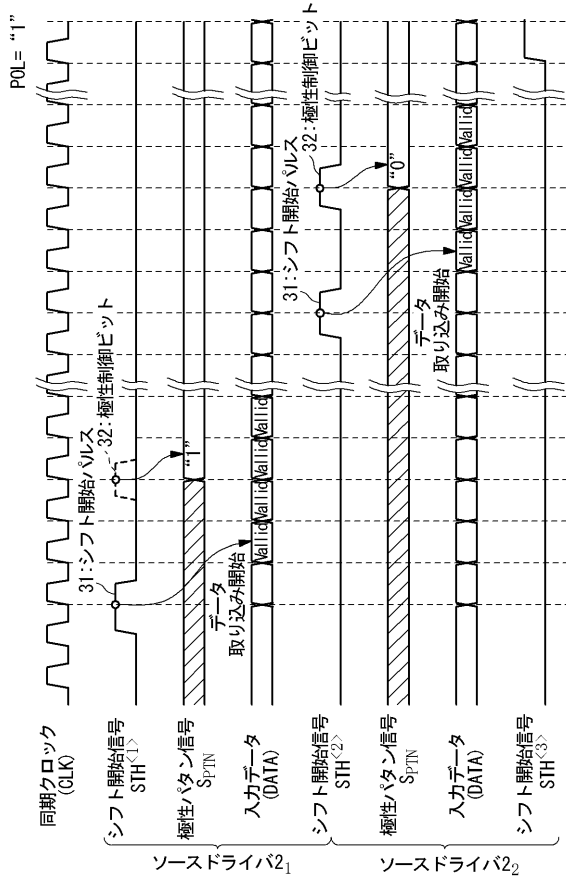
【図8】



【図10】

端子番号	1	2	3	4	5	6	...	409	410	411	412	413	414
極性パターン信号 SPTN	0	+	-	+	+	-	...	+	-	-	+	+	-
	1	-	+	+	-	+	...	-	+	+	-	-	+

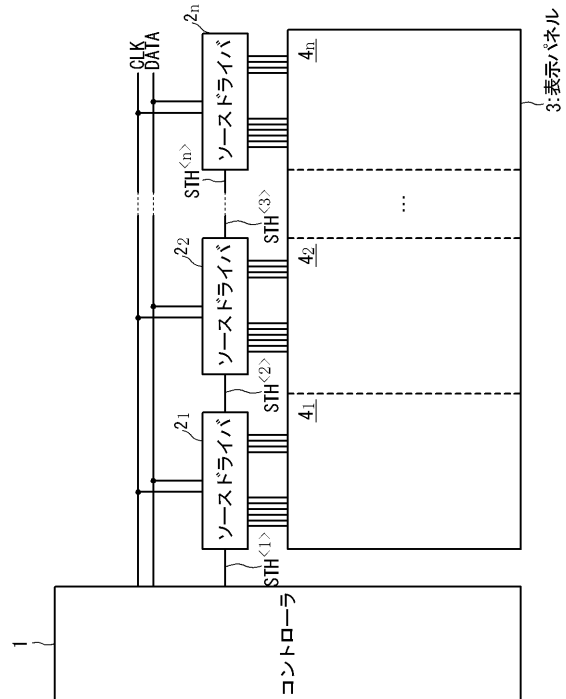
【図 1 1】



【図 1 2】

		極性制御ビット32	極性パターン信号 SPTN
極性信号 POL	0	0	0
	1	1	1
	0	0	1
	1	1	0

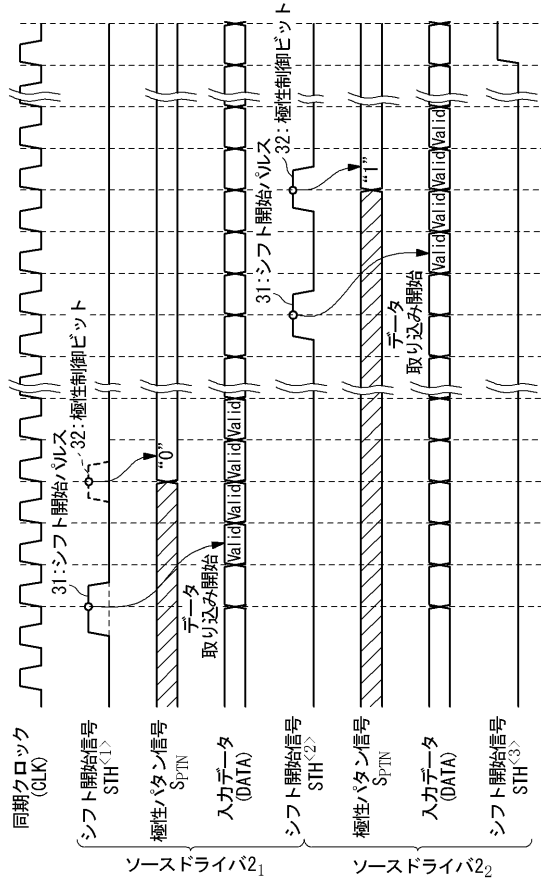
【図 1 3】



【図 1 4】

シフト開始信号 STH<i> のパルス幅	極性パターン信号 SPTN
1	0
2	1

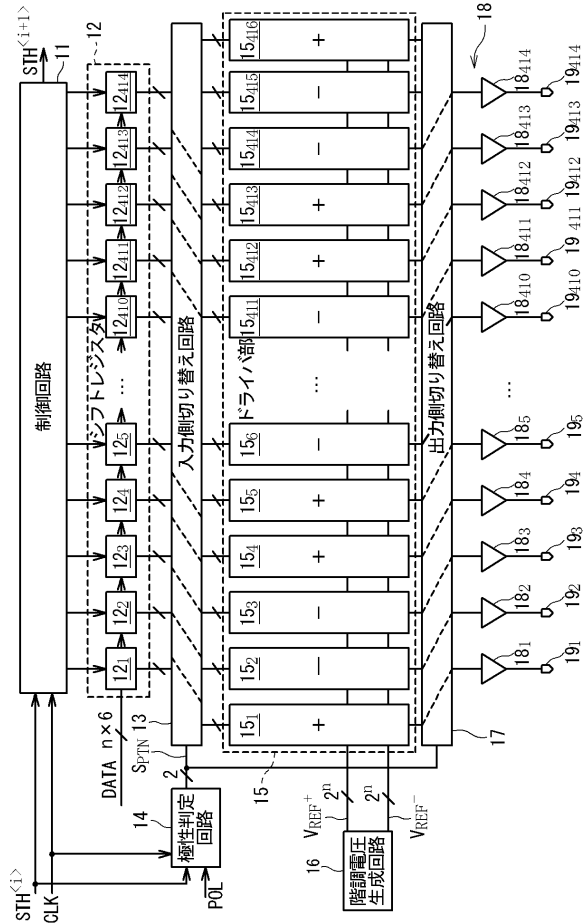
【図15】



【図16】

極性制御ビット32	極性パターン信号 SPTN
0	0
1	1

【図17】



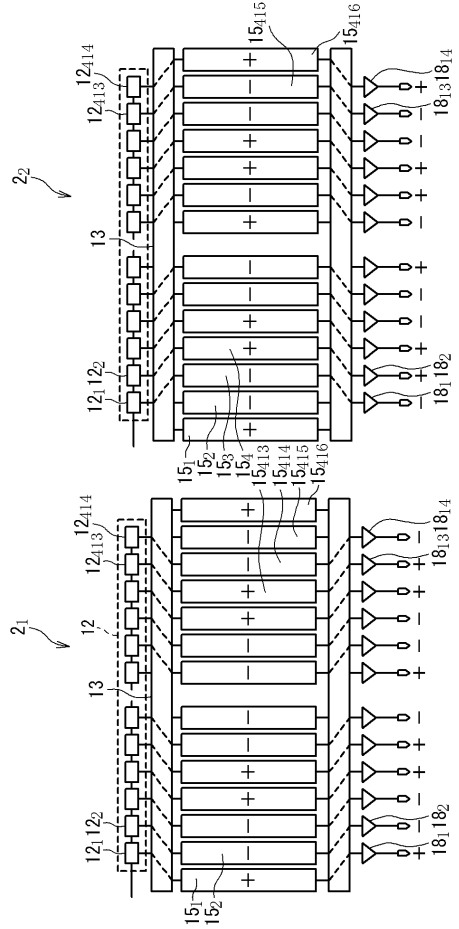
【図18】

極性信号 POL	シフト開始信号 STH<1> のバース幅		極性パターン信号 SPTN
	1	2	
0	1	2	0 (00)
	1	2	1 (01)
1	1	2	2 (10)
	1	2	3 (11)

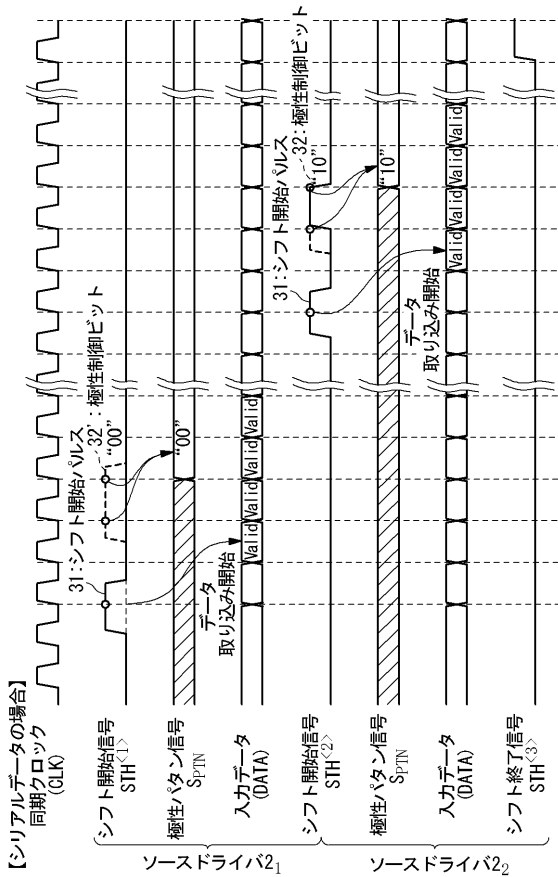
【図19】

端子番号	1	2	3	4	5	6	7	8	...	407	408	409	410	411	412	413	414
極性パタン 信号SPIN	+	-	-	+	+	-	-	+	...	-	+	+	-	-	+	+	-
	+	-	+	+	-	-	+	+	...	+	+	-	-	+	+	-	+
	+	+	+	-	-	+	+	-	...	+	+	-	-	+	+	-	+
	+	+	-	-	+	+	-	-	...	-	+	+	-	-	+	+	-

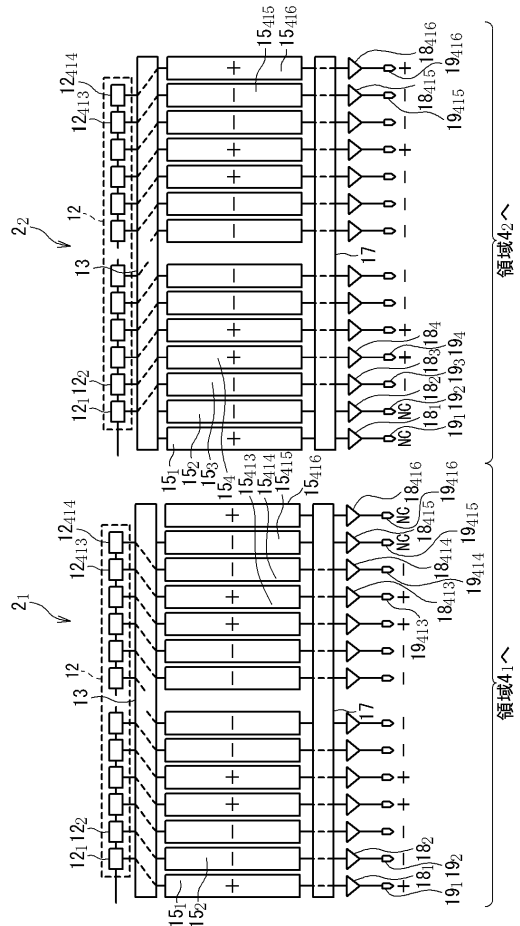
【図20】



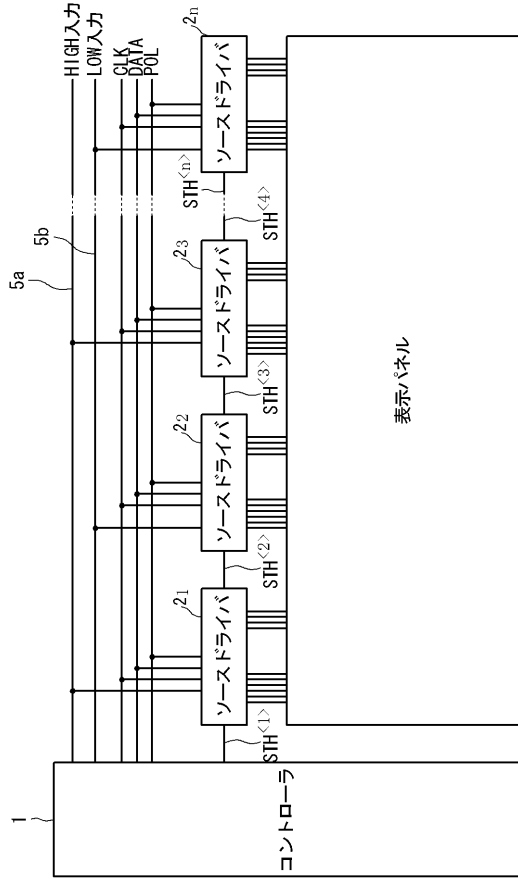
【図21】



【図22】



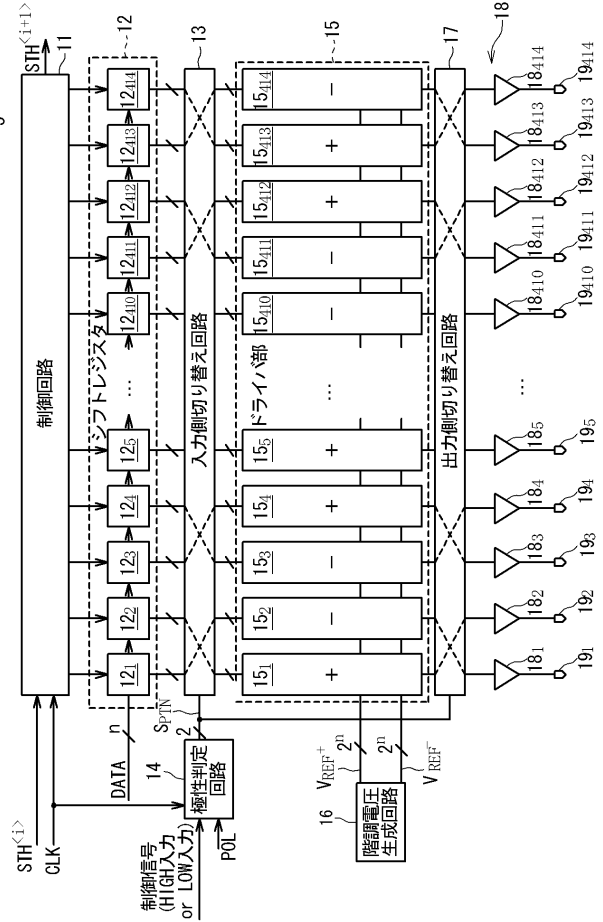
【図 23】



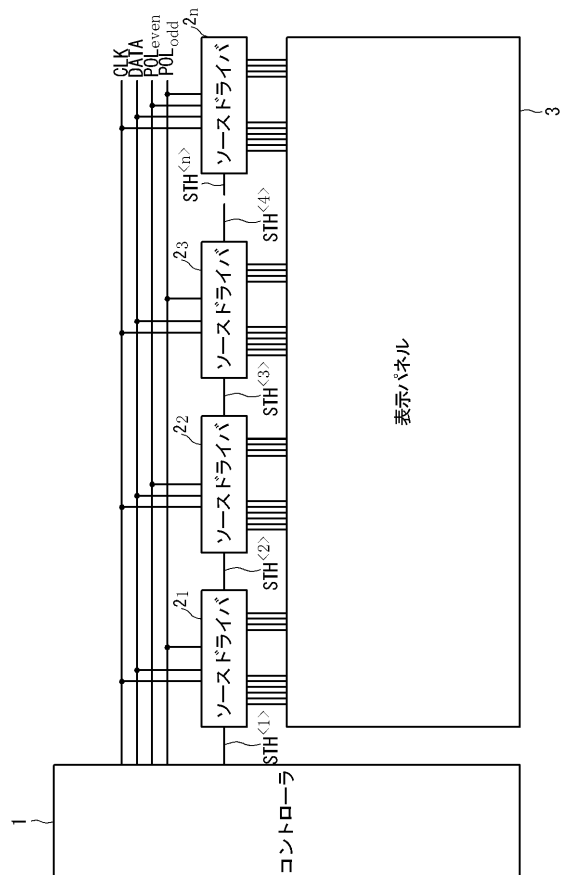
【図 25】

制御信号		極性バタン信号 SPIN
極性信号 POL	0	0
	1	1
極性信号 POL	0	1
	1	0

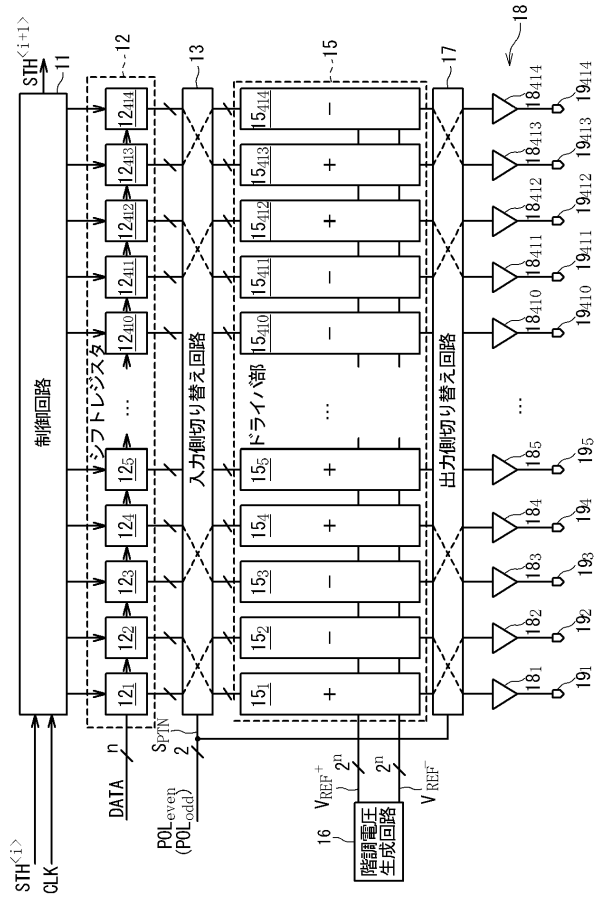
【図 24】



【図 26】



【図 27】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 4 2 A

(56) 参考文献 特開 2 0 0 3 - 0 8 4 7 2 1 (J P , A)
特開 2 0 0 5 - 0 9 9 5 7 0 (J P , A)
特開平 0 8 - 0 8 7 2 5 1 (J P , A)
特開 2 0 0 0 - 0 2 0 0 2 7 (J P , A)
特開平 1 1 - 2 4 9 6 2 4 (J P , A)
特開 2 0 0 0 - 2 3 5 3 7 5 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3	5 0 5 -	5 8 0

专利名称(译)	液晶显示装置，源极驱动器和源极驱动器操作方法		
公开(公告)号	JP4678755B2	公开(公告)日	2011-04-27
申请号	JP2004231610	申请日	2004-08-06
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	平塚準		
发明人	平塚 準		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3685 G09G2310/0221 G09G2310/027 G09G2310/0297 G09G2320/0233		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.621.B G09G3/20.623.B G09G3/20.623.C G09G3/20.623.H G09G3/20.623.R G09G3/20.623.X G09G3/20.642.A		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA43 2H093/NA51 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC22 2H093/ND18 2H093/ND31 2H193/ZD21 2H193/ZF03 5C006/AC11 5C006/AC21 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF71 5C006/AF83 5C006/AF84 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF24 5C006/BF46 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ04		
代理人(译)	工藤 稔		
其他公开文献	JP2006047878A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供用于消除数据信号极性的规律性无序的技术，该技术可能由液晶显示装置引起，该液晶显示装置通过使用多个源极驱动器的 (n) - 点驱动来驱动显示面板。ZOLUTION：该液晶显示装置包括具有第一区域 (4 <SB> 1 </ SB>) 和与第一区域相邻的第二区域 (4 <SB> 2 </ SB>) 的显示面板 (3) (4 <SB> 1 </ SB>)，第一源极驱动器 (21)，其向位于显示面板的第一区域 (4 <SB> 1 </ SB>) 中的多条数据线提供数据信号 (3) 和第二源极驱动器 (2 <SB> 2 </ SB>)，其向位于显示器的第二区域 (4 <SB> 2 </ SB>) 中的多条数据线提供数据信号小组 (3)。该液晶显示装置被配置为能够单独控制从第一源极驱动器输出的数据信号的极性模式 (2 <SB> 1 </ SB>) 和从该输出的数据信号的极性模式。第二个源驱动程序 (2 <SB> 2 </ SB>)。Z

