

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4661913号
(P4661913)

(45) 発行日 平成23年3月30日 (2011.3.30)

(24) 登録日 平成23年1月14日 (2011.1.14)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 9 F 9/30 (2006.01)

G O 9 F 9/30 3 3 8

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 C

H O 1 L 29/78 6 1 2 A

請求項の数 3 (全 17 頁)

(21) 出願番号 特願2008-187981 (P2008-187981)
 (22) 出願日 平成20年7月19日 (2008.7.19)
 (65) 公開番号 特開2010-26269 (P2010-26269A)
 (43) 公開日 平成22年2月4日 (2010.2.4)
 審査請求日 平成22年3月17日 (2010.3.17)

(73) 特許権者 000001443
 カシオ計算機株式会社
 東京都渋谷区本町 1 丁目 6 番 2 号
 (74) 代理人 100082876
 弁理士 平山 一幸
 (74) 代理人 100109807
 弁理士 篠田 哲也
 (74) 代理人 100148127
 弁理士 小川 耕太
 (72) 発明者 石井 裕満
 東京都八王子市石川町 2 9 5 1 番地の 5
 カシオ計算機株式会社八王子技術センター
 内

審査官 鈴木 俊光

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線と、
 前記走査線を覆って形成された絶縁膜と、
 前記各走査線に交差する交差部を有する複数の信号線と、
 前記走査線と前記信号線とに隣接して配設された複数の画素電極と、
 半導体層、ゲート絶縁膜、前記走査線に接続されたゲート電極とドレイン電極及びソース電極の何れかで前記信号線に接続された一方の電極と前記画素電極に接続された前記ドレイン電極及びソース電極の他方の電極とを有し前記ドレイン電極及び前記ソース電極が前記信号線に沿う方向に直線状に配置された複数の薄膜トランジスタと、
 前記交差部上に重なる第 1 の重ね合わせ部と前記一方の電極上に重なる第 2 の重ね合わせ部とを有して前記一方の電極と前記信号線とを接続する複数の中継電極と、
 を具備し、前記中継電極の前記第 1 の重ね合わせ部は前記走査線の幅方向の両側端部に対応する絶縁膜の段差部を覆う長さを有する、液晶表示装置。

【請求項 2】

前記第 1 の重ね合わせ部が前記信号線の長手方向に沿って前記走査線の線幅よりも長く形成されている、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 2 の重ね合わせ部が前記一方の電極の幅方向における両側端面を覆う部分を有する、請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、より詳細には高開口率化及び高精細化を図った液晶表示装置に関する。

【背景技術】

【0002】

従来の液晶表示装置は、例えば特許文献1に開示されており、複数の走査線及び信号線と、画素電極と、走査線と信号線との各交点近傍にて走査線に接続されて設けられたゲート電極、信号線に接続して設けられたドレイン電極及び画素電極に接続して設けられたソース電極を有する薄膜トランジスタと、画素電極と重ね合わされた部分により補助容量部を形成する補助容量線と、対向電極と、各画素電極と該対向電極との間に設けられた液晶と、を備えて構成されている。

10

【0003】

この液晶表示装置では、薄膜トランジスタにおける画素電極に接続されたソース電極と信号線に接続されたドレイン電極との対が走査線の配列方向に沿って設けられている。

【0004】

さらに、ソース電極は走査線に沿って平行に延びた台座部と一体的に形成されており、この台座部上の絶縁層に設けられているコンタクトホールを介して、台座部と画素電極とが接続され、結果として、画素電極がソース電極と接続されている。

20

【0005】

このような液晶表示装置では、走査線及び信号線上に第1の絶縁膜を介して補助容量部を設け、この補助容量部により走査線及び信号線を覆っている。この補助容量部の上に第2の絶縁膜を介して画素電極を形成している。これにより、走査線、信号線及び薄膜トランジスタと画素電極とを重ねて配置することが可能になり、画素電極の間隔をその加工限界まで狭くし、高開口率化を実現している。

【0006】

一方、特許文献2には、所謂デルタ配列の画素電極を備えた液晶表示装置が開示されている。この液晶表示装置では、交互にずれて配置された同色の画素電極を信号線に接続するにあたり、薄膜トランジスタのゲート電極、ドレイン電極及びソース電極の配置方向を列方向とし、ドレイン電極を信号線から行方向へ突出させているので、ソース電極近傍に例えばL字状の溝が形成される。このL字状の溝が、ドレイン電極を含む信号線及びソース電極を形成する際に、フォトレジスト膜の存在によってある程度深くなり、このフォトレジスト膜をマスクとして金属膜をエッチングするとき、エッチング液が上述したL字状の溝内に滞留し易い。これにより加工不良の発生のおそれがあり、場合によってはドレイン電極を含む信号線とソース電極との間にショートが発生してしまうことがある。

30

このため、特許文献2の液晶表示装置では、信号線の側縁をそのままドレイン電極として利用すると共に、ドレイン電極に対して走査線の方にソース電極を配置して、前述したL字状の溝を排除している。

これにより、ドレイン電極、該ドレイン電極に接続された信号線及びソース電極の形成の際に、フォトレジスト膜をマスクとして金属膜をエッチングするときエッチング液が滞留することはなく、加工不良、ドレイン電極とソース電極との間のショートを可及的に回避することができる。

40

【0007】

【特許文献1】特開2004-341185号公報

【特許文献2】特開2002-098993号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、特許文献1に示された液晶表示装置において、さらに高精細化を進めると、

50

画素を画成する走査線及び信号線のピッチが狭小化し、例えば $20\text{ }\mu\text{m}$ を下回る程度になると、隣接する信号線の間で、薄膜トランジスタにおけるソース電極とドレイン電極とを走査線の方向に直線状に配置することが困難となる。

【0009】

そこで、図7に示すような液晶表示装置1の構成が考えられる。即ち、液晶表示装置1は、行方向に沿って配設される複数の走査線2と、列方向に沿って配設される複数の信号線3と、走査線2及び信号線3で画成される領域毎に配置される複数の薄膜トランジスタ4と、各薄膜トランジスタ4のソース電極4aにコンタクトホールを介して接続される画素電極5と、画素電極5と走査線2及び信号線3との間に絶縁膜（図示せず）を介して設けられる補助容量電極6と、を備えている。

10

【0010】

この場合、隣接する信号線3間の狭小ピッチに対応するため、薄膜トランジスタ4におけるソース電極4a及びドレイン電極4bが信号線3の方向に沿って配置され、かつ、薄膜トランジスタ4におけるゲート電極4cが走査線2の一部で構成される。また、信号線3のうち走査線2と交差する部位は、信号線3の線幅が広くなり、ゲート電極4c上まで延設され平面視でL字状の接続部3aを構成している。この接続部3aのうち信号線3から走査線2の長手方向と平行に突出した部分の先端部として上記ドレイン電極4bが信号線3と一体に形成されている。

このL字状の接続部3aによって三方が囲われた領域4gが形成されるため、前述した特許文献2の場合と同様に、信号線3、ドレイン電極4bを形成する際、接続部3aおよびドレイン電極4bを含む領域4gを形成する際のエッチング液やエッチング後の洗浄液がこの領域4gに滞留し、場合によっては洗浄後も残留して、加工不良、乾燥不良等が発生するおそれがある。

20

しかしながら、この液晶表示装置1においては、ゲート電極4cが走査線2の一部で構成され、信号線間のピッチが狭いことから、このような領域4gを回避するために、特許文献2のような構成を適用することは困難である。

【0011】

また、各信号線3は狭小ピッチに対応して、線幅が例えば $3\text{ }\mu\text{m}$ 程度と狭くしているものの、走査線2との交差付近では走査線2が行方向に配設されているため盛り上がっており、走査線2を乗り越えて信号線3が形成されるため信号線3の長手方向に沿った接続部3aの部分を幅広にして所謂段切れを防止している。このため、信号線3の狭小化が制限されてしまう。

30

【0012】

なお、ドレイン電極とソース電極が逆に配置され、ソース電極が信号線に接続されると共に、ドレイン電極が画素電極に接続された構成の液晶表示装置も知られているが、このような構成の液晶表示装置においても同様の問題がある。

【0013】

上記課題に鑑み、本発明は、高開口率化及び高精細化に対応した液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

40

【0014】

上記目的を達成するため、本発明の液晶表示装置は、複数の走査線と、該複数の走査線を覆って形成された絶縁膜と、各走査線に交差する交差部を有する複数の信号線と、走査線と信号線とに隣接して配設された複数の画素電極と、半導体層、ゲート絶縁膜、走査線に接続されたゲート電極とドレイン電極及びソース電極の何れかで信号線に接続された一方の電極と画素電極に接続されたドレイン電極及びソース電極の他方の電極とを有しドレイン電極及びソース電極が信号線に沿う方向に直線状に配置された複数の薄膜トランジスタと、交差部上に重なる第1の重ね合わせ部と一方の電極上に重なる第2の重ね合わせ部とを有して一方の電極と信号線とを接続する複数の中継電極と、を具備し、中継電極の第1の重ね合わせ部は走査線の幅方向の両側端部に対応する絶縁膜の段差部を覆う長さを

50

有するように構成したことを特徴としている。

【 0 0 1 5 】

中継電極は、信号線の走査線と交差する交差部上に重なる第 1 の重ね合わせ部が交差部の領域よりも信号線の長手方向に沿った広い領域において信号線に重なっていることを特徴とする。中継電極は、一方の電極上に重なる第 2 の重ね合わせ部が一方の電極の幅方向における両側端面を覆う部分を有する。

【 発明の効果 】

【 0 0 1 9 】

本発明の液晶表示装置によれば、高開口率化及び高精細化に対応できる。

【 発明を実施するための最良の形態 】

10

【 0 0 2 1 】

以下、図面を参照してこの発明の実施の形態を詳細に説明する。各図において同一又は対応する部材には同一符号を用いる。

図 1 (A) は本発明の一実施形態に係る液晶表示装置の内、T F T 基板の構成を示す概略平面図であり、(B) は (A) における A - A 線断面図である。

【 0 0 2 2 】

図 1 に示すように、実施形態に係る液晶表示装置 1 0 は、ガラス等の透明材料から成る透明基板 1 1 と、透明基板 1 1 上に行方向に延びて形成され互いに平行に並んで配設された走査線 1 2 と、走査線 1 2 を覆って形成された絶縁膜 2 1 と、透明基板 1 1 上で列方向に延びる互いに平行に並んで配設された信号線 1 3 と、それぞれが各走査線 1 2 と各信号線 1 3 とで画成される領域毎に各走査線 1 2 と各信号線 1 3 との各交点近傍に配設された薄膜トランジスタ 1 4 と、走査線 1 2 と信号線 1 3 とにそれぞれ隣接して、即ち、各走査線 1 2 と信号線 1 3 とで画される領域毎に配設されていて薄膜トランジスタ 1 4 に接続された各画素電極 1 5 と、走査線 1 2 及び信号線 1 3 と画素電極 1 5 との間に配置された補助容量電極 1 6 と、を備えている。ここで、絶縁膜 2 1 は、後述のゲート絶縁膜を含む。

20

図示を省略するが、液晶表示装置 1 0 は、対向電極（所謂共通電極）と、各画素電極と対向電極との間に配設される液晶セルと、を備えている。

図 1 に示すように、液晶表示装置 1 0 では、一对の走査線 1 2 及び一对の信号線 1 3 によって、信号線 1 3 の長手方向に沿って細長い領域が画成され、この領域が一画素分に対応しており、液晶表示装置 1 0 にはこのような構成がマトリックス状に配置される。なお、カラー表示の場合には、例えばこの構成が R G B に対応して設けられて一画素分となる。

30

【 0 0 2 3 】

走査線 1 2 は、透明基板 1 1 上に積層した A l , C r 等の第一の導電膜で形成されている。

信号線 1 3 は、S i N 等の第一の絶縁膜 2 1 の上に積層したアモルファスシリコン膜 1 3 A と、このアモルファスシリコン膜 1 3 A の上に形成した n ⁺ アモルファスシリコンなどからなるオーミックコンタクト層 1 3 B と、このオーミックコンタクト層 1 3 B 上に形成した A l , C r 等の第二の導電膜 1 3 C とから成る。本実施形態において、信号線 1 3 は、各走査線 1 2 に交差する交差部 1 3 D を有し、この交差部 1 3 D の幅は信号線 1 3 の他の部分と実質的に同じに形成されている。信号線 1 3 の交差部 1 3 D における幅に関しては、後述の製造方法の説明において詳述する。

40

各薄膜トランジスタ 1 4 は、それぞれが半導体層 2 2 a 、ゲート絶縁膜 2 1 、走査線 1 2 に接続されたゲート電極 1 4 c と、信号線 1 3 に接続されたドレイン電極 1 4 b と、画素電極 1 5 に接続されたソース電極 1 4 a とを有する。本実施形態において、ドレイン電極 1 4 b とソース電極 1 4 a とは信号線 1 3 に沿う方向に直線状に配置されている。ドレイン電極 1 4 b は中継電極 1 7 を介して信号線 1 3 に接続されている。中継電極 1 7 は、ドレイン電極 1 4 b 及び信号線 1 3 上に重なり合うように設けられ、ドレイン電極 1 4 b と信号線 1 3 との間では第一の絶縁膜としてのゲート絶縁膜 2 1 上に設けられている。なお、各薄膜トランジスタ 1 4 のゲート電極 1 4 c は、走査線 1 2 の一部で形成されている

50

。

【 0 0 2 4 】

画素電極 1 5 は I T O で成り、薄膜トランジスタ 1 4 のソース電極 1 4 a に接続された台座部 1 8 にコンタクトホール 1 9 を介して接続されている。

画素電極 1 5 は、図 1 (A) に示されているように、平面図において一つの画素の周縁に位置する上下の走査線 1 2 と左右の信号線 1 3 の間の領域全体に亘って設けられている。

。

【 0 0 2 5 】

補助容量電極 1 6 は A l , C r 等で成り、一つの画素の周縁に沿って位置するように形成されている。具体的には、補助容量電極 1 6 は平面視で枠状に形成されて、上下の走査線 1 2 と左右の信号線 1 3 及び薄膜トランジスタ 1 4 を上方から覆い、さらに一部が画素電極 1 5 の周縁部に重なるようにその内周縁 1 6 a が画素電極 1 5 の外側縁 1 5 a の内側に形成されている。

10

【 0 0 2 6 】

中継電極 1 7 は、信号線 1 3 の走査線 1 2 を乗り越える領域即ち交差部 1 3 D に重なる第 1 の重ね合わせ部 1 7 a と、この第 1 の重ね合わせ部 1 7 a の一端から走査線 1 2 の長手方向に沿って延びた延出部 1 7 b と、延出部 1 7 b の先端から第 1 の重ね合わせ部 1 7 a と平行に延びて薄膜トランジスタ 1 4 のドレイン電極 1 4 b に重なる第 2 の重ね合わせ部 1 7 c と、で一体的に形成されている。

これにより、中継電極 1 7 は、第 1 の重ね合わせ部 1 7 a と延出部 1 7 b と第 2 の重ね合わせ部 1 7 c とで三方を囲われた領域 1 7 d を画成している。

20

【 0 0 2 7 】

第 1 の重ね合わせ部 1 7 a は、上述した交差部 1 3 D において、信号線 1 3 の長手方向に沿って広がっている。具体的には、第 1 の重ね合わせ部 1 7 a は、図 1 (C) に示すように、走査線 1 2 の幅方向の両側端部 1 2 b 、 1 2 c に対応する絶縁膜 2 1 の段差部 1 3 E , 1 3 F を覆う長さを有し、第 1 の重ね合わせ部 1 7 a は、交差部 1 3 D を跨いで信号線 1 3 が走査線 1 2 を乗り越える領域全体を覆っている。この第 1 の重ね合わせ部 1 7 a は、好ましくは、交差部 1 3 D の領域よりも信号線 1 3 の長手方向に沿った広い領域において信号線 1 3 に重なっており、走査線 1 2 の線幅よりも長く形成されている。第 1 の重ね合わせ部 1 7 a の幅については、後述の製造方法の説明において詳述する。

30

第 2 の重ね合わせ部 1 7 c は、ドレイン電極 1 4 b の幅方向、即ち図 1 (A) における走査線 1 2 の長手方向における両側端面を覆うように形成されている。なお、図 1 (B) では、ドレイン電極 1 4 b の幅方向における一方の端面 1 4 d が、第 2 の重ね合わせ部 1 7 c によって覆われている状態が表されている。

【 0 0 2 8 】

また、これらの第 1 の重ね合わせ部 1 7 a , 延出部 1 7 b 及び第 2 の重ね合わせ部 1 7 c は、互いに一体の一つの導電層で成り、信号線 1 3 とは別体の導電層として、好ましくは透明電極膜によって信号線 1 3 及び薄膜トランジスタ 1 4 のドレイン電極 1 4 b の上に重ねて形成されている。

なお、図示の場合、第 2 の重ね合わせ部 1 7 c は薄膜トランジスタ 1 4 のドレイン電極 1 4 b 全体を覆うように形成されているが、これに限らず、ドレイン電極 1 4 b を部分的に覆うように形成されていてもよい。

40

【 0 0 2 9 】

台座部 1 8 は、薄膜トランジスタ 1 4 のソース電極 1 4 a に重なる第 3 の重ね合わせ部 1 8 a と、この第 3 の重ね合わせ部 1 8 a から第 2 の重ね合わせ部とは反対側に突出した幅の狭い連結部 1 8 b と、この連結部 1 8 b と連成して左右の信号線 1 3 の間の領域でゲート絶縁膜 2 1 上に配置され信号線 1 3 に沿う方向に沿って延出された本体部 1 8 c と、で一体構成されている。

台座部 1 8 は、信号線 1 3 とは別体の導電層で成る。具体的には、台座部 1 8 は中継電極 1 7 と同じ導電性材料で形成され、好ましくは透明電極膜によって形成される。

50

第3の重ね合わせ部18aは、ソース電極14aの幅方向、即ち図1(A)における走査線12の長手方向における両側端面を覆うように形成されている。なお、図1(B)では、ソース電極14aの奥行方向、即ち幅方向に直交する方向における一方の端面14eが、第3の重ね合わせ部18aによって覆われている状態が表されている。台座部18のうち第3の重ね合わせ部18aは薄膜トランジスタ14のソース電極14aの上に重ねて形成されている。

台座部18は、図1に示すように本体部18cの幅W1が第3の重ね合わせ部18aの幅W2よりも広く設定されている。

なお、図示の場合、第3の重ね合わせ部18aは、薄膜トランジスタ14のソース電極14a全体を覆うように形成されているが、これに限らず、ソース電極14aを部分的に覆うように形成されていてもよい。

10

【0030】

コンタクトホール19は、台座部18と画素電極15を接続するために、台座部18の中央の上方においてそれぞれSiN等で成る第二の絶縁膜25及び第三の絶縁膜26を貫通して形成され、画素電極15が形成される際に、画素電極15の一部がコンタクトホール19の内壁、コンタクトホール19によって露出した台座部18の一部表面に形成される。これにより、画素電極15が台座部18と電氣的に接続される。

【0031】

次に、液晶表示装置10の製造方法の各工程を図2から図6に示す。

まず、図2に示す第一ステップでは、透明基板11上に第一の導電膜を形成し、この第一の導電膜をパターニングマスクによって加工して、ゲート電極14cを含む走査線12を形成する。なお、ゲート電極14cは、走査線12の一部により構成されている。図1(A)、図2(A)において、二点鎖線で示す領域12aがゲート電極14cの領域を示す。

20

そして、これらの走査線12及びゲート電極14cの上から、SiN等で成るゲート絶縁膜21、アモルファスシリコン膜等で成る半導体層22、SiN等で成るチャネル保護膜(絶縁膜)を順次形成した後、チャネル保護膜をパターニングマスクにより加工して、エッチングストッパー層23を形成する。

【0032】

続いて、図3に示す第二ステップでは、エッチングストッパー層23及び半導体層22の上面に、オーミックコンタクト用のn⁺アモルファスシリコン層24、第二の導電膜を順次に形成し、この第二の導電膜上にパターニングマスクにより加工して、エッチングにより信号線13、ソース電極14a及びドレイン電極14bを形成する。また、同様に、n⁺アモルファスシリコン層24および半導体層22をエッチングしてオーミックコンタクト層14a、14bおよび活性層としてのアモルファスシリコン膜からなる半導体層22aを形成する。ここで、信号線13は、アモルファスシリコン膜、n⁺アモルファスシリコン層および第二の導電膜の積層構造に形成され、また、走査線12との交差部13Dを含む全長に亘って同じ線幅で形成される。

30

【0033】

薄膜トランジスタ14のドレイン電極14bは、信号線13から分離されており、ドレイン電極14bとして必要な最小寸法に形成されている。同様に、薄膜トランジスタ14のソース電極14aは、ソース電極として必要な最小寸法に形成されている。

40

これにより、この時点ではドレイン電極14bが信号線13に対して中継電極17により連結されていないので、領域17d(図1)も存在しない。従って、パターニングのためのエッチング工程において、ドレイン電極14bおよび信号線13を形成するためのエッチング液の滞留やエッチング後の洗浄液の滞留や乾燥不良が発生しないので、加工不良が発生するようなことはない。

【0034】

その後、図4に示す第三のステップでは、信号線13、ソース電極14a、ドレイン電極14bの上から表面全体に亘って第三の導電膜を形成し、この第三の導電膜をパターニ

50

ングマスクにより加工して、中継電極 1 7 及び台座部 1 8 を形成する。

これにより、ドレイン電極 1 4 b は中継電極 1 7 を介して信号線 1 3 に接続されると共に、ソース電極 1 4 a は台座部 1 8 と接続される。

その際、中継電極 1 7 及び台座部 1 8 は、ドレイン電極 1 4 b 及びソース電極 1 4 a と良好なオーミックコンタクトを取ることができる。

さらに、中継電極 1 7 の第 1 の重ね合わせ部 1 7 a が信号線 1 3 の交差部 1 3 a 上に重ね合わさることによって、信号線 1 3 の裏打ちとして機能する。これにより、走査線 1 2 との交差部 1 3 a を跨ぐ領域で信号線 1 3 の線幅を広くすることなく、信号線 1 3 の所謂段切れの影響を排除することができる。

ここで、信号線 1 3 の交差部 1 3 D における幅および中継電極 1 7 の第 1 の重ね合わせ部 1 7 c における幅に関して述べる。交差部 1 3 D における幅及び第 1 の重ね合わせ部 1 7 c における幅とは行方向に沿った幅である。基本的には、信号線 1 3 の交差部における幅も中継電極 1 7 が第 1 の重ね合わせ部 1 7 c における幅も全て同一でよい。しかしながら、段差を有する層上に配線を形成する場合には、フォトレジストを露光する際の高さずれによって、形成される配線は、段差の上面側における幅が段差の下面に形成される幅よりも小さくなる。例えば、ゲート電極 1 4 c の厚さが 1 8 0 0 の場合に、段差の上面側の方が 1 μ m 程度小さくなる。このため、信号線 1 3 の幅を 3 μ m とするとき、段差の上面においては信号線の幅を 4 μ m 程度に設計する。つまり、信号線 1 3 の交差部における幅は、パターン形成時に段差に対応して縮小される分を加えて設計される。このことは、中継電極 1 7 の第 1 の重ね合わせ部 1 7 c についても同様であるが、中継電極 1 7 の第 1 の重ね合わせ部 1 7 c は、前段および後段に信号を伝送する機能を有するものではないので、信号線 1 3 の交差部以外の部分の幅、上述の場合には 3 μ m としても差し支えない。

【 0 0 3 5 】

ここで、中継電極 1 7 及び台座部 1 8 を構成する第三の導電膜は、そのエッチングの際に、信号線 1 3 , 薄膜トランジスタ 1 4 のソース電極 1 4 a 及びドレイン電極 1 4 b に影響を与えない必要がある。

このような条件を満たす第二の導電膜及び第三の導電膜の組合せは、種々考えられるが、第三の導電膜としては、好ましくは I T O 等の透明導電膜が使用される。これは、I T O 等の透明導電膜は、比較的薄い膜厚で良好な段差被覆性能を示すので、特に中継電極 1 7 の第 1 の重ね合わせ部 1 7 a が信号線 1 3 の裏打ちとして好適であると共に、薄膜トランジスタ 1 4 の立体形状を大きく変化させることがなく、その上に配置される液晶セルの液晶配向を乱すおそれが少ないためである。

【 0 0 3 6 】

また、台座部 1 8 は、信号線 1 3 とは別工程で形成されるので、信号線 1 3 に対して、パターンニングの際のマスクの位置合わせ精度に基づいて配置される。従って、台座部 1 8 の両側縁と信号線 1 3 との間の間隔 d (図 4 参照) は、同工程におけるマスク製造の際の解像度による許容限度 (例えば 3 μ m) に対して、位置合わせ精度による許容限度 (例えば 1 μ m 以下) まで低減することができる。これにより、信号線 1 3 間のピッチをより一層狭小化することが可能になる。

【 0 0 3 7 】

続いて、図 5 に示す第四のステップでは、中継電極 1 7 , 台座部 1 8 の上から表面全体に亘って第二の絶縁膜 2 5 及び第四の導電膜を形成し、この第四の導電膜をパターンニングマスクにより加工して、補助容量電極 1 6 を形成する。

この補助容量電極 1 6 は、走査線 1 2 及び信号線 1 3 を上方から覆うように、且つ台座部 1 8 上に形成されるべきコンタクトホール 1 9 の領域を覆わないように形成されている。なお、図示の場合、補助容量電極 1 6 は、薄膜トランジスタ 1 4 の上方も覆っているが、薄膜トランジスタ 1 4 の上方領域をくり抜いてもよい。

【 0 0 3 8 】

その後、図 6 に示す第五のステップでは、補助容量電極 1 6 の上から表面全体に亘って第三の絶縁膜 2 6 を形成し、この第三の絶縁膜 2 6 及び第二の絶縁膜 2 5 をパターンニング

10

20

30

40

50

マスクにより加工して、第三の絶縁膜 2 6 及び第二の絶縁膜 2 5 を貫通するコンタクトホール 1 9 を形成する。

【 0 0 3 9 】

最後に、図 1 に示す第六のステップでは、第三の絶縁膜 2 6 の上から表面全体に亘って画素電極材料を成膜し、パターニングマスクにより加工して、画素電極 1 5 を形成する。

このとき、画素電極材料がコンタクトホール 1 9 の内壁及びコンタクトホール 1 9 の底部に露出した台座部 1 8 の本体部 1 8 c の表面に成膜されるので、画素電極 1 5 はコンタクトホール 1 9 を介して台座部 1 8 と接続され、さらに薄膜トランジスタ 1 4 のソース電極 1 4 a と接続される。

【 0 0 4 0 】

本発明は、上記実施形態に限定されることなく、特許請求の範囲に記載した発明の範囲内で種々の変形が可能であり、それらも本発明の範囲内に含まれることはいうまでもない。

例えば、上述した実施形態においては、薄膜トランジスタ 1 4 のソース電極 1 4 a が台座部 1 8 からコンタクトホール 1 9 を介して画素電極 1 5 に接続され、ドレイン電極 1 4 b が信号線 1 3 に接続されているが、これとは逆に、ソース電極 1 4 a が信号線 1 3 と接続され、ドレイン電極 1 4 b が画素電極 1 5 と接続されていてもよい。

本発明の液晶表示装置は、画素電極と走査線及び信号線との間に、それぞれ絶縁膜を介して枠状の補助容量電極 1 6 を備えずに構成されてもよい。

【図面の簡単な説明】

【 0 0 4 1 】

【図 1】(A) は本発明の液晶表示装置の一実施形態における 1 画素分の T F T 基板の構成例を示す概略平面図、(B) は A 1 - A 1 線断面図、(C) は A 2 - A 2 線断面図である。

【図 2】(A) は図 1 の T F T 基板の製造工程の第一ステップを示す概略平面図、(B) は B - B 線断面図である。

【図 3】(A) は図 1 の T F T 基板の製造工程の第二ステップを示す概略平面図、(B) は C - C 線断面図である。

【図 4】(A) は図 1 の T F T 基板の製造工程の第三ステップを示す概略平面図、(B) は D - D 線断面図である。

【図 5】(A) は図 1 の T F T 基板の製造工程の第四ステップを示す概略平面図、(B) は E - E 線断面図である。

【図 6】(A) は図 1 の T F T 基板の製造工程の第五ステップを示す概略平面図、(B) は F - F 線断面図である。

【図 7】従来の液晶表示装置の 1 画素分の構造を模式的に示す図である。

【符号の説明】

【 0 0 4 2 】

1 0 液晶表示装置

1 1 透明基板

1 2 走査線

1 2 a ゲート電極

1 3 信号線

1 3 A アモルファスシリコン膜

1 3 B オーミックコンタクト層

1 3 C 第二の導電膜

1 3 D 交差部

1 4 薄膜トランジスタ

1 4 a ソース電極

1 4 b ドレイン電極

1 4 c ゲート電極

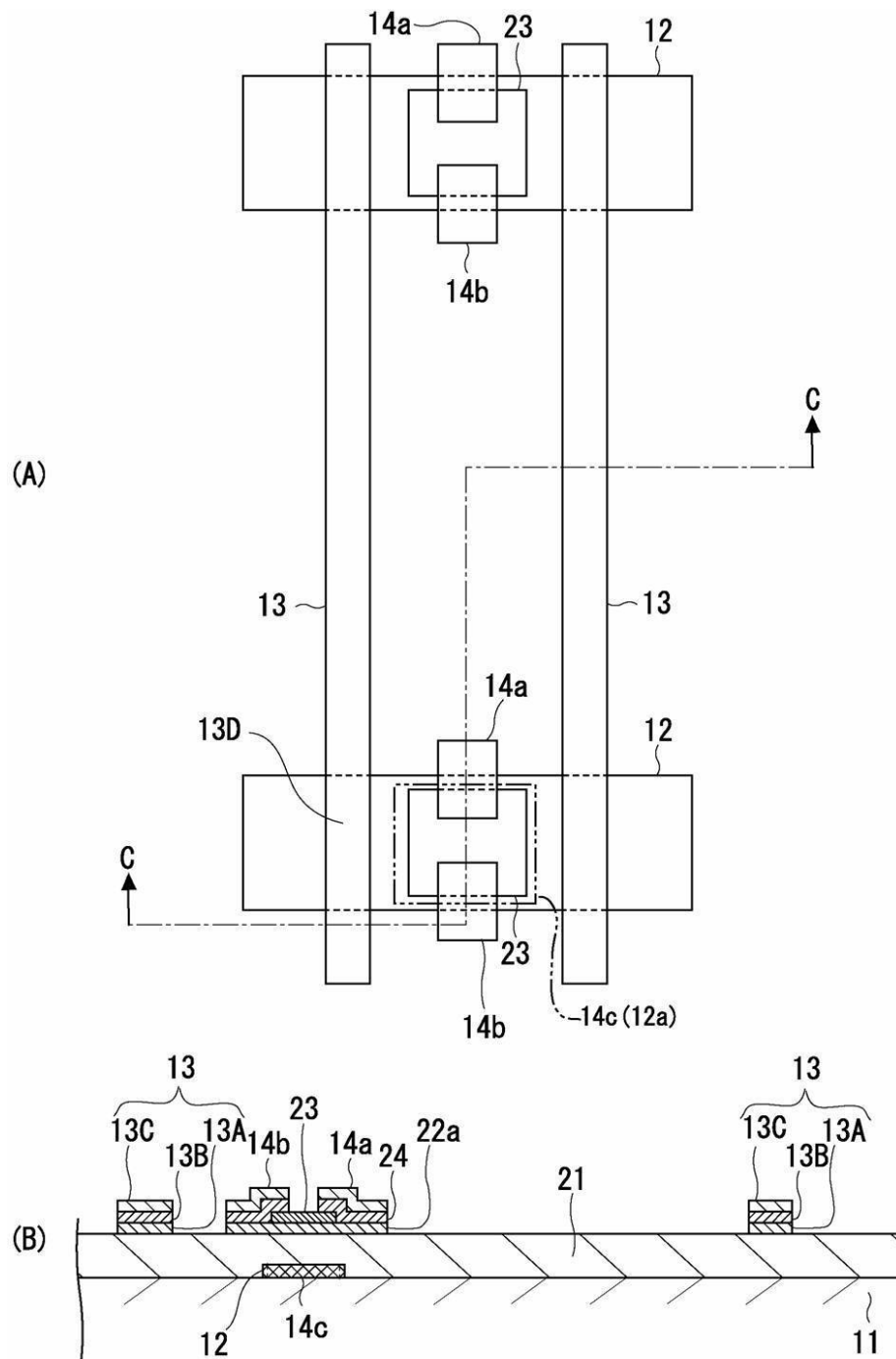
1 4 d , 1 4 e	端面	
1 5	画素電極	
1 5 a	外側縁	
1 6	補助容量電極	
1 6 a	内周縁	
1 7	中継電極	
1 7 a	第 1 の重ね合わせ部	
1 7 b	延出部	
1 7 c	第 2 の重ね合わせ部	
1 7 d	領域	10
1 8	台座部	
1 8 a	第 3 の重ね合わせ部	
1 8 b	連結部	
1 8 c	本体部	
1 9	コンタクトホール	
2 1	第一の絶縁膜	
2 2	アモルファスシリコン膜	
2 2 a	半導体層	
2 3	エッチングストッパー層	
2 4	オーミックコンタクト層	20
2 5	第二の絶縁膜	
2 6	第三の絶縁膜	

Figure 1 consists of two schematic diagrams, (A) and (B), illustrating a semiconductor device.

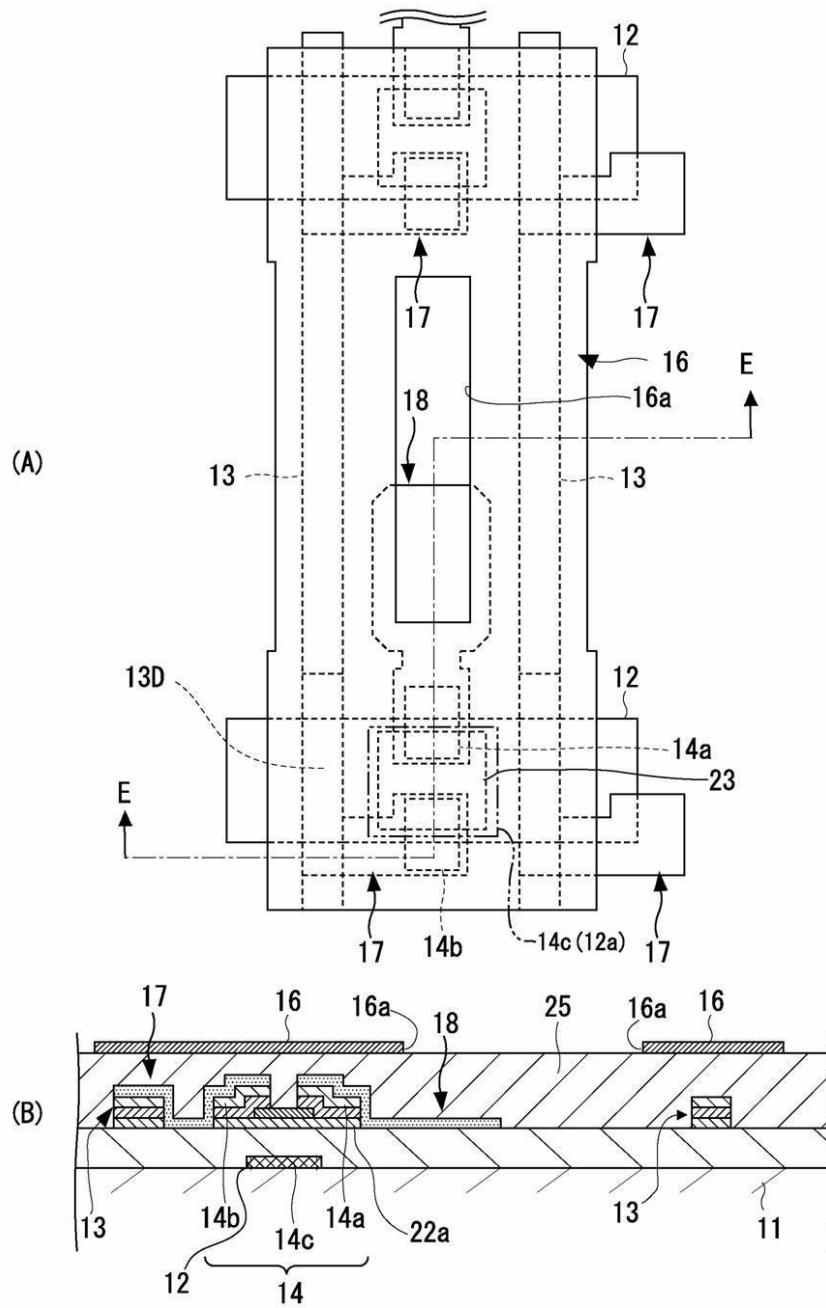
(A) Top view: A rectangular substrate 11 is shown. A central square region 12 is defined within the substrate. A dashed square 23 is centered within the square region 12. A dashed line 14c (12a) is shown within the square region 12, indicating a specific area or boundary.

(B) Cross-sectional view: A cross-section of the device is shown along a line B-B. The substrate 11 is the base layer. A layer 21 is formed on the substrate. A layer 22 is formed on top of layer 21. A region 12 is shown, which is a part of the substrate 11. A layer 14c is formed on top of the region 12. A dashed square 23 is shown within the region 12, indicating a specific area or boundary.

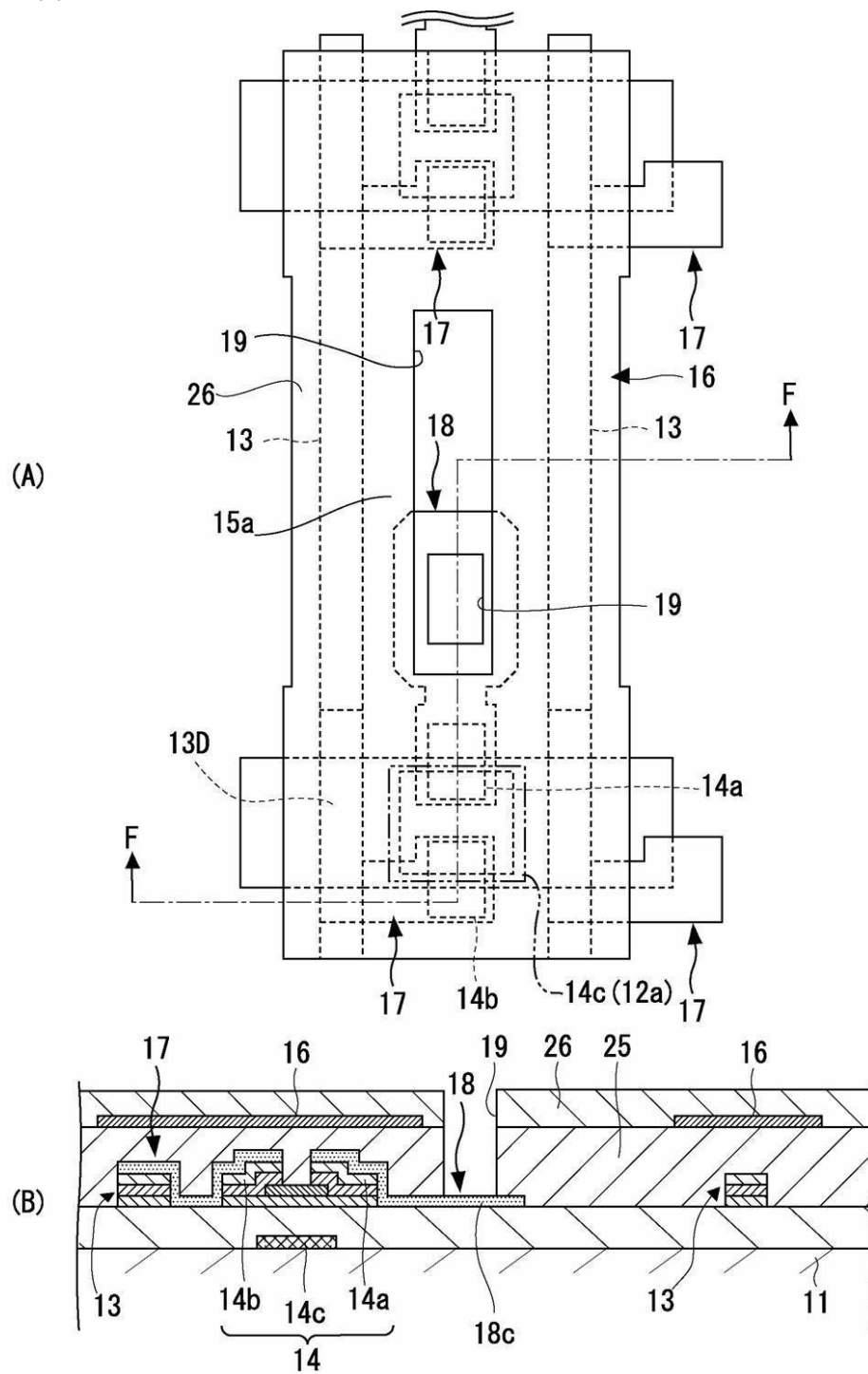
【図3】



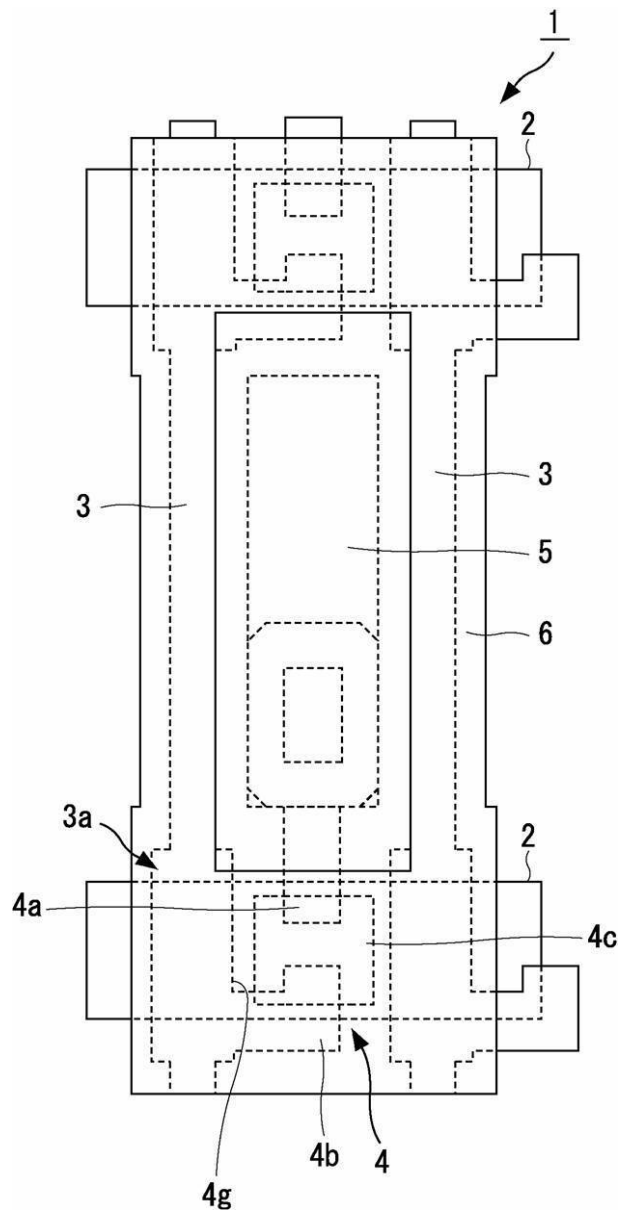
【図5】



(A)



【図 7】



フロントページの続き

- (56)参考文献 特開平10-048651(JP,A)
特開2003-215634(JP,A)
特開平11-295760(JP,A)
特開平03-091721(JP,A)
特開平10-282520(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1368
H01L 29/786

专利名称(译)	液晶表示装置		
公开(公告)号	JP4661913B2	公开(公告)日	2011-03-30
申请号	JP2008187981	申请日	2008-07-19
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	石井裕满		
发明人	石井 裕满		
IPC分类号	G02F1/1368 G09F9/30 H01L29/786		
CPC分类号	G02F1/1368 G02F1/136213 G02F1/136286 G02F2201/40 H01L27/124		
FI分类号	G02F1/1368 G09F9/30.338 H01L29/78.612.C H01L29/78.612.A		
F-TERM分类号	2H092/GA29 2H092/JA26 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA43 2H092/JA46 2H092/JA47 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA05 2H092/KA07 2H092/KA24 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA27 2H092/MA35 2H092/MA37 2H092/NA16 2H092/NA27 2H092/NA29 2H092/QA07 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB35 2H192/CB71 2H192/CC04 2H192/CC72 2H192/CC75 2H192/DA15 5C094/AA05 5C094/BA03 5C094/BA43 5C094/DA13 5F110/AA26 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/FF03 5F110/GG02 5F110/GG15 5F110/HK02 5F110/HK03 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HL07 5F110/HM19 5F110/NN03 5F110/NN12 5F110/NN72 5F110/NN73		
代理人(译)	平山和幸 筱田哲也 小川哥打		
审查员(译)	铃木俊光		
其他公开文献	JP2010026269A		
外部链接	Espacenet		

摘要(译)

种类代码：A1提供一种能够实现高孔径比和高清晰度的液晶显示装置。该装置包括：多条扫描线12，相邻于形成覆盖所述扫描线，多条具有横截面13D相交的各扫描线12，扫描线和信号线的信号线13上的绝缘膜21布置在所述半导体层中的像素电极，栅极绝缘膜，连接到扫描线的栅极电极，和一个电极在漏极电极14b中的一个和源电极14A，像素电极连接到所述信号线和所述漏电极中的另一个电极和源极电极连接到多个薄膜晶体管的14，其漏极和源极被线性地布置在沿信号线的方向，第一重叠部分17a是截面13D包括用于连接所述第二重叠部分17c多个中继电极17的是一个电极和对电极中的一个与信号线重叠的重叠中继电极扫描线的第一重叠部分的上方绝缘膜21的宽度方向上的两个侧端部12b，12c对应于图12所示的绝缘膜21 13E和13D。点域1

