

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4639797号
(P4639797)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月10日(2010.12.10)

(51) Int. Cl.	F 1
GO2F 1/1337 (2006.01)	GO2F 1/1337 520
GO2F 1/1339 (2006.01)	GO2F 1/1337 500
GO2F 1/1343 (2006.01)	GO2F 1/1339 500
GO2F 1/1368 (2006.01)	GO2F 1/1343
	GO2F 1/1368

請求項の数 9 (全 15 頁)

(21) 出願番号	特願2004-375019 (P2004-375019)	(73) 特許権者	000001443
(22) 出願日	平成16年12月24日(2004.12.24)		カシオ計算機株式会社
(65) 公開番号	特開2006-184335 (P2006-184335A)		東京都渋谷区本町1丁目6番2号
(43) 公開日	平成18年7月13日(2006.7.13)	(74) 代理人	100091351
審査請求日	平成19年12月4日(2007.12.4)		弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100084618
			弁理士 村松 貞男

最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【特許請求の範囲】

【請求項1】

第1の基板と第2の基板との間に誘電率異方性が負の液晶分子からなる液晶層が設けられ、

前記第1の基板に画素電極が設けられているとともに前記画素電極を覆うように第1の配向膜が設けられ、

前記画素電極が互いに平行に延伸する第1の辺及び第2の辺並びに前記第1の辺に直交する方向に延伸する第3の辺及び第4の辺を有している液晶表示素子であって、

ソース電極及びドレイン電極のうちの何れか一方が前記画素電極に接続された薄膜トランジスタと、

前記第1の辺に隣接するようにして前記第1の辺に平行に配置されるとともに、前記薄膜トランジスタのゲート電極に接続されたゲート配線と、

前記ゲート配線と同一の層として形成されるとともに、前記画素電極との間に補償容量を形成する補助電極と、

を備え、

前記補助電極は、前記第2の辺、前記第3の辺及び前記第4の辺の全て領域に重なるように配置され、

前記第2の基板は、前記第1の基板と対向する面に、該対向面から前記第1の基板に向かって突出する突起部が形成され、

前記第1の基板は、前記第1の配向膜が前記第2の辺から前記ゲート配線に向かうよう

に且つ前記第 3 の辺に対して平行な方向にラビング処理されているとともに、前記第 1 の辺が前記突起部に重なるように配置されていることを特徴とする液晶表示素子。

【請求項 2】

前記薄膜トランジスタは、前記画素電極と前記ゲート配線との間の領域に配置されていることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】

前記補助電極は、前記第 1 の辺の少なくとも一部の領域に対しては重なることのないように配置されていることを特徴とする請求項 2 に記載の液晶表示素子。

【請求項 4】

前記突起部は、該突起部の少なくとも一部が前記第 1 の辺のうち前記補助電極と重ならない領域に重なるように配置されていることを特徴とする請求項 3 に記載の液晶表示素子。

10

【請求項 5】

前記突起部は、平面形状が円形に形成されているとともに該突起部の中心が前記第 3 の辺と前記第 4 の辺との間の中央に位置するように配置されていることを特徴とする請求項 1 から 4 の何れかに記載の液晶表示素子。

【請求項 6】

前記突起部は、該突起部の中心が前記画素電極から外れた領域に位置するように配置されていることを特徴とする請求項 5 に記載の液晶表示素子。

【請求項 7】

前記突起部は、直径が前記第 3 の辺と前記第 4 の辺との間の長さよりも小さく形成されていることを特徴とする請求項 5 または 6 に記載の液晶表示素子。

20

【請求項 8】

前記第 2 の基板に対向電極と第 2 の配向膜とが設けられ、前記突起部は、前記対向電極と前記第 2 の配向膜との間の層として形成されていることを特徴とする請求項 1 から 7 の何れかに記載の液晶表示素子。

【請求項 9】

前記第 2 の配向膜は、前記第 1 の配向膜とは逆の方向にラビング処理されていることを特徴とする請求項 8 に記載の液晶表示素子。

【発明の詳細な説明】

30

【技術分野】

【0001】

この発明は、薄膜トランジスタ（以下、TFTと記す）をアクティブ素子とした垂直配向型のアクティブマトリクス液晶表示素子に関する。

【背景技術】

【0002】

垂直配向型のアクティブマトリクス液晶表示素子は、予め定めた間隙を存して対向する一对の基板と、前記一对の基板の互いに対向する内面のうち、一方の基板の内面に行方向及び列方向にマトリクス状に配列形成された複数の画素電極と、前記一方の基板の内面に前記複数の画素電極の一端縁にそれぞれ対応させて設けられ、対応する画素電極にそれぞれ接続された複数のTFTと、前記一方の基板の内面に各画素電極行の一侧及び各画素電極列の一侧にそれぞれ沿わせて設けられ、その行及び列の前記TFTにゲート信号及びデータ信号を供給する複数のゲート配線及びデータ配線と、他方の基板の内面に形成され、前記複数の画素電極とそれぞれ対向する領域により複数の画素を形成する対向電極と、前記一对の基板の内面にそれぞれ前記電極を覆って設けられた垂直配向膜と、前記一对の基板間の間隙に封入された負の誘電異方性を有する液晶層とからなっている（特許文献1参照）。

40

【特許文献1】特許第2565639号公報

【発明の開示】

【発明が解決しようとする課題】

50

【 0 0 0 3 】

垂直配向型の液晶表示素子は、複数の画素電極と対向電極とが互いに対向する領域からなる複数の画素毎に、前記電極間への電圧の印加により液晶分子を垂直配向状態から倒れ配向させて画像を表示する。

【 0 0 0 4 】

しかし、従来の垂直配向型液晶表示素子は、各画素の電圧に印加による液晶分子の倒れ配向状態にばらつきがあり、表示にざらつき感を生じさせる。

【 0 0 0 5 】

この発明は、各画素の液晶分子を電圧の印加により規則的に倒れ配向させ、良好な品質の画像を表示することができる垂直配向型のアクティブマトリクス液晶表示素子を提供することを目的としたものである。

【課題を解決するための手段】

【 0 0 0 6 】

この発明の液晶表示素子は、第1の基板と第2の基板との間に誘電率異方性が負の液晶分子からなる液晶層が設けられ、前記第1の基板に画素電極が設けられているとともに前記画素電極を覆うように第1の配向膜が設けられ、前記画素電極が互いに平行に延伸する第1の辺及び第2の辺並びに前記第1の辺に直交する第3の辺及び第4の辺を有している液晶表示素子であって、ソース電極及びドレイン電極のうちの何れか一方が前記画素電極に接続された薄膜トランジスタと、前記第1の辺に隣接するようにして前記第1の辺に平行に配置されるとともに、前記薄膜トランジスタのゲート電極に接続されたゲート配線と、前記ゲート配線と同一の層として形成されるとともに、前記画素電極との間に補償容量を形成する補助電極と、を備え、前記補助電極は、前記第2の辺、前記第3の辺及び前記第4の辺の全て領域に重なるように配置され、前記第2の基板は、前記第1の基板と対向する面に、該対向面から前記第1の基板に向かって突出する突起部が形成され、前記第1の基板は、前記第1の配向膜が前記第2の辺から前記ゲート配線に向かうように且つ前記第3の辺に対して平行な方向にラビング処理されているとともに、前記第1の辺が前記突起部に重なるように配置されていることを特徴とする。

【発明の効果】

【 0 0 1 4 】

本発明によれば、各画素の液晶分子を電圧の印加により規則的に倒れ配向させ、良好な品質の画像を表示することができる。

【発明を実施するための最良の形態】

【 0 0 2 3 】

(第1の実施形態)

図1～図5はこの発明の第1の実施例を示しており、図1は液晶表示素子の一方の基板の1つの画素部の平面図、図2及び図3は図1のII-II線及びIII-III線に沿う液晶表示素子の断面図である。

【 0 0 2 4 】

この液晶表示素子は、TFTをアクティブ素子とした垂直配向型のアクティブマトリクス液晶表示素子であり、図1～図3に示したように、予め定めた間隙を存して対向する一対の透明基板1, 2と、これらの基板1, 2の互いに対向する内面のうち、一方の基板、例えば表示の観察側とは反対側の基板(以下、後基板という)1の内面に設けられ、行方向及び列方向にマトリクス状に配列する複数の透明な画素電極3と、前記後基板1の内面に前記複数の画素電極3の一端縁にそれぞれ対応させて設けられ、対応する画素電極3にそれぞれ接続された複数のTFT4と、前記後基板1の内面に各画素電極行の一侧及び各画素電極列の一侧にそれぞれ沿わせて設けられ、その行及び列のTFT4にゲート信号及びデータ信号を供給する複数のゲート配線10及びデータ配線11と、他方の基板、つまり観察側の基板(以下、前基板という)2の内面に設けられ、前記複数の画素電極3とそれぞれ対向する領域により複数の画素を形成する一枚膜状の透明な対向電極15と、前記一対の基板1, 2の内面にそれぞれ設けられた垂直配向膜14, 19と、前記一対の

基板 1, 2 間の間隙に封入された負の誘電異方性を有する液晶層 20 とからなっている。

【0025】

前記複数の T F T 4 は、前記後基板 2 の基板面に形成されたゲート電極 5 と、前記ゲート電極 5 を覆って前記画素電極 3 の配列領域の全域に形成された透明なゲート絶縁膜 6 と、前記ゲート絶縁膜 6 の上に前記ゲート電極 5 と対向させて形成された i 型半導体膜 7 と、この i 型半導体膜 7 の一側部と他側部の上に図示しない n 型半導体膜を介して形成されたドレイン電極 8 及びソース電極 9 とからなっている。

【0026】

なお、前記ゲート配線 10 は、前記後基板 2 の基板面に前記 T F T 4 のゲート電極 5 と一体に形成されており、前記データ配線 11 は、前記ゲート絶縁膜 6 の上に前記 T F T 4 のドレイン電極 8 と一体に形成されている。

10

【0027】

また、前記複数の画素電極 3 は、前記ゲート絶縁膜 6 の上に、前記 T F T 4 及びゲート配線 10 に隣接する側とその反対側の 2 つの端縁の長さが、これらの端縁と直交する 2 つの側縁（データ配線 11 と平行な側縁）の長さよりも短い矩形状に形成されており、前記 T F T 4 のソース電極 9 は、前記ゲート絶縁膜 6 の上に延長され、その T F T 4 に対応する画素電極 3 の端縁部に接続されている。

【0028】

なお、前記画素電極 3 の T F T 4 及びゲート配線 10 に隣接する端縁の T F T 隣接部（ソース電極 9 の接続部）は、前記 T F T 4 のゲート電極 5 から画素電極 3 までの距離を十分に確保するために、前記端縁の他の部分、つまりゲート配線隣接部よりも後退させた形状に形成されている。

20

【0029】

さらに、前記後基板 2 の内面には、前記複数の画素電極 3 の少なくとも T F T 4 及びゲート配線 10 に隣接する端縁の T F T 隣接部を除く部分（ゲート配線隣接部）に沿わせて、前記画素電極 3 と前記ゲート配線 10 との間の領域において前基板 2 の対向電極 15 と対向し、前記対向電極 15 との間に実質的に無電界の領域を形成する補助電極 13 が設けられている。

【0030】

この実施例では、前記補助電極 13 を、前記画素電極 3 の全ての縁部に沿わせて、前記 T F T 隣接部を除く画素電極全周にわたって形成している。なお、図 1 では、図を見やすくするために、前記補助電極 13 に対応する部分に平行斜線を施している。

30

【0031】

前記補助電極 13 は、前記画素電極 3 との間に補償容量を形成する容量電極と一体的に形成されている。

【0032】

すなわち、前記補助電極 13 は、前記後基板 2 の基板面に前記画素電極 3 の周囲の T F T 隣接部を除く部分に対応させて設けられた枠状の金属膜からなっており、この枠状金属膜の各辺部は、その内側縁部が前記ゲート絶縁膜 6 を介して前記画素電極 3 の周縁部に対向し、外側縁部が前記画素電極 3 の外方に張出す幅に形成されている。

40

【0033】

そして、前記枠状金属膜の各辺部の内側縁部は、前記画素電極 3 の周縁部との間に前記ゲート絶縁膜 6 を誘電体層とする補償容量を形成する容量電極部とされており、この枠状金属膜の各辺部の外側側縁部、つまり前記画素電極 3 の外方に張出した部分は、前記対向電極 15 と対向し、前記対向電極 15 との間に実質的に無電界の領域を形成する補助電極部とされている。

【0034】

前記複数の画素電極 3 の周囲にそれぞれ対応する補助電極 13 は、各画素電極行毎に、前記画素電極 3 の T F T 隣接側とは反対側において一体につながっており、さらに、各行の補助電極 13 は、前記複数の画素電極 3 の配列領域の外側の一端または両端に前記デー

50

タ配線 1 1 と平行に設けられた図示しない補助電極接続配線に共通接続されている。

【 0 0 3 5 】

また、前記後基板 1 の内面には、前記複数の画素電極 3 に対応する部分を除いて、前記複数の T F T 4 及びデータ配線 1 1 を覆うオーバーコート絶縁膜 1 2 が設けられており、その上に、前記複数の画素電極 3 を覆って第 1 の垂直配向膜 1 4 が形成されている。

【 0 0 3 6 】

一方、前記前基板 2 の内面には、前記後基板 1 の内面に設けられた複数の画素電極 3 にそれぞれ対応する複数の画素の間の領域に対向する格子膜状のブラックマスク 1 6 と、前記複数の画素にそれぞれ対応する赤、緑、青の 3 色のカラーフィルタ 1 7 R , 1 7 G , 1 7 B が設けられており、前記カラーフィルタ 1 7 R , 1 7 G , 1 7 B の上に前記対向電極 1 5 が形成されている。

10

【 0 0 3 7 】

さらに、前記前基板 2 の内面には、前記後基板 1 の複数の画素電極 3 の T F T 4 及びゲート配線 1 0 に隣接する側とその反対側の 2 つの端縁のいずれか一方の前記画素電極 3 の幅方向の中央部付近にそれぞれ対応させて絶縁性を有する複数の突起 1 8 が設けられている。この実施例では、前記複数の突起 1 8 を、複数の画素電極 3 の T F T 4 及びゲート配線 1 0 に隣接する側の端縁の中央部付近にそれぞれ対応させて設けている。

【 0 0 3 8 】

前記複数の突起 1 8 は、例えば、その突出端に向かって径が小さくなる裁頭円錐状に形成されており、これらの突起 1 8 は、前記複数の画素電極 3 の一端縁の外側にそれぞれ、この突起 1 8 の一部を前記画素電極 3 の端縁に対向させて設けられている。

20

【 0 0 3 9 】

この実施例では、前記裁頭円錐状の突起 1 8 を、その対向電極 1 5 に接する大径基部の外周縁の一侧部を前記画素電極 3 内に対応させて設け、この突起 1 8 の周面の一側の傾斜面を前記対向電極 1 5 の縁部に対向させている。なお、これらの突起 1 8 は、前基板 2 の内面に設けられた前記ブラックマスク 1 6 により覆い隠されている。

【 0 0 4 0 】

前記複数の突起 1 8 は、前記対向電極 1 5 の上に、感光性樹脂等の絶縁材料により形成されており、前記対向電極 1 5 及び突起 1 8 を覆って第 2 の垂直配向膜 1 9 が設けられている。

30

【 0 0 4 1 】

そして、前記後基板 1 の内面の第 1 の垂直配向膜 1 4 は、前記画素電極 3 の前記突起 1 8 に対応する側とは反対側の端縁から前記突起 1 8 に対応する端縁に向かう方向に、前記画素電極 3 の両側縁と実質的に平行にラビング処理されており、また前記前基板 2 の内面の第 2 の垂直配向膜 1 9 は、前記第 1 の垂直配向膜 1 4 のラビング方向とは逆方向、つまり、前記画素電極 3 の前記突起 1 8 に対応する端縁からその反対側の端縁に向かう方向に、前記画素電極 3 の両側縁と実質的に平行にラビング処理されている。図 1 及び図 2 において、矢印 1 a は後基板 1 の第 1 の垂直配向膜 1 4 のラビング方向、矢印 2 a は前基板 2 の第 2 の垂直配向膜 1 9 のラビング方向を示している。

【 0 0 4 2 】

前記後基板 1 と前基板 2 は、前記複数の画素電極 3 の配列領域を囲む図示しない枠状のシール材を介して接合されている。

40

【 0 0 4 3 】

また、前記後基板 1 は、図示しないが、その行方向の一端と列方向の一端とにそれぞれ、前基板 2 の外方に突出する張出部を有しており、その行方向の張出部に複数のゲート側ドライバ接続端子が配列形成され、列方向の張出部に複数のデータ側ドライバ接続端子が配列形成されている。

【 0 0 4 4 】

そして、前記複数のゲート配線 1 0 は、前記行方向の張出部に導出されて前記複数のゲート側ドライバ接続端子にそれぞれ接続され、前記複数のデータ配線 1 1 は、前記列方向

50

の張出部に導出されて前記複数のデータ側ドライバ接続端子にそれぞれ接続されており、前記補助電極接続配線は、前記行方向と列方向の張出部の一方または両方に導出され、その張出部の複数のドライバ接続端子と共に配列された対向電極端子に接続されている。

【 0 0 4 5 】

さらに、前記後基板 1 の内面には、前記シール材による基板接合部の角部付近から前記行方向と列方向の張出部の一方または両方に導出されて前記ドライバ接続端子と並べて配列された前記対向電極端子（補助電極接続配線が接続された端子と同じ端子でも別の端子でもよい）に接続された対向電極接続配線が設けられており、前記前基板 2 の内面に設けられた対向電極 1 5 は、前記基板接合部において前記対向電極接続配線に接続され、この対向電極接続配線を介して前記対向電極端子に接続されている。

10

【 0 0 4 6 】

すなわち、この実施例では、前記複数の補助電極 1 3 の電位を前記対向電極 1 5 の電位と同じにし、これらの補助電極 1 3 と対向電極 1 5 との間に実質的に無電界の領域を形成するようにしている。

【 0 0 4 7 】

そして、前記液晶層 2 0 は、前記後基板 1 と前基板 2 の間の前記シール材で囲まれた領域に封入されており、この液晶層 2 0 の液晶分子 2 0 a は、両基板 1, 2 の内面にそれぞれ設けられた垂直配向膜 1 4, 1 9 の垂直配向性により、前記突起 1 8 に対応する部分以外の領域において、基板 1, 2 面に対して前記垂直配向膜 1 4, 1 9 のラビング方向に僅かにチルトした状態で実質的に垂直に配向し、前記突起 1 8 に対応する部分においては、前基板 2 側の前記突起 1 8 の周囲の液晶分子 2 0 a が前記突起 1 8 の周面及び端面に対して実質的に垂直な方向に分子長軸を向けて配向し、後基板 1 の近傍の液晶分子 2 1 a が前記後基板 1 面に対して前記チルト状態で実質的に垂直に配向した状態に配向している。

20

【 0 0 4 8 】

また、前記後基板 1 と前基板 2 の外面にはそれぞれ、偏光板 2 1, 2 2 がその透過軸を予め定めた方向に向けて配置されている。なお、この実施例では、前記偏光板 2 1, 2 2 をそれぞれの透過軸を実質的に互いに直交させて配置し、液晶表示素子にノーマリーブラックモードの表示を行なわせるようにしている。

【 0 0 4 9 】

この液晶表示素子は、複数の画素毎に、前記画素電極 3 と対向電極 1 5 との間への電圧の印加により液晶分子 2 0 a を垂直配向状態から倒れ配向させて画像を表示するものであり、前記液晶分子 2 0 a は、前記電圧が印加されない画素間領域では実質的に垂直に配向しており、各画素毎に、前記電圧の電圧値に応じて倒れ配向する。

30

【 0 0 5 0 】

図 4 及び図 5 は、前記液晶表示素子の 1 つの画素の電圧印加時の液晶分子配向状態を模式的に示す平面図及び断面図であり、この液晶表示素子は、対向電極 1 5 が設けられた前基板 2 の内面に、後基板 1 の内面の複数の画素電極 3 の一方の端縁の前記画素電極 3 の幅方向の中央部付近にそれぞれ対応させて複数の突起 1 8 を設け、前記後基板 1 の内面の第 1 の垂直配向膜 1 4 を、前記画素電極 3 の前記突起 1 8 に対応する側とは反対側の端縁から前記突起 1 8 に対応する端縁に向かう方向にラビング処理し、前記前基板 2 の内面の第 2 の垂直配向膜 1 9 を、前記第 1 の垂直配向膜 1 4 のラビング方向とは逆方向にラビング処理しているため、各画素の液晶分子 2 0 a を、前記画素電極 3 と対向電極 1 5 との間への電圧の印加により、前記垂直配向膜 1 4, 1 9 のラビング方向と、前記突起 1 8 の周囲の液晶分子配向とにより倒れ方向を規定して規則的に倒れ配向させ、良好な品質の画像を表示することができる。

40

【 0 0 5 1 】

すなわち、前記突起 1 8 を設けず、また垂直配向膜 1 4, 1 9 をラビング処理しない液晶表示素子では、各画素の液晶分子 2 0 a が、電圧の印加により、画素の周縁部から画素中心に向かって倒れ込み、これらの倒れ込み方向の中心、つまり前記画素の周縁部から画素中心に向かって倒れ込んだ液晶分子がぶつかり合う部分において基板 1, 2 面に対して

50

立上るように配向するが、その液晶分子20aの倒れ込み方向の中心位置は不安定であり、したがって、各画素の液晶分子20aの倒れ配向状態にばらつきがあり、表示にざらつき感を生じさせる。

【0052】

一方、前記垂直配向膜14, 19をラビング処理した液晶表示素子は、各画素の液晶分子20aの倒れ込み方向の中心が、画素中心から画素電極3を設けた後基板1の第1の垂直配向膜14のラビング方向1aにシフトした状態に配向する。

【0053】

図6及び図7は、前記突起18を設けず、垂直配向膜14, 19を上記実施例の液晶表示素子と同じ方向にラビング処理した比較素子の電圧印加時の液晶分子配向状態を模式的に示す平面図及び断面図である。

10

【0054】

しかし、この比較素子においても、画素周縁部から画素中心に対して前記第1の垂直配向膜14のラビング方向1aにシフトした方向に向かって倒れ込んだ液晶分子20aがぶつかり合う倒れ込み方向の中心位置が不安定であるため、各画素の液晶分子20aの倒れ配向状態のばらつき補償効果が充分でなく、表示のざらつき感を無くすることができない。

【0055】

それに対し、上記実施例の液晶表示素子は、前基板2の内面に、後基板1の各画素電極3の一方の端縁の中央部付近にそれぞれ対応させて突起18を設けることにより、前記突起18の周囲の液晶分子20aを、前記突起18の周面及び端面に対して実質的に垂直な方向に配向させているため、各画素の電極3, 15間に電圧を印加したときに、各画素の前記突起18に対応する端縁付近の液晶分子20aが、前記突起18の周囲の液晶分子20aの配向の影響を受けて前記突起18に向かって倒れ込むように配向する。

20

【0056】

そして、前記後基板1の内面の第1の垂直配向膜14は、前記画素電極3の前記突起18に対応する側とは反対側の端縁から前記突起18に対応する端縁に向かって、各画素の前記突起18に対応する端縁付近の中央部の液晶分子20aの前記突起18に向かう倒れ込み方向と実質的に同じ方向にラビング処理されているため、各画素の液晶分子20aは、前記電圧の印加により、図4及び図5に示したように、画素の略全域において前記突起18に対応する端縁に向かう方向に倒れ配向する。

30

【0057】

つまり、各画素の液晶分子20aは、前記電圧の印加により、画素電極3の一方の端縁の中央部付近に対応させて設けられた前記突起18に向かって倒れ込むように配向する。

【0058】

そのため、この液晶表示素子は、各画素の液晶分子20aの倒れ込み方向の中心位置が固定された一定位置であり、したがって、各画素の液晶分子20aの倒れ配向状態にばらつきを生じることは無いため、ざらつき感の無い良好な品質の画像を表示することができる。

【0059】

なお、この液晶表示素子において、前記突起18と画素電極3の前記突起18に対応する端縁との間に電圧が印加されない隙間部があると、前記突起18による画素内の液晶分子20aの倒れ配向規制効果が十分に発揮されないことがあるが、上記実施例では、前記複数の突起18を、前記複数の画素電極3の一端縁の外側にそれぞれ、前記突起18の一部を前記画素電極3の端縁に対向させて設けているため、各画素の電圧の印加による液晶分子20aの倒れ方向をより確実に規定することができる。

40

【0060】

また、この液晶表示素子は、前記複数の突起18を、前記複数の画素電極3のTFT4及びゲート配線10に隣接する側の端縁の中央部付近にそれぞれ対応させて設けているため、前記ゲート配線10からTFT4のゲート電極5に供給されるゲート信号の影響による画素内の縁部付近の液晶分子20aの配向の乱れを前記突起18の周囲の液晶分子配向

50

により打ち消し、各画素の液晶分子 20a を前記電圧の印加により規則的に倒れ配向させることができる。

【0061】

さらに、この液晶表示素子は、前記後基板 1 の内面に、前記複数の画素電極 3 の少なくとも TFT 4 に隣接する端縁の TFT 隣接部を除く部分に沿わせて、前記画素電極 3 と前記ゲート配線 10 との間の領域において前記前基板 2 の対向電極 15 と対向し、前記対向電極 15 との間に実質的に無電界の領域を形成する補助電極 13 を設けているため、前記補助電極 13 と対向電極 15 とが対向している領域の液晶分子 20a は、図 4 及び図 5 に示したように実質的に垂直配向状態にあり、したがって、画素内のゲート配線 10 に対応する縁部付近のゲート信号の影響による液晶分子 20a の配向の乱れを無くし、各画素の液晶分子 20a を前記電圧の印加により規則的に倒れ配向させることができる。

10

【0062】

上記実施例では、前記補助電極 13 を、前記画素電極 3 の全ての縁部に沿わせて、前記 TFT 隣接部を除く画素電極全周にわたって形成しているため、前記画素内のデータ配線 11 に対応する縁部付近のデータ信号の影響による液晶分子 20a の配向の乱れも無くし、各画素の液晶分子 20a をさらに規則的に倒れ配向させることができる。

【0063】

しかも、この液晶表示素子は、前記補助電極 13 を、前記画素電極 3 との間に補償容量を形成する容量電極と一体的に形成しているため、前記画素電極 3 の周縁部に対向させて補償容量形成用電極を設け、その外側に対向電極 15 との間に前記補助電極 13 を設ける場合のように、前記補償容量形成用電極とその外側のゲート配線 10 及びデータ配線 11 との間に補助電極 13 の形成スペースを確保するために画素電極 3 の面積を小さくする必要は無く、したがって、十分な開口率を得ることができる。

20

【0064】

(第 2 の実施形態)

図 8 はこの発明の第 2 の実施例を示す液晶表示素子の 1 つの画素部の断面図である。なお、この実施例において、上述した第 1 の実施例に対応するものには図に同符号を付し、同じものについてはその説明を省略する。

【0065】

この実施例の液晶表示素子は、前基板 2 の内面の複数の突起 18 を、予め定めた液晶層厚に対応する突出高さに形成し、一对の基板 1, 2 間の間隙を、前記複数の突起 18 の先端を後基板 1 の内面(複数の画素電極 3 の間のオーバーコート絶縁膜 12 の上)に当接させることにより規定したものであり、他の構成は第 1 の実施例の液晶表示素子と同じである。

30

【0066】

すなわち、この液晶表示素子は、前記複数の突起 18 に、前記一对の基板 1, 2 間の間隙を規定するスペースを兼ねさせたものであり、このようにすることにより、各画素の液晶層厚を均一にし、輝度むらの無い高品質の画像を表示するとともに、液晶表示素子の製造を容易にすることができる。

【0067】

(第 3 の実施形態)

図 9 はこの発明の第 3 の実施例を示す液晶表示素子の一方の基板の 1 つの画素部の平面図である。なお、この実施例において、上述した第 1 の実施例に対応するものには図に同符号を付し、同じものについてはその説明を省略する。

40

【0068】

この実施例の液晶表示素子は、第 1 の実施例において前基板 2 の内面に設けた複数の突起 18 を無くし、後基板 1 の内面の複数の TFT 4 を、複数の画素電極 3 の一端縁の前記画素電極 3 の幅方向の中央部付近にそれぞれ対応させて設け、前記複数の画素電極 3 及び TFT 4 が設けられた後基板 1 の内面の第 1 の垂直配向膜 14 を、前記画素電極 3 の前記 TFT 4 及びゲート配線 10 に隣接する側とは反対側の端縁から前記 TFT 4 及びゲート

50

配線 10 に隣接する端縁に向かう方向にラビング処理し、対向電極 15 が設けられた前基板 2 の内面の第 2 の垂直配向膜 19 を、前記第 1 の垂直配向膜 14 のラビング方向とは逆方向にラビング処理したものであり、他の構成は第 1 の実施例の液晶表示素子と同じである。

【0069】

図 10 は、この実施例の液晶表示素子の 1 つの画素の電圧印加時の液晶分子配向状態を模式的に示す平面図であり、この液晶表示素子は、前記複数の TFT 4 を複数の画素電極 3 の一端縁の中央部付近にそれぞれ対応させて設け、一对の基板 1、2 の内面の垂直配向膜 14、19 を上述した方向にラビング処理しているため、各画素の液晶分子 20a を、前記画素電極 3 と対向電極 15 との間への電圧の印加により、前記垂直配向膜 14、19 のラビング方向と、前記 TFT 4 のゲート電極 5 と前記画素電極 3 との間に生じる横電界（ゲート信号に応じた電界）による液晶分子配向とにより倒れ方向を規制して規則的に倒れ配向させ、良好な品質の画像を表示することができる。

10

【0070】

すなわち、この実施例の液晶表示素子は、前記 TFT 4 を画素電極 3 の一端縁の中央部付近に対応させて設けているため、各画素の電極 3、15 間に電圧を印加したときに、各画素の TFT 4 に隣接する縁部付近の液晶分子 20a が、前記 TFT 4 のゲート電極 5 と前記画素電極 3 との間に生じるゲート信号に応じた強い横電界の影響により、その横電界の方向に沿って倒れ配向する。

【0071】

そして、前記後基板 1 の内面の第 1 の垂直配向膜 14 は、前記画素電極 3 の前記 TFT 4 及びゲート配線 10 に隣接する側とは反対側の端縁から前記 TFT 4 及びゲート配線 10 に隣接する端縁に向かう方向に向かって、前記 TFT 4 のゲート電極 5 と画素電極 3 の TFT 4 及びゲート配線 10 に隣接する端縁の中央部（TFT 隣接部）の液晶分子 20a の前記横電界による倒れ配向方向と実質的に同じ方向にラビング処理されているため、各画素の液晶分子 20a は、前記電圧の印加により、図 10 に示したように、画素の略全域において前記 TFT 4 及びゲート配線 10 に隣接する端縁に向かう方向に倒れ配向する。

20

【0072】

つまり、各画素の液晶分子 20a は、前記電圧の印加により、画素電極 3 の一方の端縁の中央部付近に対応させて設けられた前記 TFT 4 に向かって倒れ込むように配向する。

30

【0073】

そのため、この液晶表示素子は、各画素の液晶分子 20a の倒れ込み方向の中心位置が固定された一定位置であり、したがって、各画素の液晶分子 20a の倒れ配向状態にばらつきを生じることは無いため、ざらつき感の無い良好な品質の画像を表示することができる。

【0074】

また、この液晶表示素子は、前記後基板 1 の内面に、前記複数の画素電極 3 の少なくとも TFT 4 に隣接する端縁の TFT 隣接部を除く部分に沿わせて、前記画素電極 3 と前記ゲート配線 10 との間の領域において前記前基板 2 の対向電極 15 と対向し、前記対向電極 15 との間に実質的に無電界の領域を形成する補助電極 13 を設けているため、前記補助電極 13 と対向電極 15 とが対向している領域の液晶分子 20a は、図 10 に示したように実質的に垂直配向状態にあり、したがって、画素内のゲート配線 10 に対応する縁部付近のゲート信号の影響による液晶分子 20a の配向の乱れを無くし、各画素の液晶分子 20a を前記電圧の印加により規則的に倒れ配向させることができる。

40

【0075】

この実施例では、前記補助電極 13 を、前記画素電極 3 の全ての縁部に沿わせて、前記 TFT 隣接部を除く画素電極全周にわたって形成しているため、前記画素内のデータ配線 11 に対応する縁部付近のデータ信号の影響による液晶分子 20a の配向の乱れも無くし、各画素の液晶分子 20a をさらに規則的に倒れ配向させることができる。

【0076】

50

しかも、この液晶表示素子は、前記補助電極 13 を、前記画素電極 3 との間に補償容量を形成する容量電極と一体的に形成しているため、十分な開口率を得ることができる。

【0077】

(第4の実施形態)

図11はこの発明の第4の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図である。なお、この実施例において、上述した第1の実施例に対応するものには図に同符号を付し、同じものについてはその説明を省略する。

【0078】

この実施例の液晶表示素子は、第1の実施例において前基板2の内面に設けた複数の突起18を無くし、複数の画素電極3の2つの端縁の一方をそれぞれ、前記画素電極3の幅方向の中央部から両側に向かってそれぞれ他端方向に傾斜するV状に形成するとともに、複数のTF T4を、前記複数の画素電極3のV状端縁とは反対側の端縁にそれぞれ対応させて設け、前記複数の画素電極3及びTF T4が設けられた後基板1の内面の第1の垂直配向膜14を、前記画素電極3のV状端縁とは反対側の端縁から前記V状端縁に向かう方向にラビング処理し、対向電極15が設けられた前基板2の内面の第2の垂直配向膜19を、前記第1の垂直配向膜14のラビング方向とは逆方向にラビング処理したものであり、他の構成は第1の実施例の液晶表示素子と同じである。

【0079】

なお、この実施例では、前記画素電極3のV端縁を、中央部が反対側の端縁、つまりTF T4及びゲート配線10に隣接する端縁と平行で、その両側部が他端方向に傾斜した形状に形成している。

【0080】

また、この実施例では、前記画素電極3のV状端縁の両側の傾斜部の前記垂直配向膜14, 15のラビング方向1a, 2aに対する傾斜角をそれぞれ $45^\circ \pm 15^\circ$ としている。このV状端縁の両側の傾斜部の傾斜角は、好ましくは $45^\circ \pm 10^\circ$ 、より好ましくは $45^\circ \pm 5^\circ$ である。

【0081】

この液晶表示素子は、複数の画素電極3のTF T4及びゲート配線10に隣接する側とは反対側の端縁を、その中央部から両側に向かってそれぞれ他端方向に傾斜するV状に形成し、複数の画素電極3及びTF T4が設けられた後基板1の内面の第1の垂直配向膜14を、前記画素電極3のV状端縁とは反対側の端縁から前記V状端縁に向かう方向にラビング処理しているため、各画素の液晶分子20aを、前記画素電極3と対向電極15との間への電圧の印加により、前記垂直配向膜14, 19のラビング方向と、前記画素電極3のV状端縁の近傍の液晶分子配向とにより倒れ方向を規制して規則的に倒れ配向させ、良好な品質の画像を表示することができる。

【0082】

図12は、前記液晶表示素子の1つの画素の電圧印加時の液晶分子配向状態を模式的に示す平面図であり、各画素の液晶分子20aは、電圧の印加により、画素周縁部から画素中心に対して前記画素電極3のV状端縁側にシフトした方向に向かって倒れ配向する。

【0083】

そして、前記画素電極3のV状端縁に対応する部分から画素内方向に倒れ配向する液晶分子20aは、図12に示したように、前記画素電極3のV状端縁の中央部及びその両側の傾斜部から、前記V状端縁の両側の傾斜部の間の領域内の一点に向かって倒れ配向し、このV状端縁からの液晶分子20aの配向により、画素周縁部からの液晶分子20aの倒れ込み方向の中心位置が規定される。

【0084】

この実施例では、前記画素電極3のV状端縁の両側の傾斜部の前記垂直配向膜14, 19のラビング方向1a, 2aに対する傾斜角をそれぞれ $45^\circ \pm 15^\circ$ にしているため、各画素の電圧の印加による液晶分子20aの倒れ方向をより確実に規定することができる。

。

10

20

30

40

50

【 0 0 8 5 】

このV状端縁の両側の傾斜部の傾斜角は、好ましくは $45^\circ \pm 10^\circ$ 、より好ましくは $45^\circ \pm 5^\circ$ であり、その傾斜角を 45° に近くするほど、各画素の液晶分子20aの倒れ方向をさらに確実に規制することができる。

【図面の簡単な説明】

【 0 0 8 6 】

【図1】この発明の第1の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図。

【図2】図1のII-II線に沿う液晶表示素子の断面図。

【図3】図1のIII-III線に沿う液晶表示素子の断面図。

10

【図4】第1の実施例の液晶表示素子の1つの画素の電圧印加時の液晶分子配向状態を示す平面図。

【図5】前記液晶表示素子の1つの画素の電圧印加時の液晶分子配向状態を示す断面図。

【図6】突起を設けず、垂直配向膜を第1の実施例の液晶表示素子と同じ方向にラビング処理した比較素子の電圧印加時の液晶分子配向状態を平面図。

【図7】前記比較素子の電圧印加時の液晶分子配向状態を平面図。

【図8】この発明の第2の実施例を示す液晶表示素子の1つの画素部の断面図。

【図9】この発明の第3の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図。

【図10】第3の実施例の液晶表示素子の1つの画素の電圧印加時の液晶分子配向状態を示す平面図。

20

【図11】この発明の第4の実施例を示す液晶表示素子の一方の基板の1つの画素部の平面図。

【図12】第4の実施例の液晶表示素子の1つの画素の電圧印加時の液晶分子配向状態を示す平面図。

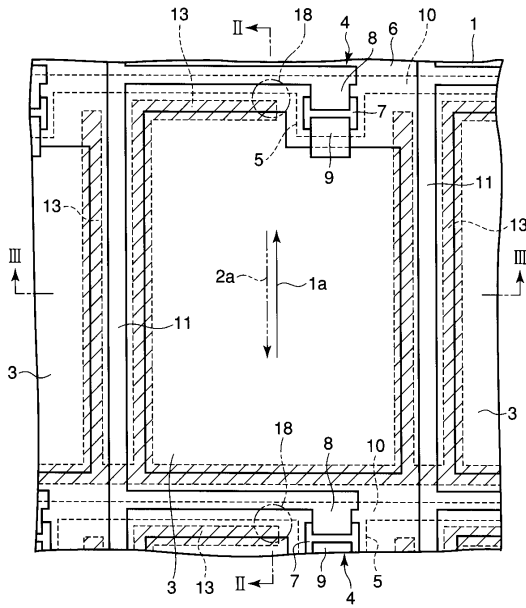
【符号の説明】

【 0 0 8 7 】

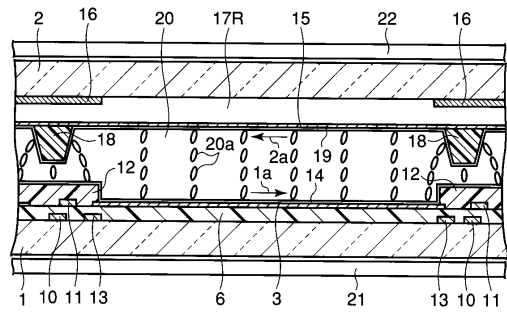
1, 2...基板、3...画素電極、4...TFT、5...ゲート電極、6...ゲート絶縁膜、7...i型半導体膜、8...ドレイン電極、9...ソース電極、10...ゲート配線、11...データ配線、13...補助電極、14...垂直配向膜、15...対向電極、16...ブラックマスク、17 R, 17 G, 17 B...カラーフィルタ、18...突起、19...垂直配向膜、20...液晶層、20a...液晶分子、21, 22...偏光板。

30

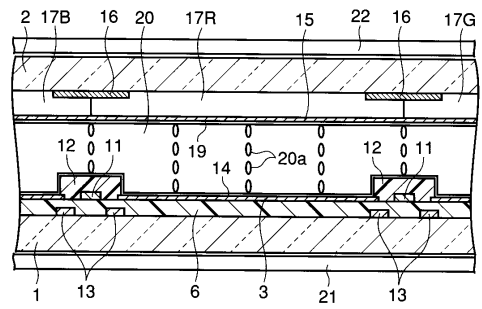
【図1】



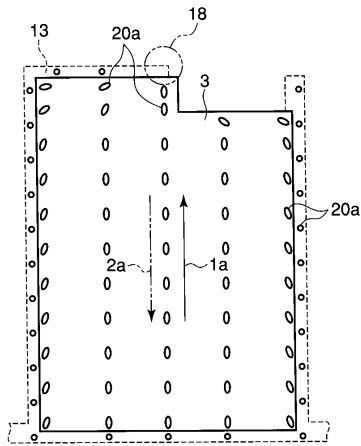
【図2】



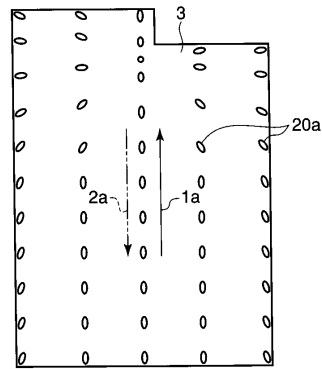
【図3】



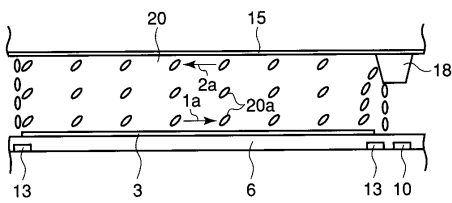
【図4】



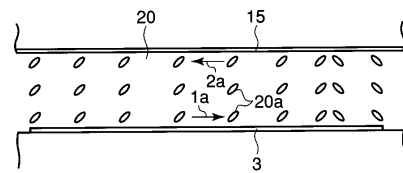
【図6】



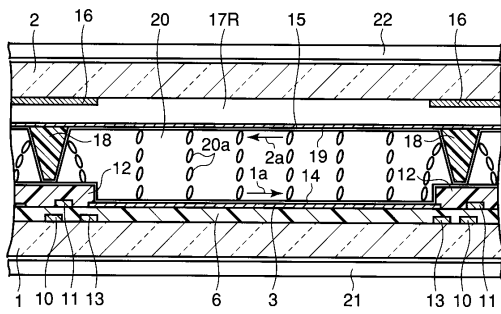
【図5】



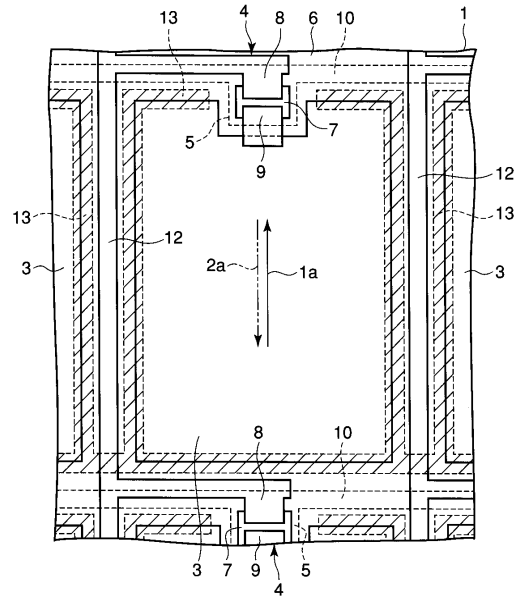
【図7】



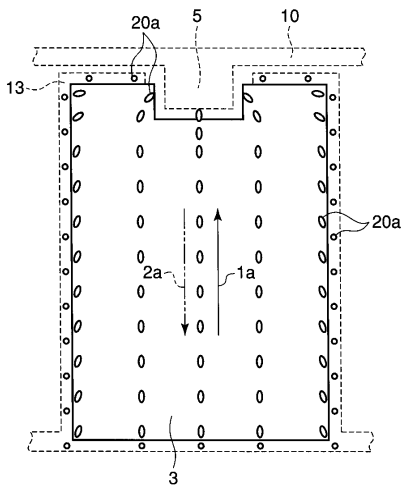
【図 8】



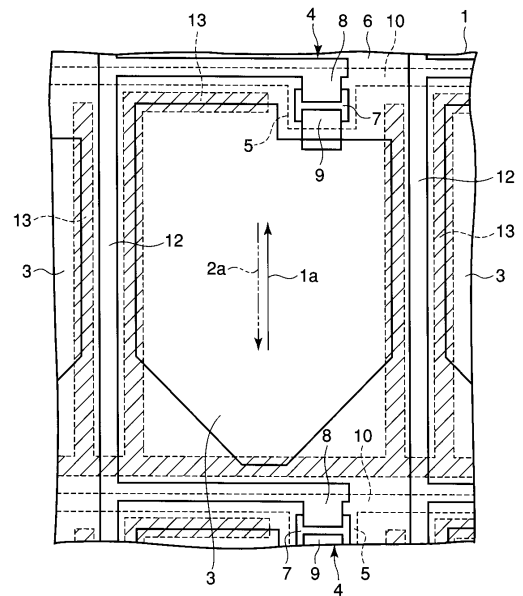
【図 9】



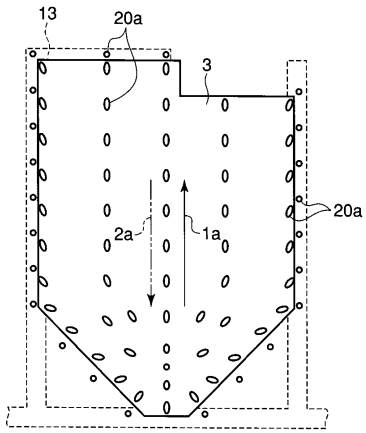
【図 10】



【図 11】



【 図 1 2 】



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 安藤 伸也

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子技術センター内

(72)発明者 中島 靖

東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子技術センター内

審査官 福田 知喜

(56)参考文献 特開2004-163746(JP,A)

特開2002-287158(JP,A)

特開平11-242225(JP,A)

特開2003-280019(JP,A)

特開2002-162627(JP,A)

特開2002-156635(JP,A)

特開2000-193976(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1337

G02F 1/1339

G02F 1/1343

G02F 1/1368

专利名称(译)	液晶显示元件		
公开(公告)号	JP4639797B2	公开(公告)日	2011-02-23
申请号	JP2004375019	申请日	2004-12-24
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	安藤伸也 中島靖		
发明人	安藤 伸也 中島 靖		
IPC分类号	G02F1/1337 G02F1/1339 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/133707 G02F1/133711 G02F1/13394 G02F2001/133742		
FI分类号	G02F1/1337.520 G02F1/1337.500 G02F1/1339.500 G02F1/1343 G02F1/1368		
F-TERM分类号	2H089/LA09 2H089/LA12 2H089/MA04X 2H089/NA08 2H089/PA05 2H089/PA08 2H089/QA04 2H089/QA14 2H089/RA08 2H089/TA04 2H089/TA09 2H089/TA12 2H089/TA13 2H090/HA16 2H090/HB07Y 2H090/HC06 2H090/HD14 2H090/LA02 2H090/LA15 2H090/MA01 2H090/MA16 2H090/MB01 2H090/MB14 2H092/GA13 2H092/HA04 2H092/JA24 2H092/JB52 2H092/JB69 2H092/NA04 2H092/PA02 2H092/PA03 2H092/PA08 2H092/PA09 2H189/DA07 2H189/DA14 2H189/DA19 2H189/DA20 2H189/DA25 2H189/DA31 2H189/DA32 2H189/DA48 2H189/EA06X 2H189/HA14 2H189/HA15 2H189/JA10 2H189/LA05 2H192/AA24 2H192/BA22 2H192/BC51 2H192/CB05 2H192/CC02 2H192/DA12 2H192/EA22 2H192/EA43 2H192/GD12 2H192/GD14 2H192/GD23 2H192/JA13 2H290/AA33 2H290/BA04 2H290/BA05 2H290/BB13 2H290/BB19 2H290/BB22 2H290/BB84 2H290/BD03 2H290/BF13 2H290/CA46		
代理人(译)	河野 哲 中村诚		
审查员(译)	福田 知喜		
其他公开文献	JP2006184335A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种垂直对准有源矩阵液晶显示元件，通过在施加电压的同时使每个像素中的液晶分子有规律地对准下降来显示具有优异质量的图像。ZOLUTION：多个突起18，分别对应于多个像素电极3的端边缘的中心部分附近，位于后基板1的内表面上，与像素电极宽度的TFT4和栅极线10相邻在其上形成有对电极15的前基板2的内表面上设置方向，在后基板1的内表面上的垂直取向层14在朝向与突起18对应的端边缘的方向上进行摩擦处理。与对应于像素电极3的突起18的一侧相对的一侧的端边缘，并且在前基板2的内表面上的垂直取向层19在相反方向上进行摩擦处理。Z

