

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4342711号
(P4342711)

(45) 発行日 平成21年10月14日(2009.10.14)

(24) 登録日 平成21年7月17日(2009.7.17)

(51) Int.Cl.		F I	
GO2F	1/1368	(2006.01)	GO2F 1/1368
GO2F	1/1343	(2006.01)	GO2F 1/1343
GO9F	9/30	(2006.01)	GO9F 9/30 336
HO1L	21/336	(2006.01)	HO1L 29/78 612D
HO1L	29/786	(2006.01)	HO1L 29/78 617L

請求項の数 6 (全 39 頁)

(21) 出願番号 特願2000-286046 (P2000-286046)
 (22) 出願日 平成12年9月20日(2000.9.20)
 (65) 公開番号 特開2002-90779 (P2002-90779A)
 (43) 公開日 平成14年3月27日(2002.3.27)
 審査請求日 平成18年9月12日(2006.9.12)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (72) 発明者 桶 隆太郎
 千葉県茂原市早野3300番地 株式会社
 日立製作所 ディ스플레이グループ内
 (72) 発明者 仲吉 良彰
 千葉県茂原市早野3300番地 株式会社
 日立製作所 ディ스플레이グループ内
 (72) 発明者 小野 記久雄
 千葉県茂原市早野3300番地 株式会社
 日立製作所 ディ스플레이グループ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に、対向電極、ゲート信号線、及び対向電圧信号線を形成する工程と、前記基板上に、前記対向電極、前記対向電圧信号線、前記ゲート信号線をも被って絶縁膜を形成する工程と、

前記絶縁膜上に半導体層、高濃度層、導電層の順次積層体を形成する工程と、レジストリフロー方式を用いて、前記導電層および前記高濃度層を選択エッチングして薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線を形成するとともに、前記半導体層を選択エッチングする工程と、

前記薄膜トランジスタのソース電極と一部が直接に重畳された透明導電膜からなる画素電極を形成する工程と、

前記薄膜トランジスタのドレイン電極およびソース電極上、前記ドレイン信号線上、前記画素電極上を含む前記基板上に配向膜を形成する工程とを有し、

前記レジストリフロー方式は、前記導電層上であって、前記薄膜トランジスタのドレイン電極およびソース電極の形成領域上、前記ドレイン信号線の形成領域上にホトレジスト膜を形成する工程と、前記ホトレジスト膜をマスクとして前記ホトレジスト膜の周囲における前記導電層、前記高濃度層、及び前記半導体層をエッチングする工程と、前記ホトレジスト膜を変形させて、少なくとも前記ドレイン電極およびソース電極の形成位置の前記導電層及び前記半導体層の側壁面、前記ドレイン信号線の形成位置の前記導電層及び前記半導体層の側壁面、及び前記ドレイン電極と前記ソース電極との間に、前記ホトレジスト

膜を存在させる工程と、変形させた前記ホトレジスト膜をマスクとして前記ホトレジスト膜の周囲における前記半導体層をエッチングする工程からなることを特徴とする液晶表示装置の製造方法。

【請求項 2】

前記画素電極を形成する際に、前記ドレイン信号線のドレイン端子部の形成領域に前記透明導電膜を同時に皮膜することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 3】

前記ホトレジスト膜の変形は、ベーキング、有機溶剤雰囲気中での溶解、あるいは水に浸漬させることにより、行うことを特徴とする請求項 1 に記載の液晶表示装置の製造方法

10

【請求項 4】

前記ドレイン信号線を形成する導電層と半導体層の積層体は、前記基板側に未広がり状となるテーパー形状に形成されることを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 5】

前記画素電極と前記配向膜の間に、保護膜を形成する工程を有することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

【請求項 6】

前記画素電極と前記対向電極の間に、保護膜を形成する工程を有することを特徴とする請求項 1 に記載の液晶表示装置の製造方法。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に、アクティブ・マトリクス方式の液晶表示装置に関する。

【0002】

【従来の技術】

アクティブ・マトリクス方式の液晶表示装置は、液晶を介して対向配置される基板のうちの一方の基板の液晶側の面に、x 方向に延在し y 方向に並設されるゲート信号線と y 方向に延在し x 方向に並設されるドレイン信号線とで囲まれる領域を画素領域としている。

30

【0003】

そして、各画素領域には、一方のゲート信号線からの走査信号の供給によって駆動されるスイッチング素子と、このスイッチング素子を介して一方のドレイン信号線からの映像信号が供給される画素電極とが備えられている。

【0004】

また、このような液晶表示装置としては、他方の基板の液晶側の面に各画素領域に共通な対向電極が形成され、前記画素電極との間に該基板とほぼ垂直な方向に電界を発生せしめ、この電界によって液晶の光透過率を制御させるいわゆる縦電界方式のものと、画素電極が形成された基板側に各画素領域毎に画素電極と隣接させて対向電極が形成され、これら電極の間に該基板とほぼ平行な方向に電界を発生せしめ、この電界によって液晶の光透過率を制御させるいわゆる横電界方式のものが知られている。

40

【0005】

【発明が解決しようとする課題】

しかし、このような液晶表示装置は、近年のパネルの大型化にともない、ゲート信号線あるいはドレイン信号線の配線比抵抗を小さくすることが要求されてきている。

【0006】

すなわち、これらの信号線の配線比抵抗を小さくすることにより、信号の遅延を抑制することができ、パネルの大型化を達成することができるようになる。

【0007】

50

また、信号線の配線比抵抗を小さくできたとしても、製造のプロセスが増大することは避けなければならない。歩留まりが低下するからである。

【0008】

また、この歩留まりの向上を考慮した場合、基板の液晶側の面にて導電層、半導体層および絶縁層を所定のパターンで積層させていく場合、それらの急峻な段差を極力滑らかにすることが要求される。該段差の部分で皮膜の乗り越え障害が発生するからである。

【0009】

本発明は、このような事情に基づいてなされたものであり、その目的は信号線の配線比抵抗の小さい液晶表示装置を提供することにある。

【0010】

また、本発明の他の目的は、基板の液晶側の面にて急峻な段差の少ない液晶表示装置を提供することにある。

【0011】

また、本発明の他の目的は、製造工程の低減を図った液晶表示装置の製造方法を提供することにある。

【0012】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0013】

本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち一方の基板の液晶側の画素領域に、ゲート信号線からの走査信号の供給によって駆動される薄膜トランジスタと、この薄膜トランジスタを介してドレイン信号線からの映像信号が供給される画素電極とを備え、

前記ゲート信号線は前記基板面に形成されるたとえばITO膜とこのITO膜の上層に形成されるたとえばMo層の多層構造からなることを特徴とするものである。

【0014】

このように構成された液晶表示装置は、比抵抗の小さいMo等を用いることによって、ゲート信号線の配線比抵抗を小さくしたものである。

【0015】

この場合、Mo等の単層として形成する場合、基板との密着性が良好でないことから、たとえばITO膜等をその間に介在させている。

【0016】

また、このような多層構造からなるゲート信号線は、それを選択エッチングで形成した場合に、その側壁が基板側に末広がりとなるなだらかなテーパ面が形成されるようになり、急峻な段差を減少させることができる。

【0017】

また、本発明による液晶表示装置の製造方法は、たとえば、基板上に、透明導電膜と金属層との順次積層体からなるゲート信号線を形成する工程と、

前記ゲート信号線をも被って絶縁膜を形成する工程と、

前記絶縁膜上に半導体層、高濃度層、導電層の順次積層体を形成する工程と、

レジストリフロー方式を用いて、前記導電層および高濃度層を選択エッチングして薄膜トランジスタのドレイン電極およびソース電極、ドレイン信号線を形成するとともに、前記半導体層を選択エッチングする工程と、

前記薄膜トランジスタのソース電極と一部が直接に重畳された透明導電膜からなる画素電極を形成する工程と、

保護膜を形成し、この保護膜に画素電極を露出させるための孔開けをする工程と、からなることを特徴とするものである。

【0018】

このように構成された液晶表示装置の製造方法は、半導体層の形成とドレイン電極および

10

20

30

40

50

ソース電極の形成とをそれぞれのホット工程で行っていたが、レジストリフロー方式を用いることによって、1回のホット工程で済ますことができ、全体との製造プロセスを低減させることができる。

【0019】

また、保護膜の孔開けの際にゲート端子部およびドレイン端子部の孔開けを同時に行うことにより製造プロセスの低減を図ることができる。

【0020】

【発明の実施の形態】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【0021】

実施例1.

《等価回路》

図54は本発明による液晶表示装置の一実施例を示す等価回路図である。同図は回路図であるが、実際の幾何学的配置に対応して描かれている。

【0022】

同図において、透明基板SUB1があり、この透明基板SUB1は液晶を介して他の透明基板SUB2と対向して配置されている。

【0023】

前記透明基板SUB1の液晶側の面には、図中x方向に延在しy方向に並設されるゲート信号線GLと、このゲート信号線GLと絶縁されてy方向に延在しx方向に並設されるドレイン信号線DLとが形成され、これら各信号線で囲まれる矩形の領域が画素領域となり、これら各画素領域の集合によって表示部ARを構成するようになっている。

【0024】

各画素領域には、一方のゲート信号線GLからの走査信号(電圧)の供給によって駆動される薄膜トランジスタTFTと、この薄膜トランジスタTFTを介して一方のドレイン信号線DLからの映像信号(電圧)が供給される画素電極PXが形成されている。

【0025】

また、画素電極PXと前記一方のゲート信号線GLと隣接する他方のゲート信号線GLとの間には容量素子Caddが形成され、この容量素子Caddによって、前記薄膜トランジスタTFTがオフした際に、画素電極PXに供給された映像信号を長く蓄積させるようになっている。

【0026】

各画素領域における画素電極PXは、液晶を介して対向配置される他方の透明基板SUB2の液晶側の面にて各画素領域に共通に形成された対向電極CT(図示せず)との間に電界を発生せしめるようになっており、これにより各電極の間の液晶の光透過率を制御するようになっている。

【0027】

各ゲート信号線GLの一端は透明基板の一边側(図中左側)に表示部ARを超えて延在され、その延在部(後にゲート端子部GTMと称す)は該透明基板SUB1に搭載される垂直走査回路(半導体集積回路)Vのバンクと接続されるようになっている。

【0028】

また、各ドレイン信号線DLの一端も透明基板SUB1の一边側(図中上側)に表示部ARを超えて延在され、その延在部(後にドレイン端子部DTMと称す)は該透明基板SUB1に搭載される映像信号駆動回路(半導体集積回路)Heのバンクと接続されるようになっている。

【0029】

前記透明基板SUB2は、透明基板SUB1のうち垂直走査回路Vおよび映像信号駆動回路Heが搭載される部分を回避した領域(表示部AR)に対向配置されている。

【0030】

透明基板SUB1に対する透明基板SUB2の固定は、該透明基板SUB2の周辺に形成

10

20

30

40

50

されたシール材 S L によってなされ、このシール材 S L は透明基板 S U B 1 , S U B 2 の間の液晶を封止する機能も兼ねている。

《画素の構成》

図 1 は透明基板 S U B 1 の液晶側の画素（図 5 4 の点線枠 A に相当する）の構成、およびこの画素に走査信号および映像信号を供給するための端子部の構成を示している。なお、図 1 の 2 - 2 線における断面図を図 2 に、3 - 3 線における断面図を図 3 に、4 - 4 線における断面図を図 4 に、5 - 5 線における断面図を図 5 に、6 - 6 線における断面図を図 6 に示している。

【 0 0 3 1 】

透明基板 S U B 1 の液晶側の面に、まず、図中 x 方向に延在され y 方向に並設されるゲート信号線 G L が形成されている。このゲート信号線 G L は 2 層構造からなり、I T O (I n d i m - T i n - O x i d e) 膜を下層としモリブデン (M o) 膜を上層としている。

10

【 0 0 3 2 】

また、このゲート信号線 G L はその一端（図中左側）が表示部 A R 外にまで延在され、その延在部において比較的面積が大きく形成されたゲート端子部 G T M が形成されている。

【 0 0 3 3 】

ゲート信号線 G L は後述のドレイン信号線 D L とともに矩形の領域を囲むようになっており、この領域を画素領域として構成するようになっている。

【 0 0 3 4 】

また、ゲート信号線 G L はその一部において画素領域側に突出した延在部を有し、この延在部は後述の薄膜トランジスタ T F T のゲート電極としての機能を有するようになっている。

20

【 0 0 3 5 】

さらに、ゲート信号線 G L は他の部分において該画素領域と (-) y 方向に隣接する他の画素領域側に突出した延在部を有し、この延在部は後述の容量素子 C a d d の一方の電極（他方の電極は画素電極 P X ）としての機能を有するようになっている。

【 0 0 3 6 】

また、画素領域内には後述のドレイン信号 D L に隣接しかつ並行して走行する遮光膜 S K D が形成されている。この遮光膜 S K D はゲート信号線 G L と並行して形成されるもので、I T O 膜を下層とし M o 膜を上層とする 2 層構造となっている。

30

【 0 0 3 7 】

この遮光膜 S K D は後述する透明基板 S U B 2 側のブラックマトリクス B M とともに画素電極 P X の周辺（特に図中 y 方向に平行な辺）における液晶の配向の乱れを信頼性よく遮光できるようになっている。

【 0 0 3 8 】

このようにゲート信号線 G L および遮光膜 S K D が形成された透明基板 S U B 1 の表面には絶縁膜 G I （図 2 ないし図 6 参照）が形成されている。この絶縁膜 G I は後述のドレイン信号線 D L に対してはゲート信号線 G L との層間絶縁膜としての機能を、後述の薄膜トランジスタ T F T に対してはそのゲート絶縁膜としての機能を、後述の容量素子 C a d d に対してはその誘電体膜としての機能を有する。

40

【 0 0 3 9 】

この絶縁膜 G I の上面には、前記ゲート信号線 G L の画素領域側への突出部を横切るようにしてたとえばアモルファス S i (a - S i) からなる半導体層 A S が形成されている。

【 0 0 4 0 】

この半導体層 A S は薄膜トランジスタ T F T の半導体層となるもので、この上面にドレイン電極 S D 1 およびソース電極 S D 2 を形成することにより、前記ゲート信号線 G L の突出部をゲート電極とする逆スタガ構造の M I S 型トランジスタが構成される。

【 0 0 4 1 】

なお、この半導体層 A S は該薄膜トランジスタ T F T の形成領域ばかりではなく後述するドレイン信号線 D L の形成領域にまで及んで一体的に形成されている。ドレイン信号線 D

50

Lのゲート信号線GLに対する層間絶縁をより強化する等のためである。

【0042】

半導体層AS上のドレイン電極SD1およびソース電極SD2はドレイン信号線DLの形成と同時に形成されるようになっている。

【0043】

すなわち、前記絶縁膜GIの上面には図中y方向に延在しx方向に並設されるドレイン信号線DL(その下層には半導体層ASが存在する)が形成され、その一部が薄膜トランジスタTFTの半導体層ASの上面にまで延在されてドレイン電極SD1が形成されている。

【0044】

なお、このドレイン信号線DLはその一端(図中上側)が表示部AR外にまで延在され、その延在部には比較的面積が大きく形成されたドレイン端子部DTMが形成されている。

【0045】

また、このドレイン電極SD1に対して薄膜トランジスタTFTのチャネル長に相当する間隔だけ離間されてソース電極SD2が形成されている。

【0046】

このソース電極SD2は薄膜トランジスタTFTの半導体層AS上から画素領域側へ延在して形成され、この延在部は後述の画素電極PXとの接続部として形成される。

【0047】

ここで、ドレイン信号線DL、ドレイン電極SD1、およびソース電極SD2はたとえばモリブデン(Mo)によって構成されている。

【0048】

なお、前記半導体層ASの表面のうちドレイン電極SD1およびソース電極SD2が形成された界面には、不純物がドーピングされた高濃度層 d_0 が形成されている(図2参照)。この場合の高濃度層 d_0 は薄膜トランジスタTFTのコンタクト層としての機能を有する。

【0049】

これにともない、ドレイン信号線DLの下層に形成される半導体層ASの界面においても高濃度層 d_0 が形成されている(図4参照)。

【0050】

そして、画素領域内の絶縁膜GI上にはその僅かな周辺を除く中央部にたとえばITO(Indium-Tin-Oxide)膜からなる画素電極PXが形成されている。

【0051】

この画素電極PXは、その薄膜トランジスタTFT側の辺において、該薄膜トランジスタTFTの形成領域を回避してソース電極SD2の延在部に接続されるように重ねられて形成されている。

【0052】

また、この画素電極PXは、ドレイン信号線DLに近接する側の辺において、該辺の輪郭が前記遮光膜SKDの中心軸(ほぼ中心軸)に重ねられて形成されている。

【0053】

この遮光膜SKDは、主として、ドレイン信号線DLと画素電極PXとの間に生じる電界による光漏れ、および画素電極PXの周辺の該ドレイン信号線DLからの電界による液晶の配向乱れを遮光するようになっている。

【0054】

さらに、この画素電極PXは、前記薄膜トランジスタTFTを駆動させるゲート信号線GLと該画素電極PXを間にして隣接する他のゲート信号線GL(図中上側のゲート信号線GL)に若干重ねられて形成されている。

【0055】

前記他のゲート信号線GLは上述のように画素領域側に突出する延在部が形成されており、画素電極PXは前記絶縁膜GIを介してこの他のゲート信号線GLと比較的大きな面積を有して重畳されることになる。

10

20

30

40

50

【 0 0 5 6 】

画素電極 P X と他のゲート信号線 G L との重畳部は前記絶縁膜 G I を誘電体膜とする容量素子 C a d d が形成され、この容量素子 C a d d によって、たとえば薄膜トランジスタ T F T がオフした場合でも画素電極 P X に供給された映像信号は比較的長い時間蓄積される等の効果を奏する。

【 0 0 5 7 】

このように形成された透明基板 S U B 1 の表面にはたとえば S i N からなる保護膜 P S V が形成されている。

【 0 0 5 8 】

この保護膜 P S V は薄膜トランジスタ T F T の液晶との直接の接触を回避させるため等に設けられ、前記画素電極 P X の形成領域に開孔が形成されている。

10

【 0 0 5 9 】

換言すれば、保護膜 P S V は前記画素電極 P X の少なくとも周辺を除く中央部を露出させて形成されている（図 2 参照）。これにより画素領域中光が透過する部分において該保護膜 P S V が存在していないことから、光の該保護膜 P S V による吸収を回避することができる。

【 0 0 6 0 】

このように形成された透明基板 S U B 1 の表面にはその表示部 A R の全域を被って配向膜 O R I が形成され（図 4）、この配向膜 O R I に直接に接触する液晶 L C の初期配向方向を決定するようになっている。

20

【 0 0 6 1 】

透明基板 S U B 2 の液晶 L C 側の面は、図 4 に示すように、各画素領域を隣接する他の画素領域と画するようにしてブラックマトリクス B M が形成され、このブラックマトリクス B M の各画素領域に形成され、開口部には各画素に対応した色のカラーフィルタ F I L が形成されている。

【 0 0 6 2 】

そして、このように形成された透明基板 S U B 2 の表面にはその表示部 A R の全域を被って配向膜 O R I が形成され、この配向膜 O R I に直接に接触する液晶 L C の初期配向方向を決定するようになっている。

《ゲート信号線 G L》

30

ゲート信号線 G L は、たとえば図 2 あるいは図 3 に示すように、2 層構造からなり、その下層は I T O (Indium-Tin-Oxide) 膜 g 1 で構成され上層は M o 層 g 2 で構成されている。

【 0 0 6 3 】

ゲート信号線 G L は、近年における液晶表示パネルの大型化の傾向から、その比抵抗を小さくすることが望まれ、その主要材料として M o 層 g 2 が選定されている。しかし、それを単層で用いることは下地基板である透明基板 S U B 1 との密着性が良好でないために I T O 膜 g 1 を介在層として用いている。

【 0 0 6 4 】

2 層構造からなるゲート信号線 G L は、各層のエッチングレートを考慮した選択エッチング（後述する）を行うことにより、その側壁に透明基板 S U B 1 側に未広がり状となるテーパ面を形成でき、ドレイン信号線 D L のゲート信号線 G L のいわゆる乗り越え断線を回避でき、また、保護膜 P S V のいわゆる乗り越え障害を回避できる。

40

【 0 0 6 5 】

また、ゲート信号線 G L のゲート端子部 G T M の形成の際に、保護膜 P S V および絶縁膜 G I をドライエッチングしてコンタクトホールを形成する場合に、前記 M o 層 g 2 との選択性がとれない不都合があるが、前記 I T O 膜 g 1 がいわゆるストッパーとして残存しゲート端子部 G T M を信頼性よく形成できる。

【 0 0 6 6 】

図 7 (a) ないし (c) は、前記ゲート信号線 G L の形成方法の一実施例を示す工程図で

50

ある。

【 0 0 6 7 】

まず、図 7 (a) に示すように、透明基板 S U B 1 の主表面に I T O 膜 g 1 を形成し、さらに、その上面に M o 層 g 2 を形成する。そして、M o 層 g 2 の表面にホトレジスト膜 P R E S を形成し、このホトレジスト膜 P R E S に図示しないホトマスクを用いて選択露光をする。その後、ホトレジスト膜 P R E S を現像することにより、ゲート信号線 G L の形成領域に該ホトレジスト膜 P R E S を残存させる。

【 0 0 6 8 】

次に、ホトレジスト膜 P R E S をマスクとして、このマスクから露出した M o 層 g 2 を選択エッチングする。この際のエッチング液としては、たとえば燐酸と硝酸を含む混酸、または硝酸セリウムと硝酸の混合液が選定される。このようにした場合、残存する M o 層 g 2 の側面には透明基板 S U B 1 側に未広がりになるなだらかなテーパ面が形成される。

10

【 0 0 6 9 】

さらに、前記ホトレジスト膜 P R E S をそのままマスクとして、このマスクから露出した I T O 膜 g 1 を選択エッチングする。この際のエッチング液としては、たとえば王水（塩酸と硝酸との混合液）が選定される。このようにした場合、残存する I T O 層 g 1 の側面にも透明基板 S U B 1 側に未広がりになるなだらかなテーパ面が形成される。

【 0 0 7 0 】

その後は、前記ホトレジスト膜 P R E S を除去することにより、透明基板 S U B 1 上にゲート信号線 G L が形成される。このゲート信号線 G L はその側壁が透明基板 S U B 1 側に未広がりになるなだらかなテーパ面を有するものとなり、その後の工程における積層体に対して段切れ等の障害を十分に回避できるようになる。

20

《ドレイン信号線 D L 》

ドレイン信号線 D L の断面は図 4 にて明瞭に示されている。このドレイン信号線 D L は後述するレジストリフロー方式によって形成される薄膜トランジスタ T F T と並行して形成され、a - S i からなる半導体層 A S、その表面に形成された高濃度層 d₀、M o 層 d₁ の順次積層体から構成されている。

【 0 0 7 1 】

このため、同図に示すように、ドレイン信号線 D L の側壁において透明基板 S U B 1 側に未広がり状となるテーパが形成されるようになるが、このテーパ面の途中において、詳しくは高濃度層 d₀ の下層の半導体層 A S の部分において段差が形成されるようになる。

30

【 0 0 7 2 】

したがって、保護膜 P S V および配向膜 O R I 等に対するドレイン信号線 D L のいわゆる乗り越え障害を信頼性よく回避することができる。

【 0 0 7 3 】

この場合の乗り越え障害としては、ドレイン信号線 D L の側壁の近傍において保護膜 P S V に亀裂等が発生し、この亀裂を通して該ドレイン信号線 D L の材料がイオン化されて液晶に溶出し液晶の比抵抗を変化させてしまう等の不都合を生じさせる。

《薄膜トランジスタ T F T 》

図 2 は薄膜トランジスタ T F T の断面を示す図である。この薄膜トランジスタ T F T は後に詳述するいわゆるレジストリフロー方式を用いて形成したものである。

40

【 0 0 7 4 】

薄膜トランジスタ T F T のゲート電極の一部となるゲート信号線 G L はその側壁が透明基板 S U B 1 側に未広がり状となるテーパ状となっているため、その部分に積層される絶縁膜 G I、ドレイン電極 S D 1、およびソース電極 S D 2 に段差による障害を回避できるようになっている。

【 0 0 7 5 】

薄膜トランジスタ T F T のソース電極 S D 2 に電氣的に接続される画素電極 P X は該ソース電極 P X に直接積層されて形成されている。このため、薄膜トランジスタ T F T の液晶 L C に対する直接の接触を防止する保護膜 P S V は該画素電極 P X の上層に形成された構

50

成となっている。

【0076】

すなわち、画素電極 P X は保護膜 P S V の下層として位置づけられ、これにより薄膜トランジスタ T F T のソース電極 S D 2 と画素電極 P X との電氣的接続に対して保護膜 P S V へのコンタクトホール形成を回避させている。

【0077】

また、レジストリフロー方式からなる薄膜トランジスタ T F T は、その半導体層 A S、高濃度層 d_0 、ドレイン電極 S D 1 あるいはソース電極 S D 2 の順次積層体の側壁において、透明基板 S U B 1 側に未広がり状となるテーパーが形成されるようになるが、このテーパーの途中において、詳しくは高濃度層 d_0 の下層の半導体層 A S の部分において段差が形成されるようになる。

10

【0078】

このため、保護膜 P S V および配向膜 O R I 等に対するドレイン信号線 D L のいわゆる乗り越え障害を信頼性よく回避することができる。

【0079】

特に、画素電極 P X は、段差乗り越えに比較的障害を起こしやすい材料で構成され、しかも、前記積層体を乗り越えその上層のソース電極 S D 2 に重ね合わされて形成しなければならない構成となっているのに対し、該積層体の側壁のテーパー面に段差が形成されていることは画素電極の段差乗り越え障害を十分に回避できる構成となる。

【0080】

20

図 8 (a) ないし (f) は前記薄膜トランジスタ T F T の形成方法の一実施例を示した工程図である。

【0081】

まず、図 8 (a) に示すように、ゲート信号線 G L、ゲート絶縁膜 G I の形成の後、このゲート絶縁膜 G I の表面に半導体層 A S、この半導体層 A S の表面に高濃度層 d_0 を形成し、さらに M o 層 d_0 を形成する。この場合、半導体層 A S、高濃度層 d_0 、M o 層 d_0 は同一のチャンバーで連続して成膜する。

【0082】

図 8 (b) に示すように、M o 層 d_0 の表面にホトレジスト膜 P R E S を形成し、ホトマスクを用いた選択露光を経て、ドレイン信号線 D L、ドレイン電極 S D 1、およびソース電極の形成領域に相当する部分の前記ホトレジスト膜 P R E S を残存させる。

30

【0083】

図 8 (c) に示すように、ホトレジスト膜 P R E S をマスクとして、このマスクから露出された M o 層 d_1 を選択エッチングし (たとえば燐酸と硝酸とを含む混酸、または硝酸セリウムと硝酸の混合液が選定される)、さらに高濃度層 d_0 をドライエッチングする。この場合、半導体層 A S の表面が若干削れるようになる。

【0084】

なお、高濃度層 d_0 のエッチングはこのような方法に限定されることはなく、たとえば M o 層 d_1 の選択エッチング後に、この M o 層 d_1 をマスクとしてエッチングするようにしてもよい。

40

【0085】

図 8 (d) に示すように、ホトレジスト膜 P R E S をリフローさせる。これによりホトレジスト膜 P R E S はその周辺がだれ、そのだれた部分もマスクとして機能するようになる。ホトレジスト膜 P R E S のリフローとしては、たとえばベーキング、有機溶剤雰囲気中の溶解、あるいは水に浸漬等の方法がある。

【0086】

ここで、ホトレジスト膜 P R E S のだれはドレイン電極 S D 1 とソース電極 S D 2 との間 (チャンネル領域) が完全に被われることが必要となる。このため、図 8 (b) においては、この部分のホトレジスト膜 P R E S のパターン幅はできるだけ狭くしておくことが必要となる。

50

【0087】

さらに、このホトレジスト膜 P R E S をマスクとしてこのマスクから露出された半導体層 A S を選択エッチングする。

【0088】

そして、該ホトレジスト膜 P R E S を除去する。このホトレジスト膜 P R E S は、そのリフローの際にベーキングを行った場合剥がれ難くなることから、アッシングを行った後にいわゆる M E A 剥離を行うとよい。

【0089】

図 8 (e) に示すように、 I T O 膜 I T O 1 を形成し、画素電極 P X の形成領域 (およびドレイン端子部 D Y M) に相当する部分にホトレジスト膜 P R E S を形成する。このホトレジスト膜 P R E S をマスクとし、このマスクから露出された I T O 膜 I T O 1 を除去する。その後、該ホトレジスト膜 P R E S を除去する。

10

【0090】

図 8 (f) に示すように、保護膜 P S V を形成し、画素領域の周辺部 (薄膜トランジスタ T F T の形成領域を含む) を除く中央部に開口がなされたホトレジスト膜 P R E S を形成する。

【0091】

このホトレジスト膜 P R E S をマスクとし、このマスクから露出された保護膜 P S V を除去する。なお、この保護膜 P S V の孔開けの際は、ゲート端子部 G T M およびドレイン端子部 D T M における孔開けも同時に行う。その後、該ホトレジスト膜 P R E S を除去する。

20

《容量素子 C a d d 》

容量素子 C a d d の断面は図 3 に示されている。ゲート信号線 G L の一部の上層に絶縁膜 G I を介して画素電極 P X の一部が重畳されて形成され、その誘電体膜は前記絶縁膜 G I となっている。

【0092】

上述したように、画素電極 P X は保護膜 P S V の下層に位置づけて形成しているため、容量素子 C a d d の誘電体膜は該保護膜 P S V と絶縁膜 G I の 2 層構造とはならず該絶縁膜 G I のみとなる。

【0093】

このため容量素子 C a d d の容量値は絶縁膜 G I の膜厚とゲート信号線 G L と画素電極との重畳面積によって設定でき、その設定が容易にできるようになる。

30

【0094】

誘電体膜が絶縁膜 G I のみであることによって、その表面にはゲート信号線 G L の段差が顕在され易いが、ゲート信号線 G L はその下層が I T O 膜 g 1 で上層が M o 層 g 2 の 2 層構造で、その側壁においてなだらかなテーパが形成されていることから、該ゲート信号線 G L に画素電極 P X の一部を重畳させる場合において該画素電極 P X の段差乗り越えによる障害を十分に回避させることができる。

《ブラックマトリクス B M 》

ブラックマトリクス B M の断面は図 4 に示されている。この図では、ブラックマトリクス B M はドレイン信号線 D L を被うようにして形成されていることしか示されていないが、ゲート信号線 G L および薄膜トランジスタ T F T をも被うようにして形成されている。

40

【0095】

これにより、コントラストの向上、および薄膜トランジスタ T F T の外来光の照射による特性変化の回避を図っている。

【0096】

ドレイン信号線 D L の両脇にはゲート信号線 G L と同時に形成される遮光膜 S K D が形成されており、該ドレイン信号線 D L を被うブラックマトリクス B M はその幅方向の両端がそれぞれ前記遮光膜 S K D 上に位置づけられるようにして形成されている。

《ゲート端子部 G T M 》

50

ゲート端子部 G T M の断面は図 5 に示されている。ゲート端子部 G T M はゲート信号線 G L の延在端を保護膜 P S V および絶縁膜 G I の順次孔開け（ドライエッチングによる選択エッチング）によって露出させることによって形成される。この孔開けは、画素領域における保護膜 P S V の孔開けと同時にされる。

【 0 0 9 7 】

同図から明らかなように、下層を I T O 膜 g 1、上層を M o 層 g 2 として形成されるゲート信号線 G L はそのゲート端子部 G T M において上層の M o 層 g 2 が除去された状態で形成されている。保護膜 P S V および絶縁膜 G I のドライエッチングによる孔開けの際に、選択比のとれない M o 層 g 2 がエッチングされてしまうからである。

【 0 0 9 8 】

しかし、下層の I T O 膜 g 1 は該エッチングのストッパーとしての機能を有して残存し、この I T O 膜 g 1 によって十分にゲート端子部 G T M としての機能を有するようになる。しかも、この I T O 膜 g 1 は酸化され難い材料からなるので、たとえば電食に対して信頼性のあるゲート端子部 G T M を形成することができる。

《ドレイン端子部 D T M》

ドレイン端子部 D T M の断面は図 6 に示している。ドレイン端子部 D T M はドレイン信号線 D L の延在端を保護膜 P S V の孔開け（選択エッチング）によって露出させることによって形成される。この孔開けは、画素領域における保護膜 P S V の孔開けと同時にされる。

【 0 0 9 9 】

ここで、ドレイン端子部 D T M におけるドレイン信号線 D L 上には I T O 膜 I T O 1 が被覆されて形成されている。この I T O 膜 I T O 1 は画素電極 P X を形成する際に同時に形成されるもので、ドレイン端子部 D T M にて電食が生じるのを回避するために形成される。

【 0 1 0 0 】

上述したように、ドレイン信号線 D L はレジストリフロー方式で形成される薄膜トランジスタ T F T と並行して形成されることから、半導体層 A S、高濃度層 d₀、M o 層 d₁ の順次積層体で形成され、その側壁はなだらかなテーパ形状となっている。

【 0 1 0 1 】

このため、ドレイン端子部 D T M において該ドレイン信号線 D L 上にて I T O 膜 I T O 1 を被覆させる場合、この I T O 膜 I T O 1 の段切れ等の不都合を解消できるようになる。

《製造方法》

図 9 (a) ないし (h) は、上述した液晶表示装置の製造方法の一実施例を示す工程図である。

【 0 1 0 2 】

同図は、図 8 の工程図に、さらにゲート端子部 G T N の部分の工程図をも併せ描いた図となっている。

【 0 1 0 3 】

図 9 (a) は図 8 (a) に対応し、図 9 (b) は図 8 (d) に対応し、図 9 (e) は図 8 (e) に対応し、図 9 (g) は図 8 (f) に対応している。

【 0 1 0 4 】

一連の工程は図 1 0 の表に示すようになっており、この表から判るように、ホト工程は、ゲート信号線 G L のパターニング、ドレイン信号線 D L (ドレイン電極、ソース電極) のパターニング、画素電極 P X のパターニング、保護膜 P S V のパターニングの 4 回で済むようになる。

【 0 1 0 5 】

実施例 2 .

上述した実施例 1 は薄膜トランジスタ T F T をレジストリフロー方式を用いて形成した液晶表示装置を示したものである。しかし、いわゆるハーフ露光方式を用いて薄膜トランジスタ T F T を形成する液晶表示装置にも適用できる。

10

20

30

40

50

【0106】

以下に示す構成以外は実施例1の場合と同様である。

《薄膜トランジスタTFT》

図11はいわゆるハーフ露光方式を用いて形成された薄膜トランジスタTFTの断面を示す図である。

【0107】

この薄膜トランジスタTFTは、半導体層AS、高濃度層 d_0 、Mo層 d_1 の順次積層体における側壁が透明基板SUB1側へ末広がり状となるなだらかなテーパ面が形成されるようになる。

【0108】

図15(a)ないし(e)は前記薄膜トランジスタTFTの形成方法の一実施例を示した工程図である。

【0109】

まず、図8(a)に示すように、ゲート信号線GL、ゲート絶縁膜GIの形成の後、このゲート絶縁膜GIの表面に半導体層AS、この半導体層ASの表面に高濃度層 d_0 を形成し、さらにMo層 d_1 を形成する。この場合、半導体層AS、高濃度層 d_0 、Mo層 d_1 は同一のチャンバーで連続して成膜する。

【0110】

図8(b)に示すように、Mo層 d_0 の表面にホトレジスト膜PRESを形成し、ホトマスクを用いた選択露光を行う。この場合のホトマスクとしては、格子構造のマスク、あるいはMoSiのような半透過型膜の膜厚を制御して製作されたマスクを用い、ドレイン信号線DL、ドレイン電極SD1、ソース電極の形成領域、およびドレイン電極SD1とソース電極の間の領域(チャンネル部)に相当する部分の前記ホトレジスト膜PRESを残存させるようにする。この場合、チャンネル部上のホトレジスト膜PRESの膜厚はそれ以外の領域上のホトレジスト膜PRESの膜厚よりも小さくなるようにする。

【0111】

すなわち、チャンネル部において、ホトレジスト、Mo層 d_1 、高濃度層 d_0 のエッチング終了時間が、Mo層 d_1 、高濃度層 d_0 、半導体層ASのエッチング終了時間と同一(ほぼ同一)になるようにレジスト条件を制御する。

【0112】

図8(c)に示すように、ホトレジスト膜PRESをマスクとして、このマスクから露出されたMo層 d_1 を選択エッチングし(たとえば燐酸と硝酸とを含む混酸、または硝酸セリウムと硝酸の混合液が選定される)、さらに高濃度層 d_0 、半導体層ASをドライエッチングする。この際、チャンネル部はMo層 d_1 、高濃度層 d_0 、さらには半導体層ASにもエッチングがなされるがその表面が若干削るまでに止まる。

【0113】

なお、高濃度層 d_0 のエッチングはこのような方法に限定されることはなく、たとえばMo層 d_1 の選択エッチング後に、このMo層 d_1 をマスクとしてエッチングするようにしてもよい。

【0114】

その後、前記ホトレジスト膜PRESを除去する。

【0115】

図8(d)に示すように、ITO膜ITO1を形成し、画素電極PXの形成領域(およびドレイン端子部DYM)に相当する部分にホトレジスト膜PRESを形成する。このホトレジスト膜PRESをマスクとし、このマスクから露出されたITO膜ITO1を除去する。その後、該ホトレジスト膜PRESを除去する。

【0116】

図8(e)に示すように、保護膜PSVを形成し、画素領域の周辺部(薄膜トランジスタTFTの形成領域を含む)を除く中央部に開口がなされたホトレジスト膜PRESを形成する。

10

20

30

40

50

【0117】

このホトレジスト膜 P R E S をマスクとし、このマスクから露出された保護膜 P S V を除去する。なお、この保護膜 P S V の孔開けの際は、ゲート端子部 G T M およびドレイン端子部 D T M における孔開けも同時に行う。その後、該ホトレジスト膜 P R E S を除去する。

《ドレイン信号線 D L 》

ドレイン信号線 D L の断面は図 1 2 に示している。ドレイン信号線 D L は半導体層 A S 、高濃度層 d_0 、M o 層 d_1 の順次積層体から構成され、ハーフ露光方式で形成する前記薄膜トランジスタ T F T の形成と並行して形成することから、その側壁は透明基板 S U B 1 側へ末広がり状となるなだらかなテーパ面が形成されるようになる。

10

《ゲート端子部 G T M 》

ゲート端子部 G T M の断面は図 1 3 に示している。このゲート端子部 G T M は実施例 1 と同様に構成される。

《ドレイン端子部 D T M 》

ドレイン端子部 D T M の断面は図 1 4 に示している。ドレイン信号線 D L は半導体層 A S 、高濃度層 d_0 、M o 層 d_1 の順次積層体から構成され、その側壁は透明基板 S U B 1 側へ末広がり状となるなだらかなテーパ面が形成されるようになる。

【0118】

そして、ドレイン信号線 D L は、そのドレイン端子部 D T M において I T O 膜 I T O 1 がその側壁にまで及んで形成されている。この I T O 膜 I T O 1 は画素電極 P X の形成の際に同時に形成される。電食を防止するためである。

20

【0119】

ドレイン端子部 D T M は保護膜 P S V を孔開けし、前記 I T O 膜 I T O 1 を露出させることによって形成できる。

《製造方法》

図 1 6 (a) ないし (g) は、上述した液晶表示装置の製造方法の一実施例を示す工程図である。

【0120】

同図は、図 1 5 の工程図に、さらにゲート端子部 G T N の部分の工程図をも併せ描いた図となっている。

30

【0121】

図 1 6 (a) は図 1 5 (b) に対応し、図 1 6 (c) は図 1 5 (c) に対応し、図 1 6 (d) は図 1 5 (d) に対応し、図 9 (f) は図 1 5 (e) に対応している。

【0122】

一連の工程は図 1 7 の表に示すようになっており、この表から判るように、ホット工程は、ゲート信号線 G L のパターニング、ドレイン信号線 D L (ドレイン電極、ソース電極) のパターニング、画素電極 P X のパターニング、保護膜 P S V のパターニングの 4 回で済むようになる。

【0123】

実施例 3 .

40

また、本発明による液晶表示装置は、その薄膜トランジスタ T F T をいわゆる I T O マスク方式を用いて形成した場合にも適用できる。

【0124】

以下に示す構成以外は実施例 1 の場合と同様である。

《薄膜トランジスタ T F T 》

図 1 8 は I T O マスク方式を用いて形成した薄膜トランジスタ T F T の断面を示す図である。

【0125】

この薄膜トランジスタ T F T は、そのソース電極 S D 2 の表面の全域にわたって画素電極 P X の I T O 膜 I T O 1 が直接に重畳されているばかりでなく、ドレイン信号線 D L (お

50

よびドレイン電極SD1)の表面にもITO膜ITO1が直接に重畳されている。

【0126】

また、他の実施例と同様、半導体層AS、高濃度層d₀、Mo層d₁の順次積層体の側壁は透明基板SUB1側へ未広がりとなるなだらかなテーパ面が形成されている。

【0127】

図22(a)ないし(g)は前記薄膜トランジスタTFETの形成方法の一実施例を示した工程図である。

【0128】

まず、図22(a)に示すように、ゲート信号線GL、ゲート絶縁膜GIの形成の後、このゲート絶縁膜GIの表面に半導体層AS、高濃度層d₀を形成し、さらにMo層d₁を形成する。この場合、半導体層AS、高濃度層d₀、Mo層d₁は同一のチャンバーで連続して成膜する。

10

【0129】

図22(b)に示すように、Mo層d₁の表面にホトレジスト膜PRESを形成し、ホトマスクを用いた選択露光を経て、ドレイン信号線DL、ドレイン電極SD1、ソース電極SD2の形成領域、およびこれら各電極の間の領域(チャンネル部)に相当する部分の前記ホトレジスト膜PRESを残存させる。

【0130】

そして、このホトレジスト膜PRESをマスクとして、このマスクから露出されたMo層d₁、高濃度層d₀、半導体層ASを順次選択エッチングする。その後、該ホトレジスト膜PRESを除去する。

20

【0131】

図22(c)に示すように、ITO膜ITOを形成し、このITO膜ITOの上面にホトレジスト膜PRESを形成し、ドレイン信号線DL、ドレイン電極SD1、画素電極PXの形成領域に相当する部分の前記ホトレジスト膜PRESを残存させる。

【0132】

図8(d)に示すように、前記ホトレジスト膜PRESをマスクとし、このマスクから露出されたITO膜を選択エッチングする。その後、ホトレジスト膜PRESを除去する。

【0133】

図8(e)に示すように、前記ITO膜ITOをマスクとし、このマスクから露出されたMo層d₁を選択エッチングし、さらに高濃度層d₀をも選択エッチングし、半導体層ASの表面を露出させる。

30

【0134】

図8(f)に示すように、保護膜PSVを形成し、画素領域の周辺部(薄膜トランジスタTFETの形成領域を含む)を除く中央部に開口がなされたホトレジスト膜PRESを形成する。

【0135】

このホトレジスト膜PRESをマスクとし、このマスクから露出された保護膜PSVを除去する。なお、この保護膜PSVの孔開けの際は、ゲート端子部GTMおよびドレイン端子部DTMにおける孔開けも同時に行う。その後、図8(g)に示すように、該ホトレジスト膜PRESを除去する。

40

《ドレイン信号線DL》

ドレイン信号線DLの断面は図19に示されている。このドレイン信号線DLは半導体層AS、高濃度層d₀、Mo層d₁、ITO層ITO1の順次積層体から構成されている。

《ゲート端子部》

ゲート端子部GTMの断面は図20に示されている。このゲート端子部GTMは実施例1および2におけるゲート端子部GTMと同様の構成となっている。

《ドレイン端子部》

ドレイン端子部DTMの断面は図21に示されている。このドレイン端子部DTMは、ドレイン信号線DLが上述した積層体から構成されているため、保護膜PSVの開口の表面

50

においてITO膜ITO1が露出され、電食に対して信頼性ある構成となる。

《製造方法》

図23(a)ないし(g)は、上述した液晶表示装置の製造方法の一実施例を示す工程図である。

【0136】

同図は、図22の工程図に、さらにゲート端子部GTNの部分の工程図をも併せ描いた図となっている。

【0137】

図23(a)は図22(b)に対応し、図23(c)は図22(c)に対応し、図23(d)は図22(d)に対応し、図23(e)は図22(e)に対応し、図23(f)は図22(f)に対応し、図23(g)は図22(g)に対応している。

10

【0138】

一連の工程は図24の表に示すようになっており、この表から判るように、ホト工程は、ゲート信号線GLのパターニング、画素電極PX(ドレイン信号線DL)のパターニング、ドレイン電極およびソース電極のパターニング、保護膜PSVのパターニングの4回で済むようになる。

【0139】

実施例4.

上述した各実施例は、透明基板SUB1側の各画素領域にそれぞれ画素電極が形成され透明基板SUB2側の各画素領域に共通の対向電極が形成され、これら各電極の間に発生する該各基板に対してほぼ垂直の電界によって液晶の光透過率を制御させるいわゆる縦電界方式の液晶表示装置について説明したものである。

20

【0140】

しかし、このような横電界方式の液晶表示装置に限定されることはなく、透明基板SUB1の各画素領域に画素電極と対向電極とが形成され、これら各電極の間に発生する該透明基板SUB1とほぼ平行な電界成分によって液晶の光透過率を制御させるいわゆる横電界方式の液晶表示装置についても適用することができる。

【0141】

図25はこのような横電界方式の液晶表示装置の画素の構成を示す平面図で、図1と対応した図となっている。なお、図25において26-26線における断面を図26に、27-27線における断面を図27に示している。

30

【0142】

図1の構成と比較して異なる構成は次のとおりである。

【0143】

図25において、まず、画素電極PXおよび対向電極CTがそれぞれドレイン信号線DLと平行に延在されたストライプ形状をなす複数本からなり、それらが交互に配置されて形成されている。

【0144】

この実施例では、画素電極PXが2本、対向電極CTが3本からなり、それらが交互に配置される結果、各対向電極CTのうち2本が両脇に、換言すればドレイン信号線DLに隣接されて形成されるようになっている。

40

【0145】

この両脇に配置される対向電極CTはドレイン信号線DLからの電界が画素電極PXに影響させないようにシールド機能をもたせており、他の電極よりも幅が広く形成されている。

【0146】

また、対向電極CTはゲート信号線GLと同時に形成され、該ゲート信号線GLと同材料で形成されている。したがって、2層構造からなり、その下層はITO膜で上層はMo層で形成されている。

【0147】

50

3本の各対向電極CTは、画素領域の中央にゲート信号線GLと平行に形成される対向電圧信号線CLと一体的に形成されることによって共通接続され、この対向電圧信号線CLを介して対向電圧信号が供給される。したがって、この対向電圧信号線CLも2層構造からなり、その下層はITO膜で上層はMo層で形成されている。

【0148】

この対向電圧信号線CLは図中x方向に並設される画素群に共通に形成され、図中y方向に配設される各画素群の他の対向電圧信号線CLと共通接続され、表示部外にまで延在された共通接続線に形成されたコモン端子部CTMから対向電圧信号が供給される。

【0149】

画素電極PXは対向電極CT(対向電圧信号線CL)に対して絶縁膜GIを介して異なる層として形成されている。

10

【0150】

2本の各画素電極PXは対向電圧信号線CL上にて互いに接続されたパターンとして形成され、この接続部において該対向電圧信号線CLとの間に前記絶縁膜GIを誘電体とする容量素子Cstgが形成されている。

【0151】

2本の各画素電極のうち薄膜トランジスタTFTに近接する画素電極PXはその端部が該薄膜トランジスタTFTの半導体層ASの上面にまで延在されて該薄膜トランジスタTFTのソース電極を構成している。

【0152】

そして、この薄膜トランジスタTFTはたとえば実施例1で示したレジストリフロー方式によって形成されたものとなっている。

20

《容量素子Cstg》

図26は容量素子Cstgの断面を示す図である。対向電圧信号線CLの一部の上層に絶縁膜GIを介して画素電極PXの一部が重畳されて構成され、その誘電体膜は前記絶縁膜GIとなっている。

【0153】

画素電極PXは保護膜PSVの下層に位置づけて形成しているため、容量素子Cstgの誘電体膜は該保護膜PSVと絶縁膜GIの2層構造とはならず該絶縁膜GIのみとなる。

【0154】

このため容量素子Cstgの容量値は絶縁膜GIの膜厚と対向電圧信号線CLと画素電極PXとの重畳面積によって設定でき、その設定が容易にできるようになる。

30

《対向電極CT》

対向電極CTの断面は図27に示されている。

【0155】

2層構造からなる対向電極CTは、各層のエッチングレートを考慮した選択エッチングによって、その側壁に透明基板SUB1側に未広がり状となるテーパ面を形成できる。これにより、絶縁膜GIの乗り越え部におけるクラック等の障害を回避でき、画素電極PXとの間の電界の分布等を安定化できる。

《ドレイン信号線DL》

40

ドレイン信号線DLの断面は図27に示されている。

【0156】

ドレイン信号線DLはレジストリフロー方式からなる薄膜トランジスタTFTと並行して形成され、半導体層AS、高濃度層 d_0 、Mo層 d_1 の順次積層体から構成され、その側壁において、透明基板SUB1側に未広がり状となるテーパが形成されるようになり、しかも、このテーパ面の途中において、詳しくは高濃度層 d_0 の下層の半導体層ASの部分において段差が形成されるようになる。なお、薄膜トランジスタTFTの形成にはレジストリフロー方式に代えて上述のハーフ露光を行ってもよい。

【0157】

このため、このドレイン信号線DLの上層に形成される保護膜PSVおよび配向膜ORI

50

の乗り越え障害を十分に回避することができる。

《ゲート端子部 G T M、コモン端子部 C T M》

実施例 1 に示したゲート端子部 G T M (図 5) と同様の構成となっている。また、コモン端子部 C T M においても、その対向電圧信号線 C L がゲート信号線 G L と同層でかつ同材料からなる 2 層構造であることから該ゲート端子部 G T M と同様の構成となっている。

《ドレイン端子部 D T M》

実施例 1 に示したドレイン端子部 D T M (図 6) と同様の構成となっている。

《薄膜トランジスタ T F T》

実施例 1 に示した薄膜トランジスタ T F T (図 2) と同様の構成となっている。

【 0 1 5 8 】

10

実施例 5 .

図 2 8 は横電界方式の液晶表示装置の画素の他の実施例を示す平面図である。

【 0 1 5 9 】

同図は画素電極 P X および対向電極 C T をともにたとえば I T O 膜等のような透明導電層で形成するとともにたとえば対向電極 C T は画素電極 P X と重ねられて画素領域のほぼ全域に形成されている。

【 0 1 6 0 】

すなわち、対向電極 C T は透明基板 S U B 1 面にて画素領域の僅かな周辺を除く中央部の全域に形成されている。

【 0 1 6 1 】

20

この対向電極 C T には、画素領域の中央にて図中 x 方向に走行して形成される対向電圧信号線 C L を介して対向電圧信号が供給されるようになっている。

【 0 1 6 2 】

この対向電圧信号線 C L は対向電極 C T 上に直接形成されるもので、ゲート信号線 G L の形成の際に同時に形成されるようになっている。このため、対向電圧信号線 C L は 2 層構造となっており、その下層は I T O 膜で上層は M o 層で構成されている。

【 0 1 6 3 】

また、画素電極 P X は、対向電極 C T (対向電圧信号線 C L) を被う絶縁膜 G I 上に形成され、たとえばドレイン信号線 D L と平行に延在されたストライプ状のパターンをなし、該ドレイン信号線 D L と直交する方向に並設された複数の電極からなる。

30

【 0 1 6 4 】

これら各画素電極 P X は薄膜トランジスタ T F T 側の端部にて共通接続されるとともに、薄膜トランジスタ T F T の半導体層 A S 面にまで延在されて該薄膜トランジスタ T F T のソース電極 S D 2 を構成する。

【 0 1 6 5 】

この薄膜トランジスタ T F T は、実施例 1 と同様にレジストリフロー方式によって形成されている。

《対向電圧信号線 C L 》

対向電圧信号線 C L の断面は図 3 0 に示されている。

【 0 1 6 6 】

40

2 層構造からなる対向電圧信号線 C L は、各層のエッチングレートを考慮した選択エッチングによって、その側壁に透明基板 S U B 1 側に末広がり状となるテーパ面を形成できる。これにより、絶縁膜 G I の乗り越え障害を回避できる。

【 0 1 6 7 】

また、対向電圧信号線 C L は、I T O 膜からなる対向電極 C T の上面に形成され、その下層は I T O 膜で構成されていることから、該対向電極 C T との密着性を確保することができる。

《ドレイン信号線 D L 》

ドレイン信号線 D L の断面は図 2 9 に示されている。ドレイン信号線 D L はレジストリフロー方式からなる薄膜トランジスタ T F T と並行して形成され、半導体層 A S、高濃度層

50

d_0 、 Mo 層 d_1 の順次積層体から構成され、その側壁において、透明基板SUB1側に未広がり状となるテーパが形成されるようになり、しかも、このテーパ面の途中において、詳しくは高濃度層 d_0 の下層の半導体層ASの部分において段差が形成されるようになる。なお、薄膜トランジスタTFETの形成にはレジストリフロー方式に代えて上述のハーフ露光を用いてもよい。

【0168】

このため、このドレイン信号線DLの上層に形成される保護膜PSVおよび配向膜ORIの乗り越え障害を十分に回避することができる。

《ゲート端子部GTM、コモン端子部CTM》

実施例1に示したゲート端子部GTM(図5)と同様の構成となっている。

10

《ドレイン端子部DTM》

実施例1に示したドレイン端子部DTM(図6)と同様の構成となっている。

《薄膜トランジスタTFET》

実施例1に示した薄膜トランジスタTFET(図2)と同様の構成となっている。

【0169】

実施例6

図31は本発明による液晶表示装置の画素の他の実施例を示す平面図で、図25と対応した図となっている。

【0170】

図31は、ハーフ露光方式を経て形成された画素の構成を示す。ここで、ゲート信号線GLは上述した実施例と同様にITO膜と Mo 層との2層構造となっているがこの構成は図示されていない。

20

《容量素子Cstg》

容量素子Cstgの断面は図32に示されている。

【0171】

容量素子Cstgは対向電圧信号線CLの上面に絶縁膜GIを介して画素電極をPXを重畳させて構成されている。

【0172】

対向電圧信号線CLはゲート信号線GLと同様に下層がITO膜 g_1 で上層が Mo 層 g_2 の2層構造からなり、画素電極PXは半導体層AS、高濃度層 d_0 、 Mo 層 d_1 、ITO膜ITO1の順次積層体からなっている。

30

《画素電極PX》

画素電極PXの断面は図33において明確に示されている。

【0173】

上述したように、画素電極PXは半導体層AS、高濃度層 d_0 、 Mo 層 d_1 、ITO膜の順次積層体からなっている。

【0174】

この場合、画素電極PXによる段差の不都合が考えられるが、その側壁は透明基板SUB1側に未広がりとなるなだらかなテーパ面が形成されることから、この上面に形成される保護膜PSVおよび配向膜ORIの乗り越え障害を充分緩和させることができる。

40

《ドレイン信号線DL》

ドレイン信号線DLの断面は図33に示されている。

【0175】

ドレイン信号線DLも、画素電極PXと同様に、半導体層AS、高濃度層 d_0 、 Mo 層 d_1 、ITO膜の順次積層体からなっている。

【0176】

このため、ドレイン信号線DLによる段差の不都合が考えられるが、その側壁は透明基板SUB1側に未広がりとなるなだらかなテーパ面が形成されることから、この上面に形成される保護膜PSVおよび配向膜ORIの乗り越え障害を充分緩和させることができる。

《ゲート端子部GTM》

50

ゲート端子部 G T M の断面は図 3 5 に示されている。

【 0 1 7 7 】

ゲート端子部 G T M はゲート信号線 G L の延在端を保護膜 P S V および絶縁膜 G I の順次孔開け（ドライエッチングによる選択エッチング）によって露出させることによって形成される。

【 0 1 7 8 】

同図から明らかなように、下層を I T O 膜 g 1、上層を M o 層 g 2 として形成されるゲート信号線 G L はそのゲート端子部 G T M において上層の M o 層が除去された状態で形成されている。保護膜 P S V および絶縁膜 G I のドライエッチングによる孔開けの際に、選択比のとれない M o 層がエッチングされてしまうからである。

10

【 0 1 7 9 】

しかし、下層の I T O 膜 g 1 は該エッチングのストッパーとしての機能を有して残存し、この I T O 膜 g 1 によって十分にゲート端子部 G T M としての機能を有するようになる。しかも、この I T O 膜 g 1 は酸化され難い材料からなるので、たとえば電食に対して信頼性のあるゲート端子部を構成することができる。

《ドレイン端子部 D T M》

ドレイン端子部 D T M の断面は図 3 6 に示されている。

【 0 1 8 0 】

ドレイン信号線 D L は半導体層 A S、高濃度層 d₀、M o 層 d₁、I T O 膜 I T O 1 の順次積層体から構成されているため、保護膜 P S V に孔開けを行うことによりドレイン端子部 D T M が形成される。

20

【 0 1 8 1 】

保護膜 P S V の孔開けによってドレイン信号線 D L の表面の I T O 膜が露出されるので、電食防止のための I T O 膜形成を特に行う必要はなくなる。

《薄膜トランジスタ T F T》

この実施例では、薄膜トランジスタ T F T はハーフ露光方式で形成されたものとなっている。

【 0 1 8 2 】

図 3 7 (a) ないし (f) は前記薄膜トランジスタ T F T の形成方法の一実施例を示した工程図である。

30

【 0 1 8 3 】

まず、図 3 7 (a) に示すように、ゲート信号線 G L、ゲート絶縁膜 G I の形成の後、このゲート絶縁膜 G I の表面に半導体層 A S、この半導体層 A S の表面に高濃度層 d₀、M o 層 d₁ を形成し、さらに I T O 膜 I T O 1 を形成する。この場合、半導体層 A S、高濃度層 d₀、M o 層 d₁、I T O 膜 I T O 1 は同一のチャンバーで連続して成膜する。

【 0 1 8 4 】

図 3 7 (b) に示すように、I T O 膜の表面にホトレジスト膜 P R E S を形成し、ホトマスクを用いた選択露光を行う。この場合のホトマスクとしては、格子構造のマスク、あるいは M o S i のような半透過型膜の膜厚を制御して製作されたマスクを用い、ドレイン信号線 D L、ドレイン電極 S D 1、およびソース電極の形成領域、これら各電極の間の領域（チャンネル部）に相当する部分の前記ホトレジスト膜 P R E S を残存させるようにする。この場合、チャンネル部上のホトレジスト膜 P R E S の膜厚はそれ以外の領域上のホトレジスト膜 P R E S の膜厚よりも小さくなるようにする。

40

【 0 1 8 5 】

すなわち、チャンネル部において、ホトレジスト、M o 層 d₁、高濃度層 d₀ のエッチング終了時間が、M o 層 d₁、高濃度層 d₀、半導体層 A S のエッチング終了時間と同一（ほぼ同一）になるようにレジスト条件を制御する。

【 0 1 8 6 】

図 3 7 (c) に示すように、ホトレジスト膜 P R E S をマスクとして、このマスクから露出された I T O 層、M o 層 d₁、高濃度層 d₀、半導体層 A S を選択エッチングする（たと

50

えば半導体層 A S 及び高濃度層 d_0 の選択エッチング用ガスとして SF_6 、 CF_4 等のフッ素系ガスが選定される)。

【0187】

これにより、薄膜トランジスタ T F T を構成する半導体層 A S は島状にエッチングされることになるが、そのチャネル部は少なくとも高濃度層 d_0 をエッチングするに止まる。その後前記ホトレジスト膜 P R E S を除去する。

【0188】

図 37 (d) に示すように、保護膜 P S V を形成する。

【0189】

図 37 (e) に示すように、保護膜 P S V の表面に画素領域の周辺部 (薄膜トランジスタ T F T の形成領域を含む) を除く中央部に開口がなされたホトレジスト膜 P R E S を形成する。

10

【0190】

図 37 (f) に示すように、このホトレジスト膜 P R E S をマスクとし、このマスクから露出された保護膜 P S V を除去する。なお、この保護膜 P S V の孔開けの際は、ゲート端子部 G T M およびドレイン端子部 D T M における孔開けも同時に行う。その後、該ホトレジスト膜 P R E S を除去する。

《製造方法》

図 38 (a) ないし (e) は、上述した液晶表示装置の製造方法の一実施例を示す工程図である。

20

【0191】

同図は、図 37 の工程図に、さらにゲート端子部 G T N の部分の工程図をも併せ描いた図となっている。

【0192】

図 38 (a) は図 37 (b) に対応し、図 38 (c) は図 37 (c) に対応し、図 38 (d) は図 37 (e) に対応し、図 38 (e) は図 37 (f) に対応している。

【0193】

一連の工程は図 39 の表に示すようになっており、この表から判るように、ホト工程は、ゲート信号線 G L のパターニング、ドレイン信号線 D L (ドレイン電極、ソース電極) のパターニング、保護膜 P S V のパターニングの 3 回で済むようになる。

30

【0194】

実施例 7 .

図 40 は本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 28 と対応した図となっている。すなわち、たとえば I T O 膜からなる対向電極 C T が画素領域の大部分に形成され、たとえば I T O 膜からなるストライプ状の画素電極 P X が複数並設されている。この実施例の場合、対向電極 C T と画素電極 P X との間に介在される絶縁膜は絶縁膜 G I と保護膜 P S V の 2 層構造となっている。そして、薄膜トランジスタ T F T はレジストリフロー方式によって形成されている。

【0195】

なお、図 40 の 41 - 41 線の断面図を図 41 に、42 - 42 線の断面図を図 42 に、44 - 44 線の断面図を図 44 に、45 - 45 線の断面図を図 45 に示している。

40

《ドレイン信号線 D L 》

ドレイン信号線 D L は図 41 に示されている。ドレイン信号線 D L は絶縁膜 G I 上に形成され、半導体層 A S、高濃度層 d_0 、M o 層 d_1 の順次積層体で構成されている。

【0196】

そして、レジストリフロー方式で形成される薄膜トランジスタ T F T と並行して形成されるため、ドレイン信号線 D L の側壁はその半導体層 A S 面に段差を有するなだらかなテーパ面 (透明基板 S U B 1 側へ末広がる) が形成されている。

《ゲート信号線 G L 》

ゲート信号線 G L の断面は図 42 に示されている。ゲート信号線 G L は透明基板 S U B 1

50

上に形成され、ITO膜g1とMo膜g2の順次2層膜から構成されている。その側壁は透明基板SUB1側へ未広がりとなるなだらかなテーパ面が形成されている。

《対向電圧信号線CL》

対向電圧信号線CLの断面は図42に示されている。対向電圧信号線CLはゲート信号線GLと同様にITO膜g1とMo膜g2の順次2層膜から構成されているが、このうちITO膜g1はMo膜g2に対して幅広に形成され対向電極CTの機能をもたせるようにしている。

【0197】

このように、対向電極CTは1層構造となっているにも拘らず、対向電圧信号線CLは該対向電極CTを構成する層の上にさらに別の材料の層が形成された2層構造となっているが、この対向電圧信号線CLと対向電極CTとの形成はハーフ露光方式の採用によって1回のホト工程で形成することができる。

【0198】

図43(a)ないし(d)は、このような場合の工程を示す図である。

【0199】

まず、図43(a)に示すように、透明基板SUB1の表面にたとえばITO膜g1とMo層g2の順次積層体が形成されている。

【0200】

そして、この積層体の表面に選択的にホトレジスト膜PRESが形成されているが、図43(b)に示すように、これらは異なる領域においてそれぞれ厚さが異なっている。このように厚さの異なるホトレジスト膜の形成は格子構造のホトマスク、あるいはMoSi等のような半透過型膜の膜厚を制御して製作されたホトマスクを用い、いわゆるハーフ露光をすることによって達成できる。

【0201】

その後、図43(c)に示すように、該ホトレジスト膜PRESをマスクとしてエッチングすることにより、上層のMo膜g2を選択エッチングできる。この場合、膜厚の大きなホトレジスト膜はその膜厚を小さくなって残存するが、膜厚の小さなホトレジスト膜は消失するようになる。

【0202】

そして、図43(d)に示すように、残存されたホトレジスト膜PRESをマスクとしてエッチングすることにより、下層のITO膜g1を選択エッチングできる。この場合、ホトレジスト膜が消失された側のMo層g2はこの際にエッチングされることになる。

《ゲート端子部GTM》

ゲート端子部GTMの断面は図44に示されている。ゲート信号線GLを被う絶縁膜GI、保護膜PSVに孔開けをすることによってゲート端子部GTMが形成される。

【0203】

この場合、該孔開けによってゲート信号線GLの上層のMo膜g2が除去され、さらに該孔およびその周辺に形成されたITO膜によってゲート端子部GTMの電食回避をさらに効果的ならしめている。

【0204】

なお、前記ITO膜は画素電極PXの形成と同時に形成されるようになっている。

《ドレイン端子部DTM》

ドレイン端子部DTMの断面は図45に示されている。ドレイン信号線DLを被う保護膜PSVに孔開けをすることによってドレイン端子部DTMが形成される。

【0205】

この場合、該孔およびその周辺に形成されたITO膜によってゲート端子部GTMの電食回避をはかっている。

【0206】

このITO膜も画素電極PXの形成と同時に形成されるようになっている。

《製造方法》

10

20

30

40

50

図46(a)ないし(d)、図47(e)ないし(h)、図48(i)は前記液晶表示装置の製造方法の一実施例を示す工程図で、薄膜トランジスタTFTと対向電極CTの部分を示している。

【0207】

まず、図46(a)に示すように、ゲート信号線GL、ゲート絶縁膜GIの形成の後、このゲート絶縁膜GIの表面に半導体層AS、高濃度層 d_0 、Mo層 d_1 を形成しする。この場合、半導体層AS、高濃度層 d_0 、Mo層 d_0 は同一のチャンパーで連続して成膜する。

【0208】

図46(b)に示すように、ITO膜の表面にホトレジスト膜PRESを形成し、ホトマスクを用いた選択露光を行う。この場合のホトマスクとしては、格子構造のマスク、あるいはMoSiのような半透過型膜の膜厚を制御して製作されたマスクを用い、ドレイン信号線DL、ドレイン電極SD1、およびソース電極の形成領域、これら各電極の間の領域(チャンネル部)に相当する部分の前記ホトレジスト膜PRESを残存させるようにする。この場合、前記チャンネル部上のホトレジスト膜PRESの膜厚はそれ以外の領域上のホトレジスト膜PRESの膜厚よりも小さくなるようにする。

10

【0209】

すなわち、チャンネル部において、ホトレジスト、Mo層 d_1 、高濃度層 d_0 のエッチング終了時間が、Mo層 d_1 、高濃度層 d_0 、半導体層ASのエッチング終了時間と同一(ほぼ同一)になるようにレジスト条件を制御する。

【0210】

図46(c)に示すように、ホトレジスト膜PRESをマスクとして、このマスクから露出されたMo層 d_1 、高濃度層 d_0 、半導体層ASを選択エッチングする(たとえば半導体層AS及び高濃度層 d_0 の選択エッチング用ガスとして SF_6 、 CF_4 等のフッ素系ガスが選定される)。

20

【0211】

これにより、薄膜トランジスタTFTを構成する領域以外の領域において半導体層ASが露出され、ホトレジスト膜PRESはその全域にわたって膜厚が小さくなる。そして、チャンネル部においては該ホトレジスト膜PRESからMo層 d_1 が露出するようになる。

【0212】

図46(d)に示すように、残存されたホトレジスト膜PRESをマスクとしてエッチングする。

30

【0213】

これにより、薄膜トランジスタTFTを構成する領域以外の領域において半導体層ASがエッチングされ絶縁膜GIが露出するようになる。

【0214】

また、チャンネル部においてMo層 d_1 、高濃度層 d_0 がエッチングされ半導体層ASが露出するようになる。

【0215】

図47(e)に示すように、保護膜PSVを形成する。

【0216】

図47(f)に示すように、保護膜PSVの上面に薄膜トランジスタTFTのソース電極SD2のコンタクトホール形成部分に孔開けがされたホトレジスト膜PRESを形成する。そして、このホトレジスト膜PRESをマスクとして保護膜PSVをエッチングする。なお、この保護膜PSVの孔開けの際に、ゲート端子部GTMおよびドレイン端子部DTMにおける孔開けも同時に行う。その後該ホトレジスト膜PRESを除去する。

40

【0217】

図47(g)に示すように、保護膜PSVにコンタクトホールが形成され、このコンタクトホールからは薄膜トランジスタTFTのソース電極SD2の一部が露出される。

【0218】

図47(h)に示すように、保護膜PSV上にITO膜を形成し、このITO膜上に画素

50

電極 P X および薄膜トランジスタ T F T のソース電極 S D 2 と接続される画素電極 P X の延在部を形成する領域上にホトレジスト膜 P R E S を形成する。

【 0 2 1 9 】

図 4 8 (i) に示すように、前記ホトレジスト膜 P R E S をマスクとして I T O 膜をエッチングし、その後、該ホトレジスト膜 P R E S を除去する。

【 0 2 2 0 】

実施例 8 .

図 4 9 は本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 4 0 と対応した図となっている。

【 0 2 2 1 】

図 4 0 の場合と異なる部分はレジストリフロー方式を採用しているとともに、保護膜 P S V にコンタクト孔が形成されていない構造となっている。

【 0 2 2 2 】

なお、図 4 9 の 5 0 - 5 0 の断面を図 5 0 に、5 1 - 5 1 の断面を図 5 1 に示している。

《ドレイン信号線 D L 》

ドレイン信号線 D L の断面は図 5 0 に示されている。このドレイン信号線 D L は半導体層 A S、高濃度層 d_0 、M o 層 d_1 、I T O 層 I T O 1 の順次積層体から構成されている。ここで、I T O 層 I T O 1 は積層体の側壁にまで及んで形成され、換言すれば、ドレイン信号線 D L 全体を覆うようにして形成されている。

《ゲート信号線 G L 》

ゲート信号線 G L の断面は図 5 1 に示されている。ゲート信号線 G L は透明基板 S U B 1 上に形成され、I T O 膜 g_1 と M o 膜 g_2 の順次 2 層膜から構成されている。その側壁は透明基板 S U B 1 側へ末広がりとなるなだらかなテーパ面が形成されている。

《対向電圧信号線 C L 》

対向電圧信号線 C L の断面は図 5 1 に示されている。対向電圧信号線 C L はゲート信号線 G L と同様に I T O 膜 g_1 と M o 膜 g_2 の順次 2 層膜から構成されているが、このうち I T O 膜 g_1 は M o 膜 g_2 に対して幅広に形成され対向電極 C T の機能をもたせるようにしている。

《ドレイン端子部 D T M 》

ドレイン端子部 D T M の断面は図 5 2 に示されている。ドレイン信号線 D L は半導体層 A S、高濃度層 d_0 、M o 層 d_1 、I T O 層 I T O 1 の順次積層体からなり、該 I T O 膜 I T O 1 は積層体の側壁にまで及んで形成されている。

【 0 2 2 3 】

このドレイン信号線 D L を被う保護膜 P S V に孔開けをし、前記 I T O 膜の表面を露出させることによってドレイン端子部 D T M が形成されている。

《製造方法》

図 5 3 (a) ないし (d) は前記液晶表示装置の製造方法の一実施例を示す工程図で、薄膜トランジスタ T F T と対向電極 C T の部分を示している。

【 0 2 2 4 】

まず、図 5 3 (a) に示すように、透明基板 S U B 1 の表面に、ゲート信号線 G L、対向電極 C T、対向電圧信号線 C L を形成した後、これらを被ってゲート絶縁膜 G I を形成する。

【 0 2 2 5 】

絶縁膜 G I の上面に半導体層 A S、高濃度層 d_0 、M o 層 d_1 の順次積層させ、上述したレジストリフロー方式により薄膜トランジスタ T F T およびドレイン信号線 D L を形成する。

【 0 2 2 6 】

このように形成された透明基板 S U B 1 の表面の全域に I T O 膜 I T O 1 を形成し、その表面に画素電極 P X の形成領域に相当する部分にホトレジスト膜 P R E S を形成する。

【 0 2 2 7 】

次に、このホトレジスト膜 P R E S をマスクとして I T O 膜 I T O 1 をエッチングし、図

10

20

30

40

50

53(b)に示すように画素電極PXを形成する。

【0228】

図53(c)に示すように、保護膜PSVを形成する。

【0229】

そして、図53(d)に示すように、図示しないホト工程を経ることによって保護膜PSVに孔開けを行い、画素領域の周辺を除く中央部に保護膜PSVが形成されていない構成とする。

【0230】

なお、この保護膜PSVの孔開けの際は、ゲート端子部GTMおよびドレイン端子部DTMの部分の孔開けを同時に行う。

10

【0231】

なお、上述の実施例では、ドレイン信号線DL、ドレイン電極SD1、ソース電極SD2を構成する導電層 d_1 をモリブデン(Mo)で形成したが、この材料に代えて他の高融点金属、たとえばタングステン(W)、クロム(Cr)、チタン(Ti)、タンタル(Ta)であっても同様の効果を奏する。

【0232】

また、上述した各ITO膜に代えてたとえばIZO(Indium-Zinc-Oxide)膜を用いてもよい。

【0233】

【発明の効果】

20

以上説明したことから明らかなように、本発明による液晶表示装置によれば、信号線の配線比抵抗の小さいものが得られる。

【0234】

また、本発明による液晶表示装置によれば、基板の液晶側の面にて急峻な段差の少ないものが得られる。

【0235】

また、本発明による液晶表示装置の製造方法によれば、その工程の低減を図ることができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の画素の一実施例を示す平面図である。

30

【図2】図1の2-2線における断面図である。

【図3】図1の3-3線における断面図である。

【図4】図1の4-4線における断面図である。

【図5】図1の5-5線における断面図である。

【図6】図1の6-6線における断面図である。

【図7】図1に示すゲート信号線の製造方法の一実施例を示す工程図である。

【図8】図1に示す薄膜トランジスタの製造方法の一実施例を示す工程図である。

【図9】図1に示す液晶表示装置の製造方法の一実施例を示す工程図である。

【図10】図1に示す液晶表示装置の製造方法の一実施例を示す表である。

【図11】本発明による液晶表示装置の他の実施例を示す図で、その薄膜トランジスタの断面を示す図である。

40

【図12】本発明による液晶表示装置の他の実施例を示す図で、そのドレイン信号線およびその近傍の断面を示す図である。

【図13】本発明による液晶表示装置の他の実施例を示す図で、そのゲート端子部の断面を示す図である。

【図14】本発明による液晶表示装置の他の実施例を示す図で、そのドレイン端子部の断面を示す図である。

【図15】本発明による液晶表示装置の他の実施例を示す図で、その薄膜トランジスタの製造方法の一実施例を示す工程図である。

【図16】本発明による液晶表示装置の製造方法の一実施例を示す工程図である。

50

【図 17】本発明による液晶表示装置の製造方法の一実施例を示す表である。

【図 18】本発明による液晶表示装置の他の実施例を示す図で、その薄膜トランジスタの断面を示す図である。

【図 19】本発明による液晶表示装置の他の実施例を示す図で、そのドレイン信号線およびその近傍の断面を示す図である。

【図 20】本発明による液晶表示装置の他の実施例を示す図で、そのゲート端子部の断面を示す図である。

【図 21】本発明による液晶表示装置の他の実施例を示す図で、そのドレイン端子部の断面を示す図である。

【図 22】本発明による液晶表示装置の他の実施例を示す図で、その薄膜トランジスタの製造方法の一実施例を示す工程図である。 10

【図 23】本発明による液晶表示装置の製造方法の一実施例を示す工程図である。

【図 24】本発明による液晶表示装置の製造方法の一実施例を示す表である。

【図 25】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図 26】図 25 の 26 - 26 線における断面図である。

【図 27】図 25 の 27 - 27 線における断面図である。

【図 28】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図 29】図 25 の 29 - 29 線における断面図である。

【図 30】図 25 の 30 - 30 線における断面図である。

【図 31】本発明による液晶表示装置の画素の一実施例を示す平面図である。 20

【図 32】図 25 の 32 - 32 線における断面図である。

【図 33】図 25 の 33 - 33 線における断面図である。

【図 34】図 25 の 34 - 34 線における断面図である。

【図 35】図 25 に示す液晶表示装置のゲート端子部の一実施例を示す断面図である。

【図 36】図 25 に示す液晶表示装置のドレイン端子部の一実施例を示す断面図である。

【図 37】図 25 に示す液晶表示装置の薄膜トランジスタの製造方法の一実施例を示す工程図である。

【図 38】図 25 に示す液晶表示装置の一実施例を示す工程図である。

【図 39】図 25 に示す液晶表示装置の一実施例を示す表である。

【図 40】本発明による液晶表示装置の画素の一実施例を示す平面図である。 30

【図 41】図 40 の 41 - 41 線における断面図である。

【図 42】図 40 の 42 - 42 線における断面図である。

【図 43】ハーフ露光方式を示す説明図である。

【図 44】図 40 の 44 - 44 線における断面図である。

【図 45】図 40 の 45 - 45 線における断面図である。

【図 46】図 40 に示す薄膜トランジスタの製造方法の一実施例を示す工程図である。

【図 47】図 40 に示す薄膜トランジスタの製造方法の一実施例を示す工程図で、図 46 に続く図である。

【図 48】図 40 に示す薄膜トランジスタの製造方法の一実施例を示す工程図で、図 47 に続く図である。 40

【図 49】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図 50】図 49 の 50 - 50 線における断面図である。

【図 51】図 49 の 51 - 51 線における断面図である。

【図 52】図 49 に示すドレイン端子部の断面図である。

【図 53】図 49 に示す薄膜トランジスタの製造方法の一実施例を示す工程図である。

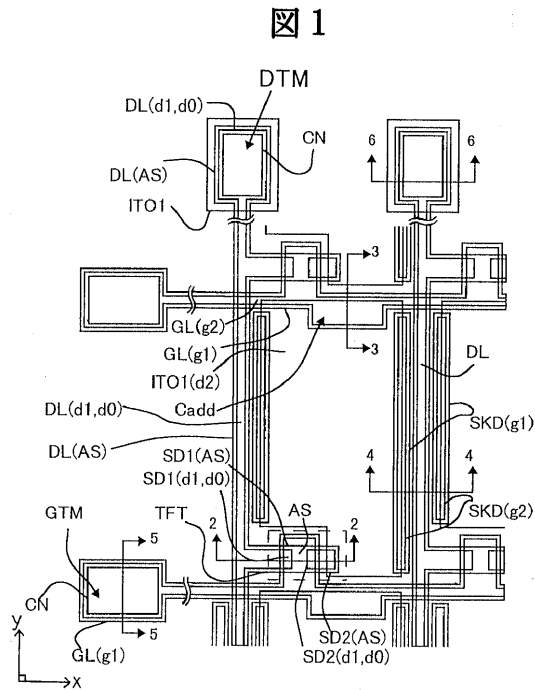
【図 54】本発明による液晶表示装置の等価回路の一実施例を示す図である。

【符号の説明】

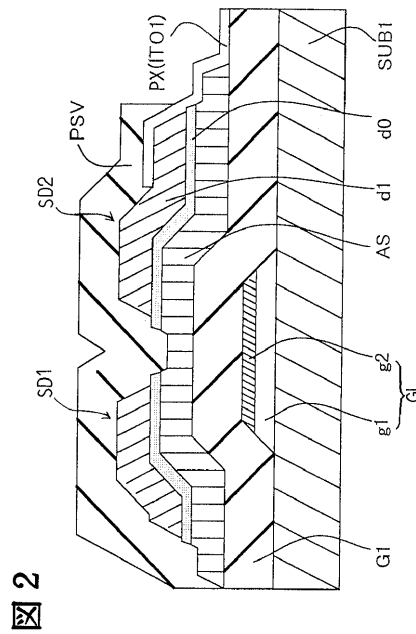
SUB...透明基板、GL...ゲート信号線、DL...ドレイン信号線、TFT...薄膜トランジスタ、Cadd、Cstg...容量素子、PX...画素電極、CT...対向電極、CL...対向電圧信号線、ITO...ITO膜、AS...半導体層、d₀...高濃度層、d₀...Mo層、BM...ブ 50

ラックマトリクス、GI...絶縁層、SKD...遮光膜、PSV...保護膜、ORI...配向膜。

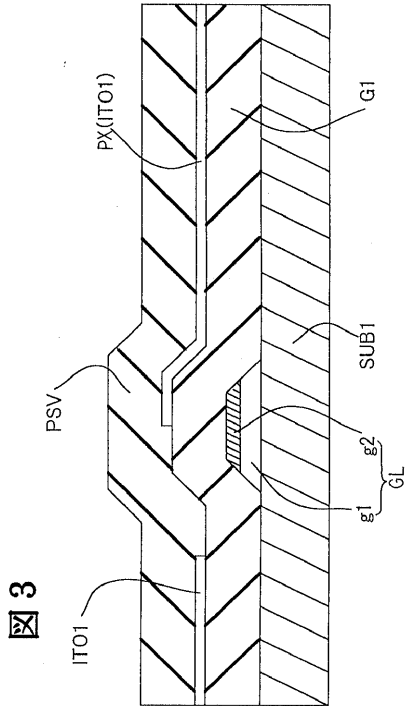
【図1】



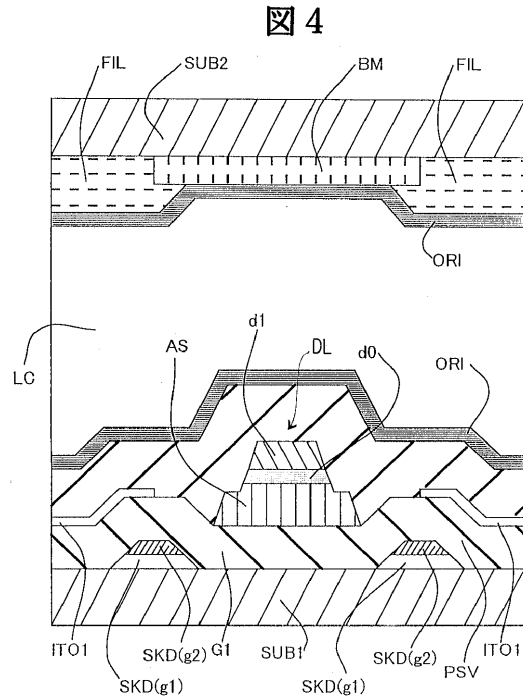
【図2】



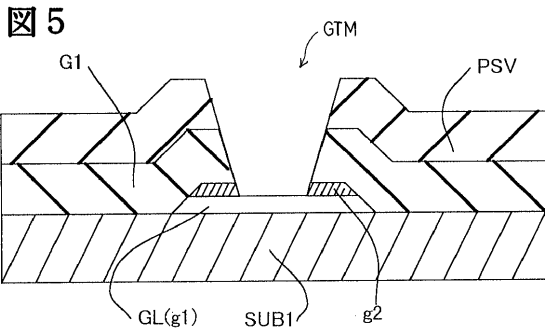
【 図 3 】



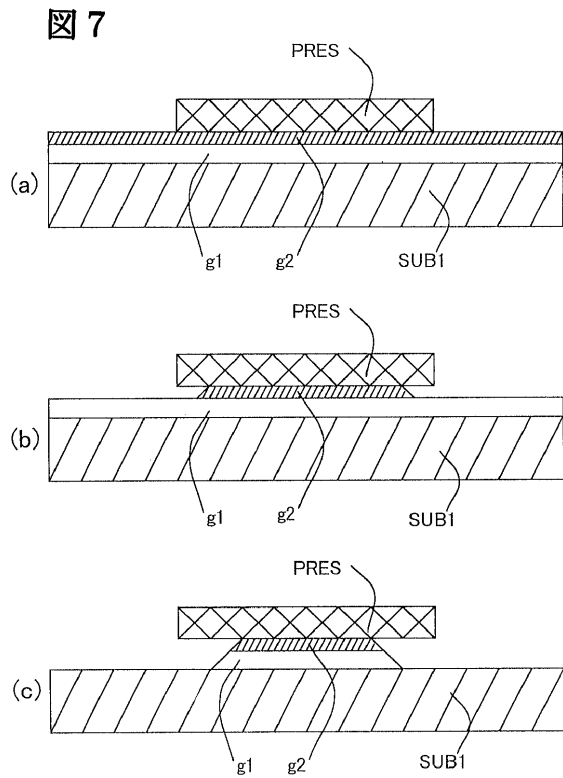
【 図 4 】



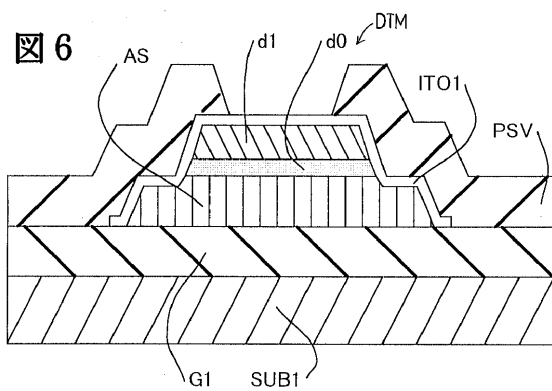
【 図 5 】



【 図 7 】



【 図 6 】

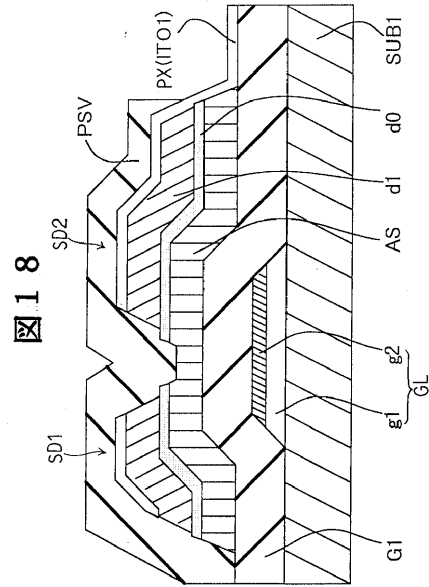


【図17】

図17

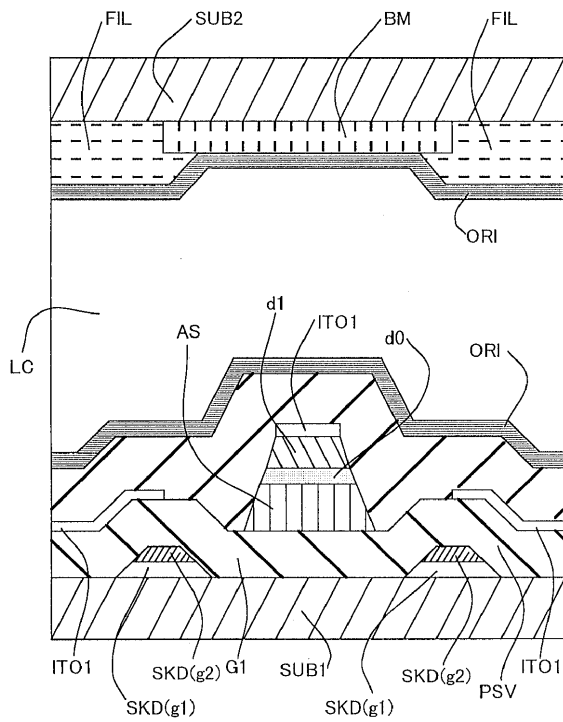
1	ゲートMo/ITO成膜
2	フォト① ゲートパターンニング
3	レジスト剥離
4	CVD3層150メタル連続成膜
5	フォト② ハーフ露光技術
6	チャネル部と α -Siエッチング
7	レジストを剥離
8	面蒸ITO成膜
9	フォト③ 面蒸ITO加工
10	レジストを剥離
11	PAS成膜
12	フォト④ 面蒸出し
13	レジストを剥離

【図18】



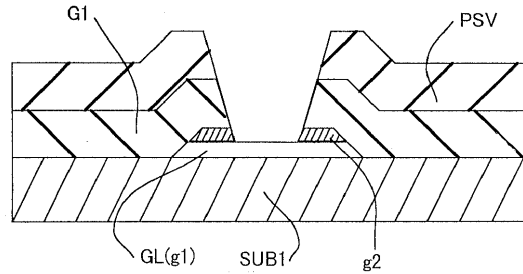
【図19】

図19



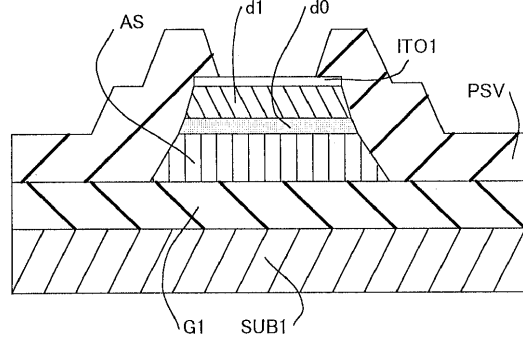
【図20】

図20



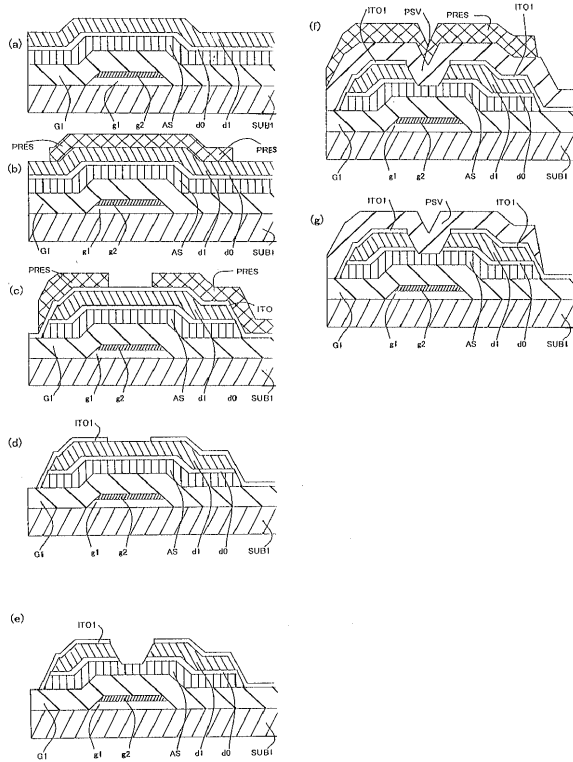
【図21】

図21



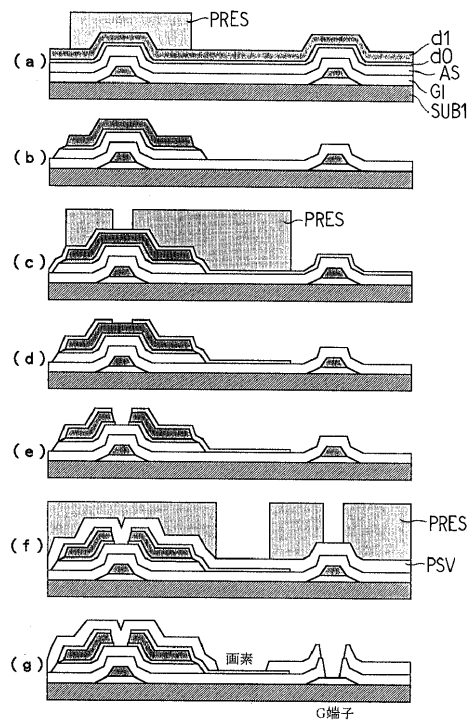
【図22】

図22



【図23】

図23



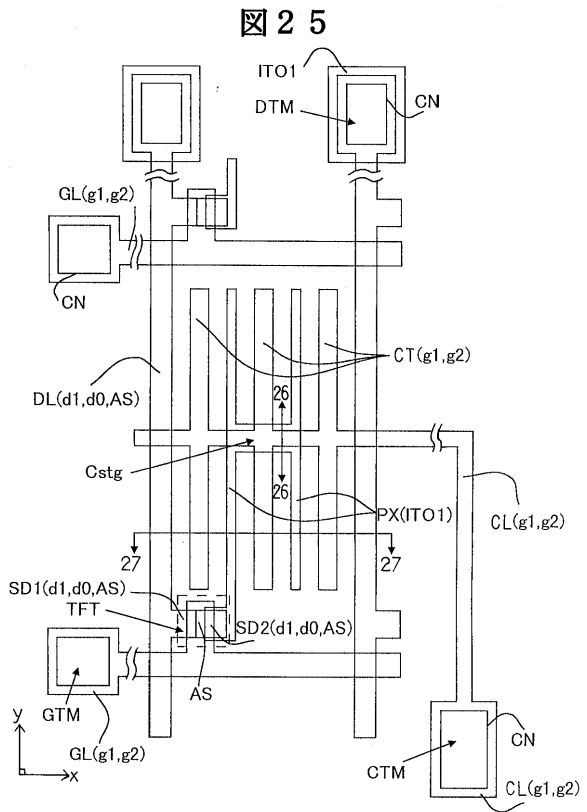
【図24】

図24

1	ゲートMo/ITO成膜
2	フォト① ゲートパターンニング
3	レジスト剥離
4	CVD3層+SDメタル連続成膜
5	フォト② a-Siパターンニング
6	a-Siエッチング
7	レジストを剥離
8	画素ITO成膜
9	フォト③ チャネルパターンニング
10	チャネルITOエッチング
11	レジスト剥離
12	チャネルエッチ (ITOマスク)
13	PAS成膜
14	フォト④ 画素出し
15	レジストを剥離

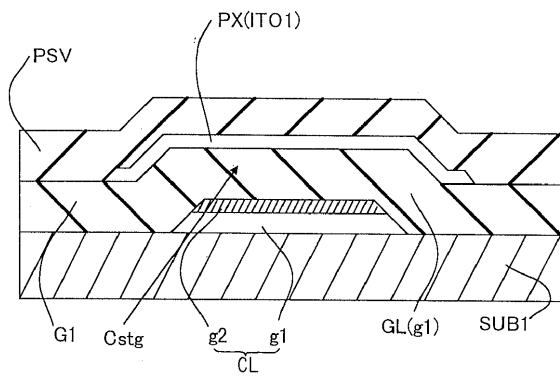
【図25】

図25



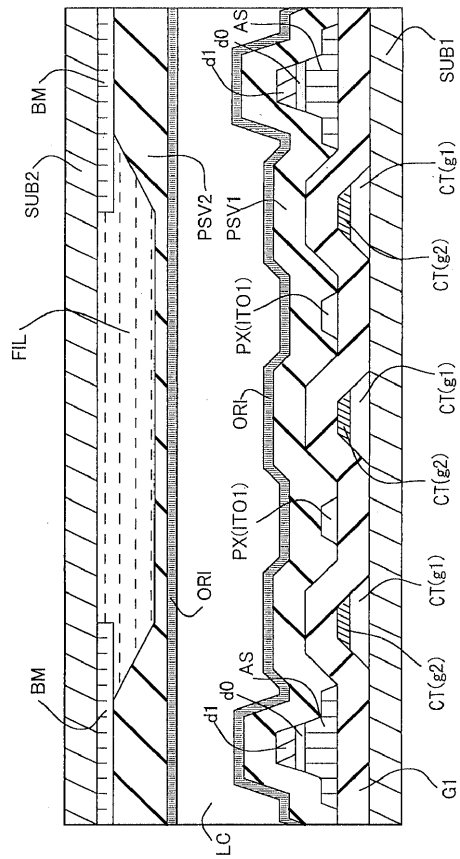
【 図 2 6 】

図 2 6



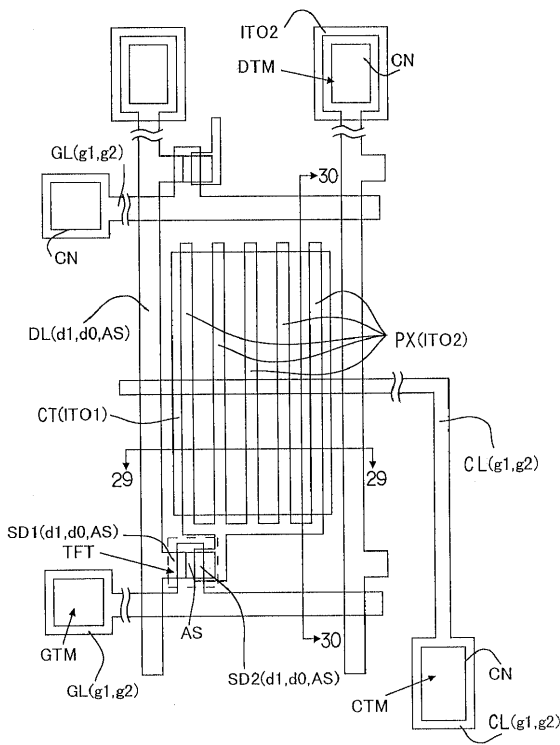
【 図 2 7 】

図 2 7



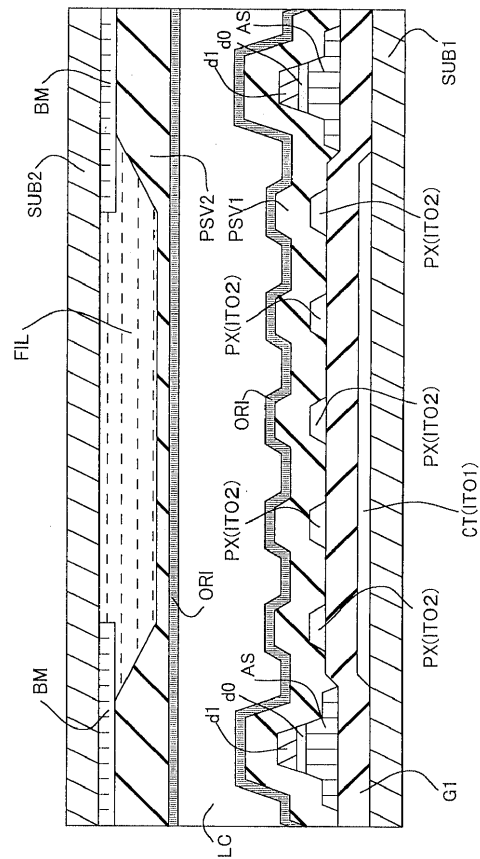
【 図 2 8 】

図 2 8



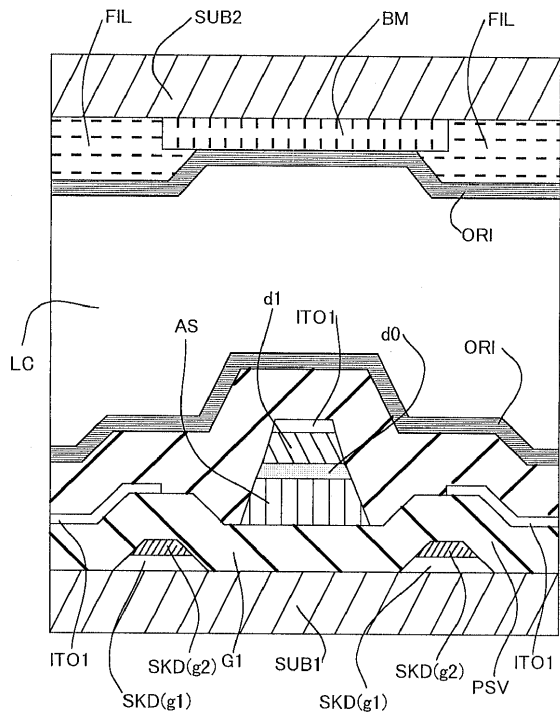
【 図 2 9 】

図 2 9



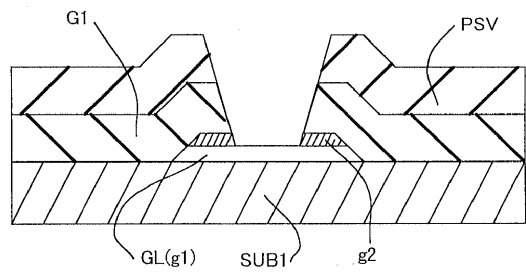
【 図 3 4 】

図 3 4



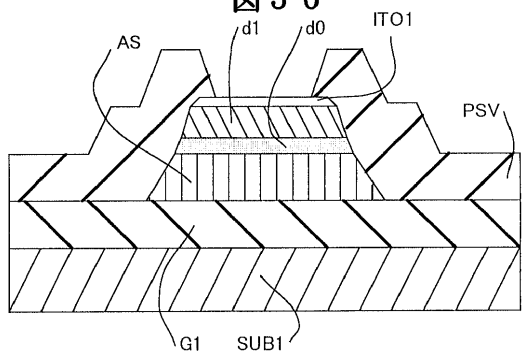
【 図 3 5 】

図 3 5



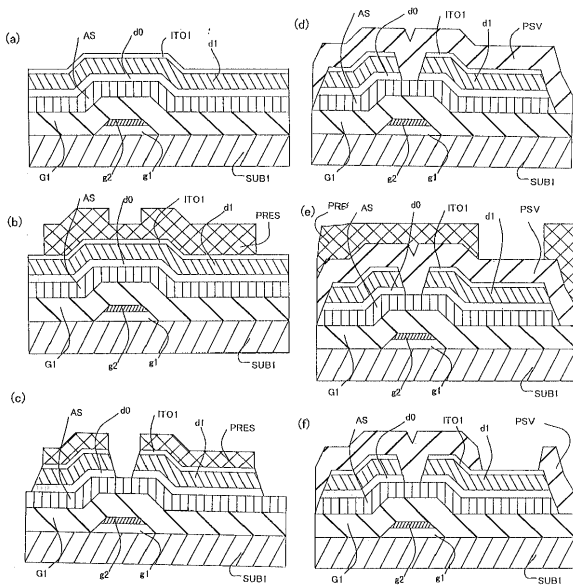
【 図 3 6 】

図 3 6



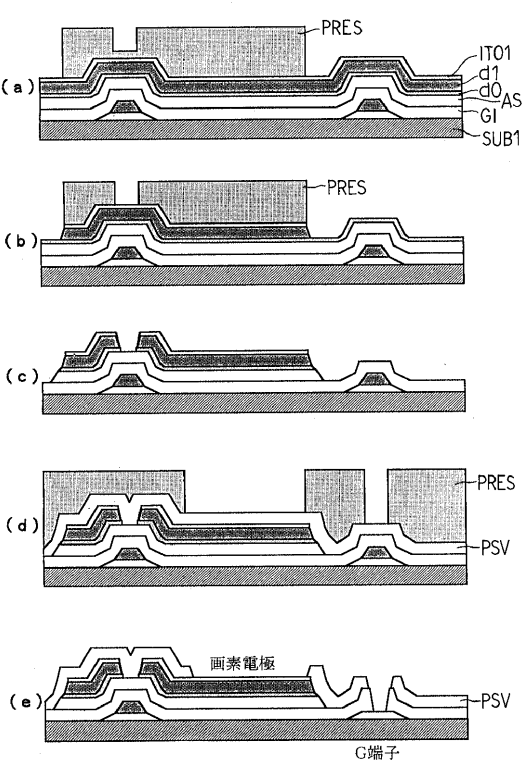
【 図 3 7 】

図 3 7



【 図 3 8 】

図 3 8



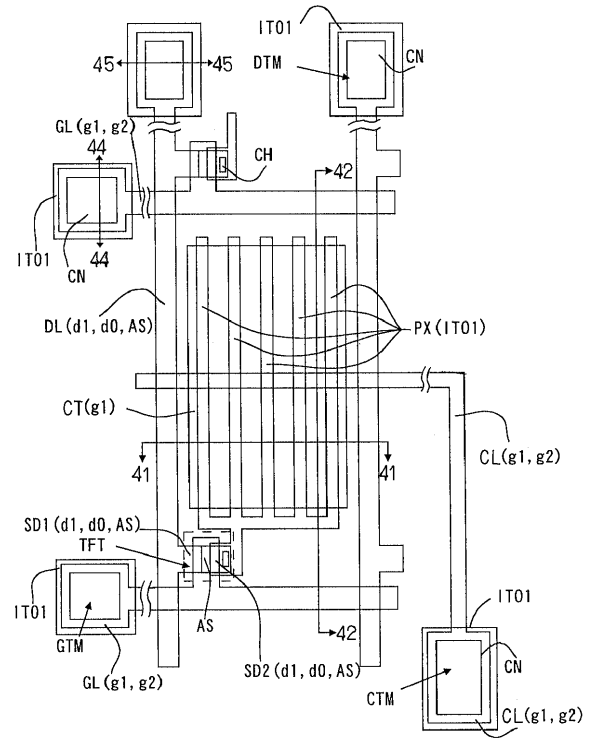
【 図 3 9 】

図 3 9

1	ゲートMo/ITO成膜
2	フォトリソ① ゲートパターンニング
3	レジスト剥離
4	CVD3層+SDメタル+ITO連続成膜
5	フォトリソ② ハーフ露光技術
6	チャネル部とa-Siと画素部エッチング
7	レジストを剥離
8	PAS成膜
9	フォトリソ③ 画素出し
10	レジストを剥離

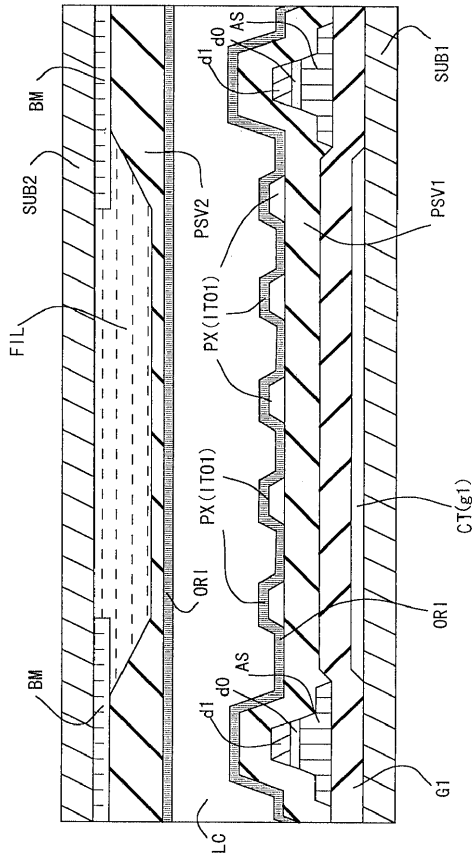
【 図 4 0 】

図 4 0



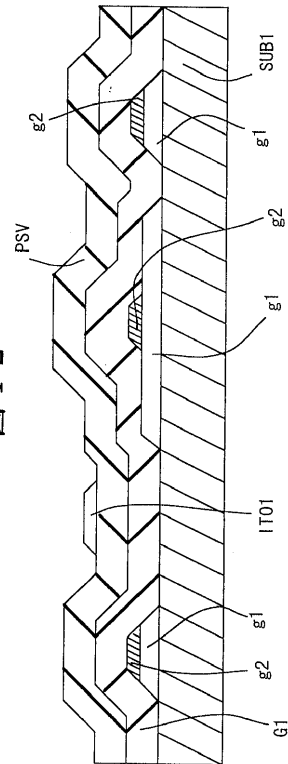
【 図 4 1 】

図 4 1



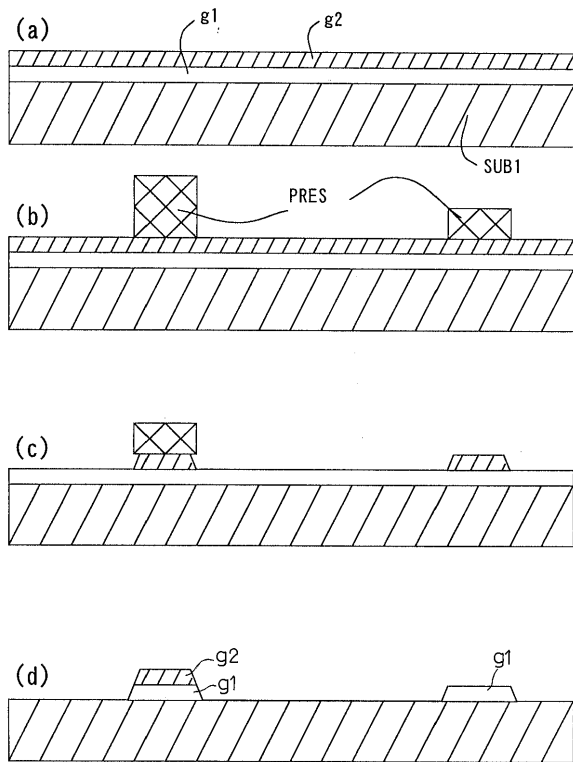
【 図 4 2 】

図 4 2



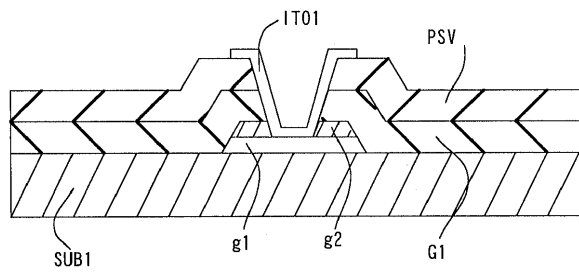
【 図 4 3 】

図 4 3



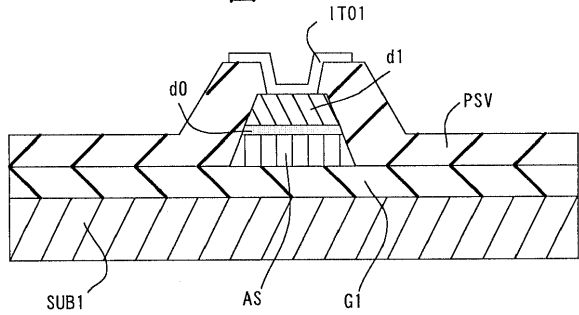
【 図 4 4 】

図 4 4



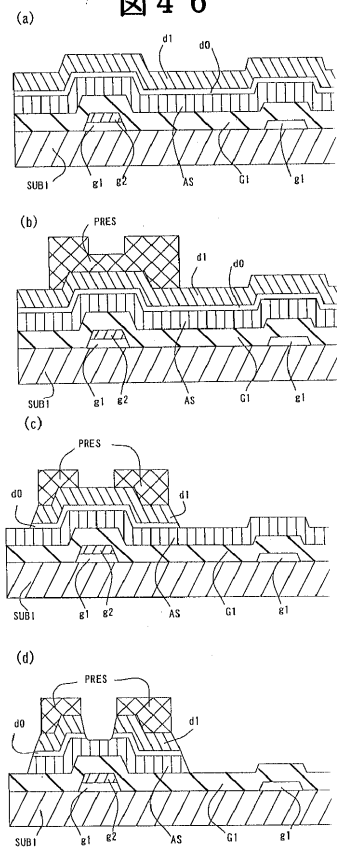
【 図 4 5 】

図 4 5



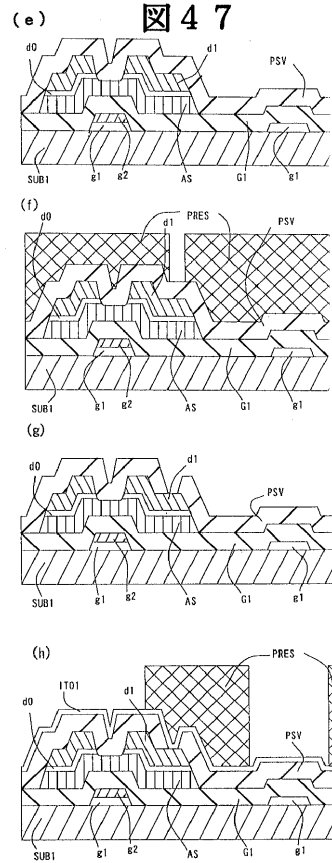
【 図 4 6 】

図 4 6

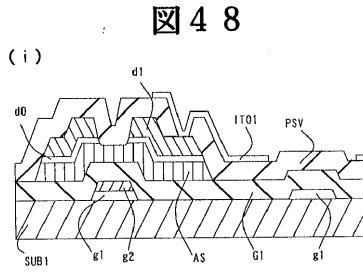


【 図 4 7 】

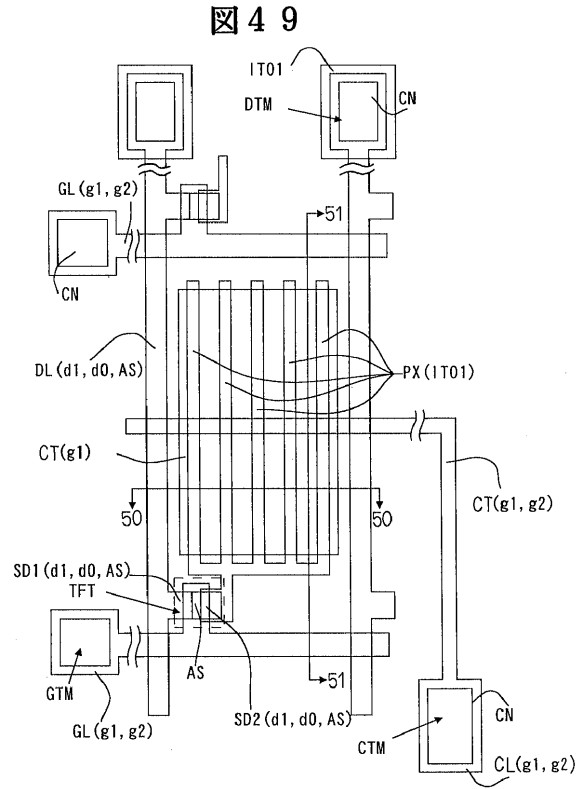
図 4 7



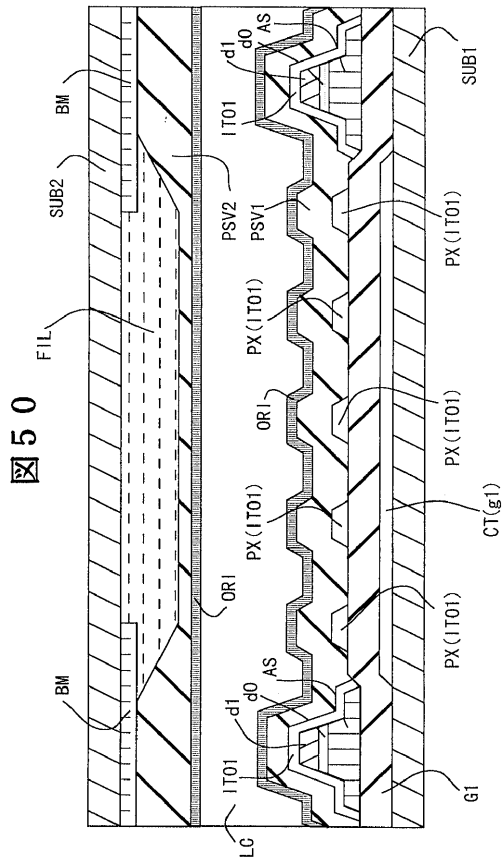
【 図 48 】



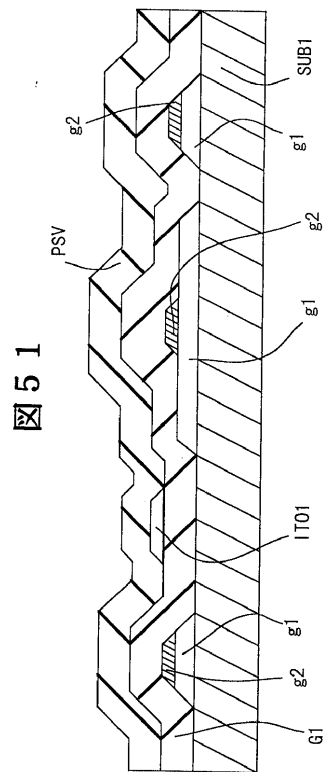
【 図 49 】



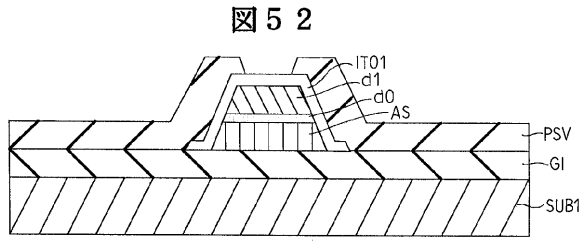
【 図 50 】



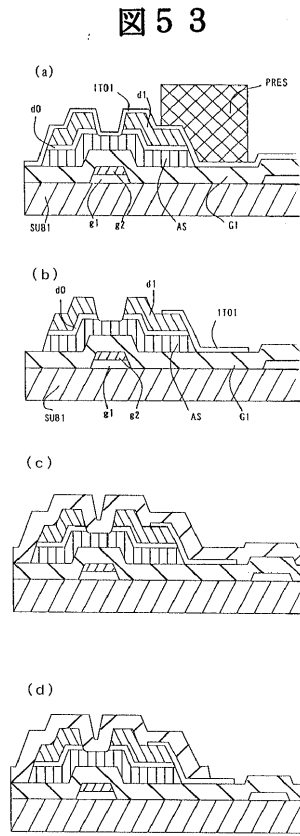
【 図 51 】



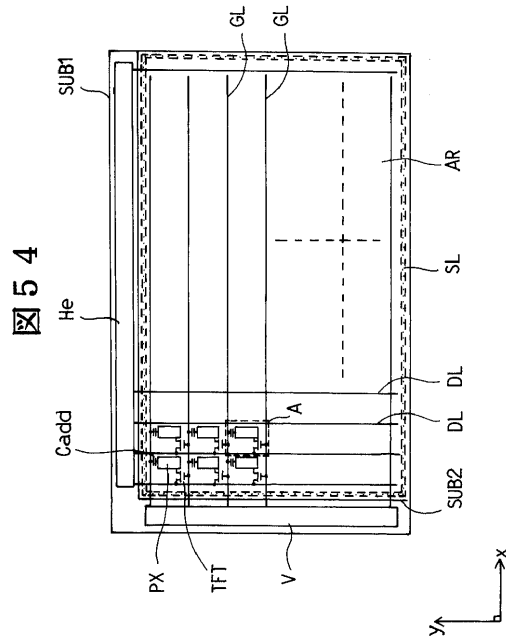
【 5 2 】



【 5 3 】



【 5 4 】



フロントページの続き

審査官 福田 知喜

- (56)参考文献 特開平06-095152(JP,A)
特開平03-209223(JP,A)
特開2000-206571(JP,A)
特開2000-162647(JP,A)
特開2000-066233(JP,A)
特開平05-027265(JP,A)
特開平08-050308(JP,A)
特開平08-136951(JP,A)
特開平07-134313(JP,A)
特開平11-052421(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368
G02F 1/1343
G09F 9/30
H01L 21/336
H01L 29/786

专利名称(译)	液晶显示装置的制造方法		
公开(公告)号	JP4342711B2	公开(公告)日	2009-10-14
申请号	JP2000286046	申请日	2000-09-20
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	桶隆太郎 仲吉良彰 小野記久雄		
发明人	桶隆太郎 仲吉良彰 小野記久雄		
IPC分类号	G02F1/1368 G02F1/1343 G09F9/30 H01L21/336 H01L29/786 G02F1/136 G02F1/1362		
CPC分类号	G02F1/136286 G02F2001/13629		
FI分类号	G02F1/1368 G02F1/1343 G09F9/30.336 H01L29/78.612.D H01L29/78.617.L G02F1/136.500		
F-TERM分类号	2H092/GA14 2H092/JA25 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA44 2H092/JB13 2H092/JB23 2H092/JB24 2H092/JB32 2H092/JB33 2H092/JB51 2H092/JB56 2H092/JB63 2H092/JB69 2H092/KA07 2H092/KA16 2H092/KA18 2H092/KB14 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA27 2H092/MA35 2H092/MA37 2H092/MA41 2H092/NA22 2H092/NA25 2H092/NA28 2H092/NA29 2H092/PA09 2H192/AA24 2H192/BB02 2H192/BB13 2H192/BB42 2H192/BB73 2H192/BB86 2H192/CB05 2H192/CB46 2H192/CC12 2H192/CC32 2H192/CC52 2H192/CC72 2H192/CC75 2H192/DA02 2H192/DA32 2H192/EA03 2H192/EA22 2H192/EA43 2H192/EA74 2H192/FA65 2H192/GA41 2H192/HA44 2H192/HA47 2H192/JA32 5C094/AA21 5C094/AA24 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA03 5C094/EA04 5C094/EA05 5C094/EA07 5C094/FB02 5C094/FB12 5C094/FB15 5F110/AA16 5F110/BB01 5F110/CC07 5F110/EE04 5F110/EE07 5F110/EE14 5F110/EE23 5F110/GG02 5F110/GG15 5F110/GG22 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK21 5F110/NN24 5F110/NN45 5F110/NN46 5F110/NN72 5F110/NN73 5F110/QQ05 5F110/QQ08 5F110/QQ09		
审查员(译)	福田 知喜		
其他公开文献	JP2002090779A		
外部链接	Espacenet		

摘要(译)

要解决的问题：减少信号线的布线电阻。解决方案：通过液晶彼此相对设置的各个基板的一个基板的液晶侧上的像素区域设置有薄膜晶体管，该薄膜晶体管通过从栅极信号线和像素电极提供扫描信号而被驱动。其中视频信号通过薄膜晶体管从漏极信号线提供。栅极信号线由至少形成在基板表面上的ITO膜和形成在ITO膜上层上的Mo层的多层结构组成。

2

