

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4224663号
(P4224663)

(45) 発行日 平成21年2月18日 (2009. 2. 18)

(24) 登録日 平成20年12月5日 (2008. 12. 5)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
 G02F 1/133 (2006.01)
 G09G 3/20 (2006.01)
 H04N 5/66 (2006.01)

G09G 3/36
 G02F 1/133 505
 G09G 3/20 611E
 G09G 3/20 650C
 G09G 3/20 650B

請求項の数 4 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2000-274231 (P2000-274231)
 (22) 出願日 平成12年9月8日 (2000. 9. 8)
 (65) 公開番号 特開2002-23713 (P2002-23713A)
 (43) 公開日 平成14年1月25日 (2002. 1. 25)
 審査請求日 平成16年6月2日 (2004. 6. 2)
 (31) 優先権主張番号 2000-36226
 (32) 優先日 平成12年6月28日 (2000. 6. 28)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100109726
 弁理士 園田 吉隆
 (74) 代理人 100101199
 弁理士 小林 義教
 (72) 発明者 白 宗尚
 大韓民国 慶北 龜尾市 荊谷洞 169
 ジュコン-4ブロック 404-506
 號

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 マルチ・タイミング・コントローラーを有する液晶表示装置 (LiquidCrystalDisplayDevice with Multi-timing Controller)

(57) 【特許請求の範囲】

【請求項 1】

配列された画素に対応する表示規格を有する液晶パネルと；外部から入力されるデータと前記表示規格に対応する制御信号の入力を受けるインターフェースと；前記インターフェースから入力されるデータをラッチ出力して、前記制御信号から液晶パネルを駆動するためのタイミング信号を作成して出力するタイミング・コントローラーと；前記タイミング・コントローラーから前記タイミング信号の入力を受けて前記データに対応して液晶パネルに画像を表示する駆動回路とを有する液晶表示装置において、

前記タイミング・コントローラーが、複数の表示規格に対応して一つの表示規格を設定してこれに対応する設定信号を作成する表示規格の設定部と、

複数の表示規格によるそれぞれのタイミング作成情報とを具備して前記設定信号に対応するタイミング情報を出力する選択部と、

前記タイミング情報の入力を受けて前記制御信号からタイミング信号を作成して出力するタイミング作成部とを具備し、

前記タイミング作成部は前記選択部で選択された前記タイミング情報に対応する前記タイミング信号を作成するための第1制御部を具備し、

第1制御部は前記駆動回路において上昇又は下降エッジでデータをラッチするためのソース・サンプリング・クロックによってラッチされたデータを前記液晶パネルに伝達するソース出力イネーブル信号と前記液晶パネル上に配列された薄膜トランジスタのゲートがオン/オフされる時間を決定するゲート・シフト・クロックとを作成して出力し、前記駆

動回路の出力を制御する信号であるゲート出力イネーブル信号を作成し、

前記タイミング情報は、前記ソース出力イネーブル信号と前記ゲート・シフト・クロックと前記ゲート出力イネーブル信号との上昇時点値及び下降時点値を有し、

前記タイミング信号は、ゲート出力イネーブル信号上昇、ゲート出力イネーブル信号下降、ゲート・シフト・クロック上昇、ゲート・シフト・クロック下降、ソース出力イネーブル信号上昇、及びソース出力イネーブル信号下降のタイミング信号を有し、

さらに、前記第1制御部は、

水平同期信号と基準クロックとの入力を受けて、2水平周期の間、該基準クロックをカウントして、基準タイミング値である第1カウント値を出力するための第1カウンタと

10

；
前記第1カウント値から前記ゲート出力イネーブル信号上昇時点値を減算してその減算結果を基準タイミング信号として出力するための減算器と；

前記水平同期信号の周期毎に前記基準クロックをカウントして現在の水平周期に対するカウント値である第2カウント値を出力するための第2カウンタと；

前記第2カウント値と前記基準タイミング信号を比較して前記ゲート出力イネーブル信号上昇のタイミング信号を出力するための第1比較器と；

前記ゲート出力イネーブル信号上昇のタイミング信号を初期化信号として入力されて、1水平周期の間に前記基準クロックをカウントして第3カウント値を出力するための第3カウンタと；

前記第3カウント値の入力を受けて、前記ゲート出力イネーブル信号下降時点値と比較して二つの入力値が同一であるときに、前記ゲート出力イネーブル信号下降のタイミング信号を出力するための第2比較器と；

20

前記第3カウント値の入力を受けて、前記ゲート・シフト・クロック上昇時点値と比較して二つの入力値が同一であるときに、前記ゲート・シフト・クロック上昇のタイミング信号を出力するための第3比較器と；

前記第2カウント値と前記ゲート・シフト・クロック下降時点値と比較して二つの入力値が同一であるときに、ゲート・シフト・クロック下降のタイミング信号を出力するための第4比較器と；

前記第2カウント値と前記ソース出力イネーブル信号上昇時点値と比較して二つの入力値が同一であるときに、前記ソース出力イネーブル信号上昇のタイミング信号を出力する

30

ための第5比較器と；
前記第2カウント値と前記ソース出力イネーブル信号下降時点値と比較して二つの入力値が同一であるときに、前記ソース出力イネーブル信号下降のタイミング信号を出力するための第6比較器とを具備することを特徴とする液晶表示装置。

【請求項2】

前記表示規格の設定部はSVGA、XGA、SXGA、UXGA、VGAの表示規格の中のいずれか一つをディップスイッチによって設定することを特徴とする請求項1記載の液晶表示装置。

【請求項3】

前記選択部は所定の前記タイミング情報を保存するためのメモリか前記メモリに保存された前記タイミング情報の中のいずれか一つのタイミング情報を選択するための信号のマルチプレクサで構成されることを特徴とする請求項1記載の液晶表示装置。

40

【請求項4】

前記タイミング作成部は前記液晶パネル上に設けられた液晶の駆動電圧極性を指示するための液晶極性の反転信号と、一つの垂直同期信号の中で画面の一番目の駆動ラインを前記駆動回路に知らせるためのゲート駆動スタート信号を作成するための第2制御部と；

一つの水平同期時間の中でデータのサンプリングのスタートを前記駆動回路に知らせる信号と、前記ソース・サンプリング・クロックを作成するための第3制御部と；

前記第1制御部で作成された前記ゲート出力イネーブル信号を変形するための第4制御部と；

50

前記入力される水平同期信号を前記第 1 制御部の第 1 カウンターに供給する第 5 制御部とを更に具備することを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に関し、特に多様な表示規格による制御信号からそれぞれの表示規格によるタイミング信号を作成して駆動するマルチ・タイミング・コントローラーを具備する液晶表示装置に関することである。

【0002】

【従来の技術】

10

一般的に液晶表示装置は集積される画素数に対応する固有の解像度を有しており、液晶表示装置の大きさが大きくなるほどその解像度も高くなる。また、高品質の画像をディスプレイするために、液晶表示装置のメーカは同一サイズの液晶表示装置であっても液晶パネルの画素集積率を高めて解像度を高めるようにしている。

液晶表示装置を含めてパーソナルコンピュータの環境下で映像信号及び制御信号の標準は解像度と共に 1989 年 2 月に VESA (Video Electronics Standard Association) で設定した。

【0003】

現在ディスプレイ産業で商業用に主として使用されるディスプレイの標準規格はの代表的なものとしては、Dos Mode (640×350、640×400、720×400)、VGA (640×480)、SVGA (800×600)、XGA (1024×768)、SXGA (1280×1024)、UXGA (1600×1200) を挙げることができる。

20

液晶表示装置は配列されたピクセル数によってその解像度が固定されていて、システムから液晶パネルの解像度に一致する映像信号及びその制御信号を要求した。従って、システムでは多様な表示規格に対応する映像信号及び制御信号をスケイラ・チップを使用して液晶表示装置の解像度及び表示規格に合わせる映像信号及び制御信号で変換して液晶表示装置で供給した。

【0004】

図 1 は一般的な液晶表示装置のブロック構成図である。

30

図 1 を参照すると、インターフェース (10) はパーソナル・コンピュータのような駆動システムから入力されるデータ (RGB Data) 及び制御信号 (例えば、入力クロック、水平同期信号、垂直同期信号、データインベール信号) の入力を受けてタイミング・コントローラー (12) に供給する。主に、駆動システムからデータ及び制御信号伝送のために LVDS (Low Voltage Differential Signal) インターフェース TTL (Transistor Transistor Logic) インターフェースが使用されている。また、このようなインターフェース機能を集めてタイミング・コントローラー (12) と共に単一のチップ (Chip) に集積させて使用してある。

【0005】

タイミング・コントローラー (12) はインターフェース (10) を通して入力される制御信号を利用して図示されない複数個のドライブ集積回路で構成されたデータドライバ (18) と、図示されない複数個のゲートドライブ集積回路で構成されたゲートドライバ (20) を駆動するための制御信号を作成する。また、インターフェース (10) を通して入力されるデータをデータドライバ (18) に伝送する。

40

【0006】

基準電圧発生部 (16) はデータドライバ (18) で使用される DAC (Digital to Analog Converter) の基準電圧を発生するものであるが、この基準電圧は、パネルの透過率・電圧の特性を基準に生産者によって設定される。

データドライバ (18) はタイミング・コントローラー (12) から入力される制御信号に対応して入力データにつれて基準電圧を選択してアナログ映像信号に変換して液晶パネ

50

ル(22)に供給する。

【0007】

ゲートドライブ(20)はタイミング・コントローラー(12)から入力される制御信号に対応して液晶パネル(22)上に配列された薄膜トランジスタ(Thin Film Transister: “TFT”)のゲート端子を1ラインずつオン/オフ(on/off)制御して、前記データドライブ(18)から入力されるアナログ映像信号が各薄膜トランジスタに接続されたピクセルに印加されるようにする。

電源電圧作成部(14)は各構成部の動作電源を供給して液晶パネル(22)の共通電極の電圧を発生させて供給する。

【0008】

上述した構成でタイミング・コントローラー(12)は入力される制御信号に対応して液晶表示装置の駆動のために所定の制御信号を作成する。この時、一般的にタイミング・コントローラー(12)は水平同期信号(Hsync)またはデータイネーブル(Data Enable: 以下“DE”という)のエッジ(Edge)を基準にクロックをカウントして制御信号を作成する。このようなタイミング・コントローラー(12)の出力信号はデータドライブIC及びゲートドライブICの種類によって互いに差を見せることができる。ここでは特集に必要とする信号を除いて共通的に使用される制御信号の種類とタイミングに対して説明する。

【0009】

先に、データドライブ(18)のために必要な制御信号はソース・サンプリング・クロック(Source Sampling Clock: 以下“SSC”という)、ソース出力イネーブル(Source Output Enable: 以下“SOE”という)、ソース・スタート・パルス(Source Start Pulse: 以下“SSP”という)、液晶極性反転(Polarity reverse: 以下“POL”という)、データ極性選択(Data reverse: 以下“REV”という)、奇数/偶数の画素データ(Odd/even Data)信号がある。SSCはデータドライブ(18)でデータをラッチするためのサンプリング・クロックに使用されて、データドライブ集積回路の駆動周波数を決定する。SOEはSSCによってラッチされたデータを液晶パネルに伝達する。SSPは1水平同期期間の中にデータのラッチまたはサンプリング・スタートを知らせる信号である。POLは液晶のインバージョン(Inversion)駆動のために液晶を正、負極性に駆動するための極性を知らせる信号である。REVは伝送されるデータの極性を選択する信号である。奇数/偶数の画素データは奇数番目の画素の奇数データ、偶数番目、画素の偶数データを表す信号である。

【0010】

上述した制御信号を入力として受けるデータドライブの動作を、図2に示す。図2に示すように、先にデータドライブはSSCの上昇または下降エッジでSSPの“High”入力を認識するとSSCに対応して入力されるデータをラッチする。以後、ラッチされたデータをSOEに対応してアナログ出力電圧にデコ・ディングして液晶パネルへ供給する。この時、POLが“High”状態であるとき、共通の電極電圧より高いポジティブデコーダー(Positive Decoder)の出力電圧を選択して、“Low”状態であるとき、共通の電極電圧より低いネガティブデコーダー(Negative Decoder)の出力電圧を選択して液晶パネルを正/負極性でインバージョン駆動する。

【0011】

ゲートドライブ(20)のために必要な制御信号はゲート・シフト・クロック(Gate Shift Clock: 以下“GSC”という)、ゲート出力イネーブル(Gate Output Enable: 以下“GOE”という)、ゲート・スタート・パルス(Gate Start Pulse: 以下“GSP”という)がある。GSCは薄膜トランジスタ(TFT)のゲートがオン/オフ(ON/OFF)される時間を決定する信号である。GOEはゲートドライブの出力を制御する信号である。GSPは一つの垂直同期信号の中で画面の一番目の駆動ラインを知らせる信号である。

【0012】

10

20

30

40

50

上述した制御信号の入力を受けるゲートドライブの動作を、図3に示す。

図3に示すように、まず、ゲートドライブの出力はGSCの上昇または下降エッジでGSPの“High”状態を認識して、GSCの1周期程度の“High”状態を維持するゲート信号を出力する。この時、GOEとゲート出力を組み合わせることでGOEの“High”幅の分だけ出力がディスエーブルされる。

【0013】

このような液晶表示装置は上述したように固有の解像度に対応して入力される映像信号及び制御信号からデータドライブ及びゲートドライブを制御するための制御信号を作成するそれぞれのコントローラが必要であった。

しかし、液晶表示装置としてはVGAからUXGAにいたる多様なディスプレイフォーマットが使用されるために、各解像度によるタイミング・コントローラに対する要求も多様であるために、タイミング・コントローラ開発の費用上昇という問題点を抱えていた。また、一つのタイミング・コントローラを開発したが、異なる表示規格による液晶表示装置に対しては使用できない等の問題点があった。

【0014】

【発明が解決しようとする課題】

本発明の目的は多様な表示規格による制御信号からそれぞれの表示規格によるタイミング信号を作成して駆動するタイミング・コントローラを具備するマルチ・タイミング・コントローラを具備する液晶表示装置を提供することにある。

【0015】

【課題を解決するための手段】

前記目的を達成するために、本発明によるマルチ・タイミング・コントローラ液晶表示装置は、配列された画素に対応する表示規格を有する液晶パネルと；外部から入力されるデータと前記表示規格に対応する制御信号の入力を受けるインターフェースと；インターフェースから入力されるデータをラッチ出力して、制御信号から液晶パネルを駆動するためのタイミング信号を作成して出力するタイミング・コントローラと；タイミング・コントローラからタイミング信号の入力を受けて前記データに対応して液晶パネルに画像を表示する駆動回路と；前記タイミング・コントローラが、複数の表示規格に対応して一つの表示規格を設定してこれに対応する設定信号を作成する表示規格の設定部と、複数の表示規格によるそれぞれのタイミング作成情報とを具備して前記設定信号に対応するタイミング情報を出力する選択部と、タイミング情報の入力を受けて前記制御信号からタイミング信号を作成出力するタイミング作成部とを具備する。

【0016】

【作用】

本発明は外部からタイミング設定データをデコーダ部で入力として受けてこれに該当する所定の昇タイミング・カウンタ値をタイミング作成部に出力する。タイミング作成部は外部から水平同期信号(Hsync)と基準クロックの入力を受けて2水平周期の間に基準クロックをカウンタして基準タイミング値(Tref)を作成して、作成された前記基準タイミング値(Tref)をデコーダ部から入力された前記タイミング・カウンタ値に減算して出力する。次に、タイミング作成部は外部で入力される水平周期を基準クロックにカウンタして現在の水平周期カウンタ値(Htotal)を出力した後、出力された現在の水平周期カウンタ値(Htotal)とタイミング・カウンタ値に減算された基準タイミング値(Tref)と比較して互いに同一の値を有する場合に昇信号を該当ラインに出力する。また、タイミング作成部は現在の水平周期カウンタ値(Htotal)とタイミング・カウンタ値に減算された基準タイミング値(Tref)と比較されて出力された値を初期化信号で入力として受けて、1水平周期の間に基準クロックをカウンタしてそのカウンタ値(Rgoe)を出力する。以後、タイミング作成部はデコーダ部から入力を受ける所定の降タイミング・カウンタ値と前記カウンタ値(Rgoe)を比較して互いに同一の値を有する降信号を該当ラインに出力する。

【0017】

【発明の実施態様】

以下、図 4 乃至図 6 を参照して本発明の好ましい実施例に対して説明する。図 4 は本発明の第 1 実施例によるタイミング・コントローラーのブロック図である。

図 4 を参照すると、先にタイミング・コントローラー（23）は大きく液晶表示装置の規格に対応して希望するタイミング値を選択するためのデコーダー部（24）とタイミング作成部（26）で区分することができる。

先に、デコーダー部を図 4 及び表 1 を結びつけて説明することと共に図 4 では一例で SOE、GSC 及び GOE の選択を説明している。

【表 1】

Input pin	Setting	Clock	UXGA (60Hz)	SXGA (60Hz)	XGA (60Hz)	SVGA (60Hz)	VGA (60Hz)
			2px1s/c1 k 80MHz	2px1s/c1 k 54MHz	2px1s/c1 1k 32.5MHz	2px1s/c1k 40MHz	2px1s/c1 1k 25MHz
GOE_START [2:0]	LLL	32	416	502	829	675	1072
	LLH	64	909	1097	1811	1475	2342
	LHL	80	1155	1395	2303	1875	2978
	LHH	96	1401	1693	2794	2275	3613
	HLL	128	1894	2288	3776	3075	4883
	HLH	160	2387	2883	4795	3875	6154
	HHL	192	2880	3478	5741	4675	7424
	HHH	224	3373	4073	6723	5475	8694

10

20

【表 2】

30

GOE_END [2:0]	LLL	0	31	37	61	50	79
	LLH	16	277	335	553	450	715
	LHL	32	524	632	1044	850	1350
	LHH	48	770	930	1535	1250	1985
	HLL	64	1016	1228	2026	1650	2620
	HLH	80	1263	1525	2517	2050	3255
	HHL	96	1509	1823	3009	2450	3891
	HHH	128	2002	2418	3991	3250	5161
GSC_START [2:0]	LLL	0	31	37	61	50	79
	LLH	8	154	186	307	250	397
	LHL	16	277	335	553	450	715
	LHH	24	400	484	798	650	1032
	HLL	32	524	632	1044	850	1350
	HLH	40	647	781	1289	1050	1667
	HHL	48	770	930	1535	1250	1985
	HHH	64	1016	1228	2026	1650	2620

10

20

【表 3】

GSC_END [1:0]	LL	40	693	837	1382	1125	1787
	LH	200	3157	3813	6294	5125	8139
	HL	320	5005	6045	9978	8125	12903
	HH	400	6237	7533	12434	10125	16079
SOE_START [1:0]	LL	0	77	93	154	125	199
	LH	4	139	167	276	225	357
	HL	8	200	242	399	325	516
	HH	16	323	391	645	525	834
SOE_END [1:0]	LL	32	570	688	1136	925	1469
	LH	64	1063	1283	2118	1725	2739
	HL	96	1555	1879	3101	2525	4010
	HH	128	2048	2474	4083	3326	5280

30

40

ここで、[2 : 0] 及び [1 : 0] はバスのライン数を表す。表に示されたデータの単位は n s である。

【 0 0 1 8 】

50

先に、GOEスタート信号(GOE__Start)はGOE信号のスタート点を決定してGOE上昇時点(GOE__R)を決定する値を出力する。GOE終了信号(GOE__END)はGOE信号の終了点を決定してGOE下降時点(GOE__F)を決定する値を出力する。GSCスタート信号(GSC__Start)はGSC信号のスタート点を決定してGSC上昇時点(GSC__R)を決定する値を出力する。GSC終了信号(GSC__END)はGSC信号の終了点を決定してGSC下降時点(GSC__F)を決定する値を出力する。SOEスタート信号(SOE__Start)はSOE信号のスタート点を決定してSOE上昇時点(SOE__R)を決定する値を出力する。SOE終了信号(SOE__END)はSOE信号の終了点を決定してSOE下降時点(SOE__F)を決定する値を出力する。入力パルス(Inputclock)はタイミング・コントローラーの同期をとるための基準クロックである。

10

【0019】

このようにデコーダー(24)は外部からタイミング設定データを入力されて、これに該当するタイミング・カウント値を出力する。この時、タイミング設定データは一般的なディップ・スイッチを使用して設定することができる。前記デコーダー(24)は表示規格によって制御信号を作成するための多数のカウント値を保存していて、入力されるタイミング設定データに対応して該当タイミング・カウント値を出力する。このような構造は、当業者であれば、例えばメモリとマルチプレクサを利用して容易に実現できるので詳細な構造は省略する。

【0020】

20

一例を挙げて、デコーダー部の駆動特性を説明すると、デコーダー部(24)は3ビットのGOEスタートパルスが入力される場合、全部で8つのGOE上昇時点を選択して、もし2ビットのGOEスタートパルスが入力される場合、全部で4つのGOE上昇時点を選択することができる。残りのデコーダー部(24)に入力される信号も上述の方法で選択することができる。選択する値は任意に設定が可能である。換言すれば、3ビットデータ構造のGOEスタート信号が設定を" L H L "で設定されてデコーダー部(24)に印加されると、デコーダー部(24)はGOE上昇時点を決する値として" 8 0 " (Decimal)を選択し、タイミング作成部(26)に入力される基準タイミング値を" 8 0 " (Decimal)だけ減算してGOE上昇時点を決する。この時、使用者がメモリに保存されたデータの中のUXGAを選択する場合、減算される" 8 0 " (Decimal)は1155nsのタイミングが必要である。即ち、使用者がUXGAで1155nsを選択しようとする

30

【0021】

タイミング作成部(26)はデコーダー部(24)で選択されたタイミング信号を受けて必要なタイミングを作成するための第1制御部(26a)と、極性反転信号とゲート駆動スタート信号を作成するための第2制御部(26b)と、ソース・スタート信号とSSCを作成する第3制御部(26c)と、第1制御部(26a)で作成されたGOEを変形させるための第4制御部(26d)と、水平/垂直同期信号の極性をいつも同一に維持するための第5制御部(26e)とを具備する。第1制御部(26a)は一つの水平同期信号の期間内の入力クロックをカウントして記憶した後、デコーダー部(24)で設定された値と比較してSOE及びGSCを作成して出力し、GOEを作成して第4制御部(26d)へ伝達する。

40

【0022】

第1制御部を詳細にすると、図5のようである。

図5に示すように、第1制御部は第1乃至第3カウンタ(28、30、32)と、減算機(34)と、第1乃至第6比較機(36、38、40、42、46)とを具備する。第1カウンタ(28)は水平同期信号(Hsync)と基準クロックの入力を受けて、2水平周期の間、基準クロックをカウントして基準タイミング値(Ttef)を出力する。以後、減算機(34)は前記基準タイミング値(Ttef)からGOE上昇時点(GOE__R)値を減算してその減算結果(Sgoe)を第1比較機(36)に出力する。第2カウンタ(30)

50

は毎水平周期毎に基準クロックにカウントして現在の水平周期カウント値 (Htotal) を出力する。

【0023】

第1比較機(36)は前記減算結果(Sgoe)と水平周期カウント値(Htotal)を比較して二つの入力値が同一である時GOEを上昇(rising)させる。

第3カウンタ(32)は前記第1比較機(36)の出力値を初期化信号で入力として受けて、1水平周期の間、基準クロックをカウントしてそのカウント値(Rgoe)を出力する。以後、第2比較機(38)は第3カウンタ(32)のカウント値(Rgoe)とGOE下降時点(GOE__F)値を比較して二つの入力値が同一であるときGOEを下降(falling)させる。

10

第3比較機(40)は第3カウンタ(32)のカウント値(Rgoe)とGSC下降時点(GSC__F)の値を比較して二つの値が同一であるときGSCを上昇(rising)させる。

第4比較機(42)は第2カウンタ(30)のカウント値(Htotal)とGSC下降(GSC__F)値を比較して二つの入力値が同一であるときGSCを下降(falling)させる。

。

第5比較機(44)は第2カウンタ(30)のカウント値(Htotal)とSOE上昇始点(SOE__F)の値を比較して二つの値が同一であるときSOEを上昇(rising)させる。

。

第6比較機(46)は第2カウンタ(30)のカウント値(Htotal)とSOE下降時点(SOE__F)の値を比較して二つの値が同一であるときSOEを下降(falling)させる。

20

【0024】

図6は図5に図示された第1制御部の出力波形を図示したタイミング図である。

図6を参照すると、先にタイミング作成部は入力される水平同期信号を基準に基準クロックをGOE上昇時点(GOE__R)の値(48)だけカウントしてGOEの上昇時点(rising edge)を決定する。以後、GOEの上昇時点(rising edge)から基準クロックをGOE下降時点(GOE__R)の値(50)だけカウントしてGOE下降時点(falling edge)を決定する。

GOEの上昇時点(rising edge)から基準クロックをGSC上昇時点(GSC__R)の値(52)だけカウントしてGSC上昇時点(rising edge)を決定する。そして、水平同期信号(Hsync)を基準に基準クロックをGSC下降時点(GSC__F)の値(54)だけカウントしてGSC下降時点(falling edge)を決定する。

30

水平同期信号(Hsync)を基準に基準クロックをSOE上昇時点(SOE__R)の値(56)だけカウントしてSOEの上昇時点(rising edge)を決定する。そして、水平同期信号(Hsync)を基準に基準クロックをSOE下降時点(SOE__F)値(58)ほどカウントしてSOE下降時点(falling edge)を決定する。

【0025】

【発明の効果】

上述のように、本発明によるマルチ・タイミング・コントローラを有する液晶表示装置は外部で入力される1水平同期時間内にすべてのクロックの数をカウントしてこれを基準に加算機、減算機、比較機を使用して解像度が異なってもこれに対応する制御信号を作成することができる。従って、モデル毎の固有のタイミングコントローラを具備しなくても一つのコントローラによって複数の表示規格に対応することが可能である。

40

【0026】

以上説明した内容を通して当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正の可能であることが理解される。本発明の技術的な範囲は明細書の詳細な説明に記載された具体例に限定されず特許請求の範囲によって定めなければならない。

【0027】

【図面の簡単な説明】

【図1】 図1は一般的な液晶表示装置を表すブロック構成図である。

50

【図 2】 図 2 は図 1 に図示されたデータドライブ IC の出力波形を図示した波形図である。

【図 3】 図 3 は図 1 に図示されたゲートドライブ IC の出力波形を図示した波形図である。

【図 4】 図 4 は本発明の実施例によるタイミング・コントローラを図示したブロック構成図である。

【図 5】 図 5 は図 4 に図示された第 1 制御部を詳細に図示したブロック構成図である。

【図 6】 図 6 は図 4 に図示された第 1 制御部の出力波形を図示した波形図である。

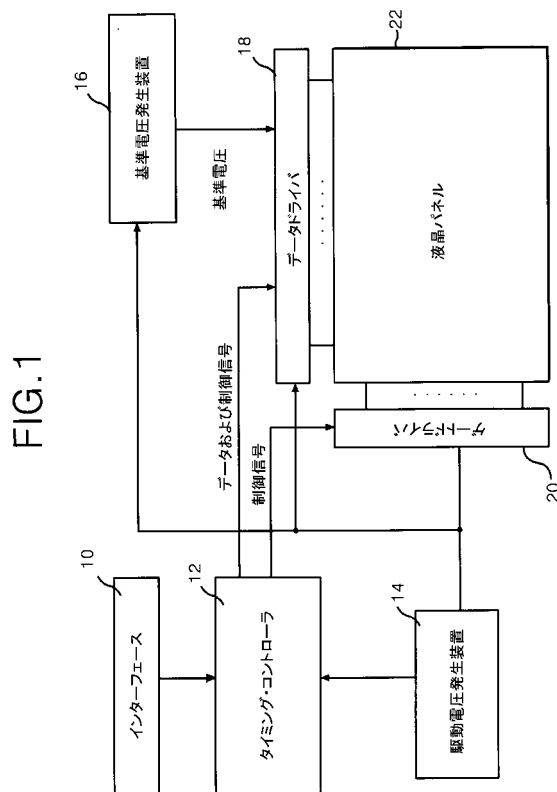
【符号の説明】

- 10：インターフェース
- 12、23：タイミング・コントローラ
- 14：電源電圧作成部
- 16：基準電圧発生部
- 18：データドライブ
- 20：ゲートドライブ
- 22：液晶パネル
- 24：デコーダ部
- 26：作成部
- 26a乃至26e：第1制御部乃至第5制御部
- 28：第1カウンタ
- 30：第2カウンタ
- 32：第3カウンタ
- 34：減算機
- 36、38、40、42、44、46：比較機

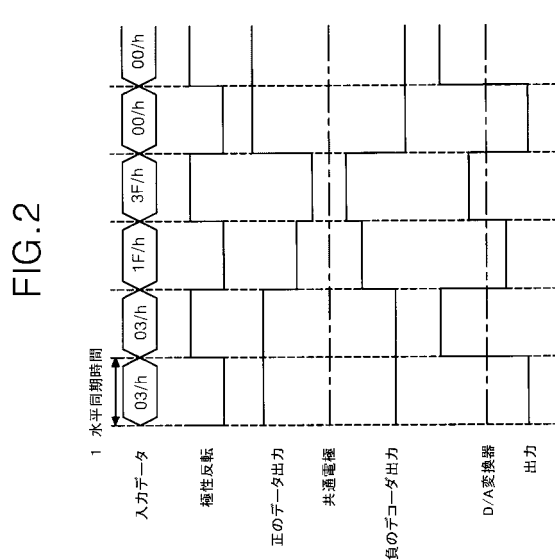
10

20

【図 1】

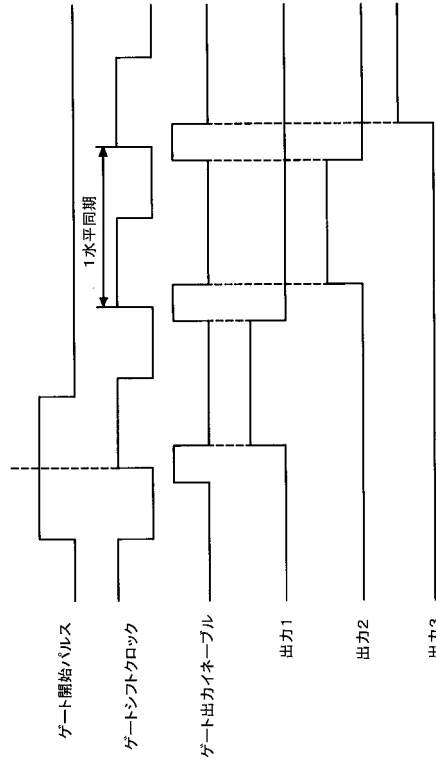


【図 2】



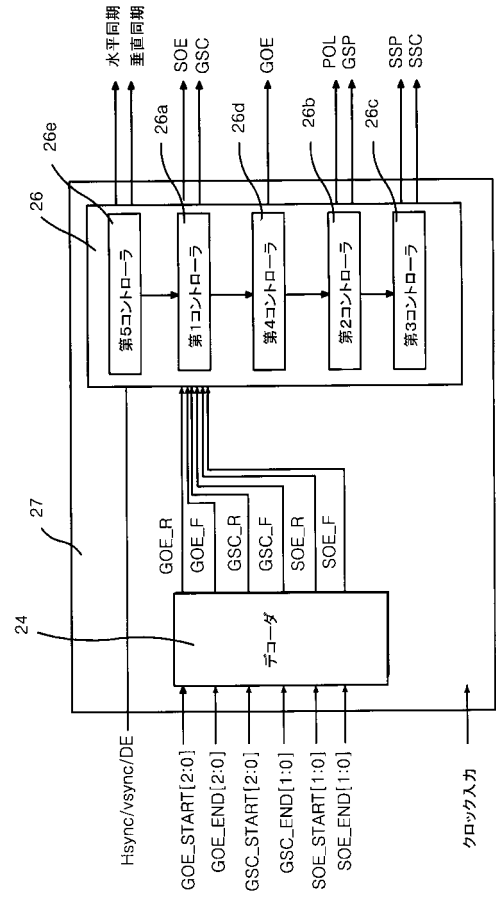
【図3】

FIG.3



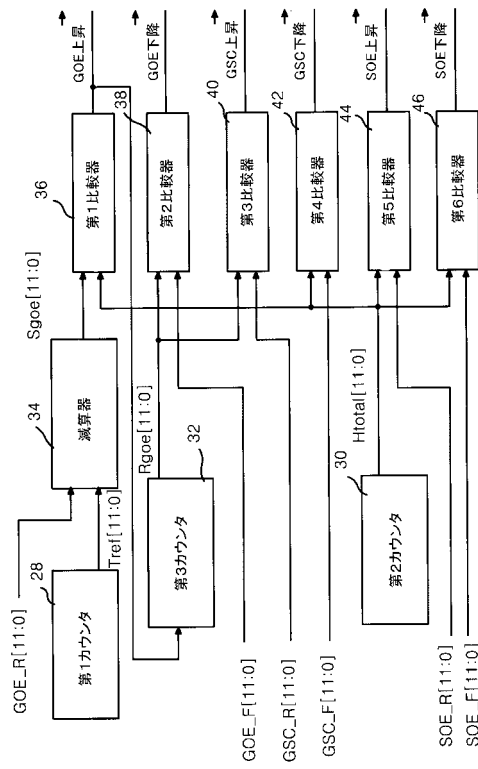
【図4】

FIG.4



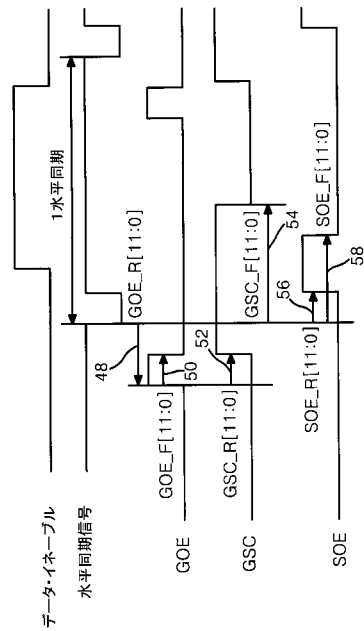
【図5】

FIG.5



【図6】

FIG.6



フロントページの続き

(51)Int.Cl. F I
H 0 4 N 5/66 1 0 2 B

(56)参考文献 特開平 0 5 - 1 1 9 7 3 4 (J P , A)
特開平 1 0 - 0 1 1 0 2 3 (J P , A)
特開平 0 7 - 0 4 4 1 2 5 (J P , A)
特開平 0 6 - 2 3 0 7 3 9 (J P , A)
特開平 0 9 - 1 9 1 4 1 8 (J P , A)
特開平 0 4 - 2 2 0 6 9 2 (J P , A)
特開平 0 6 - 1 1 8 9 0 1 (J P , A)
特開平 1 0 - 0 7 4 0 6 5 (J P , A)
特開平 0 8 - 1 6 6 7 7 6 (J P , A)
特開平 1 0 - 2 2 8 2 6 6 (J P , A)
特開平 1 1 - 0 0 3 0 7 0 (J P , A)
特開 2 0 0 0 - 0 5 6 7 3 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/36

G02F 1/133

G09G 3/20

专利名称(译)	一种具有多时序控制器的液晶显示装置 (具有多时序控制器的液晶显示装置)		
公开(公告)号	JP4224663B2	公开(公告)日	2009-02-18
申请号	JP2000274231	申请日	2000-09-08
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	白宗尚		
发明人	白 宗尚		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H04N5/66 G09G5/00		
CPC分类号	G09G3/3648 G09G5/005 G09G5/006		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.E G09G3/20.650.C G09G3/20.650.B H04N5/66.102.B		
F-TERM分类号	2H093/NC21 2H093/NC49 2H093/NC71 2H093/ND50 2H093/ND60 2H193/ZC36 5C006/AB03 5C006/AC24 5C006/AF23 5C006/AF44 5C006/BB11 5C006/BC03 5C006/BC11 5C006/BF24 5C006/FA04 5C006/FA08 5C058/AA06 5C058/BA01 5C058/BA04 5C058/BA35 5C080/AA10 5C080/BB05 5C080/DD21 5C080/EE26 5C080/FF09 5C080/GG02 5C080/JJ02 5C080/JJ04		
审查员(译)	福村 拓		
优先权	1020000036226 2000-06-28 KR		
其他公开文献	JP2002023713A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其从各种显示标准的控制信号产生各个显示标准的定时信号并执行驱动。解决方案：该液晶显示装置具有液晶面板，该液晶面板具有与排列的像素对应的显示标准；输入来自外部的数据和对应于显示标准的控制信号的接口，从控制信号产生用于驱动液晶面板的定时信号并输出它的定时控制器和用于显示图像的驱动电路小组按照数据。定时控制器具有显示标准设定部分，其根据多个显示标准设定一个显示标准并产生对应于标准的设定信号，选择部分将对应于设定信号的定时信息输出到显示标准定时产生部分，通过接收定时信息的输入，从控制信号产生定时信号，并输出定时信号。

Input pin	Sett. no.	Clock	UXGA (60Hz)	SXGA (60Hz)	XGA (60Hz)	SVGA (60Hz)	VGA (60Hz)
			2px160L k 80MHz	2px160L k 64MHz	2px160L 1k 32.5MHz	2px160L 1k 40MHz	2px160L 1k 23MHz
GOE_START [2:0]	LLL	32	416	502	829	675	1072
	L.LH	64	909	1097	1811	1475	2342
	LHL	80	1155	1395	2303	1875	2978
	L.HH	96	1401	1693	2794	2275	3613
	HLL	128	1894	2288	3776	3075	4883
	HLH	160	2387	2883	4795	3875	6154
	HHL	192	2880	3478	5741	4675	7424
	HHH	224	3373	4073	6723	5475	8694