

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3899817号**  
**(P3899817)**

(45) 発行日 平成19年3月28日(2007.3.28)

(24) 登録日 平成19年1月12日(2007.1.12)

(51) Int.Cl.

F I

**G09G 3/36 (2006.01)**

G09G 3/36

**G02F 1/133 (2006.01)**

G02F 1/133 550

**G09G 3/20 (2006.01)**

G02F 1/133 575

G09G 3/20 611A

G09G 3/20 621H

請求項の数 9 (全 34 頁) 最終頁に続く

(21) 出願番号 特願2000-403228 (P2000-403228)  
 (22) 出願日 平成12年12月28日(2000.12.28)  
 (65) 公開番号 特開2002-202762 (P2002-202762A)  
 (43) 公開日 平成14年7月19日(2002.7.19)  
 審査請求日 平成16年3月30日(2004.3.30)

(73) 特許権者 000002369  
 セイコーエプソン株式会社  
 東京都新宿区西新宿2丁目4番1号  
 (74) 代理人 100095728  
 弁理士 上柳 雅誉  
 (74) 代理人 100107261  
 弁理士 須澤 修  
 (72) 発明者 小澤 徳郎  
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 液晶表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、

複数のデータ線と、

対向電極と画素電極とによって液晶が挟持された液晶容量と、

前記液晶容量への書込極性に対応した電圧を前記データ線に印加するD/A変換器と、

一端が前記画素電極に接続される蓄積容量と、

前記書込極性に応じて所定の電圧が給電される第1の給電線と、

前記書込極性に応じて前記第1の給電線とは異なる電圧が給電される第2の給電線と、

前記書込極性に応じて、プリセット期間では、第1の給電線または第2の給電線のいずれ  
 10  
 れか一方を選択する一方、前記プリセット期間後のセット期間では、前記第1の給電線ま  
 たは第2の給電線のいずれか他方を選択するセレクトと

を備え、

前記D/A変換器は、前記プリセット期間および前記セット期間において、前記セレクト  
 によりそれぞれ選択された電圧を用いて、前記データ線への印加電圧を生成し、

前記書込極性が、正極性書込または負極性書込のいずれか一方である場合に、

前記第1の給電線には、前記プリセット期間において第1の電圧が給電されるとともに  
 、前記セット期間において前記第1の電圧よりも高位の第2の電圧が給電される一方、

前記第2の給電線には、前記プリセット期間において、前記第2の電圧よりも高位の第  
 3の電圧が給電されるとともに、前記セット期間では、前記第3の電圧よりも低位であっ  
 20

て、前記第 2 の電圧よりも高位である第 4 の電圧が給電されることを特徴とする液晶表示装置。

【請求項 2】

前記書込極性が、正極性書込または負極性書込のいずれか他方である場合に、  
前記第 1 の給電線には、前記プリセット期間において第 5 の電圧が給電されるとともに、  
前記セット期間において前記第 5 の電圧よりも高位の第 6 の電圧が給電される一方、  
前記第 2 の給電線には、前記プリセット期間において、前記第 6 の電圧よりも高位の第 7 の電圧が給電されるとともに、前記セット期間では、前記第 7 の電圧よりも低位であって、前記第 6 の電圧よりも高位である第 8 の電圧が給電されることを特徴とする請求項 1 に記載の液晶表示装置。

10

【請求項 3】

前記 D / A 変換器は、  
前記書込極性が正極性書込または負極性書込のいずれか一方である場合に、  
前記階調データの上位ビットに応じて、第 1 の電圧または前記第 1 の電圧よりも高位の第 3 の電圧のいずれか一方を、プリセット期間において前記データ線に印加する第 1 のスイッチと、  
前記階調データの上位ビットを除いた下位ビットに対応する容量値を有する容量であって、前記データ線に前記第 1 の電圧が印加されたのであれば、前記第 1 の電圧よりも高位であって、前記第 3 の電圧よりも低位である第 4 の電圧が一端に印加される一方、前記データ線に前記第 3 の電圧が印加されたのであれば、前記第 1 の電圧よりも高位であって、  
前記第 4 の電圧よりも低位である第 2 の電圧が一端に印加され、その他端が、前記プリセット期間の後のセット期間において前記データ線に接続される容量とを含むことを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 4】

前記容量は、  
前記下位ビットの重みに対応するビット容量と、  
前記ビット容量に対応して設けられるとともに、前記下位ビットにしたがってオンまたはオフする第 2 のスイッチと  
からなることを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記プリセット期間では、前記第 1 の電圧が給電されるとともに、前記セット期間では、  
前記第 2 の電圧が給電される第 1 の給電線と、  
前記プリセット期間では、前記第 3 の電圧が給電されるとともに、前記セット期間では、  
前記第 4 の電圧が給電される第 2 の給電線と、  
前記プリセット期間では、前記第 1 または第 2 の給電線のいずれか一方を、前記上位ビットに応じて選択し、選択した給電線に給電されている電圧を前記第 1 のスイッチの入力端に供給するとともに、前記セット期間では、前記第 1 または第 2 の給電線のいずれか他方を選択し、選択した給電線に給電された電圧を前記容量の一端に供給するセレクトとを備えることを特徴とする請求項 3 に記載の液晶表示装置。

30

【請求項 6】

前記書込極性が正極性書込または負極性書込のいずれか他方である場合に、  
前記第 1 のスイッチは、前記階調データの上位ビットに応じて、第 5 の電圧または前記第 5 の電圧よりも高位の第 7 の電圧のいずれか一方を、プリセット期間において前記データ線に印加し、  
前記容量の一端には、前記データ線に前記第 5 の電圧が印加されたのであれば、前記第 5 の電圧よりも高位であって、前記第 7 の電圧よりも低位である第 8 の電圧が一端に印加される一方、前記データ線に前記第 7 の電圧が印加されたのであれば、前記第 5 の電圧よりも高位であって、前記第 8 の電圧よりも低位である第 6 の電圧が一端に印加されることを特徴とする請求項 3 に記載の液晶表示装置。

40

【請求項 7】

50

前記第 1 の給電線には、前記プリセット期間において第 5 の電圧が給電されるとともに、前記セット期間において前記第 6 の電圧が給電される一方、

前記第 2 の給電線には、前記プリセット期間において、前記第 7 の電圧が給電されるとともに、前記セット期間では、前記第 8 の電圧が給電される

ことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記蓄積容量の他端は、容量線を介して行毎に共通接続されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

請求項 1 乃至 8 のいずれかに記載の液晶表示装置を備えることを特徴とする電子機器。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ線への電圧振幅を縮小して低消費電力化を図った液晶表示装置、駆動回路、駆動方法および電子機器に関する。

【0002】

【従来の技術】

近年、液晶表示装置は、陰極線管（CRT）に代わるディスプレイデバイスとして、各種情報処理機器や壁掛けテレビなどの電子機器に広く用いられている。このような液晶表示装置は、駆動方式等に様々な型に分類することができるが、画素をスイッチング素子により駆動するアクティブマトリクス型液晶表示装置は、次のような構成となっている。

20

すなわち、アクティブマトリクス型液晶表示装置は、マトリクス状に配列した画素電極や、この画素電極に接続されたスイッチング素子などが設けられた素子基板と、画素電極に対向する対向電極が形成された対向基板と、これら両基板との間に挟持された液晶とから構成されている。

【0003】

このような構成において、走査線にオン電圧が印加されると、当該走査線に接続されたスイッチング素子が導通状態になる。この導通状態の際に、データ線を介して画素電極に対し階調（濃度）に応じた電圧信号が印加されると、当該画素電極および対向電極の間に液晶が挟持された液晶容量に、当該電圧信号に応じた電荷が蓄積される。そして、電荷蓄積後、走査線にオフ電圧が印加されて、スイッチング素子が非導通状態になっても、当該液晶容量における電荷の蓄積は、液晶容量自身の容量性や、これに併設される蓄積容量などによって維持される。

30

このように、各スイッチング素子を駆動し、蓄積させる電荷量を階調に応じて制御すると、液晶の配向状態が変化する。このため、画素毎に階調が変化する結果、所定の表示が可能となる。

【0004】

また近年では、画素の階調を指示する階調データをアナログ信号に変換する D/A 変換器を、データ線毎に設ける構成が提案されている。この構成によれば、データ線に出力される直前まで、画像データがデジタルにて処理されるので、アナログ回路の特性不均一等による表示品位の低下が防止されて、高品位な表示が可能になる。

40

【0005】

ところで、階調表示を行う場合、画素電極には、最小階調に対応する電圧から最大階調に対応する電圧までの範囲を、正極性と負極性との 2 通りに分けて印加する必要がある。このため、画素電極に印加する必要がある電圧の最小値と最大値との振幅は、CMOS 回路等における論理レベルの振幅を越えるほどに大きくなる。

【0006】

【発明が解決しようとする課題】

しかしながら、画素電極に印加すべき電圧の振幅が大きくなると、データ線に供給すべき電圧の振幅も必然的に大きくなる。そして、データ線に供給すべき電圧の振幅が大きくな

50

ると、データ線に寄生する容量によって無駄に電力が消費される結果、液晶表示装置に対して一般的に要求される低消費電力化とは、大きく逆行することになる。

【 0 0 0 7 】

また、データ線への電圧振幅が大きいと、D / A 変換器が出力すべき電圧振幅も大きくする必要がある。このため、D / A 変換器の構成が大規模化する、または、D / A 変換器の出力電圧を拡大するレベルシフタが別途必要となる、といった問題もあった。

【 0 0 0 8 】

本発明は、上述した事情に鑑みてなされたもので、その目的とするところは、各種の信号線、特にデータ線に印加される電圧振幅を小さく抑えることによって低消費電力化を図った液晶表示装置、駆動回路、駆動方法および電子機器を提供することにある。

10

【 0 0 0 9 】

【課題を解決するための手段】

上記目的を達成するために、本件第 1 発明に係る液晶表示装置にあつては、複数の走査線と、複数のデータ線と、対向電極と画素電極とによって液晶が挟持された液晶容量と、前記液晶容量への書込極性に対応した電圧を前記データ線に印加する D / A 変換器と、一端が前記画素電極に接続される蓄積容量と、前記書込極性に依じて所定の電圧が給電される第 1 の給電線と、前記書込極性に依じて前記第 1 の給電線とは異なる電圧が給電される第 2 の給電線と、前記書込極性に依じて、プリセット期間では、第 1 の給電線または第 2 の給電線のいずれか一方を選択する一方、前記プリセット期間後のセット期間では、前記第 1 の給電線または第 2 の給電線のいずれか他方を選択するセレクトとを備え、前記 D / A 変換器は、前記プリセット期間および前記セット期間において、前記セレクトによりそれぞれ選択された電圧を用いて、前記データ線への印加電圧を生成し、前記書込極性が、正極性書込または負極性書込のいずれか一方である場合に、前記第 1 の給電線には、前記プリセット期間において第 1 の電圧が給電されるとともに、前記セット期間において前記第 1 の電圧よりも高位の第 2 の電圧が給電される一方、前記第 2 の給電線には、前記プリセット期間において、前記第 2 の電圧よりも高位の第 3 の電圧が給電されるとともに、前記セット期間では、前記第 3 の電圧よりも低位であつて、前記第 2 の電圧よりも高位である第 4 の電圧が給電されることを特徴としている。

20

この構成によれば、走査線にオン電圧が印加されると、当該走査線に接続されたスイッチング素子がオンする結果、液晶容量および蓄積電極には、データ線への印加電圧に応じた電荷が蓄積される。この後、スイッチング素子がオフすると、蓄積容量における他端の電圧がシフトするので、その分、蓄積容量における一端の電圧が持ち上げられる（または持ち下げられる）。と同時に、持ち上げられた（または持ち下げられた）分の電荷が、液晶容量に分配されるので、液晶容量には、データ線への印加電圧以上（または以下）に対応する電圧実効値が印加されることになる。換言すれば、画素電極に印加される電圧振幅に比べて、データ線に印加する電圧信号の電圧振幅が小さく抑えられる。このため、データ線に寄生する容量によって無駄に消費される電力が抑えられるので、低消費電力化を図ることが可能となる。さらに、D / A 変換器の大規模化が防止され、または、D / A 変換器の出力電圧を拡大するレベルシフタが不要となるので、データ線のピッチを狭くでき、その分、高精細化を図ることが可能となる。

30

40

【 0 0 1 0 】

ここで、第 1 発明において、D / A 変換器が、プリセット期間に第 1 の電圧を用いる場合には、セット期間に第 4 の電圧を用いる一方、プリセット期間に第 3 の電圧を用いる場合には、セット期間に第 2 の電圧を用いる構成であれば、単純には、第 1 および第 4 の電圧を、ある 1 本の給電線を介して給電する一方、第 3 および第 2 の電圧を、別の 1 本の給電線を介して給電する構成が考えられる。

しかしながら、このような構成では、2 本の給電線における電圧振幅がともに大きくなり、このため、該給電線に寄生する容量によって無駄に電力が消費されてしまう。

そこで、プリセット期間からセット期間に移行する際、セレクトによって、第 1 または第 2 の給電線の一方から他方に給電を切り替える構成にすると、両給電線における電圧の

50

遷移が小さく抑えられて、その分、さらなる低消費電力化が可能となる。

【0011】

さらに、セレクトによって第1または第2の給電線の一方から他方に給電を切り替える構成においては、前記書込極性が、正極性書込または負極性書込のいずれか他方である場合に、前記第1の給電線には、前記プリセット期間において第5の電圧が給電されるとともに、前記セット期間において前記第5の電圧よりも高位の第6の電圧が給電される一方、前記第2の給電線には、前記プリセット期間において、前記第6の電圧よりも高位の第7の電圧が給電されるとともに、前記セット期間では、前記第7の電圧よりも低位であって、前記第6の電圧よりも高位である第8の電圧が給電される構成も好ましい。この構成では、プリセット期間からセット期間に移行する際だけでなく、液晶容量への書込極性が、正極性書込または負極性書込のいずれか一方から他方に移行する際にも、両給電線における電圧の遷移が小さく抑えられる。

10

【0012】

また、第1の発明におけるD/A変換器は、前記書込極性が正極性書込または負極性書込のいずれか一方である場合に、前記階調データの上位ビットに応じて、第1の電圧または前記第1の電圧よりも高位の第3の電圧のいずれか一方を、プリセット期間において前記データ線に印加する第1のスイッチと、前記階調データの上位ビットを除いた下位ビットに対応する容量値を有する容量であって、前記データ線に前記第1の電圧が印加されたのであれば、前記第1の電圧よりも高位であって、前記第3の電圧よりも低位である第4の電圧が一端に印加される一方、前記データ線に前記第3の電圧が印加されたのであれば、前記第1の電圧よりも高位であって、前記第4の電圧よりも低位である第2の電圧が一端に印加され、その他端が、前記プリセット期間の後のセット期間において前記データ線に接続される容量とを含む構成が好ましい。

20

この構成では、プリセット期間において、階調データの上位ビットに応じて第1または第3の電圧が、第1のスイッチによってデータ線に印加されると、当該印加電圧に応じた電荷がデータ線の寄生容量に蓄積される。次に、セット期間において、階調データの下位ビットに応じた容量であって、一端に第4または第2の電圧が印加された容量の他端がデータ線に接続されると、容量に蓄積された電荷がデータ線の寄生容量に、あるいは逆に、データ線の寄生容量に蓄積された電荷が容量に、移動して均等化される。これにより、データ線には、階調ビットに応じた電圧が印加されることになる。すなわち、この構成では、D/A変換する際に、データ線の寄生容量が積極的に用いられるので、その分、構成の簡略化が図られることになる。

30

【0013】

ここで、D/A変換器における容量は、前記下位ビットの重みに対応するビット容量と、前記ビット容量に対応して設けられるとともに、前記下位ビットにしたがってオンまたはオフする第2のスイッチとからなる態様が考えられる。この態様によれば、前記階調データの下位ビットに対応する容量値の容量を簡易に構成することができる。

【0014】

さて、第1のスイッチと容量とを含むD/A変換器が、プリセット期間に第1の電圧を用いる場合には、セット期間に第4の電圧を用いる一方、プリセット期間に第3の電圧を用いる場合には、セット期間に第2の電圧を用いる構成であれば、単純には、第1および第4の電圧を、ある1本の給電線を介して給電する一方、第3および第2の電圧を、別の1本の給電線を介して給電する構成が考えられる。

40

しかしながら、このような構成では、2本の給電線における電圧振幅がともに大きくなり、このため、該給電線に寄生する容量によって無駄に電力が消費されてしまう。

そこで、D/A変換器が第1のスイッチと容量とを含む構成にあっては、前記プリセット期間では、前記第1の電圧が給電されるとともに、前記セット期間では、前記第2の電圧が給電される第1の給電線と、前記プリセット期間では、前記第3の電圧が給電されるとともに、前記セット期間では、前記第4の電圧が給電される第2の給電線と、前記プリセット期間では、前記第1または第2の給電線のいずれか一方を、前記上位ビットに応じて

50

選択し、選択した給電線に給電されている電圧を前記第1のスイッチの入力端に供給するとともに、前記セット期間では、前記第1または第2の給電線のいずれか他方を選択し、選択した給電線に給電された電圧を前記容量の一端に供給するセレクトとを備える構成が好ましい。

この構成では、プリセット期間からセット期間に移行する際、セレクトによって、第1または第2の給電線的一方から他方に給電が切り替えられるので、両給電線における電圧の遷移が小さく抑えられる。このため、さらなる低消費電力化が可能となる。

【0015】

また、D/A変換器において、前記書込極性が正極性書込または負極性書込のいずれか他方である場合に、前記第1のスイッチは、前記階調データの上位ビットに応じて、第5の電圧または前記第5の電圧よりも高位の第7の電圧のいずれか一方を、プリセット期間において前記データ線に印加し、前記容量の一端には、前記データ線に前記第5の電圧が印加されたのであれば、前記第5の電圧よりも高位であって、前記第7の電圧よりも低位である第8の電圧が一端に印加される一方、前記データ線に前記第7の電圧が印加されたのであれば、前記第5の電圧よりも高位であって、前記第8の電圧よりも低位である第6の電圧が一端に印加される構成が好ましい。

この構成によれば、プリセット期間およびセット期間における印加電圧を変更するのみによって、液晶容量への書込極性に対応した電圧を生成することが可能となる。

【0016】

さらに、D/A変換器が、プリセット期間およびセット期間における印加電圧を変更することによって、液晶容量への書込極性に対応した電圧を生成する場合、前記第1の給電線には、前記プリセット期間において第5の電圧が給電されるとともに、前記セット期間において前記第6の電圧が給電される一方、前記第2の給電線には、前記プリセット期間において、前記第7の電圧が給電されるとともに、前記セット期間では、前記第8の電圧が給電される構成が好ましい。この構成では、プリセット期間からセット期間に移行する際だけでなく、液晶容量への書込極性が、正極性書込または負極性書込のいずれか一方から他方に移行する際にも、両給電線における電圧の遷移が小さく抑えられる。

【0017】

一方、第1発明において、液晶容量に対して蓄積容量が十分に大きいのであれば、蓄積容量における他端のシフト分がそのまま液晶容量に印加されるとみなすことができる。ただし、実際には、蓄積容量を液晶容量よりも数倍程度とするのが限界であるので、蓄積容量における他端の電圧シフト分が圧縮されて、液晶容量に印加されることになるが、前記液晶容量に対する前記蓄積容量の容量比率は、4以上7以下であれば、電圧振幅の減少分も約20%弱と少なく済み、レイアウト的にも現実的である。

【0018】

また、第1発明において、前記蓄積容量の他端は、容量線を介して行毎に共通接続される構成が好ましい。この構成によれば、液晶容量を、走査線毎の反転（行反転）や垂直走査期間毎の反転（フレーム反転）等することが可能となる。

【0019】

さらに、本発明における電子機器は、上記液晶表示装置を備えるので、低消費電力化を図ることが可能になる。なお、このような電子機器としては、画像を拡大投射するプロジェクタのほか、パーソナルコンピュータや、携帯電話などが挙げられる。

【0020】

なお、上記第1発明は、液晶表示装置の駆動回路としても実現することができる。すなわち、本件第2発明に係る液晶表示装置の駆動回路にあつては、走査線とデータ線との交差に対応して設けられるとともに、対向電極と画素電極とによって液晶が挟持された液晶容量と、前記データ線と前記画素電極との間に介挿されて、前記走査線にオン電圧が印加されるとオンする一方、オフ電圧が印加されるとオフするスイッチング素子と、一端が前記画素電極に接続された蓄積容量とを備える液晶表示装置を駆動する駆動回路であつて、前記走査線に前記オン電圧を印加した後に、前記オフ電圧を印加する走査線駆動回路と、

10

20

30

40

50

前記走査線駆動回路によって、前記走査線にオン電圧が印加された場合に、階調を指示する階調データに対応した電圧であって、かつ、前記液晶容量への書込極性に対応した電圧をデータ線に印加するD/A変換器と、前記走査線にオン電圧が印加された場合に、前記データ線に印加された電圧が正極性書込に対応するものであったならば、前記走査線にオフ電圧が印加されたときに、前記蓄積容量における他端の電位を高位にシフトさせる一方、前記走査線にオン電圧が印加された場合に、前記データ線に印加された電圧が負極性書込に対応するものであったならば、前記走査線にオフ電圧が印加されたときに、前記蓄積容量における他端の電位を低位にシフトさせる蓄積容量駆動回路とを具備し、前記D/A変換器は、プリセット期間および前記プリセット期間後のセット期間において、前記蓄積容量駆動回路によりそれぞれ選択された電圧を用いて、前記データ線への印加電圧を生成することを特徴としている。

10

この構成によれば、上記第1発明と同様に、画素電極に印加される電圧振幅に比べて、データ線に印加する電圧信号の電圧振幅を小さく抑えることができるので、低消費電力化を図ることが可能になる上に、データ線の狭ピッチ化ができるので、高精細化を図ることが可能となる。

#### 【0021】

さらに、上記第1発明は、液晶表示装置の駆動方法としても実現することができる。すなわち、本件第3発明に係る液晶表示装置の駆動方法にあつては、走査線とデータ線との交差に対応して設けられるとともに、対向電極と画素電極とによって液晶が挟持された液晶容量と、前記データ線と前記画素電極との間に介挿されて、前記走査線にオン電圧が印加されるとオンする一方、オフ電圧が印加されるとオフするスイッチング素子と、一端が前記画素電極に接続された蓄積容量とを備える液晶表示装置を駆動するに際し、前記走査線にオン電圧を印加し、階調を指示する階調データに対応した電圧であって、かつ、前記液晶容量への書込極性に対応した電圧を、前記データ線に印加し、前記走査線にオフ電圧を印加し、前記データ線への印加電圧を正極性書込に対応させたならば、前記蓄積容量における他端の電位を高位にシフトさせる一方、負極性書込に対応させたならば、前記走査線にオフ電圧を印加したときに、前記蓄積容量における他端の電位を低位にシフトさせ、前記液晶容量への書込極性に対応した電圧は、プリセット期間および前記プリセット期間後のセット期間において、前記蓄積容量における他端の電位に基づいて生成される方法

20

30

を特徴としている。

この方法によれば、上記第1および第2発明と同様に、画素電極に印加される電圧振幅に比べて、データ線に印加する電圧信号の電圧振幅を小さく抑えることができるので、低消費電力化を図ることが可能になる上に、データ線の狭ピッチ化ができるので、高精細化を図ることが可能となる。

#### 【0022】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

#### 【0023】

<1：実施形態>

図1(a)は、この実施形態に係る液晶表示装置の構成を示す斜視図であり、図1(b)は、図1(a)におけるA-A'線の断面図である。

40

これらの図に示されるように、液晶表示装置100は、各種素子や画素電極118等が形成された素子基板101と、対向電極108等が形成された対向基板102とが、スペーサ103を含むシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に例えばTN(Twisted Nematic)型の液晶105が封入された構成となっている。

#### 【0024】

この実施形態では、素子基板101として、ガラスや、半導体、石英などの透明基板が用いられるが、不透明な基板を用いても良い。ただし、素子基板101に不透明な基板を用いる場合には、透過型ではなく反射型として用いる必要がある。また、シール材104は

50

、対向基板 102 の周辺に沿って形成されるが、液晶 105 を封入するために一部が開口している。このため、液晶 105 の封入後に、その開口部分が封止材 106 によって封止されている。

#### 【0025】

次に、素子基板 101 の対向面であって、シール材 104 の外側一辺に位置する領域 150a には、データ線を駆動するための回路（詳細については後述する）が形成されている。さらに、この一辺の外周部分には、複数の実装端子 107 が形成されて、外部回路から各種信号を入力する構成となっている。

#### 【0026】

また、この一辺に隣接する 2 辺に位置する領域 130a には、それぞれ走査線や容量線などを駆動するため回路（詳細については後述する）が形成されて、行（X）方向の両側から駆動する構成となっている。また、残りの一辺には、2 個の領域 130a に形成される回路において共用される配線（図示省略）などが設けられる。

なお、行方向に供給される信号の遅延が問題にならないのであれば、これらの信号を出力する回路を片側 1 個の領域 130a のみに形成する構成でも良い。

#### 【0027】

一方、対向基板 102 に設けられる対向電極 108 は、素子基板 101 との貼合部分における 4 隅のうち、少なくとも 1 箇所に設けられた銀ペースト等などの導通材によって、素子基板 101 に形成された実装端子 107 と電気的に接続されて、時間的に一定の電圧 LC com が印加される構成となっている。

ほかに、対向基板 102 には、特に図示はしないが、画素電極 118 と対向する領域に、必要に応じて着色層（カラーフィルタ）が設けられる。ただし、後述するプロジェクトのように色光変調の用途に適用する場合、対向基板 102 に着色層を形成する必要はない。また、着色層を設けると否かとはにかかわらず、光のリークによるコントラスト比の低下を防止するために、画素電極 118 と対向する領域以外の部分には遮光膜が設けられている（図示省略）。

#### 【0028】

また、素子基板 101 および対向基板 102 の各対向面には、液晶 105 における分子の長軸方向が両基板間で約 90 度連続的に捻れるようにラビング処理された配向膜が設けられる一方、その各背面側には、吸収軸が配向方向に沿った方向になるように、偏光子がそれぞれ設けられている。これにより、液晶容量（画素電極 118 と対向電極 108 との間において液晶 105 を挟持してなる容量）に印加される電圧実効値がゼロであれば、透過率が最大になる一方、電圧実効値が大きくなるにつれて、透過率が徐々に減少して、ついには透過率が最小になるすなわち、本実施形態に係る液晶表示装置は、ノーマリーホワイトモードの構成となっている。

#### 【0029】

なお、配向膜や偏光子などについては、本件とは直接関係しないので、その図示については省略することにする。また、図 1（b）において、対向電極 108 や、画素電極 118、実装端子 107 などには厚みを持たせているが、これは、位置関係を示すための便宜的な措置であり、実際には、基板の厚みに対して視認できないほどに薄い。

#### 【0030】

< 1 - 1 : 電気的な構成 >

続いて、液晶表示装置の電気的な構成について説明する。図 2 は、この電気的な構成を示すブロック図である。

この図に示されるように、走査線 112 および容量線 113 が、それぞれ X（行）方向に延在して形成される一方、データ線 114 が、Y（列）方向に延在して形成されて、これらの交差に対応して画素 120 が形成されている。ここで、説明の便宜上、走査線 112（容量線 113）の本数を「m」とし、データ線 114 の本数を「n」とすると、画素 120 は、m 行 n 列のマトリクス状に配列することになる。また、本実施形態では、図面の記載上、m、n を偶数とするが、これに限定する趣旨ではない。

10

20

30

40

50



## 【 0 0 3 1 】

次に、１つの画素 1 2 0 について着目すると、Nチャネル型の薄膜トランジスタ (Thin Film Transistor: 以下「TFT」と称呼する) 1 1 6 のゲートが走査線 1 1 2 に接続され、そのソースがデータ線 1 1 4 に接続され、さらに、そのドレインが画素電極 1 1 8 および蓄積容量 1 1 9 の一端に接続されている。

上述したように画素電極 1 1 8 は、対向電極 1 0 8 に対向し、さらに、両電極間に液晶 1 0 5 が挟持されているので、液晶容量は、一端を画素電極 1 1 8 とし、他端を対向電極 1 0 8 として、液晶 1 0 5 を挟持した構成となっている。

この構成において、走査線 1 1 2 に供給される走査信号が H レベルになると、TFT 1 1 6 がオンして、データ線 1 1 4 の電圧に応じた電荷が液晶容量および蓄積容量 1 1 9 に書き込まれることになる。なお、蓄積容量 1 1 9 の他端は、容量線 1 1 3 に１行毎に共通接続されている。

10

## 【 0 0 3 2 】

一方、Y 側について着目すると、シフトレジスタ 1 3 0 (走査線駆動回路) が設けられている。このシフトレジスタ 1 3 0 は、図 8 に示されるように、１垂直走査期間 (1 F) の最初に供給される転送開始パルス DY を、クロック信号 CLY の立ち上がり及び立ち下がり順にシフトして、走査信号 Ys1、Ys2、Ys3、...、Ysm として、それぞれ 1 行目、2 行目、3 行目、...、m 行目の走査線 1 1 2 に供給するものである。ここで、走査信号 Ys1、Ys2、Ys3、...、Ysm は、図 8 に示されるように、転送開始パルス DY のパルス幅が狭められ、かつ、互いに重複しないように、１水平走査期間 (1 H) 毎

20

## 【 0 0 3 3 】

次に、フリップフロップ 1 3 2 およびセクタ 1 3 4 (蓄積容量駆動回路) が 1 行毎に設けられている。ここで一般的に、i (i は、1 i m を満たす整数) 行目に対応するフリップフロップ 1 3 2 のクロックパルス入力端 Cp には、i 行目に対応する走査信号 Ysi の反転信号が供給され、また、そのデータ入力端 D には、１垂直走査期間 (1 F) 毎に論理レベルが反転する信号 FL D (図 8 参照) が供給されている。したがって、i 行目のフリップフロップ 1 3 2 は、走査信号 Ysi の立ち下がりにおいて、信号 FL D をラッチして、選択制御信号 Csi として出力することになる。

## 【 0 0 3 4 】

30

続いて、一般的に i 行目のセクタ 1 3 4 は、選択制御信号 Csi の論理レベルが H レベルであれば入力端 A を選択する一方、L レベルであれば入力端 B を選択して、選択した入力端への信号を、容量スイング信号 Yci として i 行目の容量線 1 1 3 に供給するものである。

これらの行毎に設けられるセクタ 1 3 4 のうち、奇数行目のセクタ 1 3 4 における入力端 A には、高位側の容量電圧 Vst(+) が印加され、その入力端 B には、低位側の容量電圧 Vst(-) が印加されている。一方、偶数行目のセクタ 1 3 4 における入力端 A には、低位側の容量電圧 Vst(-) が印加され、その入力端 B には、高位側の容量電圧 Vst(+) が印加されている。

すなわち、奇数行のセクタ 1 3 4 と、偶数行のセクタ 1 3 4 とでは、入力端 A、B に印加されている容量電圧が、互いに入れ替えられた関係となっている。

40

## 【 0 0 3 5 】

一方、X 側に着目すると、デコーダ (図 2 において「Dec」と表記) 1 6 0 は、信号 PS および信号 Cset を解釈して、図 3 (a) における真理値表に対応した論理レベルとなる信号 CsetI を出力するものである。

また、インバータ 1 6 2 は、信号 CsetI の論理レベルを反転して、信号 /CsetI (「/」は反転を示す) として出力するものである。なお、図 3 (b) は、信号 PS および信号 Cset を入力とし、出力を信号 /CsetI とした場合の真理値表である。

## 【 0 0 3 6 】

ここで、信号 PS は、液晶容量への書込極性を指示する信号であり、その論理レベルが H

50

レベルであれば、正極性書込を指示する一方、その論理レベルがLレベルであれば、負極性書込を指示するものである。本実施形態において、信号PSは、図8または図10に示されるように1水平走査期間(1H)毎に論理レベルが反転する。さらに、信号PSの論理レベルは、同一の水平走査期間についてみた場合、1垂直走査期間毎でも反転する(図8の括弧書参照)。すなわち、本実施形態では、走査線112毎に極性反転(行反転)が行われる構成となっている。

また、信号Csetは、図10に示されるように、1水平走査期間(1H)のうち、走査信号Ys1、Ys2、...、YsmがHレベルになる直前期間において、Lレベルになり、その他の期間ではHレベルになるものである。

#### 【0037】

なお、本実施形態において、画素120または液晶容量について極性反転とは、液晶容量の他端たる対向電極108への印加電圧LCcomを基準として、液晶容量の一端たる画素電極118の印加電圧を交流反転させることをいう。

ただし、本実施形態では、TF T116のオンによって画素電極118に印加された電圧が、対向電極108への印加電圧LCcomよりも低くても、後述するように、TF T116のオフ後に、画素電極118の電圧が高位側にシフトして、結果的にLCcomよりも高くなる場合がある。すなわち、本実施形態では、LCcomよりも低い電圧がデータ線114に印加されても、その電圧は、正極性書込に対応している場合がある。

反対に、本実施形態では、TF T116のオンにより画素電極118に印加された電圧が、LCcomよりも高くても、TF T116のオフ後に、画素電極118の電圧が低位側にシフトして、結果的にLCcomよりも低くなる場合がある。すなわち、本実施形態では、LCcomよりも高い電圧がデータ線114に印加されても、その電圧は、負極性書込に対応している場合がある。

#### 【0038】

次に、デコーダ172は、信号PSおよび信号Csetを解読して、図4に示されるデコード結果に応じた電圧信号を、階調信号Vdac1として第1の給電線175に供給するものである。ここで、階調信号Vdac1が取り得る電圧は、Vsw(+)、Vck(+)、Vsk(-)、Vcw(-)のいずれかであるので、これら4つの電圧が、デコーダ172の入力端に電圧信号群Vset1として印加されている。

続いて、デコーダ174は、信号PSおよび信号Csetを解読して、図5に示されるデコード結果に応じた電圧信号を、階調信号Vdac2として第2の給電線177に供給するものである。ここで、階調信号Vdac2が取り得る電圧は、Vsk(+)、Vcw(+)、Vsw(-)、Vck(-)のいずれかであるので、これら4つの電圧が、デコーダ174の入力端に電圧信号群Vset2として印加されている。なお、階調信号Vdac1、Vdac2が取り得る電圧については、後述することにする。

#### 【0039】

一方、シフトレジスタ150は、図9に示されるように、転送開始パルスDXを、クロック信号CLXの立ち上がり及び立ち下がりで順番にシフトして、互いに排他的にアクティブレベル(Hレベル)となるサンプリング制御信号Xs1、Xs2、...、Xsnを、それぞれ出力するものである。ここで、サンプリング制御信号Xs1、Xs2、...、Xsnは、互いに重複しないように、順次アクティブレベル(Hレベル)になる。

#### 【0040】

さて、シフトレジスタ150の出力側には、第1のサンプリングスイッチ152が、データ線114の列毎に対応して設けられている。このうち、一般的にj(jは、1≦j≦nを満たす整数)列目に対応する第1のサンプリングスイッチ152は、サンプリング制御信号XsjがHレベルになるとオンして、階調データDataをサンプリングするものである。

ここで、階調データDataは、画素120の階調(濃度)を指示する4ビットのデジタルデータであって、実装端子107(図1(a)または同図(b)参照)を介して、図示せぬ外部回路から、クロック信号CLXに同期して供給される。このため、本実施形態

10

20

30

40

50

に係る液晶表示装置にあって、画素 120 は、4 ビットの階調データ *Data* にしたがって  $16 (= 2^4)$  階調の表示を行うことになる。

#### 【0041】

なお、説明の便宜上、階調データ *Data* のうち、最上位ビットを *D3* と表記し、その次位ビットを *D2* と表記し、さらにその次位ビットを *D2* と表記し、最下位ビットを *D0* と表記する。

また、図 2 において、シフトレジスタ 130、フリップフロップ 132 およびセクタ 134 は、画素 120 の配列領域に対して左方のみに配列しているが、実際には、図 1 に示されるように、画素 120 の配列に対し左右対称に配置して、左右の両側からそれぞれ走査線 112 および容量線 113 を駆動する構成となっている。

10

#### 【0042】

< 1 - 1 - 1 : *D/A* 変換器群の詳細 >

次に、図 2 における *D/A* 変換器群 180 は、1 列目、2 列目、3 列目、...、*n* 目に対応する第 1 のサンプリングスイッチ 152 によってそれぞれサンプリングされた階調データ *Data* を、それぞれアナログ信号に変換して、データ信号 *S1*、*S2*、*S3*、...、*Sn* として出力するものである。

ここで、本実施形態における *D/A* 変換器群 180 にあっては、各列に対応する構成が互いに同一であるので、一般的に *j* 列目に対応した構成について代表して説明することにする。図 6 は、*D/A* 変換器群 180 のうち、*j* 列目と、これに隣接する (*j* + 1) 列目との 2 列分のほか、第 1 のサンプリングスイッチ 152 を含めた構成を示すブロック図である。

20

#### 【0043】

この図において、*j* 列目に対応する第 1 のラッチ回路 1802 は、同じく *j* 列目に対応する第 1 のサンプリングスイッチ 152 によってサンプリングされた階調データ *Data* のビット *D0* ~ *D3* を、それぞれラッチするものである。

続いて、*j* 列目に対応する第 2 のサンプリングスイッチ 1804 は、*j* 列目に対応する第 1 のラッチ回路 1802 によってラッチされた階調データ *Data* のビット *D0* ~ *D3* を、ラッチパルス *LAT* がアクティブレベル (*H* レベル) になったときに、それぞれサンプリングするものである。

さらに、*j* 列目に対応する第 2 のラッチ回路 1806 は、同じく *j* 列目に対応する第 2 のサンプリングスイッチ 1804 によってサンプリングされた階調データ *Data* のビット *D0* ~ *D3* を、それぞれラッチするものである。

30

#### 【0044】

次に、第 2 のラッチ回路 1806 によってラッチされたビットのうち、下位 3 ビット *D0*、*D1*、*D2* が供給される信号線は、それぞれスイッチ *SW0*、*SW1*、*SW2* の制御端に接続されている。これらのスイッチ *SW0*、*SW1*、*SW2* (第 2 のスイッチ) は、第 2 のラッチ回路 1806 によってラッチされたビットが「1」(*H* レベル) であればオンするものである。

#### 【0045】

一方、第 2 のラッチ回路 1806 によってラッチされたビットのうち、最上位ビット *D3* を供給する信号線は、スイッチ 1814 の入力端とインバータ 1812 の入力端とに接続され、さらにインバータ 1812 の出力端は、スイッチ 1816 の入力端に接続されている。そして、スイッチ 1814、1816 の出力端は、ノード *P* に共通接続されている。ここで、スイッチ 1814 の制御端は、信号 *Cset1* が供給される信号線に接続される一方、スイッチ 1816 の制御端は、信号 */Cset1* が供給される信号線に接続されている。

40

#### 【0046】

本実施形態におけるスイッチ 1814、1816 の各々は、それぞれ制御端に供給される信号が *H* レベルであればオンするものである。信号 */Cset1* は、信号 *Cset1* の論理レベルをインバータ 162 により反転したものであるから、スイッチ 1814、1816 は、互いに排他的にオンオフすることになる。

50

したがって、ノードPの論理レベルは、信号CsetIがHレベルになってスイッチ1814がオンする場合（信号/CsetIがLレベルになってスイッチ1816がオフする場合）では、第2のラッチ回路1806によってラッチされた最上位ビットD3を正転したものとなる一方、信号/CsetIがHレベルになってスイッチ1816がオンする場合（信号CsetIがLレベルになってスイッチ1814がオフする場合）では、ラッチされた最上位ビットD3を反転したものとなる。

#### 【0047】

続いて、ノードPは、スイッチ1824の制御端とインバータ1822の入力端とに接続され、さらにインバータ1822の出力端は、スイッチ1826の制御端に接続されている。そして、スイッチ1824、1826の出力端は、ノードQに共通接続されている。ここで、スイッチ1824の入力端は、階調信号Vdac2が供給される第2の給電線177に接続される一方、スイッチ1826の入力端は、階調信号Vdac1が供給される第1の給電線175に接続されている。

本実施形態におけるスイッチ1824、1826の各々は、それぞれ制御端に供給される信号がHレベルであればオンするものである。スイッチ1826の制御端に供給される信号は、スイッチ1824の制御端に供給される信号の論理レベルをインバータ1822により反転したものであるから、スイッチ1824、1826は、互いに排他的にオンオフすることになる。

よって、ノードPがHレベルであれば、スイッチ1824がオンし、スイッチ1826がオフするので、ノードQは、階調信号Vdac2が取る電圧になり、また、ノードPがLレベルであれば、スイッチ1824がオフし、スイッチ1826がオンするので、ノードQは、階調信号Vdac1が取る電圧になる。

#### 【0048】

すなわち、インバータ1812、1822、スイッチ1814、1816、1824、1826の全体により、走査線112がHレベルになる前に第1の給電線175または第2の給電線177のいずれか一方を、書込極性および上位ビットd3に応じて選択し、この後、走査線112がHレベルになると、第1の給電線175または第2の給電線177のいずれか他方を選択して、ノードQに印加するセレクトアとして機能することになる。

#### 【0049】

次に、ノードQは、ビット容量1830の一端と、ビット容量1831の一端と、ビット容量1832の一端と、スイッチSW3の入力端とに共通接続されている。このうち、スイッチ（第1のスイッチ）SW3は、その制御端に供給される信号SsetがHレベルであればオンするものである。さらに、ビット容量1830の他端は、スイッチSW0の入力端に接続され、ビット容量1831の他端は、スイッチSW1の入力端に接続され、ビット容量1832の他端は、スイッチSW2の入力端に接続されている。

ここで、信号Ssetは、信号Csetとは論理レベルが反転した関係にある。また、ビット容量1830の容量サイズをCdacとすれば、ビット容量1831の容量サイズは $2 \cdot Cdac$ であり、ビット容量1832の容量サイズは $4 \cdot Cdac$ である。すなわち、ビット容量1830、1831、1832の容量サイズは、階調データDataのビットD0、D1、D2の重みに対応して1:2:4になっている。

そして、スイッチSW0、SW1、SW2、SW3の各々における出力端が、j列目のデータ線114に共通接続されている。なお、データ線114の各々には、容量サイズがCslnである容量1850が寄生している。

#### 【0050】

< 1-1-2: D/A変換の原理等 >

次に、このような構成を列毎に備えるD/A変換器群180のD/A変換原理について説明する。D/A変換器群180において一般的にj列目に対応する構成は、プリセット期間において、最上位ビットD3に対応した電荷を、j列目のデータ線114に寄生する容量1850に蓄積する一方、セット期間において、下位ビットD0、D1、D2に応じた電荷を、ビット容量1830、1831、1832に蓄積すると同時に、これら電荷を、

10

20

30

40

50

容量 1850 に蓄積された電荷と均等化させることによって、j 列目のデータ線 114 における電圧を階調データ Data に対応させるものである。

#### 【0051】

詳細には、第 1 に、信号 S set が H レベルになるプリセット期間において、ノード Q をプリセット電圧 V s にすると、S W 3 のオンによって、寄生容量 1850 には、該電圧 V s に応じた電荷が蓄積される。一方、ビット D 0、D 1、D 2 の各々に応じてスイッチ S W 0、S W 1、S W 2 がオンオフする。この際、ビット容量 1830、1831、1832 のうち、オンしたスイッチに接続されたビット容量の両端は短絡状態になるので、当該ビット容量の蓄電される電荷はゼロクリアされる。

第 2 に、信号 S set が L レベルになる一方、信号 C set が H レベルになるセット期間において、ノード Q をセット電圧 V c にする。これにより、スイッチ S W 3 がオフするとともに、ビット容量 1830、1831、1832 のうち、オンしたスイッチに接続された容量には、電圧 V c に応じた電荷蓄積されるが、該容量とデータ線 114 とは接続状態にあるので、該容量に蓄積された電荷と、データ線 114 の寄生容量 1850 に蓄積された電荷とが均等化される。

#### 【0052】

ここで、下位ビット D 0、D 1、D 2 で表される十進値を N とすると、スイッチ S W 3 のオフ後においてデータ線 114 に印加される電圧 V は、次の式 (1) で表すことができる。

$$V = (N \cdot C_{dac} \cdot V_c + C_{sln} \cdot V_s) / (N \cdot C_{dac} + C_{sln}) \dots (1)$$

式 (1) にあって、ある一つの液晶表示装置において、容量 C dac、C sln については定数として設計されるが、プリセット電圧 V s、セット電圧 V c については変数として扱うことができる。

#### 【0053】

そこで、正極性書込に対応し、かつ、最上位ビット D 3 が「0」である場合に、第 1 の電圧 V sw(+) をプリセット電圧 V s として選択し、電圧 V sw(+) よりも高位の第 4 の電圧 V cw(+) をセット電圧 V c として選択する。この選択では、電圧 V は、図 7 において特性 W t(+) で示されるように、電圧 V sw(+) を起点として十進値 N が大きくなるにつれて上昇するが、その変化率は鈍化している。これは、実際の液晶表示装置では、C dac C sln になるためである。

#### 【0054】

次に、正極性書込に対応し、かつ、最上位ビット D 3 が「1」である場合に、第 3 の電圧 V sk(+) をプリセット電圧 V s として選択し、電圧 V sk(+) よりも低位の第 2 の電圧 V ck(+) をセット電圧 V c として選択する。この選択では、電圧 V は、図 7 において特性 B k(+) で示されるように、電圧 V sk(+) を起点として十進値 N が大きくなるにつれて低下するが、その変化率は鈍化している。さらに、この選択においては、階調データ Data におけるビット D 0、D 1、D 2、D 3 が取り得る内容と階調値とを図 7 に示されるように対応付けたときに、特性 B k(+) が特性 W t(+) と連続するように、電圧 V sk(+), V ck(+) が設定される。

#### 【0055】

結局、正極性書込において、階調データ Data に対する電圧 V の特性は、特性 W t(+) と特性 B k(+) とを併せたものとなる。ここで、電圧 V の特性は、階調値に対して、液晶容量の駆動に適した電圧に変換するガンマ変換を模倣しているので、アナログ変換の際にガンマ変換についても同時に実行されることになる。

#### 【0056】

一方、液晶に直流成分が印加されると、液晶の組成が変化する結果、いわゆる焼き付きやフリッカ等が発生して表示品位が低下するので、液晶容量については交流駆動が原則である。本実施形態では、液晶容量の他端たる対向電極 108 への電圧 L C com が時間的に一定であるので、L C com を基準として、液晶容量の一端たる画素電極 118 に印加する電圧を、一定周期毎に反転する必要がある。

#### 【0057】

10

20

30

40

50

この負極性書込を行う場合には、正極性書込に対応する特性  $Wt(+)$  と特性  $Bk(+)$  とを、 $LCcom$  を基準として反転させた特性を用いる必要がある。

このような反転特性を得るためには、負極性書込に対応し、かつ、最上位ビット  $D3$  が「0」である場合に、第7の電圧  $Vsw(-)$  をプリセット電圧  $Vs$  として選択し、電圧  $Vsw(-)$  よりも低位の第6の電圧  $Vcw(-)$  をセット電圧  $Vc$  として選択する。この選択による特性  $Wt(-)$  は、正極性書込に対応する特性  $Wt(+)$  を、 $LCcom$  を基準として反転したものとなる。ここで、 $Vsw(-)$ 、 $Vcw(-)$  の各々は、 $LCcom$  を基準として、それぞれ  $Vsw(+)$ 、 $Vcw(+)$  を反転したものである。ただし、 $TFT116$  におけるしきい値特性等についてまで考慮するときには、反転における基準として  $LCcom$  が用いられずに、 $LCcom$  の近傍する別途の電位が反転における基準として用いられる。

10

#### 【0058】

また、負極性書込に対応し、かつ、最上位ビット  $D3$  が「1」である場合に、第5の電圧  $Vsk(-)$  をプリセット電圧  $Vs$  として選択し、電圧  $Vsk(-)$  よりも高位の第8の電圧  $Vck(-)$  をセット電圧  $Vc$  として選択する。この選択による特性  $Bk(-)$  は、正極性書込に対応する特性  $Bk(+)$  とを、 $LCcom$  を基準として反転したものとなる。ここで、 $Vsk(-)$ 、 $Vck(-)$  の各々は、 $LCcom$  を基準として、それぞれ  $Vsk(+)$ 、 $Vck(+)$  を反転したものである。

#### 【0059】

このように本実施形態では、プリセット電圧  $Vs$  およびセット電圧  $Vc$  の組として4組用意するとともに、書込極性および最上位ビット  $D3$  に応じて、いずれかの1組を選択することによって、図7に示されるような  $D/A$  変換特性が得られることになる。

20

#### 【0060】

< 1 - 2 : Y側の動作 >

次に、上述した構成に係る液晶表示装置の動作のうち、Y側の動作について説明する。ここで、図8は、この液晶表示装置におけるY側の動作を説明するためのタイミングチャートである。

この図に示されるように、1垂直走査期間(1F)の最初に供給される転送開始パルス  $DY$  が、シフトレジスタ130(図2参照)により、クロック信号  $CLY$  の立ち上がり及び立ち下がりにしたがってシフトされるとともに、そのパルス幅が狭められて、1水平走査期間1H毎にHレベルになる走査信号  $Ys1$ 、 $Ys2$ 、 $Ys3$ 、...、 $Ysm$  として出力される。

30

#### 【0061】

ここで、1垂直走査期間(1F)において、信号  $FLD$  がHレベルであり、かつ、走査信号  $Ys1$  がHレベルになったときに、信号  $PS$  はHレベルになるとする(1行目の走査線112に位置する画素120に対して正極性書込が指示されるものとする)と、この後、走査信号  $Ys1$  の立ち下がりにおいて、1行目のフリップフロップ132は、当該信号  $FLD$  をラッチする。

このため、1行目のフリップフロップ132による選択制御信号  $Cs1$  は、走査信号  $Ys1$  が立ち下がると(すなわち、1行目に位置する画素120の  $TFT116$  がオフすると)、Hレベルに遷移する結果、1行目のセクタ134は、その入力端Aを選択するので、1行目の容量線113に供給される容量スイング信号  $Yc1$  は、高位側の容量電圧  $Vst(+)$  になる。

40

すなわち、走査信号  $Ys1$  がHレベルになって、正極性書込が指示された後、当該走査信号  $Ys1$  がLレベルに立ち下がると、容量スイング信号  $Yc1$  が、高位側の容量電圧  $Vst(+)$  に遷移する。

#### 【0062】

次に、走査信号  $Ys2$  がHレベルになったときに、信号  $PS$  はLレベルに反転する(2行目の走査線112に位置する画素120に対して負極性書込が指示される)。この後、走査信号  $Ys2$  の立ち下がりにおいて、2行目のフリップフロップ132が当該信号  $FLD$  をラッチするので、選択制御信号  $Cs2$  は、走査信号  $Ys2$  の立ち下がると(すなわち、2行目に位置する画素120の  $TFT116$  がオフすると)、Hレベルに遷移する結果、

50

2行目のセクタ134は、その入力端Aを選択する。

ただし、偶数行のセクタ134は、奇数行のセクタ134とは、入力端A、Bに供給されている容量電圧が、互いに入れ替えられているので(図2参照)、2行目の容量線113に供給される容量スイング信号 $Y_{c2}$ は、走査信号 $Y_{s2}$ の立ち下がりにおいて、低位側の容量電圧 $V_{st(-)}$ になる。

すなわち、走査信号 $Y_{s2}$ がHレベルになって、負極性書込が指示された後、当該走査信号 $Y_{s2}$ がLレベルに立ち下がると、容量スイング信号 $Y_{c2}$ が、低位側の容量電圧 $V_{st(-)}$ に遷移する。

#### 【0063】

以下同様な動作が、3行目、4行目、5行目、...、 $m$ 行目のフリップフロップ132およびセクタ134において繰り返し行われることになる。すなわち、信号 $F_{LD}$ がHレベルである1垂直走査期間(1F)において、 $i$ 行目の走査線112に供給される走査信号 $Y_{si}$ がHレベルになると、 $i$ が奇数であれば、正極性書込が指示され、この後、当該走査信号 $Y_{si}$ がLレベルに立ち下がると、 $i$ 行目の容量線113に供給される容量スイング信号 $Y_{ci}$ は、低位側の容量電圧 $V_{st(-)}$ から高位側の容量電圧 $V_{st(+)}$ に遷移する一方、 $i$ が偶数であれば、負極性書込が指示され、この後、当該走査信号 $Y_{si}$ がLレベルに立ち下がると、容量スイング信号 $Y_{ci}$ は、高位側の容量電圧 $V_{st(+)}$ から低位側の容量電圧 $V_{st(-)}$ に遷移することになる。

#### 【0064】

なお、次の垂直走査期間では、信号 $F_{LD}$ はLレベルになる。このため、 $i$ 行目の走査線112に供給される走査信号 $Y_{si}$ がHレベルからLレベルになったとき、 $i$ 行目の容量線113に供給される容量スイング信号 $Y_{ci}$ は、 $i$ が奇数であれば、高位側の容量電圧 $V_{st(+)}$ から低位側の容量電圧 $V_{st(-)}$ に遷移する一方、 $i$ が偶数であれば、低位側の容量電圧 $V_{st(-)}$ から高位側の容量電圧 $V_{st(+)}$ に遷移することになる。

ただし、信号 $P_S$ の論理レベルも反転するので、正極性書込が指示された後、走査信号 $Y_{si}$ がLレベルに立ち下がると、容量スイング信号 $Y_{ci}$ は、低位側の容量電圧 $V_{st(-)}$ から高位側の容量電圧 $V_{st(+)}$ に遷移する一方、負極性書込が指示された後、走査信号 $Y_{si}$ がLレベルに立ち下がると、容量スイング信号 $Y_{ci}$ が、高位側の容量電圧 $V_{st(+)}$ から低位側の容量電圧 $V_{st(-)}$ に遷移する点に変わりはない。

#### 【0065】

<1-3:X側の動作>

次に、液晶表示装置の動作のうち、X側の動作について説明する。ここで、図9および図10は、この液晶表示装置におけるX側の動作を説明するためのタイミングチャートである。

#### 【0066】

まず、図9において、1行目の走査信号 $Y_{s1}$ がHレベルになる期間を含む1水平走査期間(図において1で示される期間)について着目すると、当該1水平走査期間に先んじて、1行1列、1行2列、...、1行 $n$ 列の画素に対応する階調データ $D_{ata}$ が順番に供給される。このうち、1行1列の画素に対応する階調データ $D_{ata}$ が供給されるタイミングにおいて、シフトレジスタ150から出力されるサンプリング制御信号 $X_{s1}$ がHレベルになると、1列目に対応する第1のサンプリングスイッチ152のオンにより、当該階調データが、同じく1列目に対応する第1のラッチ回路1802にラッチされる。

#### 【0067】

次に、1行2列の画素に対応する階調データ $D_{ata}$ が供給されるタイミングにおいて、サンプリング制御信号 $X_{s2}$ がHレベルになると、2列目に対応する第1のサンプリングスイッチ152のオンにより、当該階調データが、同じく2列目に対応する第1のラッチ回路1802にラッチされ、以下同様にして、1行 $n$ 列の画素に対応する階調データ $D_{ata}$ が、 $n$ 列目に対応する第1のラッチ回路1802にラッチされる。これにより、1行目に位置する $n$ 個の画素に対応する階調データ $D_{ata}$ が、1列目、2列目、...、 $n$ 列目に対応する第1のラッチ回路1802にそれぞれラッチされることになる。

10

20

30

40

50

## 【 0 0 6 8 】

続いて、ラッチパルス L A T が出力されると（その論理レベルが H レベルになると）、それぞれ各列に対応する第 1 のラッチ回路 1 8 0 2 にそれぞれラッチされた階調データ D a t a が、第 2 のサンプリングスイッチ 1 8 0 4 のオンにより、それぞれに対応する列の第 2 のラッチ回路 1 8 0 6 に、一斉にラッチされることになる。

## 【 0 0 6 9 】

そして、1 列目、2 列目、...、n 列目に対応する第 2 のラッチ回路 1 8 0 6 にそれぞれラッチされた階調データ D a t a が、それぞれに対応する列の D / A 変換によって、信号 P S の論理レベルに対応する極性側のアナログ信号に変換されて、データ信号 S 1、S 2、...、S n として出力される。

10

## 【 0 0 7 0 】

ここで、信号 P S が H レベルである 1 水平走査期間（1 H）において、D / A 変換器群 1 8 0 での D / A 変換動作について説明する。なお、この D / A 変換動作は、1 列目から n 列目までの各列において一斉に行われるが、便宜上、代表して j 列目の動作を説明することにする。

## 【 0 0 7 1 】

はじめに、図 1 0 において、信号 P S が H レベルになる 1 水平走査期間（図 1 0 において 1 で示される期間：この期間は図 9 における期間 1 に対応している）について着目する。

まず、1 水平走査期間の最初のプリセット期間では、信号 C set が L レベルになる。このため、信号 C set l は、デコーダ 1 6 0 による解読にしたがって H レベルになり、信号 C set h は、インバータ 1 6 2 の反転により L レベルになる。よって、図 6 において、スイッチ 1 8 1 4 がオンし、スイッチ 1 8 1 6 がオフする。

20

さらに、第 1 の給電線 1 7 5 に供給される階調信号 V dac 1 は、デコーダ 1 7 2 の解読にしたがって V sw(+) になり、第 2 の給電線 1 7 7 に供給される階調信号 V dac 2 は、デコーダ 1 7 4 の解読にしたがって V sk(+) になる。

## 【 0 0 7 2 】

また上述したように、信号 S set は、信号 C set とは論理レベルが反転した関係にあるので、信号 C set が L レベルになると、信号 S set が H レベルになる。このため、プリセット期間では、図 6 において、スイッチ S W 3 がオンする。一方、第 2 のラッチ回路 1 8 0 6 は、階調データ D a t a の各ビット D 0、D 1、D 2、D 3 をラッチしているので、スイッチ S W 0、S W 1、S W 2 が、これらのラッチ結果に応じてオンオフする。例えば、階調 D a t a のビット D 0 が「1」であり、ビット D 1 が「0」であり、ビット D 2 が「1」であるとする、スイッチ S W 0、S W 2 がオンし、S W 1 はオフする。

30

さらに、ビット D 3 が「0」であるとする、スイッチ 1 8 1 4 のオンによって、ノード P は、ビット D 3 の「0」に対応して L レベルになる。このため、スイッチ 1 8 2 4 がオフし、スイッチ 1 8 2 6 がオンするので、ノード Q は、階調信号 V dac 1 の電圧である V sw(+) になる。

したがって、図 1 1 ( a ) に示されるように、データ線 1 1 4 の寄生容量 1 8 5 0 には、スイッチ S W 3 のオンによって電圧 V sw(+) に対応した電荷が蓄積される。一方、スイッチ S W 0 のオンによって両端が短絡状態になったビット容量 1 8 3 0 には、蓄積されていた電荷がゼロクリアされる。同様に、スイッチ S W 2 のオンによって両端が短絡状態になったビット容量 1 8 3 2 でも、蓄積されていた電荷がゼロクリアされる。

40

## 【 0 0 7 3 】

次に、図 1 0 において、信号 P S が H レベルである期間のうち、信号 C set が H レベルになるセット期間では、信号 C set l は L レベルになり、信号 C set h は H レベルになる。このため、図 6 においてスイッチ 1 8 1 4 がオフし、スイッチ 1 8 1 6 がオンして、オンオフの関係が切り替わるので、ノード P は、インバータ 1 8 1 2 の反転結果たる H レベルになる。

一方、第 1 の給電線 1 7 5 に供給される階調信号 V dac 1 は、デコーダ 1 7 2 の解読にし

50



たがって  $V_{ck}(+)$  になり、第 2 の給電線 177 に供給される階調信号  $V_{dac2}$  は、デコーダ 174 の解読にしたがって  $V_{cw}(+)$  になる。ここで、ノード P が H レベルに遷移したことによって、スイッチ 1824、1826 におけるオンオフの関係も切り替わるので、ノード Q は、階調信号  $V_{dac2}$  の電圧である  $V_{cw}(+)$  になる。

さらに、図 10 に示されるように、信号  $C_{set}$  が H レベルになると、信号  $S_{set}$  が L レベルになるので、このセット期間では、スイッチ SW3 がオフする。

したがって、図 11 (b) に示されるように、ビット容量 1830、1832 には、それぞれ電圧  $V_{cw}(+)$  に応じた電荷が蓄積されることになる。

【0074】

ただし、スイッチ SW0、SW2 はオンのままであるので、図 11 (c) に示されるように、電荷が、ビット容量 1830、1832 から寄生容量 1850 に受け渡される。そして、これら容量における電位差がなくなると、電荷の受け渡しが終了するので、各容量における充電電圧（データ線の電圧）は、定常的には、正極性書込であって、階調データ Data (0101) に対応する電圧  $V_5(+)$  になる（図 7、図 11 (c) 参照）。

【0075】

なお、信号 PS が H レベルである期間のうち、信号  $C_{set}$  が L レベルであるプリセット期間において、ビット D3 が「1」であれば、ノード P は H レベルになるので、スイッチ 1824 がオンする結果、ノード Q は、階調信号  $V_{dac2}$  の電圧である  $V_{sk}(+)$  になる。このため、図 12 (a) に示されるように寄生容量 1850 には、 $V_{sk}(+)$  に応じた電荷が蓄積される。

この後、信号  $C_{set}$  が H レベルになるセット期間では、ノード P は L レベルになるので、スイッチ 1826 がオンする結果、ノード Q は、階調信号  $V_{dac1}$  の電圧である  $V_{ck}(+)$  になる。このため、図 12 (b) に示されるように、ビット容量 1830、1832 には、それぞれ電圧  $V_{ck}(+)$  に応じた電荷が蓄積されると同時に、電荷が、図 12 (c) に示されるように、寄生容量 1850 から、ビット容量 1830、1832 に受け渡される。そして、これら容量における電位差がなくなると、電荷の受け渡しが終了するので、データ線の電圧は、定常的には、正極性書込であって、階調データ Data (1101) に対応する電圧  $V_{10}(+)$  になる（図 7、図 12 (c) 参照）。

【0076】

結局、信号 PS が H レベルになる 1 水平走査期間のうち、信号  $C_{set}$  が L レベルであるプリセット期間では、データ信号  $S_j$  は、ビット D3 が「0」であれば電圧  $V_{sw}(+)$  となり、ビット D3 が「1」であれば電圧  $V_{sk}(+)$  となる。この後、信号  $C_{set}$  が H レベルになるセット期間では、データ信号  $S_j$  は、電圧  $V_{sw}(+)$  から電圧  $V_{sk}(+)$  までの範囲において、階調データ Data に対応し、かつ、正極側書込に対応したものとなる。

そして、セット期間に、1 行目の走査線 112 に供給される走査信号  $Y_{s1}$  が H レベルになるので、1 行目の画素 120 においては、TFT 116 のオンによって画素電極 118 に、正極性書込に対応した電圧のデータ信号  $S_1$ 、 $S_2$ 、...、 $S_n$  が各列において印加されることになる。

【0077】

続いて、2 行目の走査信号  $Y_{s2}$  が H レベルになる期間を含む 1 水平走査期間（図 9 および図 10 において 2 で示される期間）について着目すると、当該 1 水平走査期間に先んじて、2 行 1 列、2 行 2 列、...、2 行 n 列の画素に対応する階調データ Data が順番に供給されて、前の 1 水平走査期間 1 とほぼ同様な動作が実行される。

すなわち、第 1 に、サンプリング制御信号  $X_{s1}$ 、 $X_{s2}$ 、...、 $X_{sn}$  が順番に H レベルになると、2 行 1 列、2 行 2 列、...、2 行 n 列の画素に対応する階調データ Data が、1 列目、2 列目、...、n 列目に対応する第 1 のラッチ回路 1802 にそれぞれにラッチされ、この後、第 2 に、ラッチパルス LAT の出力により、ラッチされた階調データ Data が、対応する列の第 2 のラッチ回路 1806 に一斉にラッチされて、第 3 に、このラッチ結果に対応してアナログ変換されたデータ信号  $S_1$ 、 $S_2$ 、...、 $S_n$  が出力される。

【0078】

10

20

30

40

50

ただし、この水平走査期間 2 では、信号 P S が L レベルであるので、信号 C set が L レベルであるプリセット期間では、信号 C set I は L レベルになり、信号 C set I は、インバータ 1 6 2 の反転により H レベルになる。よって、図 6 においてスイッチ 1 8 1 4 がオフし、スイッチ 1 8 1 6 がオンする。

さらに、第 1 の給電線 1 7 5 に供給される階調信号 V dac 1 は、デコーダ 1 7 2 の解読によって電圧 V sk(-)になり、第 2 の給電線 1 7 7 に供給される階調信号 V dac 2 は、デコーダ 1 7 4 の解読によって電圧 V sw(-)になる。

#### 【 0 0 7 9 】

このため、信号 P S が L レベルになる 1 水平走査期間のうち、信号 C set が L レベルであるプリセット期間においては、ビット D 3 が「 0 」であれば、ノード P が H レベルになるので、スイッチ 1 8 2 4 がオンし、スイッチ 1 8 2 6 がオフし、また、信号 S set が H レベルになることによりスイッチ S W 3 がオンする。この結果、寄生容量 1 8 5 0 に対する充電は、階調信号 V dac 2 の電圧 V sw(-)にて行われることになる。

一方、ビット D 3 が「 1 」であれば、ノード P が L レベルになるので、スイッチ 1 8 2 4 がオフし、スイッチ 1 8 2 6 がオンし、また、信号 S set が H レベルになることによりスイッチ S W 3 がオンする。この結果、寄生容量 1 8 5 0 に対する充電は、階調信号 V dac 1 の電圧 V sk(-)にて行われることになる。

#### 【 0 0 8 0 】

この後、信号 C set が H レベルになるセット期間では、信号 C set I は H レベルになり、信号 C set I は L レベルになるので、スイッチ 1 8 1 4 がオンし、スイッチ 1 8 1 6 がオフする。また、信号 C se t が H レベルである期間においては、信号 S set が L レベルになるので、スイッチ S W 3 がオフする。

さらに、第 1 の給電線 1 7 5 に供給される階調信号 V dac 1 は、電圧 V cw(-)になり、第 2 の給電線 1 7 7 に供給される階調信号 V dac 2 は、電圧 V ck(-)になる。

このため、信号 P S が L レベルになる 1 水平走査期間のうち、信号 C set が H レベルであるセット期間においては、ビット D 3 が「 0 」であれば、ノード P が L レベルになるので、スイッチ 1 8 2 4 がオフし、スイッチ 1 8 2 6 がオンする。この結果、ノード Q は、階調信号 V dac 1 の電圧 V cw(-)になる。

よって、ビット容量 1 8 3 0、1 8 3 1、1 8 3 2 のうち、対応するビットが「 1 」であるものには、電圧 V cw(-)に応じた電荷が蓄積されると同時に、寄生容量 1 8 5 0 に対し電圧 V sw(-)に応じて蓄積された電荷と均等化される。

#### 【 0 0 8 1 】

一方、信号 P S が L レベルになる 1 水平走査期間のうち、信号 C set が H レベルであるセット期間において、ビット D 3 が「 1 」であれば、ノード P が H レベルになるので、スイッチ 1 8 2 4 がオンし、スイッチ 1 8 2 6 がオフする。この結果、ノード Q は、階調信号 V dac 2 の電圧 V ck(-)になる。

よって、ビット容量 1 8 3 0、1 8 3 1、1 8 3 2 のうち、対応するビットが「 1 」であるものには、電圧 V ck(-)に応じた電荷が蓄積されると同時に、寄生容量 1 8 5 0 に対し電圧 V sk(-)蓄積された電荷と均等化される。

#### 【 0 0 8 2 】

結局、信号 P S が L レベルになる 1 水平走査期間のうち、信号 C set が L レベルであるプリセット期間では、データ信号 S j は、ビット D 3 が「 0 」であれば電圧 V sw(-)となり、ビット D 3 が「 1 」であれば電圧 V sk(-)となる。この後、信号 C set が H レベルになるセット期間では、データ信号 S j は、電圧 V sw(-)から電圧 V sk(-)までの範囲において、階調データ D a t a に対応し、かつ、負極側書込に対応したものとなる。

そして、信号 C set が H レベルになるセット期間に、2 行目の走査線 1 1 2 に供給される走査信号 Y s 2 が H レベルになるので、2 行目の画素 1 2 0 においては、T F T 1 1 6 のオンによって画素電極 1 1 8 に、負極性書込に対応した電圧のデータ信号 S 1、S 2、...、S n が各列において印加されることになる。

#### 【 0 0 8 3 】

10

20

30

40

50

以下、同様な動作が、1 水平走査期間毎に、繰り返して実行されることになる。すなわち、 $i$  行目の走査線 112 に供給される走査信号  $Y_{si}$  が H レベルになる 1 水平走査期間に先んじて、 $i$  行 1 列、 $i$  行 2 列、...、 $i$  行  $n$  列の画素に対応する階調データ  $Data$  が順番に供給されて、1 列目、2 列目、...、 $n$  列目に対応する第 1 のラッチ回路 1802 にラッチされ、この後、ラッチパルス  $LAT$  の出力により、対応する列の第 2 のラッチ回路 1804 に一斉にラッチされて、それぞれに対応する列において  $D/A$  変換されて、信号  $PS$  の論理レベルに対応する極性側のアナログ信号に変換されて、データ信号  $S_1$ 、 $S_2$ 、...、 $S_n$  として出力される。

この際、データ信号  $S_1$ 、 $S_2$ 、...、 $S_n$  の電圧は、 $i$  が奇数であれば、信号  $PS$  が H レベルとなるので、正極性書込に対応したものとなる一方、 $i$  が偶数であれば、信号  $PS$  が L レベルとなるので、負極性書込に対応したものとなる。

10

#### 【0084】

なお、次の垂直走査期間では、同様な動作が実行されるが、信号  $PS$  は、同一の水平走査期間についてみた場合、1 垂直走査期間毎に反転するので、データ信号  $S_1$ 、 $S_2$ 、...、 $S_n$  の電圧は、 $i$  が奇数であれば、負極性書込に対応したものとなる一方、 $i$  が偶数であれば、正極性書込に対応したものとなる。

#### 【0085】

< 1 - 4 : 蓄積容量および液晶容量における動作 >

続いて、上述したような Y 側および X 側の動作が行われた場合に、蓄積容量および液晶容量における動作について説明する。図 13 (a)、図 13 (b) および図 13 (c) の各々は、これらの容量における電荷の蓄積動作を説明するための図である。

20

なお、これらの図の左方における 2 つの升は、それぞれ蓄積容量および液晶容量を示している。詳細には、升の底面積が、それぞれ蓄積容量  $C_{stg}$  (119) および液晶容量  $C_{LC}$  の大きさを示し、升に溜められた水が電荷を示し、その高さが電圧を示している。

#### 【0086】

ここで、説明の便宜上、 $i$  行  $j$  列に位置する画素 120 において、正極性書込を行う場合を例にとって説明する。まず、走査信号  $Y_{si}$  が H レベルになると、当該画素の TFT 116 がオンするので、図 13 (a) に示されるように、当該画素の蓄積容量  $C_{stg}$  および液晶容量  $C_{LC}$  には、データ線  $S_j$  の電圧に応じた電荷が蓄積される。この際、蓄積容量  $C_{stg}$  および液晶容量  $C_{LC}$  における書込電圧を  $V_p$  とする。

30

#### 【0087】

次に、走査信号  $Y_{si}$  が L レベルになると、当該画素の TFT 116 がオフするとともに、正極性書込では、 $i$  行目の容量線 113 に供給される容量スイング信号  $Y_{ci}$  が、上述したように低位側の容量電圧  $V_{st(-)}$  から高位側の容量電圧  $V_{st(+)}$  に遷移する。このため、図 13 (b) に示されるように、蓄積容量  $C_{stg}$  における充電電圧が、その遷移分である  $V_q$  だけ底上げされる。ここで、 $V_q = \{ V_{st(+)} - V_{st(-)} \}$  である。

#### 【0088】

ただし、蓄積容量  $C_{stg}$  の一端は、画素電極 118 に接続されているので、図 13 (c) に示されるように、電圧が持ち上げられた蓄積容量  $C_{stg}$  から液晶容量  $C_{LC}$  に電荷が受け渡される。そして、両容量における電位差がなくなると、電荷の受け渡しが終了するので、両容量における充電電圧は、最終的に電圧  $V_r$  になる。この電圧  $V_r$  は、TFT 116 のオフ時におけるほとんどの期間において液晶容量  $C_{LC}$  に印加され続けることになるので、液晶容量  $C_{LC}$  には、実効的に、TFT 116 のオン時から電圧  $V_c$  が印加されたものとみなすことができる。

40

#### 【0089】

この電圧  $V_r$  は、蓄積容量  $C_{stg}$  および液晶容量  $C_{LC}$  を用いると、次式 (2) のように表すことができる。

$$V_r = V_p + V_q \cdot C_{stg} / (C_{stg} + C_{LC}) \quad \dots\dots (2)$$

#### 【0090】

さて、蓄積容量  $C_{stg}$  が液晶容量  $C_{LC}$  よりも充分に大きいのであれば、式 (2) は、次式 (3)

50

のように近似される。

$$V_r = V_p + V_q \quad \dots\dots (3)$$

すなわち、液晶容量  $C_{LC}$  における最終的な充電電圧  $V_r$  は、初期書込電圧  $V_p$  から、容量スイング信号  $Y_{ci}$  の持ち上がり分  $V_q$  だけ高位側にシフトしたものととして簡略化される。

【0091】

なお、ここでは、図13(b)および図13(c)の動作を、簡略化のために別々に説明したが、実際には、両者の動作は同時並行的に行われる。また、ここでは、正極性書込を行う場合について説明したが、負極性書込の場合に、蓄積容量  $C_{stg}$  が液晶容量  $C_{LC}$  よりも十分に大きいのであれば、液晶容量  $C_{LC}$  に最終的に印加される電圧  $V_r$  は、初期書込電圧  $V_p$  から容量スイング信号  $Y_{ci}$  の遷移分  $V_p$  だけ、低位側にシフトすることになる。

10

【0092】

すなわち、 $i$  行  $j$  列の画素120における画素電極118に印加される電圧  $P_{ix}(i, j)$  は、図14(b)に示されるように、第1に、TFT116のオン時に、一旦、 $j$  列目のデータ線114に供給されるデータ信号  $S_j$  の電圧になり、第2に、TFT116のオフ直後に、正極性書込であれば、容量スイング信号  $Y_{ci}$  が低位側の容量電圧  $V_{st}(-)$  から高位側の容量電圧  $V_{st}(+)$  に遷移することによって、高位側にシフトする一方、負極性書込であれば、容量スイング信号  $Y_{ci}$  が高位側の容量電圧  $V_{st}(+)$  から低位側の容量電圧  $V_{st}(-)$  に遷移することによって、低位側にシフトすることになる。

【0093】

実際には、蓄積容量  $C_{stg}$  を液晶容量  $C_{LC}$  よりも十分に大きくすることができず、また、液晶容量  $C_{LC}$  には容量サイズが充電電圧に応じて変化する特性がある。このため、 $P_{ix}(i, j)$  は、例えばTFT116のオン時に正極性書込の白レベルに対応する電圧  $V_{sw}(+)$  であれば、TFT116のオフ後において、容量電圧の上昇分に一致して高位にシフトするのではなく、電圧  $V_{sw}(+)$  や蓄積容量  $C_{stg}$  / 液晶容量  $C_{LC}$  の容量比にも依存して、 $V_{wt}(+)$  だけ高位にシフトすることになる。

20

なお、図14(b)では、第1に、 $P_{ix}(i, j)$  がTFT116のオン時に正極性書込の黒レベルに対応する電圧  $V_{sk}(+)$  であれば、TFT116のオフ後において、容量電圧の上昇分や、電圧  $V_{sk}(+)$ 、容量比に依存して、 $V_{bk}(+)$  だけ高位にシフトする点、第2に、 $P_{ix}(i, j)$  がTFT116のオン時に負極性書込の白レベルに対応する電圧  $V_{sw}(-)$  であれば、TFT116のオフ後において、容量電圧の下降分や、電圧  $V_{sw}(-)$ 、容量比に依存して、 $V_{wt}(-)$  だけ低位にシフトする点、および、第3に、 $P_{ix}(i, j)$  がTFT116のオン時に負極性書込の黒レベルに対応する電圧  $V_{sk}(-)$  であれば、TFT116のオフ後において、容量電圧の下降分や、電圧  $V_{sk}(-)$ 、容量比に依存して、 $V_{bk}(-)$  だけ高位にシフトする点が別途示されている。

30

【0094】

このように、本実施形態によれば、データ線114に供給されるデータ信号  $S_1$ 、 $S_2$ 、...、 $S_n$  の電圧振幅以上に、画素電極118の電圧が変位することになる。すなわち、本実施形態によれば、データ信号  $S_1$ 、 $S_2$ 、...、 $S_n$  の電圧振幅範囲が狭くても、その範囲以上に、液晶容量に印加される電圧実効値が拡大することになる。このため、従来では、データ線114への最終段に設けられて、データ信号の電圧を拡大するためのレベルシフタが不要となるので、その分、回路配置に余裕が生じるだけでなく、電圧拡大することによって消費されていた電力もなくすることができる。さらに、X側におけるシフトレジスタ150からD/A変換器群180までに至る回路をすべて低電圧で駆動することができるので、これらの回路を構成する素子(TFT)が小さくて済む。このため、データ線114のピッチを、より狭くすることができるので、高精細化を図ることが容易となる。

40

【0095】

さらに、本実施形態では、蓄積容量  $C_{stg}$  の他端を前行の走査線112に接続するとともに、走査線を多値で駆動する方法(例えば、特開平2-913号公報や、特開平4-145490号公報に記載の技術参照)と比較すると、次のような利点がある。

すなわち、走査線を多値で駆動する方法では、走査線に蓄積容量が接続される分、負荷が

50

大きくなる。一方、一般に走査線に供給される走査信号の電圧振幅は、データ線に供給されるデータ信号の電圧振幅よりも大きい（図14（a）参照）。このため、走査線を多値で駆動する方法では、負荷が付加された走査線を高電圧振幅することにより消費される電力を考えると、低消費電力化を図ることが困難である。

これに対し、本実施形態では、蓄積容量 $C_{stg}$ （119）の他端を、容量線113に供給される容量スイング信号によって持ち上げ、または、持ち下げることで、液晶容量に印加される電圧実効値を拡大しているのので、走査線に付加される容量に変更はなく、さらに、データ信号の電圧振幅が小さく抑えられる分、走査信号の電圧振幅を小さくできるので、より低消費電力化も可能になる。

【0096】

10

また、本実施形態では、対向電極の電圧を一定の期間（例えば1水平走査期間）毎にシフトする（持ち上げる、または、持ち下げる）方法と比較すると、次のような利点がある。すなわち、対向電極の電圧をシフトすると、当該対向電極に寄生するすべての容量が一斉に影響を受けるので、意外に低消費電力化を図ることができない。

これに対し、本実施形態では、容量線113の電圧が1水平走査期間毎に順番にシフトするだけであるので、1水平走査期間でみれば、1本の容量線113に寄生する容量だけが影響を受ける。このため、本実施形態によれば、対向電極の電圧をシフトする方法と比較すると、電圧のシフトにより影響を受ける容量が圧倒的に少ないので、低消費電力化において有利である。

【0097】

20

くわえて、本実施形態では、データ信号 $S_1$ 、 $S_2$ 、...、 $S_n$ の電圧振幅が抑えられるので、D/A変換の際に必要な8つの電圧の最大・最小の振幅についても抑えられるので、これらの電圧を生成する電源回路の負担を減らすことが可能となる。

【0098】

ところで、本実施形態では、正極性書込に対応するD/A変換の際、各容量への電荷の蓄積のために、上位ビットD3が「0」であれば、電圧 $V_{sw}(+)$ から $V_{cw}(+)$ に、上位ビットD3が「1」であれば、電圧 $V_{sk}(+)$ から $V_{ck}(+)$ に、それぞれ切り替える必要がある。また、負極性書込に対応するD/A変換の際、各容量への電荷の蓄積のために、上位ビットD3が「0」であれば、電圧 $V_{sw}(-)$ から $V_{cw}(-)$ に、上位ビットD3が「1」であれば、電圧 $V_{sk}(-)$ から $V_{ck}(-)$ に、それぞれ切り替える必要がある。

30

このため単純には、電圧 $V_{sw}(+)$ 、 $V_{cw}(+)$ 、 $V_{sw}(-)$ 、 $V_{cw}(-)$ を順に、ある1本の給電線に供給する一方、電圧 $V_{sk}(+)$ 、 $V_{ck}(+)$ 、 $V_{sk}(-)$ 、 $V_{ck}(-)$ を順に、別の1本の給電線に供給しておき、書込極性や上位ビットD3に応じて、いずれかを選択して用いる構成が考えられる。

【0099】

しかしながら、このような構成では、各給電線における電圧変化が大きく、該給電線に寄生する容量によって電力が無駄に消費されることになる。

この点について詳述すると、例えば、蓄積容量119の他端をシフトさせない場合に、ある1本の給電線に、電圧 $V_{sw}(+)$ 、 $V_{cw}(+)$ 、 $V_{sw}(-)$ 、 $V_{cw}(-)$ を順に給電すると、図18においてSで示されるような電圧波形となり、別の1本の給電線に、電圧 $V_{sk}(+)$ 、 $V_{ck}(+)$ 、 $V_{sk}(-)$ 、 $V_{ck}(-)$ を順に給電すると、図18においてTで示されるような電圧波形となる。

40

ここで、電圧波形Sでは、D/A変換の際（信号 $C_{set}$ がHレベルに遷移する際、または、信号 $S_{set}$ がLレベルに遷移する際、すなわち、プリセット期間からセット期間に移行する際）には、図18または図19（A）においてc、dで示されるように、また、極性反転の際（信号 $P_S$ がHまたはLレベルに遷移する際）には、図18または図19（B）においてg、hで示されるように、電圧変化が大きくなる。同様に、電圧波形Tでは、D/A変換の際には、図18または図19（A）においてa、bで示されるように、また、極性反転の際には、図18または図19（B）においてe、fで示されるように、電圧変化が大きくなる。

50

## 【0100】

これに対して、本実施形態では、D/A変換の際や極性反転の際に、インバータ1812、1822、スイッチ1814、1816、1824、1826によって、第1の給電線175または第2の給電線177のいずれか一方から他方に給電を切り替える構成となっているので、両給電線における電圧変化が小さく抑えられる。

詳述すると、本実施形態では、第1の給電線175に供給される階調信号V<sub>dac1</sub>の電圧波形は、D/A変換の際には、図10または図19(C)においてB、Dで示されるように、また、極性反転の際には、図10または図19(D)においてF、Hで示されるように、電圧変化が小さく抑えられる。同様に、第2の給電線177に供給される階調信号V<sub>dac2</sub>の電圧波形は、D/A変換の際には、図10または図19(C)においてA、Cで示されるように、また、極性反転の際には、図10または図19(D)においてE、Gで示されるように、電圧変化が小さく抑えられる。

10

このため本実施形態によれば、D/A変換の際に必要な8つの電圧の最大・最小の振幅について抑えられることとあいまって、D/A変換の際や極性反転の際に、第1の給電線175または第2の給電線177のいずれか一方から他方に給電を切り替える構成によって、第1の給電線175および第2の給電線177における電圧変化が小さく抑えられるので、これらの給電線に寄生する容量によって消費される電力も最小限に抑えられる結果、さらなる低消費電力化が可能になる。

## 【0101】

<1-5: 考察>

20

ところで、上述したように、蓄積容量 $C_{stg}$ が、液晶容量 $C_{LC}$ よりも充分に大きいのであれば、液晶容量 $C_{LC}$ に最終的に印加される電圧 $V_r$ は、初期書込電圧 $V_p$ から、容量スイング信号 $Y_{ci}$ の電圧遷移分(蓄積容量における他端の電圧遷移分)だけ、高位側または低位側にシフトしたものと取り扱うことができる。

ただし、実際には、回路素子や配線等におけるレイアウトの制約により、蓄積容量 $C_{stg}$ を、液晶容量 $C_{LC}$ よりも数倍程度とするのが限界であるので、容量スイング信号 $Y_{ci}$ の電圧遷移分(持ち上げまたは持ち下げ分)が、そのまま、画素電極における電圧遷移分にはならない。すなわち、容量スイング信号 $Y_{ci}$ の電圧遷移分が、圧縮されて、画素電極118における電圧遷移分として反映されることになる。

## 【0102】

30

ここで、図15は、この圧縮率が蓄積容量 $C_{stg}$ /(黒表示の)液晶容量 $C_{LC}$ の比率に対してどのように変化するかを、シミュレートした図である。例えば、蓄積容量における他端の電圧遷移分が2.0ボルトである場合に、画素電極の電圧シフト分が1.5ボルトであるとき、圧縮率は75%となる。

この図に示されるように、蓄積容量 $C_{stg}$ /液晶容量 $C_{LC}$ の比率が大きくなるにつれて、圧縮率は、大きくなるが、やがて飽和することが判る。特に、蓄積容量 $C_{stg}$ /液晶容量 $C_{LC}$ の比率が「4」を越える付近から、圧縮率が80%強で飽和する。ここで、蓄積容量 $C_{stg}$ /液晶容量 $C_{LC}$ の比率が「4」程度であれば、電圧振幅の減少分も約20%弱と少なく、レイアウト的にも現実的である。

## 【0103】

40

ところで、電圧振幅の減少分を補償するためには、第1に、データ線114に供給するデータ信号の初期書込電圧の振幅を増加させることが考えられるが、これは、本発明における目的と相反することであるから、安易に採用することはできない。特に、データ信号 $S_1$ 、 $S_2$ 、...、 $S_n$ の電圧振幅が、シフトレジスタ150からD/A変換器群180までに至る回路の論理レベルの振幅を越える場合、D/A変換器群180の出力段に、その電圧振幅を拡大するためのレベルシフトが列毎に必要なので、消費電力の大幅な削減が困難になる。換言すれば、図2に示される構成において、データ信号 $S_1$ 、 $S_2$ 、...、 $S_n$ の電圧振幅が、シフトレジスタ150からD/A変換器群180までに至る回路の論理レベルの振幅を越えないことが条件となる。

## 【0104】

50

一方、電圧振幅の減少分を補償するためには、第2に、容量スイング信号  $Y_{ci}$  の電圧遷移分を大きくすることも考えられる。ただし、その電圧遷移分をむやみに拡大しても、本来の低消費電力化を図る、という目的を達成することができない。

#### 【0105】

そこで、本発明者は、容量スイング信号  $Y_{ci}$  の電圧振幅（すなわち、蓄積容量における他端の電圧遷移分）と、D/A変換したデータ信号の最大出力電圧振幅との関係をシミュレートした。これらのシミュレート結果が、図16(a)、図16(b)、図16(c)、図17(a)、図17(b)および図17(c)のそれぞれに示される。

これらの図のうち、図16(a)、図16(b)および図16(c)は、それぞれ、対向電極の電圧に対し最終的に画素電極に印加される電圧を、白レベルについて±1.2ボルトで固定とした場合に、黒レベルについて±2.8ボルト、±3.3ボルト、±3.8ボルトとして変化させたときの図である。

また、図17(a)、図17(b)および図17(c)は、それぞれ、対向電極の電圧に対し最終的に画素電極に印加される電圧を、黒レベルについて±3.3ボルトで固定とした場合に、白レベルについて±0.7ボルト、±1.2ボルト、±1.7ボルトとして変化させたときの図である。

なお、これらの図においては、いずれも蓄積容量  $C_{stg}$  をパラメータとし、また、ノーマリーホワイトモードを想定している。また、このシミュレート対象となる液晶容量としては、画素電極のサイズが  $50\mu m \times 150\mu m$  であり、画素電極および対向電極の間の距離（セルギャップ）が  $4.0\mu m$  であり、液晶の比誘電率が白レベルにおいて4.0であって、黒レベルにおいて12.0であるものを想定した。

#### 【0106】

さて、これらのシミュレート結果のいずれにおいても、データ信号の最大出力電圧振幅は、容量スイング信号  $Y_{ci}$  の電圧振幅に対して最小値を有することが判る。このうち、図16(a)、図16(b)および図16(c)では、黒レベルに対応する電圧が大きくなるにつれて、V字状特性のうち、左側部分の最大出力電圧振幅だけが大きくなっているが、右側部分が変化していないことが判る。一方、図17(a)、図17(b)および図17(c)では、白レベルに対応する電圧が大きくなるにつれて、V字状特性のうち、右側部分の最大出力電圧振幅だけが大きくなっているが、左側部分が変化していないことが判る。

したがって、これらのことから、データ信号の最大出力電圧振幅における最小値は、白/黒レベルに対応する電圧と、蓄積容量  $C_{stg}$  とで定まることが判る。

#### 【0107】

ここで例えば、図16(a)におけるV字状特性のうちの左側部分と、図17(c)におけるV字状特性のうちの右側部分とをあわせて考えた場合、容量スイング信号  $Y_{ci}$  の電圧振幅が1.8～3.5ボルト程度の範囲であれば、データ信号の最大出力電圧振幅を、5.0ボルト以下に抑えることができる。

特に、蓄積容量  $C_{stg}$  を比較的自由に設計できる場合、蓄積容量  $C_{stg}$  を600fF（ファムト・ファラッド）程度にすると、データ信号の最大出力電圧振幅を、4.0ボルト以下に抑えることもできる。

したがって、シフトレジスタ150からD/A変換器群180までに至る回路の論理レベルの振幅が5.0ボルトである、という条件によって、データ信号の最大出力電圧振幅が5.0ボルト以内に抑えられても、本実施形態では、液晶容量に対して十分な書き込みを行うことが可能である、ということが出来る。

#### 【0108】

<1-6：液晶表示装置のまとめ>

なお、上述した実施形態にあつては、4ビットの階調データ  $Data$  を用いて16階調表示を行うものとしたが、本発明はこれに限られない。例えば、ビット数を多くして、より多階調としても良いし、R（赤）、G（緑）、B（青）の3画素で1ドットを構成することによって、カラー表示を行うとしても良い。また、実施形態にあつては、液晶容量の電

10

20

30

40

50

圧無印加状態において最大透過率となるノーマリーホワイトモードとして説明したが、液晶容量の電圧無印加状態において最小透過率となるノーマリーブラックモードとしても良い。

#### 【0109】

また、上述した実施形態にあっては、1水平走査期間毎に極性反転を行う、という行反転を例にとって説明したが、例えば、奇数フレームではすべての画素に対して正極性書込を行う一方、偶数フレームではすべての画素に対して負極性書込を行う、というフレーム反転としても良い。

さらに、1行分の走査信号 $Y_{si}$ がHレベルになったときに、データ信号 $S_1$ 、 $S_2$ 、...、 $S_n$ を一斉に供給するという線順次構成とはせず、1行分の走査信号 $Y_{si}$ がHレベルになったときに、データ信号 $S_1$ 、 $S_2$ 、...、 $S_n$ を順番に供給するという点順次構成として、各列毎に極性反転すれば、列反転も可能となる。さらに、列反転と行反転とを組み合わせると、隣接する画素のすべてにわたって極性反転する、いわゆる画素反転も可能となる。

10

#### 【0110】

一方、実施形態にあっては、1水平走査期間(1H)において、データ線114にプリセット電圧 $V_s$ ( $V_{sw}(+)$ 、 $V_{sk}(+)$ 、 $V_{sw}(-)$ 、 $V_{sk}(-)$ のいずれか)が印加されることと、走査線112が選択されて対応する走査信号がHレベルになることとは、互いに排他的に実行される構成であった。このような構成としたのは、データ線114にプリセット電圧 $V_s$ を印加する際に、いずれかの走査線112が選択されていると、当該選択走査線との交差に対応するTFT116がオンする結果、データ線114の容量負荷が増大するので、これを避けるためである。したがって、データ線114の容量負荷が問題にならないのであれば、プリセット電圧 $V_s$ が印加されるプリセット期間においても、走査信号がHレベルとなる構成としても良い。

20

#### 【0111】

さらに、実施形態にあって、素子基板101にガラス基板を用いたが、SOI(Silicon On Insulator)の技術を適用し、サファイヤや、石英、ガラスなどの絶縁性基板にシリコン単結晶膜を形成して、ここに各種素子を作り込んで素子基板101としても良い。また、素子基板101として、シリコン基板などを用いるとともに、ここに各種の素子を形成しても良い。このようにシリコン基板を用いると、スイッチング素子として、高速な電界効果型トランジスタを用いることができるので、TFTよりも高速動作が容易になる。ただし、素子基板101が透明性を有しない場合、画素電極118をアルミニウムで形成したり、別途反射層を形成したりするなどして、反射型として用いる必要がある。また、実施形態にあっては、データ線114と画素電極118との間に介挿されるスイッチング素子として、TFTのような三端子型素子を用いたが、TFD(Thin Film Diode: 薄膜ダイオード)のような二端子型素子を用いても良い。

30

#### 【0112】

さらに、上述した実施形態では、液晶としてTN型を用いたが、BTN(Bi-stable Twisted Nematic)型・強誘電型などのメモリ性を有する双安定型や、高分子分散型、さらには、分子の長軸方向と短軸方向とで可視光の吸収に異方性を有する染料(ゲスト)を一定の分子配列の液晶(ホスト)に溶解して、染料分子を液晶分子と平行に配列させたGH(ゲストホスト)型などの液晶を用いても良い。

40

また、電圧無印加時には液晶分子が両基板に対して垂直方向に配列する一方、電圧印加時には液晶分子が両基板に対して水平方向に配列する、という垂直配向(ホメオトロピック配向)の構成としても良いし、電圧無印加時には液晶分子が両基板に対して水平方向に配列する一方、電圧印加時には液晶分子が両基板に対して垂直方向に配列する、という平行(水平)配向(ホモジニアス配向)の構成としても良い。このように、本発明では、液晶や配向方式として、種々のものに適用することが可能である。

#### 【0113】

< 2 : 電子機器 >

50



次に、上述した実施形態に係る液晶表示装置を用いた電子機器のいくつかについて説明する。

#### 【0114】

##### <2-1: プロジェクタ>

まず、上述した液晶表示装置100をライトバルブとして用いたプロジェクタについて説明する。図20は、このプロジェクタの構成を示す平面図である。

この図に示されるように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、内部に配置された3枚のミラー1106および2枚のダイクロイックミラー1108によってR(赤)、G(緑)、B(青)の3原色に分離されて、各原色に

10

#### 【0115】

ここで、ライトバルブ100R、100Gおよび100Bは、上述した実施形態に係る液晶表示装置100と基本的には同様である。すなわち、ライトバルブ100R、100G、100Bは、それぞれRGBの各原色画像を生成する光変調器として機能するものである。

また、Bの光は、他のRやGの光と比較すると、光路が長いので、その損失を防ぐために、入射レンズ1122、リレーレンズ1123および出射レンズ1124からなるリレーレンズ系1121を介して導かれる。

#### 【0116】

20

さて、ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム1112に3方向から入射する。そして、このダイクロイックプリズム1112において、RおよびBの光は90度に屈折する一方、Gの光は直進する。これにより、各原色画像の合成したカラー画像が、投射レンズ1114を介して、スクリーン1120に投射されることになる。

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー1108によって、RGBの各原色に対応する光が入射するので、直視型パネルのようにカラーフィルタを設ける必要がない。

#### 【0117】

##### <2-2: パーソナルコンピュータ>

30

次に、上述した液晶表示装置100を、マルチメディア対応のパーソナルコンピュータに適用した例について説明する。図21は、このパーソナルコンピュータの構成を示す斜視図である。

この図に示されるように、コンピュータ1200の本体1210には、表示部として用いられる液晶表示装置100や、光学ディスクの読取・書込ドライブ1212、磁気ディスクの読取・書込ドライブ1214、ステレオ用スピーカ1216などが備えられる。また、キーボード1222およびポインティングデバイス(マウス)1224は、本体1210とは入力信号・制御信号等の授受を、赤外線等を介してワイヤレスで行う構成となっている。

この液晶表示装置100は、直視型として用いられるので、RGBの3画素で1ドットが構成されるとともに、各画素に応じてカラーフィルタが設けられる。また、液晶表示装置100の背面には、暗所での視認性を確保するためのバックライトユニット(図示省略)が設けられる。

40

#### 【0118】

##### <2-3: 携帯電話>

さらに、上述した液晶表示装置100を、携帯電話の表示部に適用した例について説明する。図22は、この携帯電話の構成を示す斜視図である。図において、携帯電話1300は、複数の操作ボタン1302のほか、受話口1304、送話口1306とともに、上述した液晶表示装置100を備えるものである。なお、この液晶表示装置100の背面にも、上述したパーソナルコンピュータと同様に、暗所での視認性を確保するためのバックラ

50

イトユニット（図示省略）が設けられる。

【0119】

< 2 - 4 : 電子機器のまとめ >

なお、電子機器としては、図20、図21および図22を参照して説明した他にも、液晶テレビや、ビューファインダ型・モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、実施形態や応用・変形例に係る液晶表示装置が適用可能なのは言うまでもない。

【0120】

【発明の効果】

以上説明したように本発明によれば、画素電極に印加される電圧振幅に比べて、データ線に印加する電圧信号の電圧振幅が小さく抑えられるので、低消費電力化を図ることが可能となる。

【図面の簡単な説明】

【図1】 (a)は、本発明の実施形態に係る液晶表示装置の外観構成を示す斜視図であり、(b)は、その線A - A'についての断面図である。

【図2】 同液晶表示装置の電気的な構成を示すブロック図である。

【図3】 (a)は、信号PSおよび信号Csetに対する信号Cset1の論理レベルを示す真理値表であり、(b)は、信号PSおよび信号Csetに対する信号/Cset1の論理レベルを示す真理値表である。

【図4】 同液晶表示装置における第2のデコーダのデコード結果を示す真理値である。

【図5】 同液晶表示装置における第3のデコーダのデコード結果を示す真理値である。

【図6】 同液晶表示装置におけるD/A変換器群の構成を示すブロック図である。

【図7】 同液晶表示装置におけるD/A変換における入出力特性を示す図である。

【図8】 同液晶表示装置におけるY側の動作を説明するためのタイミングチャートである。

【図9】 同液晶表示装置におけるX側の動作を説明するためのタイミングチャートである。

【図10】 同液晶表示装置におけるX側の動作を説明するためのタイミングチャートである。

【図11】 (a)、(b)および(c)は、それぞれ同液晶表示装置におけるD/A変換の動作を説明するための図である。

【図12】 (a)、(b)および(c)は、それぞれ同液晶表示装置におけるD/A変換の動作を説明するための図である。

【図13】 (a)、(b)および(c)は、それぞれ同液晶表示装置の画素における動作を説明するための図である。

【図14】 (a)は、同液晶表示装置における走査信号と容量スイング信号との電圧波形を示す図であり、(b)は、同液晶表示装置において画素電極に印加される電圧波形を示す図である。

【図15】 同液晶表示装置において、液晶容量に対する蓄積容量の比と出力電圧の圧縮率との関係を示す図である。

【図16】 (a)、(b)および(c)は、それぞれ蓄積容量の他端における電圧シフト量とデータ線の最大出力電圧振幅との関係を示す図である。

【図17】 (a)、(b)および(c)は、それぞれ蓄積容量の他端における電圧シフト量とデータ線の最大出力電圧振幅との関係を示す図である。

【図18】 本実施形態と比較するために、蓄積容量の他端の電位をシフトさせず、かつ、電圧切り替えを行わない場合における電圧遷移を示す図である。

【図19】 (A)、(B)、(C)および(D)は、電圧遷移を示す図である。

【図20】 実施形態に係る液晶表示装置を適用した電子機器の一例たるプロジェクトの

10

20

30

40

50

構成を示す断面図である。

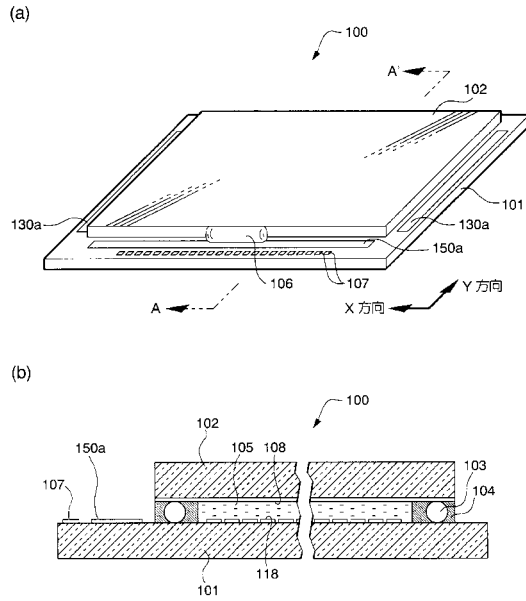
【図 2 1】 実施形態に係る液晶表示装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図 2 2】 実施形態に係る液晶表示装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

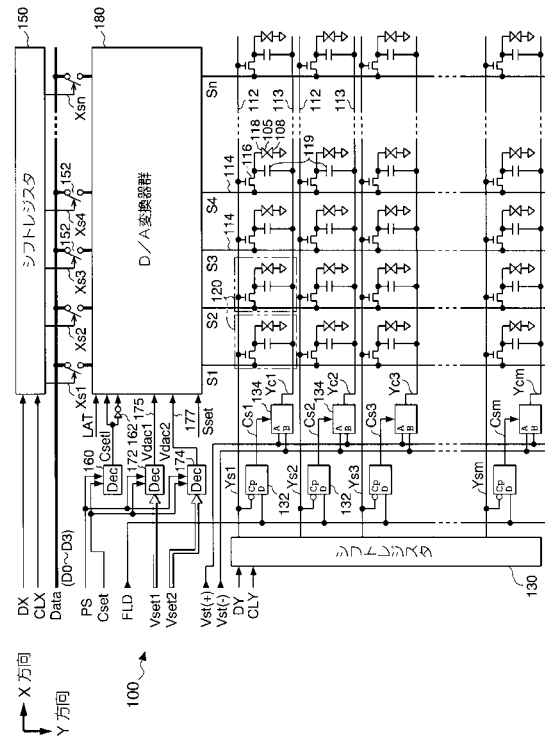
【符号の説明】

1 0 0 ... 液晶表示装置	
1 0 5 ... 液晶	
1 0 8 ... 対向電極	
1 1 2 ... 走査線	10
1 1 3 ... 容量線	
1 1 4 ... データ線	
1 1 6 ... T F T (スイッチング素子)	
1 1 8 ... 画素電極	
1 1 9 ... 蓄積容量	
1 2 0 ... 画素	
1 3 0 ... シフトレジスタ (走査線駆動回路)	
1 3 2 ... フリップフロップ	
1 3 4 ... セレクタ	
1 5 0 ... シフトレジスタ	20
1 6 0、1 7 2、1 7 4 ... デコーダ	
1 7 5 ... 第 1 の給電線	
1 7 7 ... 第 2 の給電線	
1 8 0 ... D / A 変換器群 (1 5 0、1 5 2、1 8 0 によりデータ線駆動回路)	
1 8 1 2、1 8 2 2 ... インバータ	
1 8 1 4、1 8 1 6、1 8 2 4、1 8 2 6 ... スイッチ (1 8 1 2、1 8 1 4、1 8 1 6、1 8 2 2、1 8 2 4、1 8 2 6 によりセレクタ)	
1 8 3 0 ~ 1 8 3 2 ... ビット容量	
S W 3 ... スイッチ (第 1 のスイッチ)	
S W 0、S W 1、S W 2 ... スイッチ (第 2 のスイッチ)	30
1 1 0 0 ... プロジェクタ	
1 2 0 0 ... パーソナルコンピュータ	
1 3 0 0 ... 携帯電話	

【図 1】



【図 2】



【図 3】

(a) Csetl

		Cset	
		L	H
PS	L	L	H
	H	H	L

(b) / Csetl

		Cset	
		L	H
PS	L	H	L
	H	L	H

【図 4】

Vdac1

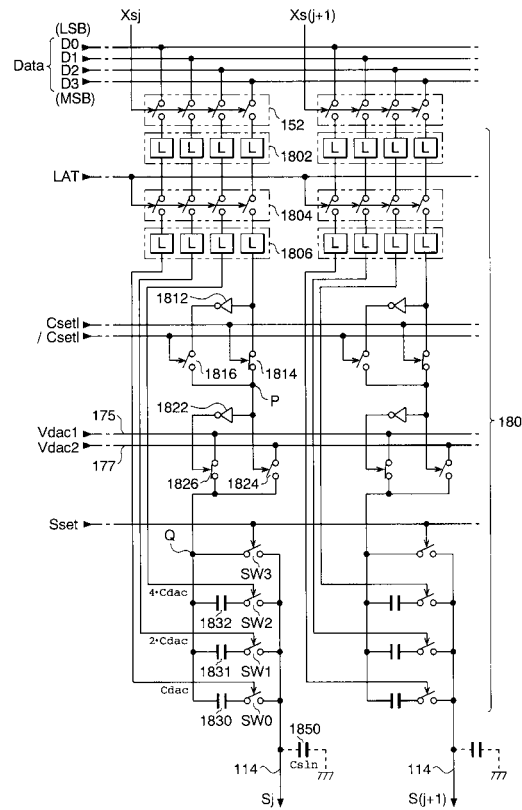
		Cset	
		L	H
PS	L	Vsk(-)	Vcw(-)
	H	Vsw(+)	Vck(+)

【図 5】

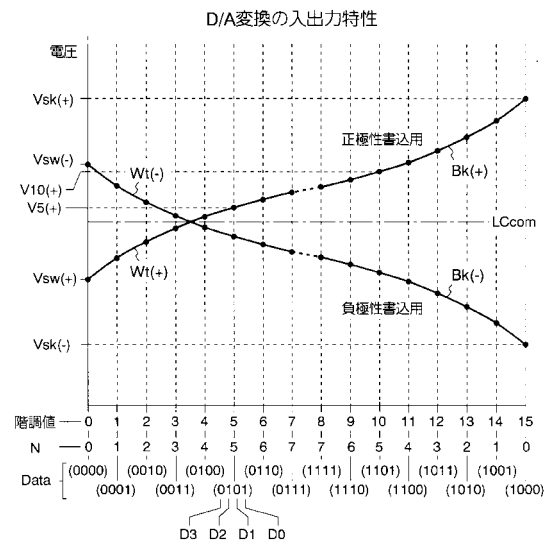
Vdac2

		Cset	
		L	H
PS	L	Vsw(-)	Vck(-)
	H	Vsk(+)	Vcw(+)

【図 6】

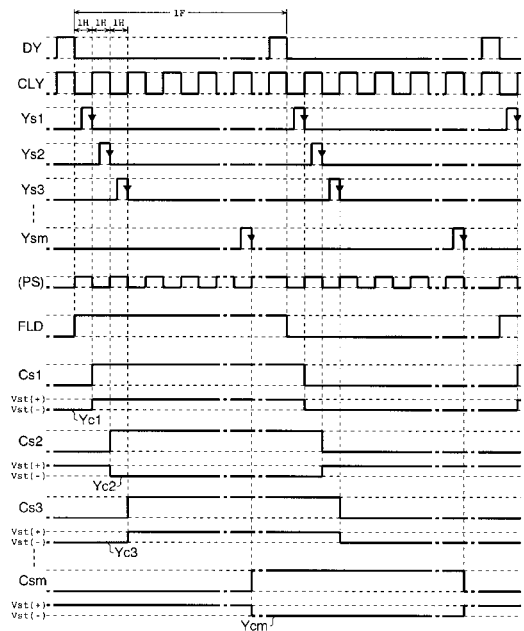


【図 7】



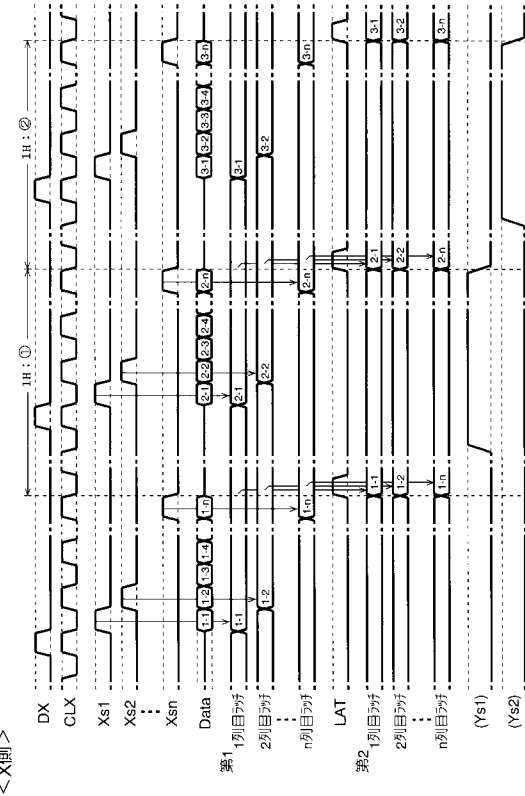
【図 8】

&lt;Y側&gt;

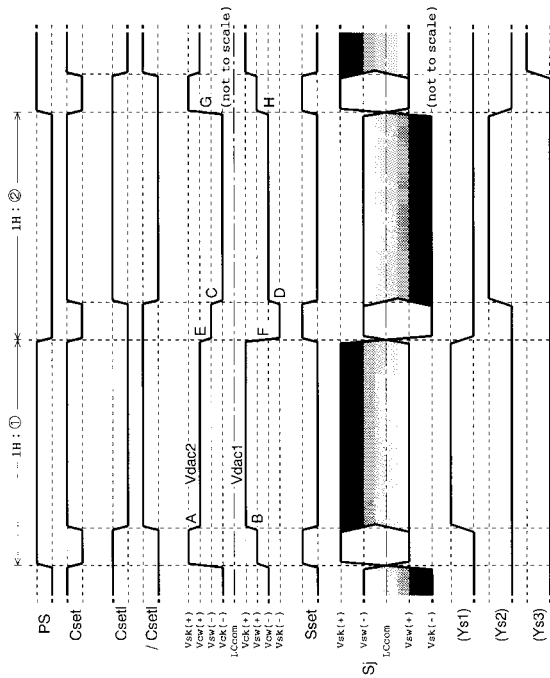


【図 9】

&lt;X側&gt;



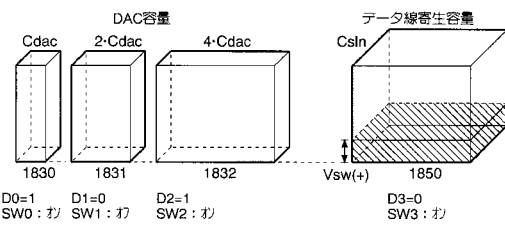
【図 10】



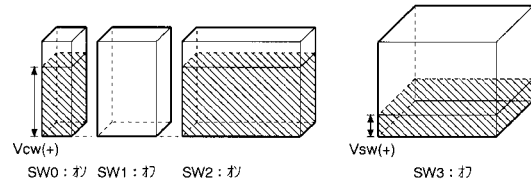
1H : ②  
1H : ①  
K : ③

【図 11】

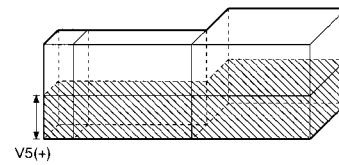
(a) データ線、DAC容量をリセット



(b) DAC容量書込

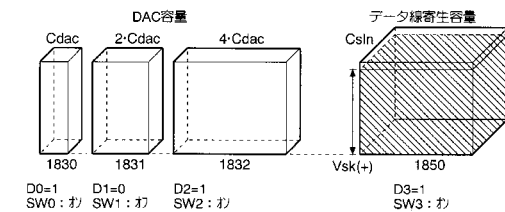


(c) 電荷の分配

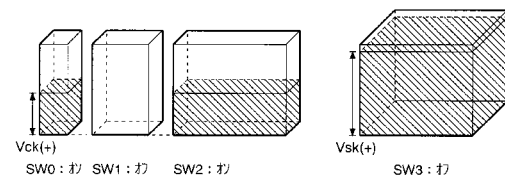


【図 12】

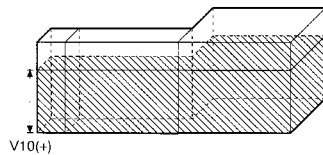
(a) データ線、DAC容量をリセット



(b) SW0オフ・DAC容量書込

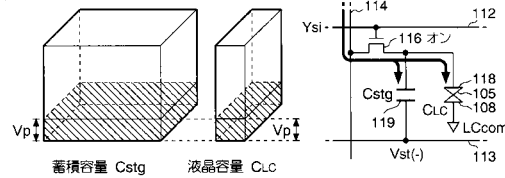


(c) 電荷の分配

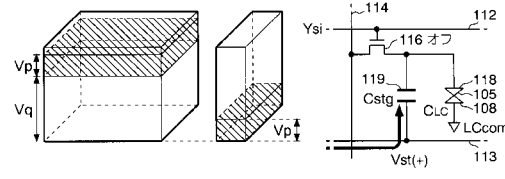


【図 13】

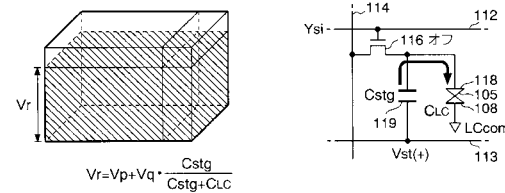
(a) 書込



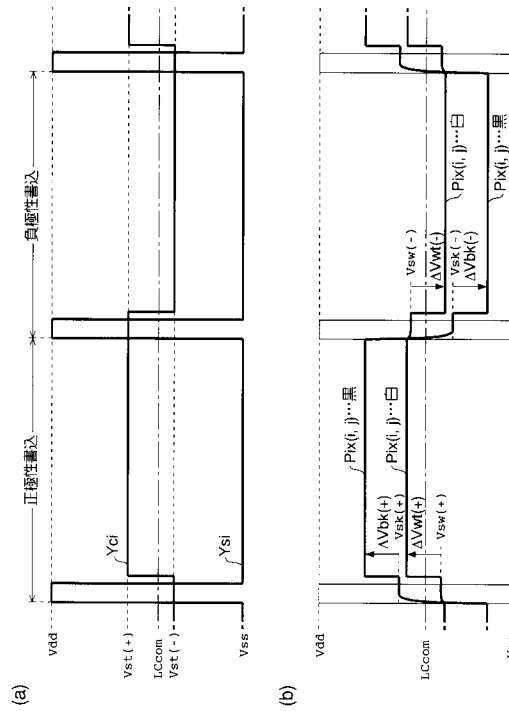
(b) 蓄積容量の電位シフト



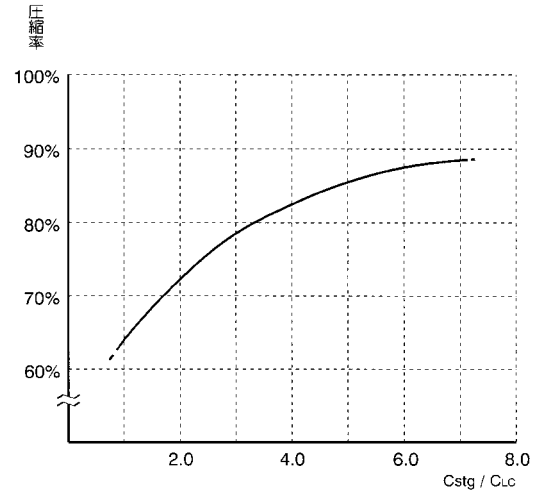
(c) 電荷の再分配



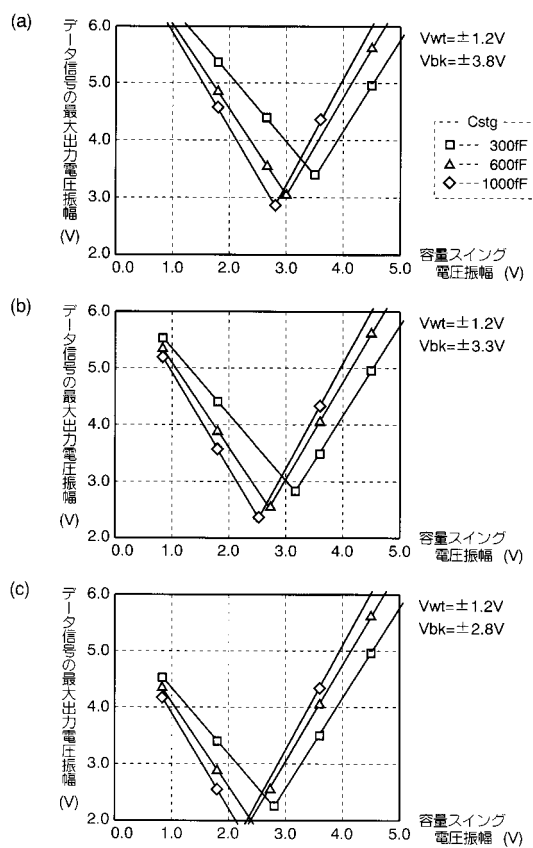
【図 14】



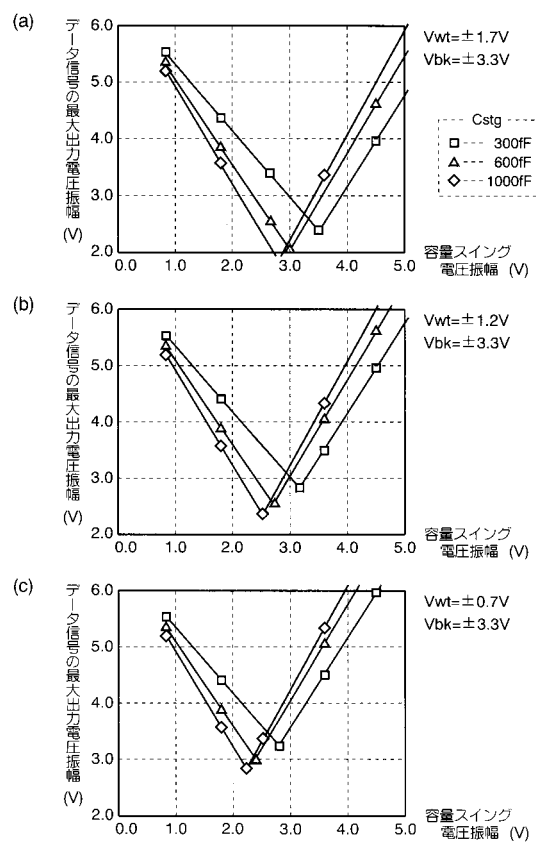
【図 15】



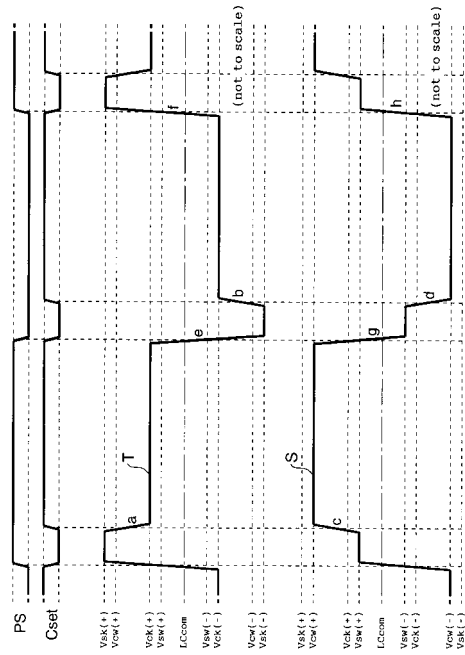
【図 16】



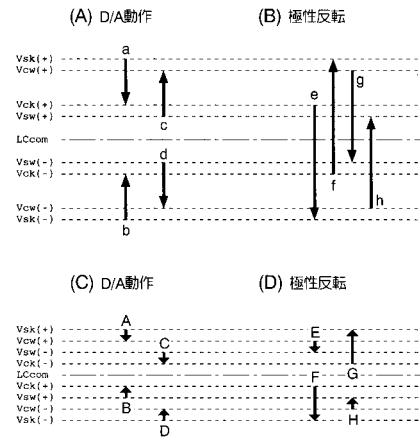
【図 17】



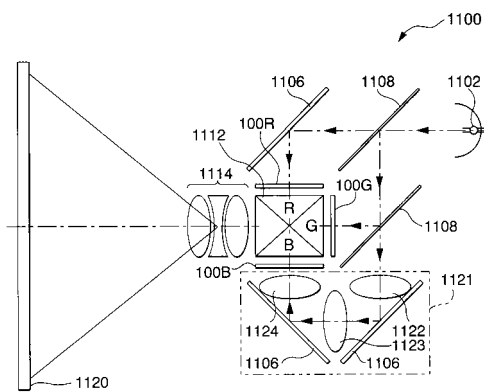
【図 18】



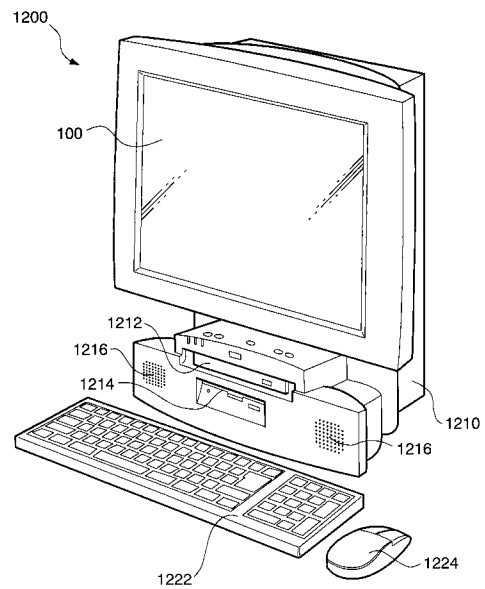
【図 19】



【図 20】

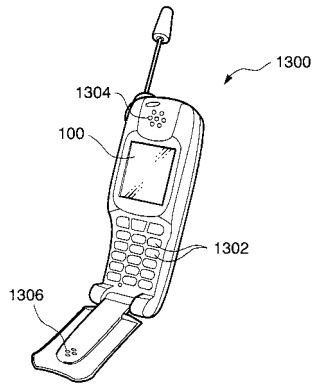


【図 21】





【 図 2 2 】



---

フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 4 A
G 0 9 G	3/20	6 4 1 C

(56)参考文献 特開平 1 1 - 0 7 3 1 6 5 ( J P , A )  
特開 2 0 0 0 - 0 8 1 6 0 6 ( J P , A )  
特開 2 0 0 0 - 2 4 2 2 3 4 ( J P , A )  
特開平 1 0 - 0 9 7 2 2 4 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00-3/38

G02F 1/133 505-580

专利名称(译)	液晶表示装置及び电子机器		
公开(公告)号	<a href="#">JP3899817B2</a>	公开(公告)日	2007-03-28
申请号	JP2000403228	申请日	2000-12-28
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	小澤徳郎		
发明人	小澤 徳郎		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3614 G09G3/3655 G09G2300/0876 G09G2310/027 G09G2330/021 G09G2330/023		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.621.H G09G3/20.623.F G09G3/20.623.R G09G3/20.624.A G09G3/20.641.C		
F-TERM分类号	2H093/NA16 2H093/NA33 2H093/NA43 2H093/NA51 2H093/NC16 2H093/NC22 2H093/NC23 2H093/NC24 2H093/NC26 2H093/NC29 2H093/NC34 2H093/NC35 2H093/ND39 2H193/ZA04 2H193/ZA07 2H193/ZB14 2H193/ZC15 2H193/ZD21 5C006/AA16 5C006/AA22 5C006/AC27 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF37 5C006/EB05 5C006/EC11 5C006/FA46 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD24 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07		
代理人(译)	须泽 修		
审查员(译)	福村 拓		
其他公开文献	JP2002202762A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：通过将提供给数据线114的数据信号Sj的电压幅度抑制得很小来降低功耗。当提供给扫描线112的扫描信号Ysi被设置为H电平时，根据灰度和根据写入极性的电压的数据信号Sj被施加到数据线114。在这种情况下，由于TFT 116导通，因此对应于数据信号Sj的电压的电荷存储在液晶电容C LC LC中，并且存储电容C b bg。此后，扫描信号Ysi被设置为L电平以关闭TFT 116，并且存储电容C的另一端的电压从低电容电压Vst ( - ) 变为高电压Vst ( 当提升到+ ) 时，对应于提升的电荷被分配到液晶电容CLC。因此，可以使施加到液晶电容C LC 的电压有效值对应于数据信号Sj的电压幅度或更大。

		Vdac2	
		Cset	
		L	H
PS	L	Vsw(-)	Vck(-)
	H	Vsk(+)	Vcw(+)