

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-128678

(P2009-128678A)

(43) 公開日 平成21年6月11日(2009.6.11)

(51) Int.Cl.	F 1	テーマコード (参考)
G 0 9 F 9/30 (2006.01)	G 0 9 F 9/30 3 3 8	2 H 0 9 2
G 0 2 F 1/1368 (2006.01)	G 0 2 F 1/1368	5 C 0 9 4

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2007-304279 (P2007-304279)
 (22) 出願日 平成19年11月26日(2007.11.26)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100113077
 弁理士 高橋 省吾
 (74) 代理人 100112210
 弁理士 稲葉 忠彦
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100128060
 弁理士 中鶴 一隆
 (72) 発明者 野尻 勲
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

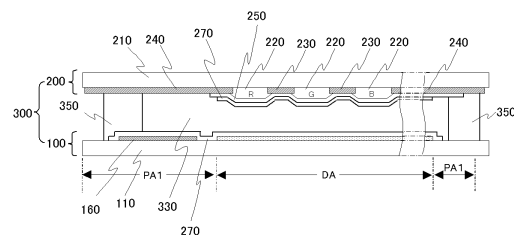
(54) 【発明の名称】 画像表示パネル

(57) 【要約】

【課題】 ゲート線駆動回路の金属薄膜の腐食を抑制することができる画像表示パネルを提供する。

【解決手段】 本発明に係る液晶表示パネル(300)は、ゲート線駆動回路(160)が形成されたアレイ基板(100)と、このアレイ基板とカラーフィルタ基板(200)とが対向するようにシール(350)を介して貼り合せられており、前記ゲート線駆動回路のコンタクトホール(217a、217b)は表示領域(DA)から延在された配向膜(270)で覆われていることを特徴とする。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

走査線駆動回路が形成された第一の基板と、

該第一の基板と第二の基板とが対向するようシールを介して貼り合せられた画像表示パネルであって、

少なくとも前記走査線駆動回路のコンタクトホールは表示領域と同一層の樹脂膜で覆われていることを特徴とする画像表示パネル。

【請求項 2】

走査線駆動回路が形成された第一の基板と、

該第一の基板と第二の基板とが対向するようシールを介して貼り合せられた画像表示パネルであって、

前記第二の基板の前記第一の基板に対向している面において、透明導電膜が配設され、該透明導電膜は、表示領域のほぼ全面にわたって配設され、

該表示領域の周辺領域において、前記透明導電膜は、少なくとも前記走査線駆動回路に対応する領域では、前記シールを貫いていないことを特徴とする画像表示パネル。

【請求項 3】

走査線駆動回路が形成された第一の基板と、

該第一の基板と第二の基板とが対向するようシールを介して貼り合せられた画像表示パネルであって、

前記走査線駆動回路に形成されたコンタクトホールは、画素に形成されたコンタクトホールよりもサイズが大きいことを特徴とする画像表示パネル。

【請求項 4】

走査線駆動回路が形成された第一の基板と、

該第一の基板と第二の基板とが対向するようシールを介して貼り合せられた画像表示パネルであって、

前記第一の基板において、前記第二の基板と対向する面に有機平坦化膜を具備し、

該有機平坦化膜は、少なくとも前記走査線駆動回路に対応する領域では、前記シールを貫いていないことを特徴とする画像表示パネル。

【請求項 5】

前記走査線駆動回路は、第 1 金属配線と第 2 金属配線とコンタクトホールを具備し、

該コンタクトホールは、異なる層に形成された前記第 1 金属配線と前記第 2 金属配線と透明導電性膜を介して電氣的に接続する請求項 1 乃至 4 のいずれか一つに記載の画像表示パネル。

【請求項 6】

前記第二の基板上にカラーフィルタ層を配設し、

該カラーフィルタ層のオーバーコート層は、少なくとも前記走査線駆動回路に対応する領域では、前記シールを貫いていないことを特徴とする請求項 1 乃至 5 のいずれか一つに記載の画像表示パネル。

【請求項 7】

請求項 1 から請求項 6 のいずれか一つに記載の画像表示パネルであって、

前記走査線駆動回路を構成するトランジスタは、非晶質シリコン薄膜トランジスタであることを特徴とする画像表示パネル。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画像表示パネルに関するもので、とくにコンタクトホールを有するゲート線駆動回路に非晶質シリコン薄膜トランジスタを採用した液晶表示パネルに適用して好適なものである。

【背景技術】**【0002】**

10

20

30

40

50

液晶表示装置等の画像表示パネルにおいて、その表示パネルを走査するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の１フレーム期間で一巡するシフト動作を行うシフトレジスタを用いることができる。当該シフトレジスタは、表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の電界効果トランジスタのみで構成されることが望ましい。

【０００３】

ゲート線駆動回路のシフトレジスタを非晶質シリコン薄膜トランジスタ（以下「a - S i T F T」）で構成した液晶表示装置は、大面積化が容易で且つ生産性が高く、例えばノート型ＰＣ、携帯情報端末（ＰＤＡ）、マルチ・メディア・プレーヤ（ＰＭＰ）、簡易型カーナビゲーションシステム（ＰＮＤ：Personal Navigation Device）の画面などに採用されている（非特許文献１参照）。

10

【０００４】

また、上記液晶表示装置に用いられる画像表示パネルの狭縁縁化のため、ゲート線駆動回路が液晶表示パネルの周縁を囲むように形成されるシール材近傍もしくは、駆動回路の一部がシール材の下に配置させることが必要となる。

ゲート線駆動回路には異種の金属配線間を接続するために多数のコンタクトホールを有する。このコンタクトホールは、異なる層に形成された第１金属薄膜と第２金属薄膜を電氣的に接続するためのもので、第１金属薄膜上にコンタクトホールが形成されたものと、第２金属薄膜上にコンタクトホールが形成されたものがあり、両コンタクトホール間を導電性膜によってブリッジする。

20

このコンタクトホールにより開口した金属配線間を接続する上記導電性膜の材料として、一般的にＩＴＯのような透明導電性膜が用いられる。このＩＴＯ膜はガバレッジ特性が悪い（特許文献１参照）ため、コンタクトホールの一部では、金属薄膜が透明導電性膜に覆われず、金属薄膜が露出している箇所がある。

シール材の内側近傍やシール材の下では、水分、不純物等の影響を受けやすいため、シール材の内側近傍もしくはシール材の下に形成されたコンタクトホールによるガバレッジ不良箇所では、金属薄膜と水分、不純物等が接触する。そして、金属薄膜からなる配線、端子、電極等が酸化等により腐食されてしまう。（以後、このコンタクトホール近傍の金属配線などの腐食現象をコンタクトホール腐食と称する。）

30

【０００５】

特に、a - s i T F Tで構成したゲート線駆動回路の場合、この回路内の信号振幅は、例えばHigh電圧が２４Ｖ、Low電圧が－６Ｖとすれば、電位差が３０Ｖと非常に大きく、この電位差によるコンタクトホール腐食が大きな問題となっている。

【０００６】

また、このＩＴＯ膜のガバレッジ特性不良は、特にＩＴＯ膜を非晶質で形成し、その後結晶化させるようなプロセスを用いる場合には非常に高い頻度で発生する。一般的に、ＩＴＯ膜のパターン加工は、薬液によるウェットエッチングがよく用いられる。結晶質のＩＴＯ膜の場合、ウェットエッチングに用いる薬液として塩酸＋硝酸系の水溶液からなる強酸を用いる必要がある。このような場合、ゲート信号線、ソース信号線や、反射電極としてＡｌ、Ａｇ、あるいはＭｏのような金属薄膜が共存すると、ＩＴＯ膜のウェットエッチング時に、これらの金属薄膜を腐食断線させてしまうという恐れがあった。

40

【０００７】

一方、非晶質状態のＩＴＯ膜の場合、シュウ酸系水溶液のような弱酸でウェットエッチングすることが可能である。このため、Ａｌ、Ａｇ、あるいはＭｏのような金属薄膜が共存しても、これらの金属薄膜を腐食断線させることがない。従って、まずＩＴＯ膜を非晶質状態で成膜し、シュウ酸エッチング液を用いてパターン加工を行った後、例えば加熱手段等を用いて結晶化させ、最終的には化学的に安定化させるというプロセスを用いることが好ましい。

【０００８】

しかしながら、ＩＴＯ膜が非晶質状態から結晶化状態へ相変化するときに、原子の無秩

50

序配列構造から規則配列への変化にともなう体積の収縮（結晶原子間距離が小さくなる）が起こる。このため、ITO膜には、基板からの引っ張り応力が加わるために、特にコンタクトホールのような段差部においてITO膜の段切れ断線が発生しやすくなる。以上のように、コンタクトホールを非晶質ITO膜で覆うとエッチングの点では良いのだが、被覆性が良くない。このため、水分や不純物の浸入による前記コンタクトホール腐食を引き起こすことがある。

【特許文献1】特開平11-281992号公報

【非特許文献1】Jin Young Choi, Jin Jeon, Jong Heon Han, Seob Shin, Se Chun Oh, Jun Ho Song, Kee Han Uh, and Hyung Guel Kim, 「A Compact and Cost-efficient TFT-LCD through the Triple-Gate Pixel Structure」、274頁～276頁、SID '06

10

D I G E S T

【発明の開示】

【発明が解決しようとする課題】

【0009】

本発明は以上のような課題を解決するためになされたものであり、ゲート線駆動回路のコンタクトホール腐食を抑制することができる画像表示パネルを提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明に係る画像表示パネルは、走査線駆動回路が形成された第一の基板と、この第一の基板と第二の基板とが対向するようにシール材を介して貼り合せられており、少なくとも前記走査線駆動回路のコンタクトホールは表示領域と同一層の樹脂膜で覆われていることを特徴とする。

20

【発明の効果】

【0011】

ゲート線駆動回路のコンタクトホール腐食を抑制することができる画像表示パネルを提供することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

30

【0013】

実施の形態1.

図1は、本発明の実施の形態1による液晶表示装置の平面図であり、図2は図1のIII-III線に沿って切断した断面図である。図1に示すように、本実施の形態による表示装置400は、画像を表示する表示パネル300と、前記表示パネル300に具備されて前記表示パネル300に駆動信号をそれぞれ出力するソース線（データ線）ドライバIC150およびゲート線駆動回路（走査線駆動回路）160で構成される。

さらに前記表示パネル300は、第1の透明基板110、その基板上に配設された複数のゲート線（走査線）（GL1～GLn）、このゲート線と絶縁膜を介して交差する複数のソース線（データ線）（SL1～SLm）、およびそれらの交差部に配置された複数の画素電極PE、この画素電極PEを駆動する薄膜トランジスタ（以後TFTと称す）などで構成されるアレイ基板100（第一の基板）と、このアレイ基板100と向かい合うカラーフィルタ基板200（第二の基板）と、前記アレイ基板100と前記カラーフィルタ基板200との間に挟持された液晶層330および、該液晶層330を保持し、前記アレイ基板100と前記カラーフィルタ基板200とを結合させるシール材350にて構成される。

40

【0014】

前記ソース線ドライバIC150の各出力は、前記ソース線（SL1～SLm）に夫々

50

接続され、各ソース線にソース駆動信号を印加する。同様に前記ゲート線駆動回路 160 の各出力は、前記ゲート線 (GL1 ~ GLn) に夫々接続され、各ゲート線にゲート駆動信号を印加する。カラーフィルタ基板 200 のアレイ基板と対向する面上には対向電極 CE が形成されており、前記画素電極 PE との間に生成される電界によって液晶層 330 の光透過率が制御される。また、前記 TFT のドレイン電極と共通電極 (非図示) 間には、補助容量 Cs が画素毎に配設されている。

図 1 では、画像を表示する表示領域 DA に対応して、マトリクス状に配置された複数画素の中で、第 1 ゲート線 GL1 と第 1 ソース線 SL1 との交差部に配置された画素電極 PE1、TFT (TR1)、対向電極 CE および補助容量 Cs1 に関して、特にその接続図を示しているが、他の画素 (非図示) についても同様である。

10

【0015】

前記表示パネル 300 は、前記表示領域 DA、この表示領域 DA を取り囲むように配置された第 1 周辺領域 PA1、この第 1 周辺領域 PA1 の外側に隣接した第 2 周辺領域 PA2 を含む。

前述したように、前記表示領域 DA に対応して、前記アレイ基板 100 の第 1 の透明基板 110 上には、第 1 ~ 第 n ゲート線 GL1 ~ GLn および第 1 ~ 第 m ソース線 SL1 ~ SLm が形成される。

また前記複数の TFT のうち、第 1 TFT (TR1) のゲート電極は前記第 1 ゲート線 GL1 と電氣的に接続され、前記第 1 TFT (TR1) のソース電極は前記第 1 ソース線 SL1 と電氣的に接続され、前記 TFT (TR1) のドレイン電極は前記複数の画素電極のうち、第 1 画素電極 PE1 と第 1 補助容量 Cs1 に接続される。

20

【0016】

図 2 に示したように前記表示領域 DA に対応して、前記カラーフィルタ基板 200 の第 2 の透明基板 210 上には、赤、緑および青色画素 R、G、B を含むカラーフィルタ層 220 および前記赤、緑、青のうちの隣接する 2 つの色画素の間に形成された第 1 遮光層 230 が配置される。また、前記周辺領域 PA1 に対応して、前記第 2 の透明基板 210 上に前記第 1 遮光層 230 に隣接して第 2 遮光層 240 が配置される。

また、前記カラーフィルタ層 220 上、第 1 遮光層 230 上および第 1 遮光層の一部上には、透明電極 (ITO 膜) 250 を具備する。この透明電極 250 は、画素電極に対する対向電極として液晶層へ電圧印加を行うものである。

30

なお、前述の図 1 にては、カラーフィルタ基板 200 上の上記第 1 遮光層 230、第 1 遮光層、透明電極 (ITO 膜) 250 および配向膜 270 は煩雑になるため図示していない。

【0017】

一方、前記第 2 周辺領域 PA2 において、前記第 1 の透明基板 110 は、前記第 2 の透明基板 210 より長く (図 1 の例では上方に) 延在され、前記ソース線ドライバ IC150 が実装されている。このソース線ドライバ IC150 から出力される前記第 1 駆動信号は第 1 ~ 第 m ソース信号を含み、前記第 2 周辺領域 PA2 に形成された複数のソース線引き出し配線を介して前記第 1 ~ 第 m ソース線 SL1 ~ SLm に夫々印加される。

40

【0018】

一方、額縁状の前記第 1 周辺領域 PA1 の一辺 (図 1 では左辺) には、前記複数の TFT および前記表示領域 DA の形成工程と同一の工程を通じて同時に生成された前記ゲート線駆動回路 160 が配置されている。該ゲート線駆動回路 160 は、前記表示領域 DA に形成された前記第 1 ~ 第 n ゲート線 GL1 ~ GLn と電氣的に接続される。前記ゲート線駆動回路 160 から出力されたゲート駆動信号は、第 1 ~ 第 n ゲート信号 (OUT1 ~ OUTn) を含み、前記第 1 ~ 第 n ゲート信号は、前記第 1 ~ 第 n ゲート線 GL1 ~ GLn に印加される。

前記カラーフィルタ基板 200 と前記アレイ基板 100 は、前記カラーフィルタ層 220 や対向電極 CE が形成された面と前記表示領域 DA が形成された面が対向配置され、前記 2 枚の基板を固着する前記シール材 350 と共に前記液晶層 330 を挟持している。

50

前記カラーフィルタ基板 200 および前記アレイ基板 100 上には配向膜 270 が形成される。配向膜 270 はポリイミド等の樹脂膜である。ここで、図 2 に示したように前記アレイ基板 100 上の配向膜 270 は、表示領域 DA から延在されてゲート線駆動回路 160 (特にコンタクトホール部) を覆い、さらにシール材 350 に覆われるように配置されているが、シール材を貫いてはいない。

【0019】

本発明者らが実験を行った結果、ゲート駆動回路 160 のコンタクトホールを配向膜 270 で覆うことでコンタクトホール腐食が低減することが確認された。配向膜 270 で覆うことで、コンタクトホールへの水分、不純物の浸入が低減されるためである。

また、配向膜 270 はシール材 350 より外に出さないように配設してある。配向膜 270 をシール材 350 の外に出すと、配向膜 270 を通じて吸湿する可能性があるためである。

10

【0020】

また、図 2 に示したように本実施の形態の表示パネル 300 は、カラーフィルタ層 220 上に形成された透明電極 (ITO 膜) 250 が、少なくともゲート駆動回路 160 が存在する区域においてシール材 350 に対応する領域をパターンニングして除去され、シール材 350 を貫いてシール材の外に出ないように配設されている。

これも本発明者らが実験を行った結果、透明電極 (ITO 膜) 250 をシール材の外に出すと、水分が透明電極 (ITO 膜) 250 を通じてシール材の内側に浸入し、コンタクトホール腐食を加速することが確認された。シール材 350 と ITO 間の隙間を通して、および ITO 自体を通じて水分、不純物等が浸入するためである。

20

【0021】

次に、前記ゲート線駆動回路 160 の回路構成および動作について、図 3 乃至 7 を用いて詳しく説明する。図 3 はゲート線駆動回路を構成するシフトレジスタ部の複数段分の構成を示す図である。また、図 4 はゲート線駆動回路を構成するシフトレジスタ部の 1 段分 (単位シフトレジスタ) SRn の構成を示す回路図である。図 3 のシフトレジスタ部は、縦続接続した n 個の単位シフトレジスタ SR1, SR2, SR3, ..., SRn と、最後段の単位シフトレジスタ SRn のさらに後段に設けられたダミーの単位シフトレジスタ SRD とから成っている (以下、単位シフトレジスタ SR1, SR2, ..., SRn, SRD を「単位シフトレジスタ SR」と総称する)。単位シフトレジスタ SR のそれぞれが図 4 の回路構成を採っている。

30

【0022】

また図 3 に示すクロック発生器 31 は、互いに逆相の (活性期間が重ならない) 2 相のクロック信号 CLK A, CLK B を複数の単位シフトレジスタ SR に供給するものである。ゲート線駆動回路 160 では、これらクロック信号 CLK A, CLK B は、表示装置 400 の走査周期に同期したタイミングで順番に活性化するように制御される。

【0023】

図 3 および図 4 に示すように、各単位シフトレジスタ SR は、入力端子 IN1、出力端子 OUT、クロック端子 CK1 およびリセット端子 RST を有している。また各単位シフトレジスタ SR には、第 1 電源端子 S1 を介して低電位側電源電位 VSS (= 0 V) が供給され、第 2 電源端子 S2 を介して高電位側電源電位 VDD がそれぞれ供給される (図 3 では非図示)。

40

【0024】

図 4 の如く、単位シフトレジスタ SR の出力段は、出力端子 OUT とクロック端子 CK1 との間に接続するトランジスタ Q1 と、出力端子 OUT と第 1 電源端子 S1 との間に接続するトランジスタ Q2 とにより構成されている。即ち、トランジスタ Q1 は、クロック端子 CK1 に入力されるクロック信号 CLK A を出力端子 OUT に供給するトランジスタ (第 1 トランジスタ) であり、トランジスタ Q2 は当該出力端子 OUT を放電するトランジスタ (第 2 トランジスタ) である。以下、トランジスタ Q1 のゲート (制御電極) が接続するノードを「ノード N1」、トランジスタ Q2 のゲートが接続するノードを「ノード

50

N 2」 と定義する。

【 0 0 2 5 】

トランジスタ Q 1 のゲート・ソース間（即ちノード N 1 と出力端子 O U T との間）には容量素子 C 1 が設けられている。この容量素子 C 1 は、出力端子 O U T とノード N 1 との間を容量結合させ、出力端子 O U T のレベル上昇に応じてノード N 1 を昇圧させる素子（ブートストラップ容量）である。但し、容量素子 C 1 は、トランジスタ Q 1 のゲート・チャンネル間容量が充分大きい場合にはそれで置き換えることができるので、そのような場合には省略してもよい。

【 0 0 2 6 】

ノード N 1 と第 2 電源端子 S 2 との間には、ゲートが入力端子 I N 1 に接続したトランジスタ Q 3 が接続する。またノード N 1 と第 1 電源端子 S 1 との間には、ゲートがリセット端子 R S T に接続したトランジスタ Q 4 が接続する。即ちトランジスタ Q 3 は、入力端子 I N 1 に入力される信号に応じてノード N 1 を充電する充電回路を構成しており、トランジスタ Q 4 はリセット端子 R S T に入力される信号に応じてノード N 1 を放電する放電回路を構成している。また、トランジスタ Q 2 のゲート（ノード N 2 ）もリセット端子 R S T に接続されている。

【 0 0 2 7 】

図 3 の如く、各単位シフトレジスタ S R の入力端子 I N 1 には、その前段の単位シフトレジスタ S R の出力端子 O U T が接続する。但し、第 1 段目である単位シフトレジスタ S R 1 の入力端子 I N 1 には、所定のスタートパルス S T が入力される。また、各単位シフトレジスタ S R のクロック端子 C K 1 には、前後に隣接する単位シフトレジスタ S R に互いに異なる位相のクロック信号が入力されるよう、前述のクロック信号 C L K A , C L K B の片方が入力される。

【 0 0 2 8 】

そして各単位シフトレジスタ S R のリセット端子 R S T には、自己の次段の単位シフトレジスタ S R の出力端子 O U T が接続される。但し、最後段の単位シフトレジスタ S R n の次段に設けられたダミーの単位シフトレジスタ S R D のリセット端子 R S T には、所定のエンドパルス E N が入力される。なおゲート線駆動回路では、スタートパルス S T およびエンドパルス E N は、それぞれ画像信号の各フレーム期間の先頭および末尾に対応するタイミングで入力される。

【 0 0 2 9 】

次に図 4 に示した各単位シフトレジスタ S R の動作を説明する。基本的に各段の単位シフトレジスタ S R は全て同様に動作するので、ここでは多段のシフトレジスタのうち第 k 段目の単位シフトレジスタ S R k の動作を代表的に説明する。当該単位シフトレジスタ S R k のクロック端子 C K 1 にはクロック信号 C L K A が入力されているものとする（例えば、図 3 における単位シフトレジスタ S R 1 , S R 3 などがこれに該当する）。

【 0 0 3 0 】

ここで、クロック信号 C L K A , C L K B の H レベルの電位は V D D （高電位側電源電位）であり、L レベルの電位は V S S （低電位側電源電位）であるとする。また単位シフトレジスタ S R を構成する各トランジスタ Q x のしきい値電圧を V t h （Q x ）と表すこととする。

【 0 0 3 1 】

図 5 は、単位シフトレジスタ S R k （図 4 ）の動作を示すタイミング図である。まず単位シフトレジスタ S R k の初期状態として、ノード N 1 が L レベルの状態を仮定する（以下、ノード N 1 が L レベルの状態を「リセット状態」と称す）。また入力端子 I N 1 （前段の出力信号 G k - 1 ）、リセット端子 R S T （次段の出力信号 G k + 1 ）、クロック端子 C K 1 （クロック信号 C L K A ）は何れも L レベルであるとする。このときトランジスタ Q 1 , Q 2 は共にオフであるので出力端子 O U T が高インピーダンス状態（フローティング状態）となっているが、当該初期状態では出力端子 O U T （出力信号 G k ）も L レベルであるとする。

10

20

30

40

50

【 0 0 3 2 】

その状態から時刻 t_1 において、クロック信号 $CLKA$ が L レベル、クロック信号 $CLKB$ が H レベルに変化すると共に、前段の出力信号 G_{k-1} (第 1 段目の場合はスタートパルス ST) が H レベルになると、単位シフトレジスタ SR_k のトランジスタ Q_3 がオンになり、ノード N_1 は充電されて H レベルになる (以下、ノード N_1 が H レベルの状態を「セット状態」と称す)。このときノード N_1 の電位レベル (以下、単に「レベル」と称す) は $VDD - V_{th}(Q_3)$ まで上昇する。応じて、トランジスタ Q_1 がオンになる。

【 0 0 3 3 】

そして時刻 t_2 において、クロック信号 $CLKB$ が L レベル、クロック信号 $CLKA$ が H レベルに変化すると共に、前段の出力信号 G_{k-1} が L レベルになる。するとトランジスタ Q_3 がオフになりノード N_1 が H レベルのままフローティング状態になる。またトランジスタ Q_1 がオンしているので、出力端子 OUT のレベルがクロック信号 $CLKA$ に追隨して上昇する。

【 0 0 3 4 】

クロック端子 CK_1 および出力端子 OUT のレベルが上昇すると、容量素子 C_1 およびトランジスタ Q_1 のゲート・チャネル間容量を介する結合により、ノード N_1 のレベルは図 5 に示すように昇圧される。このときの昇圧量は、ほぼクロック信号 $CLKA$ の振幅 (VDD) に相当するので、ノード N_1 はおよそ $2 \times VDD - V_{th}(Q_3)$ まで昇圧される。

【 0 0 3 5 】

その結果、出力信号 G_k が H レベルとなる間も、トランジスタ Q_1 のゲート (ノード N_1)・ソース (出力端子 OUT) 間の電圧は大きく保たれる。つまりトランジスタ Q_1 のオン抵抗は低く保たれるので、出力信号 G_k はクロック信号 $CLKA$ に追隨して高速に立ち上がって H レベルになる。またこのときトランジスタ Q_1 は線形領域 (非飽和領域) で動作するので、出力信号 G_k のレベルはクロック信号 $CLKA$ の振幅と同じ VDD まで上昇する。

【 0 0 3 6 】

さらに時刻 t_3 においてクロック信号 $CLKB$ が H レベル、クロック信号 $CLKA$ が L レベルに変化するときも、トランジスタ Q_1 のオン抵抗は低く保たれ、出力信号 G_k はクロック信号 $CLKA$ に追隨して高速に立ち下がり、 L レベルに戻る。

【 0 0 3 7 】

またこの時刻 t_3 では、次段の出力信号 G_{k+1} が H レベルになるので、単位シフトレジスタ SR_k のトランジスタ Q_2 、 Q_4 がオンになる。それにより、出力端子 OUT はトランジスタ Q_2 を介して十分に放電され、確実に L レベル (VSS) にされる。またノード N_1 は、トランジスタ Q_4 により放電されて L レベルになる。即ち、単位シフトレジスタ SR_k はリセット状態に戻る。

【 0 0 3 8 】

そして時刻 t_4 で次段の出力信号 G_{k+1} が L レベルに戻った後は、次に前段の出力信号 G_{k-1} が入力されるまで、単位シフトレジスタ SR_k はリセット状態に維持され、出力信号 G_k は L レベルに保たれる。

【 0 0 3 9 】

以上の動作をまとめると、単位シフトレジスタ SR_k は、入力端子 IN_1 に信号 (スタートパルス SP または前段の出力信号 G_{k-1}) が入力されない期間にはリセット状態であり、トランジスタ Q_1 がオフを維持するため、出力信号 G_k は L レベル (VSS) に維持される。そして入力端子 IN_1 に信号が入力されると、単位シフトレジスタ SR_k はセット状態に切り替わる。セット状態ではトランジスタ Q_1 がオンになるため、クロック端子 CK_1 の信号 (クロック信号 $CLKA$) が H レベルになる間、出力信号 G_k が H レベルになる。そしてその後、リセット端子 RST に信号 (次段の出力信号 G_{k+1} またはエンドパルス EN) が入力されると、元のリセット状態に戻る。

【 0 0 4 0 】

次に、上記単位シフトレジスタSRを複数カスケード接続した多段のシフトレジスタ部について、ゲート線駆動回路の動作を示すタイミング図である図6を用いて、その動作を説明する。先ず第1段目の単位シフトレジスタSR1にスタートパルスSTが入力されると、それを切っ掛けにして（トリガにして）、出力信号Gがクロック信号CLKA, CLKBに同期したタイミングでシフトされながら、図6の如く単位シフトレジスタSR1, SR2, SR3・・・と順番に伝達される。ゲート線駆動回路160では、このように順番に出力される出力信号Gが表示パネルの水平（又は垂直）走査信号として用いられる。

【0041】

以下、特定の単位シフトレジスタSRが出力信号Gを出力する期間を、その単位シフトレジスタSRの「選択期間」と称する。

10

【0042】

なお、ダミーの単位シフトレジスタSRDは、最後段の単位シフトレジスタSRnが出力信号Gnを出力した直後に、その出力信号GDによって単位シフトレジスタSRnをリセット状態にするために設けられている。例えばゲート線駆動回路であれば、最後段の単位シフトレジスタSRnを出力信号Gnの出力直後にリセット状態にしなければ、それに対応するゲート線（走査線）が不要に活性化され、表示の不具合が生じてしまう。

【0043】

なお、ダミーの単位シフトレジスタSRDは、出力信号GDを出力した後のタイミングで入力されるエンドパルスENによってリセット状態にされる。ゲート線駆動回路のように、信号のシフト動作が繰り返して行われる場合には、エンドパルスENに代えて次のフレーム期間のスタートパルスSTを用いてもよい。

20

【0044】

また、図3のように2相クロックを用いた駆動の場合、単位シフトレジスタSRのそれぞれは、自己の次段の出力信号Gによってリセット状態にされるので、次段の単位シフトレジスタSRが少なくとも一度動作した後でなければ、図5および図6に示したような通常動作を行うことができない。従って、通常動作に先立って、ダミーの信号を第1段目から最終段まで伝達させるダミー動作を行わせる必要がある。あるいは、各単位シフトレジスタSRのリセット端子RST（ノードN2）と第2電源端子S2（高電位側電源）との間にリセット用のトランジスタを別途設け、通常動作の前に強制的にノードN2をHレベルにするリセット動作を行ってもよい。但し、その場合はリセット用の信号ラインが別途必要になる。

30

【0045】

図7は、アレイ基板100上のゲート線駆動回路160において、TF T（Q1）を含む一部の回路に該当する領域を拡大して示す断面図である（図4の破線で囲まれた回路）。前記アレイ基板100には、第1の透明基板110上に、金属のような導電物質からなるゲート電極212が形成されていて、その上にシリコン窒化膜（SiNx）やシリコン酸化膜（SiO2）で構成されたゲート絶縁膜213がゲート電極212を覆っている。

【0046】

前記ゲート電極212上部のゲート絶縁膜上213上には非晶質シリコンで構成されたアクティブ層214が形成されており、その上に不純物がドーピングされた非晶質シリコンで構成されたオーミックコンタクト層215が形成されている。

40

【0047】

前記オーミックコンタクト層215上部には金属のような導電物質からなるソース・ドレイン電極216が形成されている。ソース・ドレイン電極216はゲート電極212と共にTF T（Q1）を形成する。また、ゲート電極212は、ゲート線駆動回路内の各ノードをつなぐゲート配線219と同一層であり、ゲート配線GL1～GLnと同時に形成される。ソース・ドレイン電極216は、ゲート線駆動回路内の各ノードをつなぐソース・ドレイン配線221と接続されている。（尚、“ゲート配線”とはTF Tのゲート電極と同一層の配線を指す。同様に“ソース・ドレイン配線”とはTF Tのソース・ドレイン電極と同一層の配線を意味する。）

50

【0048】

続いて、ソース・ドレイン電極216上にはシリコン窒化膜やシリコン酸化膜または有機絶縁膜で構成された保護層217が形成されており、保護層217は、ソース・ドレイン配線およびゲート配線を露出するコンタクトホール217aおよび217bを有する。

【0049】

前記保護層217上部には透明導電膜218が形成され、透明導電膜218は、コンタクトホール217aおよび217bを介して、ソース・ドレイン配線221とゲート配線219を接続する。このコンタクトホールの段差部において、カバレッジ不良21が発生する。

【0050】

上述のように、本実施の形態1ではアレイ基板100上の配向膜270が、ゲート線駆動回路160を覆うように配置されており、また、カラーフィルタ層220上に形成された透明電極(ITO膜)250が、少なくともゲート駆動回路160が存在する区域においてシール材350を貫いてシール材の外に出ないように配設されているため、水分、不純物等の浸入を防止することができ、上記カバレッジ不良21が発生しても、コンタクトホール腐食による接続不良を防止できる。

【0051】

実施の形態2.

本発明の実施の形態2による液晶表示装置400について、表示パネル300の主要な構成部である、ソース線ドライバIC150、ゲート線駆動回路160、第1～第nゲート線GL1～GLnおよび第1～第mソース線SL1～SLm、TFT、画素電極PE、補助容量C、液晶層330、カラーフィルタ基板200、シール材350などは前述した実施の形態1と同一であり、詳細な説明を省略する。以下断面図、図8を用いて実施の形態1と異なる点について詳しく説明する。

図8は、本発明の実施の形態2による図1に示した液晶表示装置のIII-III線に沿って切断した断面図である。ここで前述の実施の形態1と同様に表示パネル300には、画像を表示する表示領域DA、この表示領域DAを取り囲むように配置された第1周辺領域PA1、この第1周辺領域PA1の外側に配置された第2周辺領域PA2を含む。

【0052】

また、前記第2の透明基板210のアレイ基板100に対向する面の上面には、オーバーコート層260が存在する。オーバーコート層260は有機膜で構成される。オーバーコート層は特にカラーフィルタ基板200に平坦性が要求される場合に使用され、IPS方式の液晶表示装置にて特に多用され、本実施の形態においてもIPS方式の液晶表示装置の例を示す。

【0053】

図9にてIPS液晶モードを採用した液晶表示装置の表示領域DAの詳細を表す断面図を示す。IPS液晶モードはアレイ基板100上に形成された画素電極PEと、同様にアレイ基板100上に形成され、それに対向する基準電極CEとの間で発生するアレイ基板100と平行な電界の成分によって液晶層330の光透過率を制御する。

【0054】

図9で示した画素電極PEと、基準電極CEは両者ともアレイ基板100上に形成されており、従って両者間で発生する電界は、アレイ基板100に略平行な成分となる(IPS液晶モード)。

上述の図8で示したIPS方式の場合で、IPS方式が横方向電界によって液晶分子を回転駆動させる方式のため、カラーフィルタ基板200上には透明電極(ITO膜)が存在しない。

【0055】

ここで、図8に示したように本実施の形態の表示パネル300は、カラーフィルタ層220上に形成されたオーバーコート260が、少なくともゲート駆動回路160が存在する区域においてシール材350に対応する領域をパターンニングして除去され、シール材

10

20

30

40

50

３５０を貫いてシール材の外に出ないように配設されている（図８では、シール材３５０がオーバーコート２６０の端部を覆うように接触しているが、本発明ではオーバーコート層２６０がシール材３５０の外にはみ出さなければよく、例えばオーバーコート層２６０とシール材３５０が接触しないように構成してもよい。本発明者らの実験によれば、オーバーコート層２６０をシール材の外に出すと、コンタクトホール腐食を加速することが確認された。オーバーコート層２６０は吸水率が高く、オーバーコート層２６０をシール材の外に出すと、オーバーコート層２６０を通してシール材の内側に水分が浸入し、コンタクトホール腐食が発生するためである。

【００５６】

尚、本実施の形態では、カラーフィルタ層２２０上にオーバーコート層２６０を配設した表示パネル３００の一例としてＩＰＳ液晶モードを採用した液晶表示装置を例示して説明したが、上述のオーバーコート２６０のパターニングは、ＩＰＳ液晶モードとの直接の関係はなく、ＩＰＳ液晶モード以外の液晶モード、例えばＴＮ液晶モードやＶＡ液晶モードを採用した液晶表示装置においても問題なく採用することができ、ゲート駆動回路１６０のコンタクトホール腐食が発生する事への防止効果もある。

【００５７】

実施の形態３．

本実施の形態では、前述の実施の形態１で述べたカバレッジ不良箇所２１が発生しにくいコンタクトホールの形状について述べる。即ち、本実施の形態ではコンタクトホール断面のテーパ形状を改善したコンタクトホール形状を採用し、駆動回路のレイヤ変換部に用いる。

【００５８】

本実施の形態では、パネル上で用いられる最小サイズのコンタクト（通常は、透過率を優先するためにプロセス上許される最小サイズのコンタクトホールが画素部に用いられる）に対し、駆動回路に使用するコンタクトホール径を比較的大きいサイズとしたものである。

図１０にその平面図（図４に示したシフトレジスタ回路のＴＦＴを含む一部平面図すなわち図７の平面図）を示す。本発明者らが実験（高温高湿試験）を行った結果、ゲート駆動回路１６０のコンタクトホール径を大きくすることでコンタクトホール腐食が低減することが確認された。その結果を表１に示す。

【００５９】

【表１】

高温高湿試験(60°C/90%RH)

コンタクト径	7um	10um	14um	21um	28um
結果	×	△	○	○	○

○：腐食発生なし

△：腐食発生あり(少)

×：腐食発生あり(多)

そこで、ゲート駆動回路１６０のコンタクトホール径を大きくすることで腐食が低減する理由を以下に示す。

【００６０】

ここで、本実施の形態３で採用したコンタクトホール形成工程の一部断面図を図１１および１２に示す（同図にて、符号３０は露光工程でレジスト８のコンタクトホール部分を感光させるためのフォトマスクであり、ドライエッチング工程では不要であり、存在しない）。ドライエッチング工程において、絶縁膜７を除去すると、露出されている絶縁膜７と同時に、絶縁膜７の上のレジスト８も除去されていく。エッチング工程では、最初から露出していた部分の絶縁膜７を完全に除去するまでエッチングを行う。

【 0 0 6 1 】

図 1 2 で示したコンタクトサイズが大きい場合、露出されている絶縁膜 7 の領域が大きいためエッチング反応時間が長くなる。ドライエッチングで絶縁膜 7 を除去すると、露出されている絶縁膜 7 と同時に、絶縁膜 7 の上のレジストも除去されていく。特にレジストの角の部分が除去されていくため、レジストは徐々にテーパ形状になっていく。テーパ形状となっている部分のレジスト 8 は通常の部分と比べて薄いため、ドライエッチングの途中で絶縁膜が露出されていく。そして、ドライエッチングされる絶縁膜 7 の面積が広がっていく。

通常、エッチング工程では、最初から露出していた部分の絶縁膜 7 を完全に除去するまでエッチングを行うため、レジスト 8 がテーパ形状になっていた部分の絶縁膜 7 は完全に除去されず、一部が残存する。よって、ドライエッチング後の絶縁膜 7 は、ドライエッチング前のレジスト 8 のテーパ形状が反映された角度の緩いテーパ形状となり、その上部にカバレッジの良い I T O の形成が可能となる。

【 0 0 6 2 】

図 1 1 および図 1 2 で示したように、表示パネル 3 0 0 内で用いられる最小サイズのコンタクト（通常は画素に用いられる）のコンタクトホール断面図（図 1 1 ）と、コンタクトホールを大きくした場合のコンタクトホール断面図（図 1 2 ）とを比較すると、コンタクトホール径を大きくした場合に、絶縁膜 7 のテーパ角度 4 0 が緩やかになっているのがわかる。なお、符号 1 2 はフォトマスク 3 0 の開口部を示す。

本実施の形態では、コンタクトホール径を複数試して実験した結果、コンタクトホール径が、1 4 μ m 以上でカバレッジの良い I T O の形成が可能となり、カバレッジ不良の抑制効果が得られた。

【 0 0 6 3 】

また、コンタクトホール腐食は、通常、H 電圧（V D D または、V D D に近い電圧）が与えられるコンタクトホール近傍で発生するため、本実施の形態での適用は、H 電圧（V D D または、V D D に近い電圧）を与えられたコンタクトホールのみで良く、L 電圧（V S S または、V S S に近い電圧）与えられるコンタクトホールは、本実施の形態での適用を行わず、画素のコンタクトホールと同程度の大きさにしても良い。

【 0 0 6 4 】

また、図 1 0 に示したコンタクトホール数は、ゲート配線 2 1 9 と透明導電膜 2 1 8 接続する箇所およびソース・ドレイン配線 2 2 1 と透明導電膜 2 1 8 接続する箇所、それぞれ 1 個の場合を示したが、コンタクト抵抗を減らす必要がある場合には、本条件に適合するコンタクトホールを多数個配置しても良い。

【 0 0 6 5 】

実施の形態 4 .

透過型液晶表示パネルは、バックライトから光を照射し、その光の透過量を制御して画像表示を行う。このような透過型液晶表示パネルは、暗所では視認性が高いが、明所では視認性が低くなってしまう。このため、戸外で常時携帯して使用する機会の多い携帯情報端末機器等では、光源としてバックライトを用いずに、周囲光を利用する反射型液晶表示パネルが用いられるようになっている。反射型液晶表示パネルは、基板の画素電極部に透明膜ではなく、反射膜を用いている。そして、周囲光を反射膜表面で反射させることにより、表示を行う。このように、反射型液晶表示パネルでは、バックライトが不要であるため、消費電力を少なくすることができるという長所がある。しかしながら、周囲光が暗い場合には、視認性が極端に低下するという欠点を併せ持つ。

【 0 0 6 6 】

これらの問題点を解消するために、バックライト光の一部を透過させると共に周囲光の一部を反射させる反射透過型液晶表示パネルが周知である。反射透過型液晶表示パネルは、画素電極部に透過膜が用いられた透過部と、画素電極部に反射膜が用いられた反射部を備える。これにより、透過型表示と反射型表示の両方を 1 つの液晶表示パネルで実現することができる。

10

20

30

40

50

【 0 0 6 7 】

次に、図 1 3 及び図 1 4 を用いて、反射透過型液晶表示パネルの構成を説明する。図 1 3 は、反射透過型液晶表示パネルの T F T と画素電極部で構成された画素部を表す平面図である。図 1 4 は、反射透過型液晶表示パネルの T F T と画素電極部の構成を示す断面図である。なお、図 1 4 においては、駆動回路部分のコンタクトホール 1 0 6 a、1 0 6 b の断面構成も併せて示す。

【 0 0 6 8 】

透過型液晶表示パネルと同様、反射透過型液晶表示パネルは、T F T 1 0、透過電極 1 0 1、ゲート配線 1 0 2、ソース・ドレイン配線 1 0 3、ゲート配線上コンタクトホール 1 0 6 a、ソース・ドレイン配線上コンタクトホール 1 0 6 b を有する。駆動回路部分では、透過型液晶表示パネルと同様に透明導電膜を介して、ゲート配線 1 0 2 とソース・ドレイン配線 1 0 3 が接続される。

また、反射透過型液晶表示パネルは、T F T 1 0 側において画素の略半分の領域に反射電極 1 0 7 が形成される。このように、画素電極として、透過電極 1 0 1 及び反射電極 1 0 7 が用いられる。反射電極 1 0 7 としては、A g 又は A l を用いることが多い。有機平坦化膜 6 は、感光性アクリル樹脂等が用いられる。

【 0 0 6 9 】

この感光性アクリル樹脂からなる有機平坦化膜 6 は吸湿する傾向がある。とくに高温、高湿、または結露が生じるような使用環境下では、有機平坦化膜 6 の吸湿が激しくなり、平坦化膜 6 中に取り込まれた水分が液晶層 9 中に浸入して、コンタクトホール腐食を引き起こすという問題があった。

本実施の形態 4 では、図 1 4 に示すように有機平坦化膜 6 をシール材 3 5 0 を貫いてシール材の外に出ないようにしている。こうすることで、平坦化膜 6 からの水分の浸入が抑制され、駆動回路 1 6 0 のコンタクトホール腐食を防ぐことが可能となる。

尚、図 1 4 で示した有機平坦化膜 6 とシール材 3 5 0 は隙間なく配置されているが、表示パネル 3 0 0 の外形寸法の制約が許されるのであれば、両者間に間隙を設けてもよく、有機平坦化膜 6 がシール材 3 5 0 より外に出なければよいのは無論である。

【 0 0 7 0 】

本実施の形態では、反射透過型液晶表示パネルについて説明したが、有機平坦化膜を使用する反射型液晶表示パネルや、さらには開口率向上のために有機平坦化膜を採用した透過型液晶表示パネルに適用することも可能である。

また、個々の実施の形態で説明した構成例は組み合わせることも可能であり、そうすることで、よりコンタクトホール腐食に強い液晶表示パネルを得ることができる。

【 0 0 7 1 】

さらに、本発明の実施の形態 1 ~ 4 においては、液晶表示装置を例に採って説明したが、例えば白色 E L 発光素子とカラーフィルタ層を採用した有機 E L 表示装置、または R G B、3 色の E L 発光層上にオーバーコート層を採用した有機 E L 表示装置、さらには基板とカソード間に有機樹脂を採用した有機 E L 表示装置等の走査線駆動回路において、当該回路のコンタクトホール腐食防止に本発明が採用可能である。

【 図面の簡単な説明 】

【 0 0 7 2 】

【 図 1 】 この発明の実施の形態 1 ないし 4 に係る液晶表示装置の構成図である。

【 図 2 】 この発明の実施の形態 1 に係る液晶表示装置の断面図である。

【 図 3 】 図 1 におけるゲート線駆動回路の構成図である。

【 図 4 】 図 3 におけるシフトレジスタ 1 段分の回路図である。

【 図 5 】 図 3 における単位シフトレジスタの動作を示すタイミング図である。

【 図 6 】 図 1 におけるゲート線駆動回路の動作を示すタイミング図である。

【 図 7 】 図 4 に示したシフトレジスタ回路の T F T を含む一部断面図である。

【 図 8 】 この発明の実施の形態 2 に係る液晶表示装置の断面図である。

【 図 9 】 図 8 における液晶表示装置の表示領域 D A の詳細を表す断面図である。

10

20

30

40

50

【図 10】図 4 に示したシフトレジスタ回路の T F T を含む一部平面図である。

【図 11】この発明の実施の形態 3 における通常のコンタクトホール形成工程の一部断面図である。

【図 12】この発明の実施の形態 3 におけるコンタクトサイズが大きいコンタクトホール形成工程の一部断面図である。

【図 13】この発明の実施の形態 4 に係る反射透過型液晶表示パネルの画素部の構成を表す平面図である。

【図 14】図 13 で示した液晶表示パネルの画素部およびコンタクトホールの断面図である。

【符号の説明】

10

【0073】

6 有機平坦化膜

10、Q1、Q2、Q3、Q4、Qx、TR1 薄膜トランジスタ

100 アレイ基板

102、219 ゲート配線

103、221 ソース・ドレイン配線

105、218 透明導電膜

106、217a、217b コンタクトホール

110 第1の透明基板

160 ゲート線駆動回路

200 カラーフィルタ基板

210 第2の透明基板

212 ゲート電極

213 ゲート絶縁膜

214 アクティブ層

215 オーミックコンタクト層

216 ソース・ドレイン電極

217 保護層

220 カラーフィルタ層

250 透明電極

260 オーバーコート層

270 配向膜

300 表示パネル

330 液晶層

350 シール材

400 表示装置

GL1、GLn ゲート線

SL1、SLn ソース線

CE、CE1 対向電極

DA 表示領域

PA1 第1周辺領域

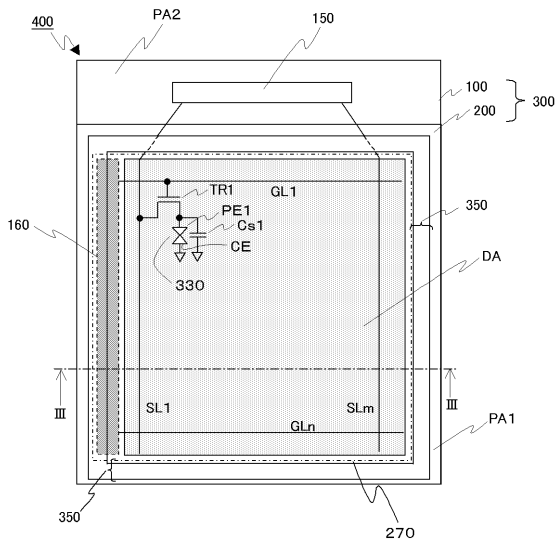
PA2 第2周辺領域

20

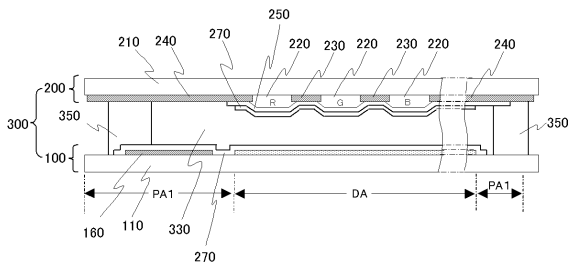
30

40

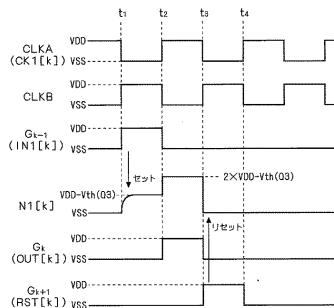
【図 1】



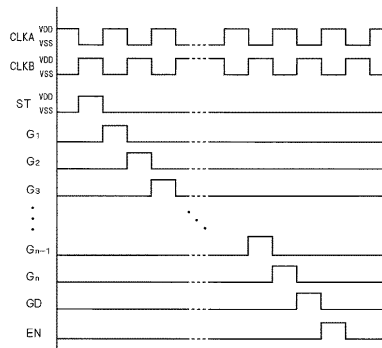
【図 2】



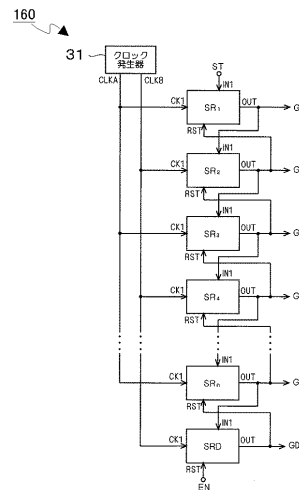
【図 5】



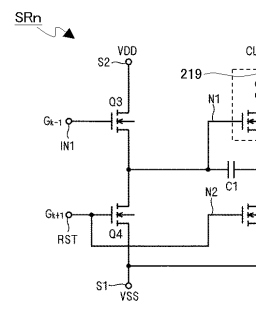
【図 6】



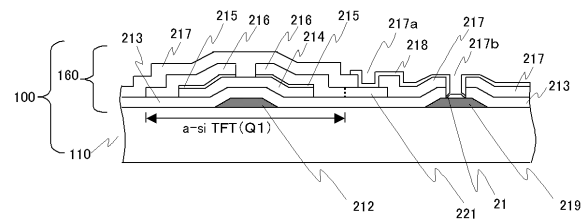
【図 3】



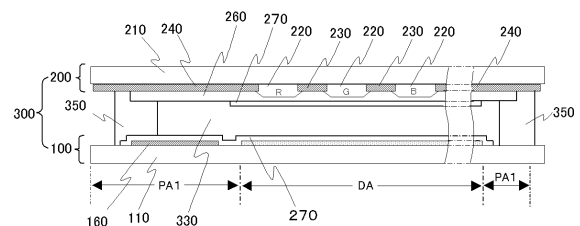
【図 4】



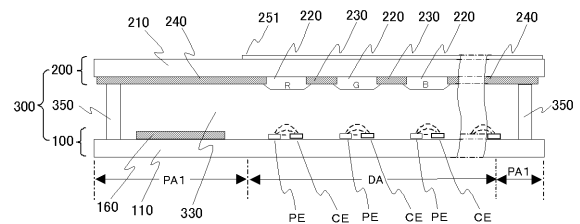
【図 7】



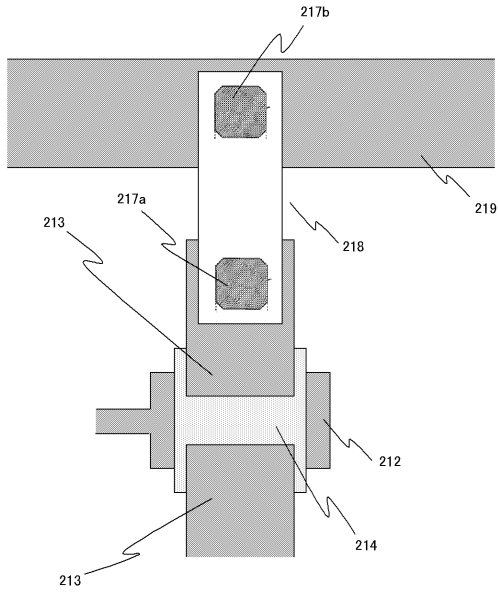
【図 8】



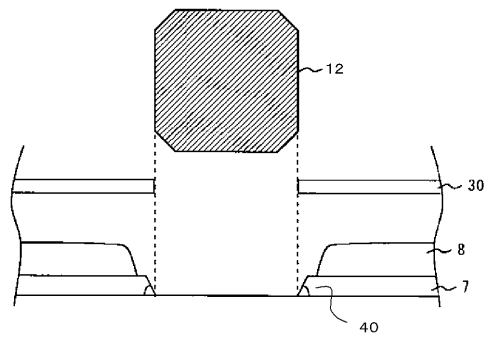
【図 9】



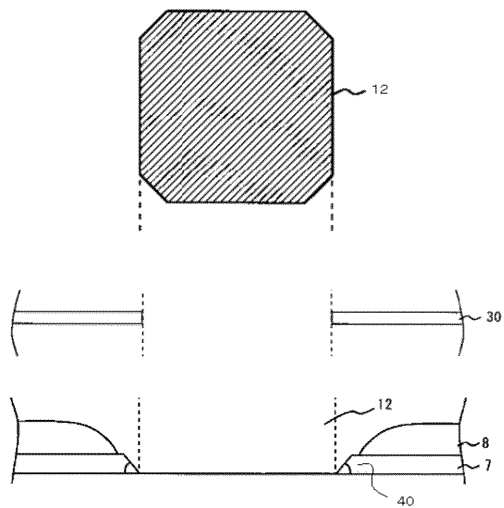
【図 10】



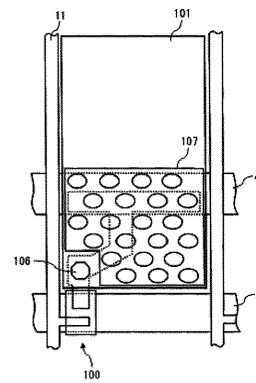
【図 11】



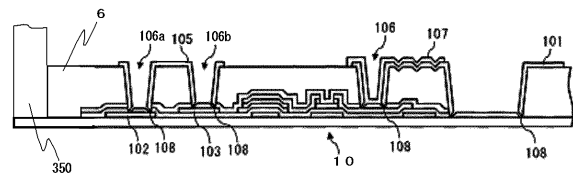
【図 12】



【図 13】



【図 14】



フロントページの続き

(72)発明者 村井 博之

東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

Fターム(参考) 2H092 GA45 GA59 GA60 HA24 JB57 KB04 KB23 KB24 MA13 NA11
NA17 PA06 RA10
5C094 AA32 AA37 AA42 BA03 BA27 BA43 DA13 DB04 EA05 ED02
GB10

专利名称(译)	图像显示面板		
公开(公告)号	JP2009128678A	公开(公告)日	2009-06-11
申请号	JP2007304279	申请日	2007-11-26
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	野尻 勲 村井 博之		
发明人	野尻 勲 村井 博之		
IPC分类号	G09F9/30 G02F1/1368		
FI分类号	G09F9/30.338 G02F1/1368		
F-TERM分类号	2H092/GA45 2H092/GA59 2H092/GA60 2H092/HA24 2H092/JB57 2H092/KB04 2H092/KB23 2H092/KB24 2H092/MA13 2H092/NA11 2H092/NA17 2H092/PA06 2H092/RA10 5C094/AA32 5C094/AA37 5C094/AA42 5C094/BA03 5C094/BA27 5C094/BA43 5C094/DA13 5C094/DB04 5C094/EA05 5C094/ED02 5C094/GB10 2H192/AA24 2H192/BA12 2H192/BB03 2H192/BC31 2H192/BC64 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CB35 2H192/EA02 2H192/EA22 2H192/EA32 2H192/EA43 2H192/EA61 2H192/EA67 2H192/FA73 2H192/FB03 2H192/FB27 2H192/FB33 2H192/GA41 2H192/GD12 2H192/GD61 2H192/JA32		
代理人(译)	高桥省吾 稻叶忠彦 村上佳菜子		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制栅极线驱动电路的金属薄膜的腐蚀的图像显示面板。根据本发明的液晶显示面板（300）包括：阵列基板（100），其上形成有栅极线驱动电路（160）；以及彼此面对的阵列基板和滤色器基板（200）。经由密封件（350）将其接合，并且栅极线驱动电路的接触孔（217a，217b）被从显示区域（DA）延伸的取向膜（270）覆盖。和 [选择图]图2

