

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-20660
(P2008-20660A)

(43) 公開日 平成20年1月31日(2008.1.31)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 未請求 請求項の数 10 O L (全 14 頁)

(21) 出願番号	特願2006-192274 (P2006-192274)	(71) 出願人	502356528 株式会社 日立ディスプレイズ 千葉県茂原市早野3300番地
(22) 出願日	平成18年7月13日 (2006.7.13)	(74) 代理人	100075959 弁理士 小林 保
		(72) 発明者	倉橋 永年 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
		(72) 発明者	石井 正宏 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
		(72) 発明者	山形 浩史 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
		Fターム(参考)	2H092 GA14 JA24 JB04 JB05 NA04 PA09

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】いわゆるダミー用画素の近辺で光漏れおよび表示むらの発生を回避させた液晶表示装置の提供。

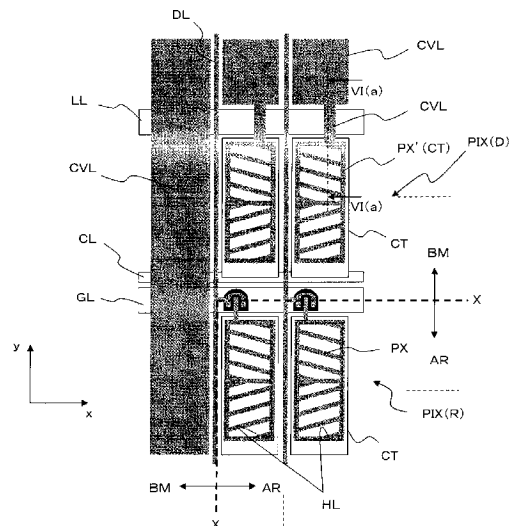
【解決手段】液晶を介して対向配置される各基板のうちの一方の基板の液晶側の面に、その液晶表示領域にマトリクス状に配置された表示用画素と、該液晶表示領域の外側の周辺にあって他方の基板に形成された遮光膜によって被われる非表示用画素を備え、

前記表示用画素はそれに備えられる基準電極と画素電極の間に前記基板と平行に発生する電界によって液晶分子の挙動を行わしめ、

前記非表示用画素は前記表示用画素の基準電極と画素電極とそれぞれ同層および同パターンからなる各電極を備えとともに、

これら各電極には前記表示用電極の基準電極に印加される電圧が印加される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、その液晶表示領域にマトリクス状に配置された表示用画素と、該液晶表示領域の外側の周辺にあって他方の基板に形成された遮光膜によって被われる非表示用画素を備え、

前記表示用画素はそれに備えられる基準電極と画素電極の間に前記基板と平行に発生する電界によって液晶分子の挙動を行わしめ、

前記非表示画素は前記表示用画素の基準電極と画素電極とそれぞれ同層および同パターンからなる各電極を備えるとともに、

これら各電極には前記表示用電極の基準電極に印加される電圧が印加されることを特徴とする液晶表示装置。

10

【請求項 2】

前記表示用画素はその行方向に配列される画素群の各画素に共通であって該画素群の選択駆動をするゲート信号線が備えられ、前記非表示用画素はその行方向に配列される各画素に共通に前記ゲート信号線と同層および同パターンからなる配線層を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記配線層には前記表示用画素の基準電極に印加される電圧が印加されることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記表示用画素はその行方向に配列される各画素に共通であって各画素の基準電極に接続されるコモン信号線が備えられ、前記非表示用画素はその行方向に配列される各画素に共通に前記コモン信号線と同層および同パターンからなるコモン信号線を備えることを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 5】

前記表示用画素はゲート信号線からのゲート信号によって動作しこの動作によってドレイン信号線からの映像信号を画素電極に供給させる薄膜トランジスタを備え、前記非表示用画素は前記表示用画素に備える前記薄膜トランジスタを備えていないことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 6】

非表示用画素の表示用画素と反対の側に表示用画素の画素電極と同層の配線層が形成され、この配線層は、ゲート信号線を跨いで非表示用画素における前記表示用画素の画素電極と同層および同パターンからなる電極と接続されているとともに、前記表示用画素の基準電極に印加される電圧が印加されることを特徴とする請求項 5 に記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に、いわゆるダミー画素と称される非表示用画素を備える液晶表示装置に関する。

【背景技術】

40

【0002】

液晶表示装置は、液晶を介して対向配置される各基板の液晶側の面に多数の画素が形成され、この画素の集合によって液晶表示部（液晶表示領域）が形成されている。

【0003】

各画素は、たとえば x 方向に延在し y 方向に並設されるゲート信号線と y 方向に延在し x 方向に並設されるドレイン信号線で囲まれる領域に形成され、該ゲート信号からのゲート信号によってオンされるスイッチング素子（薄膜トランジスタ）と、このオンされたスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を発生せしめる基準電極とが備えられて構成されている。

【0004】

50

このような画素を有する液晶表示部において表示駆動させる場合、各ゲート信号線へのゲート信号の順次供給（走査）を行うことにより各ゲート信号線に沿って形成される画素行を順次選択し、そのタイミングに合わせて各ドレイン信号線を通して選択された画素行の各画素に映像信号を供給するようになっている。そして、この場合、映像信号が供給された各画素は、次の映像信号が供給されるまでの間、それに備えられる容量素子あるいは寄生容量によって、画素電極に該映像信号に対応する電圧が保持されるように構成されている。

【0005】

しかし、このような構成において、最上段および最下段の画素行における各画素において、容量の値の相異、液晶の配向の乱れ等が生じるため、その表示が他の画素の表示と異なってしまう現象が現れるようになる。

10

【0006】

このため、最上段および最下段の画素行における前記各画素を遮光膜で被うように形成し、これら各画素を表示に寄与させることのないいわゆるダミー用画素として構成する手法が採用されている。

【0007】

このようなダミー用画素についての詳細は、たとえば下記特許文献1あるいは特許文献2に開示されている。

【特許文献1】特開2005-241778号公報

【特許文献2】特開平11-52427号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかし、このような構成からなる液晶表示装置は、たとえば特許文献1に示すように、そのダミー用画素において、表示に寄与する他の画素と同様に駆動され、光の透過、遮断が繰り返される構成となっているものである。このため、該ダミー用画素は、たとえ遮光膜に被われているとしても、この遮光膜の端辺から光漏れを生じさせてしまうという不都合を有する。

【0009】

一方、特許文献2は、そのダミー用画素において、そのゲート信号線およびドレイン信号線から切り離された構成とし、光の透過、遮断がなされないようになっている。

30

【0010】

しかし、特許文献2に示すダミー用画素は、常に電位が不安定な状態となっており、該ダミー用画素の近傍の液晶内の不純物がこの電位の不安定な部分に引き寄せられ易く、これが原因で、ダミー用画素の近辺で表示むらが生じるという現象が観られた。

【0011】

本発明の目的は、いわゆるダミー用画素（非表示用画素）の近辺で光漏れおよび表示むらの発生を回避させた液晶表示装置を提供することにある。

【課題を解決するための手段】

【0012】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

40

【0013】

(1) 本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうちの一方の基板の液晶側の面に、その液晶表示領域にマトリクス状に配置された表示用画素と、該液晶表示領域の外側の周辺にあって他方の基板に形成された遮光膜によって被われる非表示用画素を備え、

前記表示用画素はそれに備えられる基準電極と画素電極の間に前記基板と平行に発生する電界によって液晶分子の挙動を行わしめ、

前記非表示画素は前記表示用画素の基準電極と画素電極とそれぞれ同層および同パター

50

ンからなる各電極を備えるとともに、

これら各電極には前記表示用電極の基準電極に印加される電圧が印加されることを特徴とする。

【0014】

(2) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記表示用画素はその行方向に配列される画素群の各画素に共通であって該画素群の選択駆動をするゲート信号線が備えられ、前記非表示用画素はその行方向に配列される各画素に共通に前記ゲート信号線と同層および同パターンからなる配線層を備えることを特徴とする。

【0015】

(3) 本発明による液晶表示装置は、たとえば、(2)の構成を前提とし、前記配線層には前記表示用画素の基準電極に印加される電圧が印加されることを特徴とする。

10

【0016】

(4) 本発明による液晶表示装置は、たとえば、(1)の構成を前提とし、前記表示用画素はその行方向に配列される各画素に共通であって各画素の基準電極に接続される共通信号線が備えられ、前記非表示用画素はその行方向に配列される各画素に共通に前記共通信号線と同層および同パターンからなる共通信号線を備えることを特徴とする。

【0017】

(5) 本発明による液晶表示装置は、たとえば、(2)の構成を前提とし、前記表示用画素はゲート信号線からのゲート信号によって動作し、この動作によってドレイン信号線からの映像信号を画素電極に供給させる薄膜トランジスタを備え、前記非表示用画素は前記表示用画素に備える前記薄膜トランジスタを備えていないことを特徴とする請求項2に記載の液晶表示装置。

20

【0018】

(6) 本発明による液晶表示装置は、たとえば、(5)の構成を前提とし、非表示用画素の表示用画素と反対の側に表示用画素の画素電極と同層の配線層が形成され、この配線層は、ゲート信号線を跨いで非表示用画素における前記表示用画素の画素電極と同層および同パターンからなる電極と接続されているとともに、前記表示用画素の基準電極に印加される電圧が印加されることを特徴とする。

【0019】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

30

【発明の効果】

【0020】

このように構成された液晶表示装置は、いわゆるダミー用画素(非表示用画素)の近辺で光漏れおよび表示むらの発生を回避させることができる。

【発明を実施するための最良の形態】

【0021】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

【0022】

図2は、本発明による液晶表示装置の一実施例を示す概略構成図である。

40

【0023】

図2において、液晶を介して対向配置される基板1、2がある。これら各基板1、2はたとえばその双方ともガラス等の透明基板から構成されている。基板2は基板1に対して面積が若干小さく形成され、基板1のたとえば図中左側辺と上側辺において基板2から露出された領域を有している。基板1の図中左側辺の前記領域には半導体チップからなるゲート信号駆動回路GDが搭載され図中上側辺の前記領域には半導体チップからなるドレイン信号駆動回路DDが搭載されている。

【0024】

基板1に対する基板2の固定は該基板2の周辺の全域に形成されたシール剤SLによってなされ、該シール剤SLは各基板1、2の間に介在される液晶の封止剤としての機能を

50

も有するようになっている。

【0025】

前記シール剤 S L によって囲まれた領域であって後述するブラックマトリックス（遮光膜） B M の開口が形成された領域は液晶表示領域 A R として構成されている。

【0026】

液晶表示領域 A R はマトリックス状に配置された多数の画素の集合体から構成されている。各画素の構成は、この図 2 においては、前記液晶表示領域 A R 内の点線丸枠 A の拡大図 A ' において等価回路で示している。

【0027】

すなわち、拡大図 A ' に示すように、図中 x 方向に延在され y 方向に並設されるゲート信号線 G L とコモン信号線 C L が形成され、図中 y 方向に延在され x 方向に並設されるドレイン信号線 D L が形成されている。

10

【0028】

また、前記ゲート信号線 G L とコモン信号線 C L は、たとえば、図中上側から下側にかけて、ゲート信号線 G L 、このゲート信号線 G L から比較的大きく離間されたコモン信号線 C L 、このコモン信号線 C L から小さく離間されたゲート信号線 G L 、このゲート信号線 G L から比較的大きく離間されたコモン信号線 C L 、 というように交互に配置されている。

【0029】

ゲート信号線 G L とこのゲート信号線 G L から比較的大きく離間されたコモン信号線 C L に囲まれる領域であって一対のドレイン信号線 D L に囲まれる領域は画素領域として構成されるようになっている。

20

【0030】

該画素領域には、前記ゲート信号線 G L からのゲート信号によってオンされる薄膜トランジスタ T F T と、このオンされた薄膜トランジスタ T F T を介してドレイン信号線 D L からの映像信号が供給される画素電極 P X と、この画素電極 P X との間に電界を発生せしめ前記コモン信号線 D L と接続されたコモン電極 C T とが備えられている。

【0031】

前記画素電極 P X とコモン電極 C T との間には、たとえば基板 1、2 の面とほぼ平行な電界を発生せしめるようになっており、この電界によって液晶の分子を挙動させるようになっている。

30

【0032】

そして、前記各ゲート信号線 G L は、たとえば図中左側にて、前記シール剤 S L の形成領域を超えて延在され、前記ゲート信号駆動回路 G D の出力バンプに接続されるようになっている。また、前記各コモン信号線 C L は、たとえば図中右側にて、前記シール剤 S L の形成領域を超えて延在され、コモン信号端子 C T M に接続されるようになっている。さらに、前記各ドレイン信号線 D L は、たとえば図中上側にて、前記シール剤 S L の形成領域を超えて延在され、前記ドレイン信号駆動回路 D D の出力バンプに接続されるようになっている。

【0033】

前記ゲート信号駆動回路 G D はたとえば各ゲート信号線 G L に順次ゲート信号を供給（走査）することにより画素列を選択し、各ドレイン信号線 D L を介して前記ドレイン信号駆動回路 D D は選択された前記画素列の各画素に映像信号を供給するようになっている。

40

【0034】

図 3 は、前記液晶表示装置の液晶表示領域 A R の図中左上の部分、すなわち図 2 に示す点線矩形枠 B の部分を拡大して示した図である。ただし、ゲート信号駆動回路 G D 、ゲート信号線 G L 、ドレイン信号駆動回路 D D 、ドレイン信号線 D L 等はその図示を省略して示している。

【0035】

図 3 (a) において、基板 2 があり、この基板 2 はその周辺においてシール剤 S L を介

50

して基板 1 に固定されている。

【 0 0 3 6 】

そして、前記基板 2 の液晶側の面にはブラックマトリックス B M が形成されている。このブラックマトリックス B M は、図 4 に示すように、正確には液晶表示領域 A R において各画素の周辺を除く中央部に対向する部分に開口 H L が設けられたパターンをなすものであるが、図 3 (a) においては、簡略化のため該ブラックマトリックス B M の前記開口 H L が形成されていない幅 W の周辺部 (以下、ブラックマトリックス B M の周辺部と称する場合がある) のみを示している。

【 0 0 3 7 】

また、図 3 (b) は、図 3 (a) の b - b 線における断面を示している。図 3 (b) において、基板 1 の基板 2 と対向する液晶 L C 側の面には各画素 P I X が形成され、これら画素 P I X は実際の表示に寄与する画素 P I X (R) といわゆるダミー用の画素 P I X (D) と称されるものからなっている。

10

【 0 0 3 8 】

このダミー用の画素 P I X (D) は、この実施例の場合、マトリックス状に配置された表示に寄与する各画素 P I X (R) の上段部にゲート信号線 G L と平行にたとえば 1 行からなる画素群として、および下段部にゲート信号線 G L と平行にたとえば 1 行からなる画素群として形成されている。

【 0 0 3 9 】

そして、これらダミー用の画素 P I X (D) は、前記ブラックマトリックス B M の周辺部の下方に位置づけられて配置され、このブラックマトリックス B M の周辺部には開口 H L が形成されていないため液晶表示装置の観察者からは目視できないようになっている。

20

【 0 0 4 0 】

このダミー用の画素 P I X (D) は、その構成は後に詳述するが、表示に寄与する画素 P I X (R) のもつ容量 (寄生容量を含む) および液晶の配向に影響する表面起伏の形状等を同じ条件とする必要から、該画素 P I X (R) とほぼ同様の構成で形成することが好ましい。

【 0 0 4 1 】

図 5 は、表示に寄与する画素 P I X (R) の一実施例を示す平面図であり、たとえば 2 × 3 個の画素 P I X (R) を示している。また、図 5 の V I (b) - V I (b) 線における断面図を図 6 (b) に示している。

30

【 0 0 4 2 】

まず、基板 1 の液晶側の面において、ゲート信号線 G L とコモン信号線 C L が形成されている。たとえば画素領域に対してゲート信号線 G L は図中上方に形成されコモン信号線 C L は下方に形成されている。これらゲート信号線 G L とコモン信号線 C L と後述するドレイン信号線 D L によって前記画素領域が隣接する他の画素領域と画されることになる。

【 0 0 4 3 】

ゲート信号線 G L とコモン信号線 C L の間の画素領域に共通電極 C T が形成され、この共通電極 C T は該コモン信号線 C L とそのまま重畳されて形成されることにより該コモン信号線 C L と電氣的に接続されている。

40

【 0 0 4 4 】

共通電極 C T は画素領域の若干の周辺部を除く中央部に形成された平面状の電極からなるともに、たとえば I T O (Indium Tin Oxide) 膜からなる透明電極として形成されている。

【 0 0 4 5 】

このように、ゲート信号線 G L 、コモン信号線 C L 、および共通電極 C T が形成された基板 1 の表面には、これらゲート信号線 G L 、コモン信号線 C L 、および共通電極 C T をも被って、第 1 絶縁膜 I N 1 が形成されている。この第 1 絶縁膜 I N 1 はたとえばシリコン窒化膜からなり後述の薄膜トランジスタ T F T の形成領域においてはゲート絶縁膜としての機能を有するようになる。

50

【0046】

そして、第1絶縁膜IN1の上面であって前記ゲート信号線GLの一部に重畳するようにして半導体層SCが形成され、さらに、この半導体層SCの上面に互いに離間されてドレイン電極DTおよびソース電極STが形成されることにより、ゲート信号線GLの前記一部をゲート電極とする逆スタガ構造のMIS型トランジスタ(薄膜トランジスタTFT)が形成されることになる。

【0047】

ここで、たとえば、前記ドレイン電極DTはドレイン信号線DLと一体となって形成されるとともに、その際に同時にソース電極STが形成されるようになっている。ソース電極STは半導体層SCの形成領域の外方にまで延在されて形成され、その延在部において後述の画素電極PXと接続されるようになっている。

10

【0048】

なお、薄膜トランジスタTFTにおいて、そのドレイン電極DTおよびソース電極STはバイアスのかけ方によって入れ替わる性質のものであるが、この明細書においては、ドレイン信号線DLと接続される側をドレイン電極DT、画素電極PXと接続される側をソース電極STと称する。

【0049】

なお、前記ドレイン電極DT、ドレイン信号線DL、およびソース電極STは、前記半導体層SCをも被って基板1の表面に形成された第2絶縁膜IN2の上面に形成され、前記ドレイン電極DTおよびソース電極は該第2絶縁膜IN2に形成したスルーホールを介して前記半導体層SCに電氣的に接続されている。ここで、前記第2絶縁膜IN2は前記薄膜トランジスタTFTへの液晶の直接の接触を回避させるための保護膜として機能するようになっている。

20

【0050】

そして、前記第2絶縁膜IN2の上面であって前記基準電極CTに重畳するようにして画素電極PXが形成されている。この画素電極PXは、一方向に延在する帯状の電極が該一方向に交叉する方向に並設され、該各電極のたとえば両端にて互いに接続されたパターンをなして形成され、たとえばITO(Indium Tin Oxide)膜からなる透明電極として形成されている。

【0051】

前記基準電極CTと画素電極PXとの間に電圧差が生じると、その電圧差に応じた電界が基板2の面とほぼ平行に発生し、この電界によって液晶の分子を挙動させるようになっている。

30

【0052】

なお、図示していないが、前記画素電極PXが形成された基板1の表面には配向膜が形成され、この配向膜は液晶と直接に接触され該液晶の初期配向方向を決定づけるようになっている。

【0053】

また、図5に示す各画素に対向する基板2の液晶側の面に形成されるブラックマトリックスBMはゲート信号線GL、ドレイン信号線DL、および薄膜トランジスタTHT等を被って画素の中央部を露出させる開口が形成されており、この開口は図5において符号HLで示している。

40

【0054】

図1は、ダミー画素と称される画素PIX(D)の一実施例を示す平面図であり、該画素PIX(D)は前述の画素PIX(R)とともに該画素PIX(R)に隣接して描画されている。

【0055】

すなわち、図1には、液晶表示領域ARとブラックマトリックスBMの周辺部を画する点線部X-Xが示され、この点線部X-Xを境にしてブラックマトリックスBMの周辺部側にはダミー画素と称される画素PIX(D)が形成され、液晶表示領域AR側には表示

50

に寄与する画素 P I X (R) が形成されている。また、図 1 の V I (a) - V I (a) 線における断面図を図 6 (a) に示している。

【 0 0 5 6 】

前記画素 P I X (D) は、基板 1 の上面にて形成される配線層 L L、コモン信号線 C L、および後述するドレイン信号線 D L で囲まれる領域に形成されている。

【 0 0 5 7 】

前記配線層 L L は表示に寄与する画素 P I X (R) のゲート信号線 G L に対応するもので、相当する個所において該ゲート信号線 G L と同パターンで形成されている。該配線層 L L をゲート信号線 G L と称しないのは該配線層 L L にゲート信号ではなく基準電圧を印加するように構成されているからである。

10

【 0 0 5 8 】

また、前記コモン信号線 C L にあつては、表示に寄与する画素 P I X (R) のコモン信号線 C L と同様に基準電圧が印加されるようになっている。

【 0 0 5 9 】

前記配線層 L L、コモン信号線 C L が形成された基板 1 の表面には、前記配線層 L L、コモン信号線 C L をも被って、第 1 絶縁膜 I N 1 が形成されている。この第 1 絶縁膜 I N 1 は表示に寄与する画素 P I X (R) にて形成する前記第 1 絶縁膜 I N 1 を当該画素 P I X (D) の領域まで延在させて形成したもとなっている。

【 0 0 6 0 】

そして、この画素 P I X (D) は表示に寄与する画素 P I X (R) にて形成されている薄膜トランジスタ T F T が形成されていない構成となっている。後述するように、該画素 P I X (D) はその液晶の駆動を行わない構成としていることから該薄膜トランジスタ T F T の形成を必要としなくなるからである。

20

【 0 0 6 1 】

また、この実施例の場合、画素 P I X (D) において、表示に寄与する画素 P I X (R) の薄膜トランジスタ T F T が形成されている個所と対応する位置が液晶表示領域 A R から比較的大きく離れており、該薄膜トランジスタ T F T を形成しないことによる画素表面における配向の乱れが該液晶表示領域 A R にまで至って影響することはないと考えられるからである。

【 0 0 6 2 】

前記第 1 絶縁膜 I N 1 の上面には第 2 絶縁膜 2 が形成されている。この第 2 絶縁膜 I N 2 は表示に寄与する画素 P I X (R) にて形成する前記第 2 絶縁膜 I N 2 を当該画素 P I X (D) の領域まで延在させて形成したもとなっている。

30

【 0 0 6 3 】

そして、該第 2 絶縁膜 I N 2 の上面には前記基準電極 C T と重畳するようにして電極 P X ' が形成されている。この電極 P X ' は、表示に寄与する画素 P I X (R) における画素電極 P X と同層および同パターンで構成されたもとなっている。この電極 P X ' は、該画素電極 P X のように映像信号が供給されることはなく、前記基準電圧が印加されるようになっている。

【 0 0 6 4 】

すなわち、該電極 P X ' は、前記配線層 L L を跨ぎ液晶表示領域 A R から遠ざかる方向に引き出されて形成される基準電圧供給信号線 C V L と一体に形成され、該基準電圧供給信号線 C V L を通して基準電圧が供給されるようになっている。

40

【 0 0 6 5 】

これにより、前記画素 P I X (D) は、それに備えられる電極 P X ' および基準電極 C T にそれぞれ基準電圧が印加されることから液晶を挙動させることはなく、光の透過および遮断が繰り返し替えされることはなくなる。

【 0 0 6 6 】

したがって、ブラックマトリクス B M の端片から光漏れが生じてしまうということがなくなる。また、前記画素 P I X (D) は、その電位が常に安定となり、その近傍

50

の液晶内の不純物を引き寄せてしまうという現象を回避でき、表示むらの発生を防止することができる。

【0067】

また、液晶表示領域ARの外側の周辺のうちドレイン信号線DLと平行となる個所には、該ドレイン信号線DLと平行に基準電圧供給信号線CVLが形成されている。

【0068】

この基準電圧供給信号線CVLは、前記画素PIX(D)の電極PX'から直接引き出される前記基準電圧供給信号線CVLとともに、線幅が大きく形成され、これら基準電圧供給信号線CVLによって、液晶表示領域ARおよびダミー画素と称される画素PIX(D)の形成領域の外方の全周辺を囲む比較的大きな領域が形成されるようになっている。これにより、ノイズの侵入を回避でき、液晶表示領域ARにおける各画素PIX(R)に安定した動作を行わせることができるようになる。

10

【0069】

なお、図1では、液晶表示領域ARに対し、その最上段側に配置されるダミー表示用の画素PIX(D)の構成について示したものである。しかし、液晶表示領域ARの最下段側にあってもダミー表示用の画素PIX(D)が形成され、このダミー表示用の画素PIX(D)も図1に示した構成と同様になっている。

【0070】

上述した液晶表示装置は、表示に寄与する各画素PIX(R)において、基準電極CTと画素電極PXの間に基板1と平行な電界を生じせしめ該電界によって液晶分子を挙動させようとする構成を対象としている。

20

【0071】

このような液晶表示装置は、たとえば液晶を介して配置される各基板の各対向面に電極を配置しこれらの電極の間に電界を発生させる構成のものと比較した場合に、比較的弱い電界が用いられている。画素電極PXを基準電極CTに対して極めて近接した位置に配置させているのもそれらの電界が比較的弱いからである。

【0072】

このことは、表示に寄与する画素に隣接してダミー用の画素が配置され、そのダミー用の画素において前記基準電極CTおよび画素電極PXに相当する各電極に前記基準電極CTに印加する電圧と同電位とするようにしても、表示に寄与する画素において生じる前記電界がダミー用の画素側に引き込まれてしまうという不都合がないことを意味する。

30

【0073】

したがって、ダミー用の画素に隣接される表示に寄与する画素において、前記ダミー用の画素を上述のような構成にしたとしても、それによって電界の分布に乱れを生じさせることはない。

【0074】

また、上述した実施例では、ダミー用の画素は液晶表示領域の上段において一行、下段において一行だけ形成したものであるが、これに限らず、それぞれにおいて複数にわたる行数で形成してもよいことはもちろんである。

【0075】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

40

【図面の簡単な説明】

【0076】

【図1】本発明による液晶表示装置の一実施例を示す図で、ブラックマトリックスの周辺部の近傍に配置される各画素を示す平面図である。

【図2】本発明による液晶表示装置の一実施例を示す概略構成図である。

【図3】本発明による液晶表示装置の一実施例を示す図で、ブラックマトリックスの周辺における構成を示した図である。

【図4】本発明による液晶表示装置の一実施例に用いられるブラックマトリックスの平面

50

図である。

【図5】本発明による液晶表示装置の一実施例を示す図で、液晶表示領域内に配置される各画素を示す平面図である。

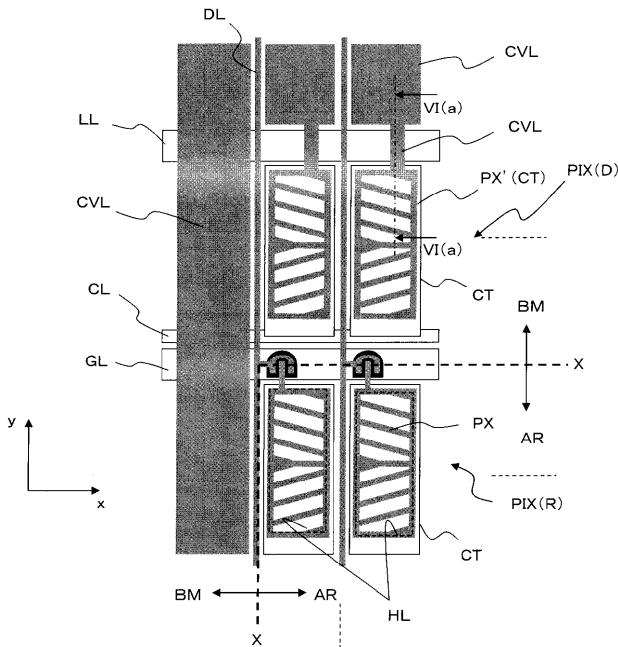
【図6】図1のVI(a) - VI(a)線における断面図、図5のVI(b) - VI(b)線における断面図である。

【符号の説明】

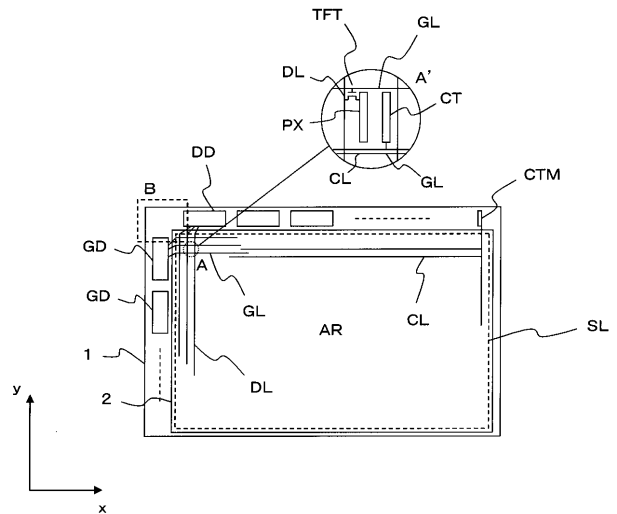
【0077】

1、2 基板、GD ゲート信号駆動回路、DD ドレイン信号駆動回路、GL ...
 ...ゲート信号線、CL コモン信号線、DL ドレイン信号線、AR 液晶表示領
 域、SL シール剤、TFT 薄膜トランジスタ、PX 画素電極、CT 基準
 電極、BM ブラックマトリクス、PIX(R) 表示に寄与する画素、PIX(D)
 ダミー画素と称される画素、HL 開口(ブラックマトリクスの)、DT ...
 ...ドレイン電極、ST ソース電極、IN1 第1絶縁膜(ゲート絶縁膜)、IN2
 第2絶縁膜。LL 配線層、CVL 基準電圧供給信号線。

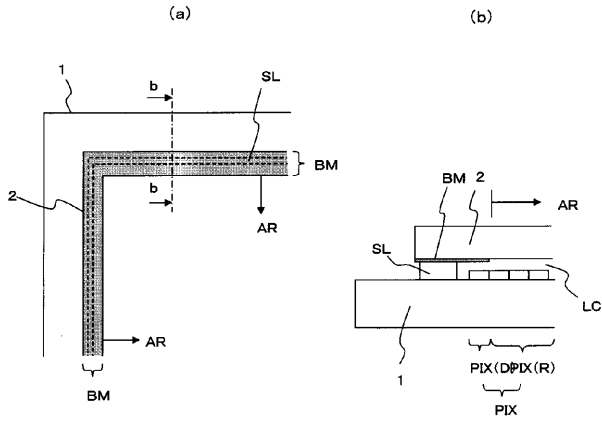
【図1】



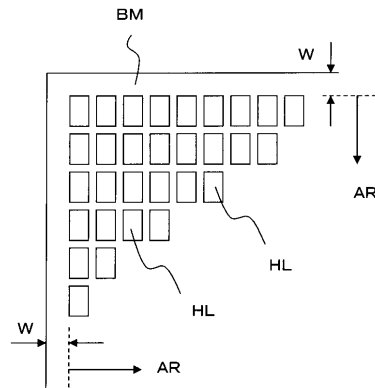
【図2】



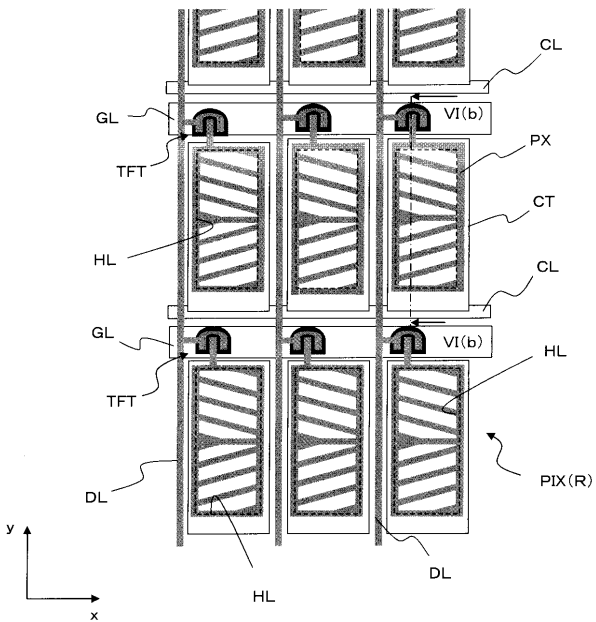
【 図 3 】



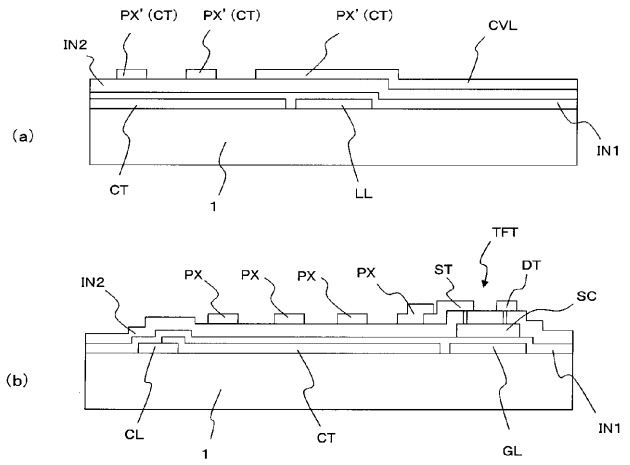
【 図 4 】



【 図 5 】



【 図 6 】



【手続補正書】

【提出日】平成19年6月25日(2007.6.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

液晶を介して対向配置される一対の基板と、

当該一方の基板にマトリクス状に形成された複数のゲート信号線と複数のドレイン信号線と、

当該ゲート信号線とドレイン信号線によって定義される複数の画素領域と、

当該画素領域内に形成された基準電極および画素電極とを有し、

前記複数の画素領域は、表示領域と非表示領域の何れにも形成され、

前記非表示領域の画素領域内の前記画素電極には、前記基準電極に印加される電極が印加されることを特徴とする液晶表示装置。

【請求項2】

前記非表示領域内であり、前記基準電極と重複しない位置に、前記ゲート信号線と平行に配置される非表示領域配線を備え、当該非表示領域配線には前記基準電極に印加される電圧が印加されることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記非表示領域配線は、前記ゲート信号線と同層に形成されることを特徴とする請求項1に記載の液晶表示装置。

【請求項4】

前記表示領域と非表示領域の画素領域には、その行方向に配列される各画素領域の基準電極に共通に接続されるコモン信号線が備えられ、

前記表示領域と非表示領域の前記コモン信号線は、何れも同層および同パターンからなることを特徴とする請求項1に記載の液晶表示装置。

【請求項5】

前記表示領域内の画素領域は、前記ゲート信号線からのゲート信号によって動作し、この動作によって前記ドレイン信号線からの映像信号を前記画素電極に供給させる薄膜トランジスタを備え、

前記非表示領域内の画素領域は、前記薄膜トランジスタを備えていないことを特徴とする請求項1に記載の液晶表示装置。

【請求項6】

前記非表示領域内の画素領域の画素電極に、基準電圧を印加するための基準電圧供給信号線が前記非表示領域に形成され、

当該基準電圧供給信号線は、前記ドレイン信号線と平行に形成されることを特徴とする請求項1に記載の液晶表示装置。

【請求項7】

前記基準電圧供給信号線の線幅は、前記ドレイン信号線の線幅よりも太いことを特徴とする請求項6に記載の液晶表示装置。

【請求項8】

前記基準電極は、矩形状の形状であることを特徴とする請求項7に記載の液晶表示装置。

【請求項9】

前記基準電圧供給信号線の線幅は、前記基準電極の幅と実質的に同一であることを特徴とする請求項8に記載の液晶表示装置。

【請求項10】

前記非表示領域の画素領域に重畳する位置には、遮光膜が形成されることを特徴とする請

求項 1 に記載の液晶表示装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正の内容】

【0003】

各画素は、たとえば x 方向に延在し y 方向に並設されるゲート信号線と y 方向に延在し x 方向に並設されるドレイン信号線で囲まれる領域に形成され、該ゲート信号線からのゲート信号によつてオンされるスイッチング素子（薄膜トランジスタ）と、このオンされたスイッチング素子を介してドレイン信号線からの映像信号が供給される画素電極と、この画素電極との間に電界を発生せしめる基準電極とが備えられて構成されている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

該画素領域には、前記ゲート信号線 G L からのゲート信号によってオンされる薄膜トランジスタ T F T と、このオンされた薄膜トランジスタ T F T を介してドレイン信号線 D L からの映像信号が供給される画素電極 P X と、この画素電極 P X との間に電界を発生せしめ前記コモン信号線 C L と接続された基準電極 C T（コモン電極 C Tともいう）とが備えられている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

前記画素電極 P X と基準電極 C Tとの間には、たとえば基板 1、2 の面とほぼ平行な電界を発生せしめるようになっており、この電界によって液晶の分子を挙動させるようになっている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正の内容】

【0043】

ゲート信号線 G L とコモン信号線 C L の間の画素領域に基準電極 C Tが形成され、この基準電極 C Tは該コモン信号線 C L とそのまま重畳されて形成されることにより該コモン信号線 C L と電氣的に接続されている。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

基準電極 C Tは画素領域の若干の周辺部を除く中央部に形成された平面状の電極からなるとともに、たとえば I T O（Indium Tin Oxide）膜からなる透明電極として形成されている。

