

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-298791**(P2007-298791A)**

(43) 公開日 平成19年11月15日(2007.11.15)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H088
G02F 1/13 (2006.01)	G02F 1/13 1O1	2H092
G09F 9/00 (2006.01)	G09F 9/00 352	5G435

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号	特願2006-127234 (P2006-127234)	(71) 出願人	000006013
(22) 出願日	平成18年5月1日(2006.5.1)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100089233
			弁理士 吉田 茂明
		(74) 代理人	100088672
			弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	横溝 政幸
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		Fターム(参考)	2H088 FA11 FA14 FA15 HA01 HA02 HA06

最終頁に続く

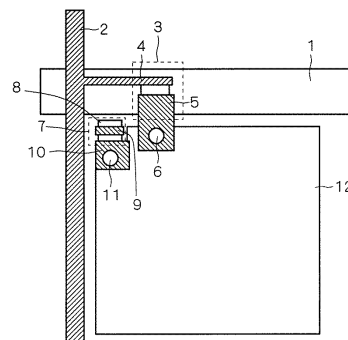
(54) 【発明の名称】 液晶表示装置及びその欠陥修復方法

(57) 【要約】

【課題】本発明は、TFTに起因する点欠陥を正常画素にリペアできるとともに、表示品位の高い液晶表示装置及びその欠陥修復方法を提供することを目的とする。

【解決手段】本発明は、複数のゲート配線1と、複数のソース配線2と、マトリクス状に設けられた複数の画素電極12と、画素電極12毎に、ゲート配線1に接続されたゲート電極と、ソース配線2に接続されたソース電極4と、画素電極12に接続されたドレイン電極5とを有するTFT3と、画素電極12毎に、ゲート電極8と、ソース電極9と、ドレイン電極10とを有するTFT7とを備える液晶表示装置である。そして、TFT7は、ゲート配線1及び画素電極12のうち少なくとも一方と平面的に重なる部分を持たず、ゲート電極8とゲート配線1間及びドレイン電極5と画素電極12間のうち少なくとも一方が電氣的に未接続である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数のゲート配線と、
前記ゲート配線に直交して設けられる複数のソース配線と、
前記ゲート配線と前記ソース配線との交差部に対応して、マトリクス状に設けられた複数の画素電極と、

前記画素電極毎に、前記ゲート配線に接続された第 1 ゲート電極と、前記ソース配線に接続された第 1 ソース電極と、前記画素電極に接続された第 1 ドレイン電極とを有する第 1 T F T 部と、

前記画素電極毎に、第 2 ゲート電極と、第 2 ソース電極と、第 2 ドレイン電極とを有する第 2 T F T 部とを備える液晶表示装置であって、 10

前記第 2 T F T 部は、前記ゲート配線及び前記画素電極のうち少なくとも一方と平面的に重なる部分を持たず、前記第 2 ゲート電極と前記ゲート配線間及び前記第 2 ドレイン電極と前記画素電極間のうち少なくとも一方が電氣的に未接続であることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置であって、

第 2 T F T 部は、前記ゲート配線と平面的に重なる部分を持たず、前記第 2 ゲート電極と前記ゲート配線間及び前記第 2 ソース電極と前記ソース配線間が電氣的に未接続であることを特徴とする液晶表示装置。 20

【請求項 3】

請求項 1 に記載の液晶表示装置であって、

第 2 T F T 部は、前記画素電極と平面的に重なる部分を持たず、前記第 2 ドレイン電極と前記画素電極間が電氣的に未接続であることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 に記載の液晶表示装置であって、

第 2 T F T 部は、前記画素電極と平面的に重なる部分を持たず、前記第 2 ソース電極と前記ソース配線間及び前記第 2 ドレイン電極と前記画素電極間が電氣的に未接続であることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 に記載の液晶表示装置であって、

第 2 T F T 部は、前記ゲート配線及び前記画素電極と平面的に重なる部分を持たず、前記第 2 ゲート電極と前記ゲート配線間及び前記第 2 ドレイン電極と前記画素電極間が電氣的に未接続であることを特徴とする液晶表示装置。 30

【請求項 6】

請求項 1 に記載の液晶表示装置であって、

第 2 T F T 部は、前記ゲート配線及び前記画素電極と平面的に重なる部分を持たず、前記第 2 ゲート電極と前記ゲート配線間、前記第 2 ソース電極と前記ソース配線間及び前記第 2 ドレイン電極と前記画素電極間が電氣的に未接続であることを特徴とする液晶表示装置。 40

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 つに記載の液晶表示装置の欠陥を修復する方法であって、

欠陥を有する前記第 1 T F T 部の前記第 1 ドレイン電極を前記画素電極から切断する工程と、

欠陥を有する前記第 1 T F T 部に対応する前記第 2 T F T 部の前記第 2 ゲート電極と前記ゲート配線間、前記第 2 ソース電極と前記ソース配線間、及び第 2 ドレイン電極と前記画素電極間のうち電氣的に未接続な部分を、所定の成膜手法で接続する工程とを備える液晶表示装置の欠陥修復方法。

【請求項 8】

請求項 7 に記載の液晶表示装置の欠陥修復方法であって、
前記成膜手法は、レーザー CVD 法であることを特徴とする液晶表示装置の欠陥修復方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその欠陥修復方法に係る発明であって、特に、能動素子を有する液晶表示装置及びその欠陥修復方法に関するものである。

【背景技術】

【0002】

10

能動素子である T F T (Thin Film Transistor) を有する液晶表示装置は、一般的にマトリクス状に画素が設けられている。そして、それぞれの画素には、それぞれ画素電極と当該画素電極に書き込む電圧を制御する T F T が設けられている。なお、T F T の制御信号はゲート配線から供給され、画素電極に書き込む電圧はソース配線から供給される。

【0003】

しかし、複雑な製造プロセスを経て形成される T F T が多数の作り込まれる液晶表示装置において、全ての T F T が欠陥なく製造することは困難である。そのため、欠陥の T F T を修復して液晶表示装置の製造歩留を向上させる必要がある。その方法として、液晶表示装置に冗長 T F T 構造を設ける方法がある。

【0004】

20

具体的には、特許文献 1 に記載されており、アレイ基板のゲート配線とソース配線との交点に設けた各画素に通常駆動する T F T と、予備 T F T を設ける構造である。そのため、当該液晶表示装置では、通常駆動する T F T に欠陥があった場合、予備 T F T のドレイン電極と画素電極の重なり部にレーザーなどの光エネルギーを加え、ドレイン電極と画素電極とを電氣的に接続させて、予備 T F T で画素を駆動させる。つまり、特許文献 1 では、欠陥の T F T を予備 T F T に切り替えることで、点欠陥をリペア（修復）していた。

【0005】

【特許文献 1】特開平 4 - 1 4 9 4 1 1 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0006】

しかし、特許文献 1 に示した従来の冗長 T F T 構造では、正常画素とリペアを行った画素（以下、リペア画素ともいう）との間で、画素電極とゲート電極間の寄生容量 C g d が異なる。そのため、同じ電圧を印加しても正常画素とリペア画素との間で保持電圧が異なることになり、正常画素とリペア画素との間で階調輝度差が発生する。つまり、正常画素とリペア画素との間で視認性が異なるため、正常画素と同等の表示品位にリペアすることができなかった。

【0007】

さらに、従来の冗長 T F T 構造の場合、1 画素に T F T が 2 個接続されているので、寄生容量 C g d が約 2 倍に大きくなり液晶の保持電圧が低下する。その結果、表示ムラなどの表示品位の低下が発生する。また、ゲート配線やソース配線の配線負荷容量も約 2 倍に増加するため、従来の冗長 T F T 構造を高解像度の液晶表示装置に適用すると、駆動信号の遅延などに起因する表示ムラを引き起こすことがあった。

40

【0008】

そこで、本発明は、T F T に起因する点欠陥を正常画素にリペアできるとともに、表示品位の高い液晶表示装置及びその欠陥修復方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る解決手段は、複数のゲート配線と、前記ゲート配線に直交して設けられる複数のソース配線と、前記ゲート配線と前記ソース配線との交差部に対応して、マトリク

50

ス状に設けられた複数の画素電極と、前記画素電極毎に、前記ゲート配線に接続された第1ゲート電極と、前記ソース配線に接続された第1ソース電極と、前記画素電極に接続された第1ドレイン電極とを有する第1TFT部と、前記画素電極毎に、第2ゲート電極と、第2ソース電極と、第2ドレイン電極とを有する第2TFT部とを備える液晶表示装置であって、前記第2TFT部は、前記ゲート配線及び前記画素電極のうち少なくとも一方と平面的に重なる部分を持たず、前記第2ゲート電極と前記ゲート配線間及び前記第2ドレイン電極と前記画素電極間のうち少なくとも一方が電氣的に未接続である。

【発明の効果】

【0010】

本発明に記載の液晶表示装置は、第2TFT部が、ゲート配線及び画素電極のうち少なくとも一方と平面的に重なる部分を持たず、第2ゲート電極とゲート配線間及び第2ドレイン電極と画素電極間のうち少なくとも一方が電氣的に未接続であるので、TFTに起因する点欠陥を正常画素にリペアできるとともに、表示品位の高い液晶表示装置を提供することができる。

10

【発明を実施するための最良の形態】

【0011】

(実施の形態1)

本実施の形態に係る液晶表示装置について図1, 2を用いて説明する。図1は、冗長TFT構造を有する液晶表示装置における欠陥修復前の1画素の構成を示す平面図である。また、図2は、図1の液晶表示装置における欠陥修復後の1画素の構成を示す平面図である。まず、図1では、ゲート配線1とソース配線2とが交差するように設けられ、当該交差部近傍に通常の駆動に使用されるTFT3が設けられている。このTFT3には、ソース配線2と接続するためのソース電極4、コンタクトホール6を介して画素電極12に接続するドレイン電極5とが設けられている。TFT3のゲート電極は、ゲート配線1を利用している。

20

【0012】

さらに、本実施の形態に係る液晶表示装置では、冗長TFT構造を有するので、通常の駆動で用いるTFT以外に予備のTFTを備えている。図1では、ソース配線2とTFT3との間に予備のTFT7が設けられている。このTFT7には、ゲート配線1と接続されていないゲート電極8と、ソース配線2と接続されていないソース電極9と、コンタクトホール11を介して画素電極12と接続されているドレイン電極10とを備えている。

30

【0013】

また、本実施の形態に係る予備のTFT7は、図1に示すようにゲート配線1と平面的に重なる部分を持たず、ゲート配線1と電氣的に未接続なゲート電極8を有している。なお、TFT3及びTFT7の構造は、従来のTFTの構造と略同じであるため、特に詳細な説明を行わない。

【0014】

図1に示すパターンは、ガラス基板上に複数回の成膜、写真製版を繰り返すことで形成することが可能である。具体的に、ガラス基板上には、図1に示したゲート配線1、ソース配線2、ドレイン電極5, 10、画素電極12以外に、図示していないゲート絶縁膜、アモルファスSi等の半導体層、保護膜が形成される。図1に示すガラス基板が、本実施の形態に係る液晶表示装置のアレイ基板を形成する。なお、液晶表示装置は、アレイ基板以外に、ガラス基板にカラーフィルタ等を形成した対向基板を有しているが、本発明の本質的な部分ではないため、詳細な説明は省略する。

40

【0015】

次に、製造工程に設けられたアレイ検査装置は、完成したアレイ基板に電氣的又は光学的な検査を行うことでパターン不良などのTFT欠陥を検出する。欠陥が存在した場合、レーザーリペア装置へアレイ基板が搬送される。このレーザーリペア装置は、前述のアレイ検査装置からホストサーバに送られた欠陥位置情報により、欠陥位置へ即座に移動することができるので、検出されたTFT欠陥の目視確認ができる。

50

【0016】

TFT欠陥の目視確認でリペア可能と判断された場合、レーザーリペア装置では、以下のような欠陥修復処理（リペア処理）が行われる。まず、TFT欠陥と判定された通常の駆動に用いるTFT3を切り離す。具体的には、TFT3のドレイン電極5とコンタクトホール6との間をレーザーなどで切断する。図2では、TFT3のドレイン電極5とコンタクトホール6との間に切断部13が形成されている。これにより、ドレイン電極5と画素電極12との電氣的な接続が切断される。

【0017】

その後、ゲート配線1とTFT7のゲート電極8とをレーザーCVD（Chemical Vapor Deposition）などの部分成膜手段を用いて接続する。図2では、ゲート配線1とゲート電極8とを部分成膜部14で接続している。同様に、ソース配線2とTFT7のソース電極9とをレーザーCVDなどの部分成膜手段を用いて接続する。図2では、ソース配線2とソース電極9とを部分成膜部15で接続している。TFT7は、部分成膜部14、15を設けることで画素電極12に所定の電圧を印加できるようになり、TFT3が駆動する他の画素と同様に駆動することができる。

【0018】

以上のリペア処理を行った後、アレイ基板は、カラーフィルタや対向電極等が形成された対向基板と重ね合わされ液晶パネルを形成する。この液晶パネルに液晶を注入し、偏光板、駆動ICやバックライトをアセンブリすることで液晶表示装置が完成する。

【0019】

次に、上述のリペア処理（点欠陥リペア）を行った画素と正常な画素との電氣的な特性について比較する。まず、図3に1画素の駆動波形を示す。図3では、ローレベルがV_{gl}でハイレベルがV_{gh}のゲート信号と、コモン電位V_{com}に対して所定の幅で変動するソース信号とが図示されている。そして、図3の駆動波形において、理想的なTFTを考えた場合、ゲート信号がオンした時点（V_{gl}からV_{gh}に変化した時点）で、ソース信号の電圧が画素電極に充電され、ゲート信号がオフした時点（V_{gh}からV_{gl}に変化した時点）で、その時点のソース信号の電圧が画素電極に保持される。

【0020】

しかし、通常製造されるTFTは、ゲート電極とドレイン電極との間に存在する寄生容量C_{gd}と、ソース電極とドレイン電極との間に存在する寄生容量C_{sd}との影響によって画素電極に保持した電位が低下する。図3には、通常製造されるTFTの画素電極電位を太線で示している。図3に示す画素電極電位では、特に、ゲート信号がオフした時の寄生容量C_{gd}による保持電圧低下量（ ΔV_{gd} ）が大きいことが分かる。なお、寄生容量C_{sd}による保持電圧低下量は ΔV_{sd} であり、図3に図示している。

【0021】

保持電圧の低下量 ΔV_{gd} は、 $C_{gd} / (C_{lc} + C_{gd})$ に比例する。なお、C_{lc}は液晶容量を示す。従って、C_{lc}が0.3 pF、C_{gd}が0.02 pF程度であると仮定した場合、通常駆動されるTFTが1個のときに比べ、予備のTFTを追加してTFTを2個としたときの方が、保持電圧の低下量 ΔV_{gd} が約1.8倍大きくなる。保持電圧の低下量 ΔV_{gd} が大きくなるということは、液晶に印加される電圧が低下することであるため、ノーマリブラックの液晶表示装置の場合、輝度の低下が発生することになる。

【0022】

そこで、本実施の形態に係る液晶表示装置では、図1に示すパターンのアレイ基板を採用している。そのため、TFT7は、ゲート配線1と平面的に重なる部分を持たず、ゲート電極8がゲート配線1と未接続であるので、寄生容量C_{gd}を有しない。図4に、本実施の形態に係る液晶表示装置の1画素の等価回路を示す。また、図5に、リペア処理後の本実施の形態に係る液晶表示装置の1画素の等価回路を示す。

【0023】

寄生容量の大きさは電極平板の面積（電極が平面的に重なる面積）に比例する。従って、本実施の形態に係る液晶表示装置は、図1に示すように予備のTFT7がゲート配線1

10

20

30

40

50

及びソース配線 2 と重なっていないため、ゲート配線 1 又はソース配線 2 と T F T 7 の各配線との間で発生する寄生容量は液晶容量 C_{lc} と比較して非常に小さくなり無視できる。そのため、図 4 に示す等価回路では、T F T 7 の寄生容量を、ソース電極とドレイン電極との間に存在する寄生容量 C_{ds18} のみ記載し、他の寄生容量は記載しなかった。

【0024】

従って、本実施の形態 1 に係る液晶表示装置では、図 4 に示すように、画素の液晶容量 C_{lc19} に対する寄生容量 C_{gd} が T F T 3 のみの寄生容量 C_{gd16} のみとなる。そのため、本実施の形態では、T F T 3 及び T F T 7 を有する冗長 T F T 構造であっても、保持電圧の低下量 ΔV_{gd} が小さく、表示品位の高い液晶表示装置を得ることができる。

【0025】

図 5 は、リペア処理後の等価回路あり、T F T 3 のドレイン電極 3 が画素電極 1 2 から切り離され、T F T 7 のゲート電極 8 がゲート配線 1 と、T F T 7 のソース電極 9 がソース配線 2 とそれぞれ接続されている。そのため、リペア処理後は、T F T 3 の寄生容量 C_{gd16} 及び寄生容量 C_{sd17} が画素電極 1 2 から切り離されているため、当該寄生容量を画素の駆動時に無視できる。

【0026】

一方、予備の T F T 7 をゲート配線 1、ソース配線 2 のそれぞれに接続したことにより寄生容量 C_{gd20} 及び寄生容量 C_{ds18} が画素電極 1 2 に接続される。そのため、リペア処理後は、T F T 7 の寄生容量 C_{gd20} 及び寄生容量 C_{ds18} が追加される。但し、この寄生容量 C_{gd20} 及び寄生容量 C_{ds18} の容量は、T F T 3 の寄生容量 C_{gd16} 及び寄生容量 C_{sd17} とほぼ等しい。

【0027】

従って、本実施の形態に係る液晶表示装置では、リペア処理の前後で画素電極 1 2 とゲート配線 1、ソース配線 2 との間の寄生容量にほとんど変化が発生しない。そのため、リペア処理を行った画素は、正常画素と同じ駆動条件で駆動しても、正常画素と同等の表示特性を得ることが可能となる。

【0028】

なお、本実施の形態に係る液晶表示装置の変形例として、図 1 に示す T F T 7 のソース電極 8 がソース配線 2 と接続する構成が考えられる（図示せず）。本変形例の構成であっても、T F T 7 が、ゲート配線 1 と平面的に重なる部分を持たず、ゲート電極 8 とゲート配線 1 とが電氣的に未接続であるので、本実施の形態と同様の効果を得ることができる。但し、本変形例は、ソース電極 8 がソース配線 2 に接続されているため、画素電極 1 2 に T F T 7 を介して寄生容量 C_{ds} を追加することになる。そのため、本変形例によるリペア画素と正常画素とを比較すると、追加された寄生容量 C_{ds} 分だけ保持電圧が低下することになる。

【0029】

（実施の形態 2）

図 6 に、本実施の形態に係る液晶表示装置の欠陥修復前の 1 画素の平面図を示す。図 6 では、T F T 3 の構成は図 1 に示した T F T 3 の構成と同じであるが、T F T 7 の構成は図 1 に示した T F T 7 の構成と異なる。具体的には、図 6 に示す T F T 7 は、図 1 に示した T F T 7 に比べ、ソース電極 9 がソース配線 2 に接続され、ゲート配線 1 をゲート電極 8 として利用している。また、図 6 に示す T F T 7 は、ドレイン電極 1 0 と画素電極 1 2 との間に重なる部分を持たず、ドレイン電極 1 0 が画素電極 1 2 から切り離されている。

【0030】

そのため、図 6 に示す T F T 7 の寄生容量 C_{gd} は、通常の駆動時、画素電極電位に影響を与えない。従って、図 6 に示す本実施の形態に係る液晶表示装置は、実施の形態 1 と同様、T F T 3 及び T F T 7 を有する冗長 T F T 構造であっても、保持電圧の低下量 ΔV_{gd} が小さく、表示品位の高い液晶表示装置を得ることができる。なお、図 6 では、T F T 7 の構成以外、図 1 に示す構成と同じであるため、詳細な説明は省略する。

【0031】

10

20

30

40

50

次に、本実施の形態に係る液晶表示装置において、通常駆動されるＴＦＴ３に欠陥がある場合、まず、ＴＦＴ３のドレイン電極５とコンタクトホール６との間をレーザーで切断する。当該切断は、実施の形態１の図２に示したものと同一である。次に、図６に示すＴＦＴ７のドレイン電極１０と画素電極１２との間に部分成膜部（図示せず）をレーザーＣＶＤで形成し、電氣的に接続する。以上の処理により、本実施の形態に係る液晶表示装置は、通常駆動されるＴＦＴ３を予備のＴＦＴ７に切り替えて画素を駆動することができる。

【００３２】

なお、本実施の形態に係る液晶表示装置においても、リペア処理の前後で画素電極１２とゲート配線１、ソース配線２との間の寄生容量にほとんど変化が発生しない。そのため、リペア処理を行った画素は、正常画素と同じ駆動条件で駆動しても、正常画素と同等の表示特性を得ることが可能となる。

10

【００３３】

（実施の形態３）

図７に、本実施の形態に係る液晶表示装置の欠陥修復前の１画素の平面図を示す。図７では、ＴＦＴ３の構成は図１に示したＴＦＴ３の構成と同じであるが、ＴＦＴ７の構成は図１に示したＴＦＴ７の構成と異なる。具体的には、図７に示すＴＦＴ７は、図１に示したＴＦＴ７に比べ、ゲート配線１をゲート電極８として利用し、ドレイン電極１０と画素電極１２との間に重なる部分を持たず、ドレイン電極１０が画素電極１２から切り離されている。なお、図７に示すＴＦＴ７は、図６に示したＴＦＴ７と比較すると、ソース電極

20

【００３４】

以上のように、本実施の形態に係る液晶表示装置は、ＴＦＴ７のドレイン電極１０と画素電極１２とが切り離されているため、ＴＦＴ７の寄生容量 C_{gd} が、通常の駆動時には画素電極電位に影響を与えない。従って、図７に示す本実施の形態に係る液晶表示装置は、実施の形態１と同様、ＴＦＴ３及びＴＦＴ７を有する冗長ＴＦＴ構造であっても、保持電圧の低下量 ΔV_{gd} が小さく、表示品位の高い液晶表示装置を得ることができる。なお、図７では、ＴＦＴ７の構成以外、図１に示す構成と同じであるため、詳細な説明は省略する。

【００３５】

また、本実施の形態に係る液晶表示装置は、実施の形態２に比べて、予備のＴＦＴ７がソース配線２から切断されているので、通常駆動時、ソース配線２の負荷容量が軽減される。そのため、本実施の形態に係る液晶表示装置では、予備のＴＦＴ７を形成しない液晶表示装置と同様の高速動作が可能となり、高解像度の液晶表示装置を無欠陥で歩留良く製造することができる。

30

【００３６】

次に、本実施の形態に係る液晶表示装置において、通常駆動されるＴＦＴ３に欠陥がある場合、まず、ＴＦＴ３のドレイン電極５とコンタクトホール６との間をレーザーで切断する。当該切断は、実施の形態１の図２に示したものと同一である。次に、図７に示すＴＦＴ７のドレイン電極１０と画素電極１２との間、及びソース電極９とソース配線２に接続されたＴＦＴ３のソース電極４との間に部分成膜部（図示せず）をレーザーＣＶＤで形成し、それぞれ電氣的に接続する。以上の処理により、本実施の形態に係る液晶表示装置は、通常駆動されるＴＦＴ３を予備のＴＦＴ７に切り替えて画素を駆動することができる。

40

【００３７】

なお、本実施の形態に係る液晶表示装置においても、リペア処理の前後で画素電極１２とゲート配線１、ソース配線２との間の寄生容量にほとんど変化が発生しない。そのため、リペア処理を行った画素は、正常画素と同じ駆動条件で駆動しても、正常画素と同等の表示特性を得ることが可能となる。

【００３８】

50

(実施の形態 4)

図 8 に、本実施の形態に係る液晶表示装置の欠陥修復前の 1 画素の平面図を示す。図 8 では、T F T 3 の構成は図 1 に示した T F T 3 の構成と同じであるが、T F T 7 の構成は図 1 に示した T F T 7 の構成と異なる。具体的には、図 8 に示す T F T 7 は、図 1 に示した T F T 7 に比べ、ソース電極 9 がソース配線 2 と接続され、ドレイン電極 10 と画素電極 12 との間に重なる部分を持たず、ドレイン電極 10 が画素電極 12 から切り離されている。なお、図 8 に示す T F T 7 は、図 6 に示した T F T 7 と比較すると、ゲート電極 8 とゲート配線 1 との間に重なる部分を持たず、ゲート電極 8 がゲート配線 1 から切り離されている点異なる。

【0039】

10

以上のように、本実施の形態に係る液晶表示装置は、T F T 7 のドレイン電極 10 と画素電極 12、及びゲート電極 8 とゲート配線 1 がそれぞれ切り離されているため、T F T 7 の寄生容量 C_{gd} が、通常の駆動時には画素電極電位に影響を与えない。従って、図 8 に示す本実施の形態に係る液晶表示装置は、実施の形態 1 と同様、T F T 3 及び T F T 7 を有する冗長 T F T 構造であっても、保持電圧の低下量 ΔV_{gd} が小さく、表示品位の高い液晶表示装置を得ることができる。なお、図 8 では、T F T 7 の構成以外、図 1 に示す構成と同じであるため、詳細な説明は省略する。

【0040】

また、本実施の形態に係る液晶表示装置は、実施の形態 2 に比べて、T F T 7 のゲート電極 8 がゲート配線 1 から切断されているので、通常駆動時、ゲート配線 1 の負荷容量が軽減される。そのため、本実施の形態に係る液晶表示装置では、予備の T F T 7 を形成しない液晶表示装置と同様の高速動作が可能となり、高解像度の液晶表示装置を無欠陥で歩留良く製造することができる。

20

【0041】

次に、本実施の形態に係る液晶表示装置において、通常駆動される T F T 3 に欠陥がある場合、まず、T F T 3 のドレイン電極 5 とコンタクトホール 6 との間をレーザーで切断する。当該切断は、実施の形態 1 の図 2 に示したものと同一である。次に、図 8 に示す T F T 7 のドレイン電極 10 と画素電極 12 との間、及び T F T 7 のゲート電極 8 とゲート配線 1 との間に部分成膜部 (図示せず) をレーザー CVD で形成し、それぞれ電氣的に接続する。以上の処理により、本実施の形態に係る液晶表示装置は、通常駆動される T F T 30

【0042】

なお、本実施の形態に係る液晶表示装置においても、リペア処理の前後で画素電極 12 とゲート配線 1、ソース配線 2 との間の寄生容量にほとんど変化が発生しない。そのため、リペア処理を行った画素は、正常画素と同じ駆動条件で駆動しても、正常画素と同等の表示特性を得ることが可能となる。

【0043】

(実施の形態 5)

図 9 に、本実施の形態に係る液晶表示装置の欠陥修復前の 1 画素の平面図を示す。図 9 では、T F T 3 の構成は図 1 に示した T F T 3 の構成と同じであるが、T F T 7 の構成は図 1 に示した T F T 7 の構成と異なる。具体的には、図 9 に示す T F T 7 は、図 1 に示した T F T 7 に比べ、ドレイン電極 10 と画素電極 12 との間に重なる部分を持たず、ドレイン電極 10 が画素電極 12 から切り離されている。なお、図 9 に示す T F T 7 は、図 8 に示した T F T 7 と比較すると、ソース電極 9 がソース配線 2 から切り離されている点異なる。

40

【0044】

以上のように、本実施の形態に係る液晶表示装置は、T F T 7 のゲート電極 8、ソース電極 9 及びドレイン電極 10 が、ゲート配線 1、ソース配線 2 及び画素電極 12 と切り離されているため、T F T 7 の寄生容量 C_{gd} が、通常の駆動時には画素電極電位に影響を与えることはない。従って、図 9 に示す本実施の形態に係る液晶表示装置は、実施の形態

50

1と同様、TFT3及びTFT7を有する冗長TFT構造であっても、保持電圧の低下量 ΔV_{gd} が小さく、表示品位の高い液晶表示装置を得ることができる。なお、図9では、TFT7の構成以外、図1に示す構成と同じであるため、詳細な説明は省略する。

【0045】

また、本実施の形態に係る液晶表示装置は、実施の形態2に比べて、TFT7のゲート電極8がゲート配線1から切断され、ソース電極9がソース配線2から切断されているので、通常駆動時、ゲート配線1及びソース配線2の負荷容量が軽減される。そのため、本実施の形態に係る液晶表示装置では、予備のTFT7を形成しない液晶表示装置と同様の高速動作が可能となり、高解像度の液晶表示装置を無欠陥で歩留良く製造することができる。

10

【0046】

次に、本実施の形態に係る液晶表示装置において、通常駆動されるTFT3に欠陥がある場合、まず、TFT3のド레인電極5とコンタクトホール6との間をレーザーで切断する。当該切断は、実施の形態1の図2に示したものと同一である。次に、図9に示すTFT7のド레인電極10と画素電極12との間、TFT7のゲート電極8とゲート配線1との間、及びTFT7のソース電極9とソース配線2との間に部分成膜部(図示せず)をレーザーCVDで形成し、それぞれ電氣的に接続する。以上の処理により、本実施の形態に係る液晶表示装置は、通常駆動されるTFT3を予備のTFT7に切り替えて画素を駆動することができる。

【0047】

なお、本実施の形態に係る液晶表示装置においても、リペア処理の前後で画素電極12とゲート配線1、ソース配線2との間の寄生容量にほとんど変化が発生しない。そのため、リペア処理を行った画素は、正常画素と同じ駆動条件で駆動しても、正常画素と同等の表示特性を得ることが可能となる。

20

【図面の簡単な説明】

【0048】

【図1】本発明の実施の形態1に係る液晶表示装置の一画素の構成を示す平面図である。

【図2】本発明の実施の形態1に係る液晶表示装置のリペア処理後の一画素の構成を示す平面図である。

【図3】本発明の実施の形態1に係る液晶表示装置の駆動波形を示す図である。

30

【図4】本発明の実施の形態1に係る液晶表示装置の一画素の等価回路を示す回路図である。

【図5】本発明の実施の形態1に係る液晶表示装置のリペア処理後の一画素の等価回路を示す回路図である。

【図6】本発明の実施の形態2に係る液晶表示装置の一画素の構成を示す平面図である。

【図7】本発明の実施の形態3に係る液晶表示装置の一画素の構成を示す平面図である。

【図8】本発明の実施の形態4に係る液晶表示装置の一画素の構成を示す平面図である。

【図9】本発明の実施の形態5に係る液晶表示装置の一画素の構成を示す平面図である。

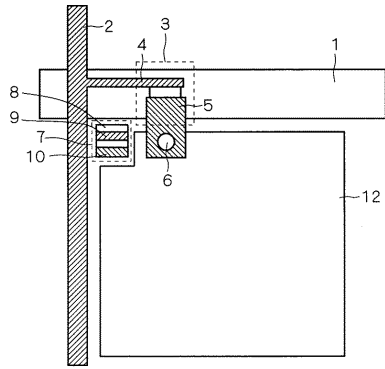
【符号の説明】

【0049】

1 ゲート配線、2 ソース配線、3, 7 TFT、4, 9 ソース電極、5, 10 ド레인電極、6, 11 コンタクトホール、8 ゲート電極、12 画素電極、13 切断部、14, 15 部分成膜部、16, 20 寄生容量 C_{gd} 、17 寄生容量 C_{sd} 、18 寄生容量 C_{ds} 、19 液晶容量 C_{lc} 。

40

【 図 9 】



フロントページの続き

F ターム(参考) 2H092 GA11 JA24 JA37 JA41 JA46 JB22 JB31 MA02 MA46 NA30
5G435 AA01 AA17 AA19 BB12 CC09

专利名称(译)	液晶显示装置及其缺陷修复方法		
公开(公告)号	JP2007298791A	公开(公告)日	2007-11-15
申请号	JP2006127234	申请日	2006-05-01
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	横溝政幸		
发明人	横溝 政幸		
IPC分类号	G02F1/1368 G02F1/13 G09F9/00		
CPC分类号	H01L27/124 G02F1/136259 G02F2001/136268 G09G3/3648 G09G2330/08 G09G2330/10		
FI分类号	G02F1/1368 G02F1/13.101 G09F9/00.352		
F-TERM分类号	2H088/FA11 2H088/FA14 2H088/FA15 2H088/HA01 2H088/HA02 2H088/HA06 2H092/GA11 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/MA02 2H092/MA46 2H092/NA30 5G435/AA01 5G435/AA17 5G435/AA19 5G435/BB12 5G435/CC09 2H092/JB72 2H192/AA24 2H192/BC31 2H192/CB11 2H192/CC04 2H192/HB04 2H192/HB25 2H192/HB33 2H192/HB44 2H192/HB54 2H192/HB63		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置和一种修复其缺陷的方法，该液晶显示装置将由TFT引起的点缺陷修复为正常像素并且显示质量高。

ŽSOLUTION：液晶显示装置配备有：多条栅极线1;多根源极线2;多个像素电极12排列成矩阵状; TFT3，栅极连接到栅极线1，源极4连接到源极线2，漏极5连接到像素电极12，用于每个像素电极12; TFT7具有用于每个像素电极12的栅电极8，源电极9和漏电极10.此外，TFT7不具有与栅极线1中的至少一个重叠的部分和平面图中的像素电极12，以及栅电极8和栅极线1之间的间隔中的至少一个以及漏电极5和像素电极12之间的电气不连接。Ž

