

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-505824

(P2006-505824A)

(43) 公表日 平成18年2月16日(2006.2.16)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 505	5C006
G09G 3/20 (2006.01)	G09G 3/20 612F	5C080
	G09G 3/20 624B	
	G09G 3/20 631A	
審査請求 未請求 予備審査請求 未請求 (全 18 頁) 最終頁に続く		

(21) 出願番号 特願2004-551397 (P2004-551397)
 (86) (22) 出願日 平成15年4月14日 (2003. 4. 14)
 (85) 翻訳文提出日 平成17年6月28日 (2005. 6. 28)
 (86) 国際出願番号 PCT/US2003/011389
 (87) 国際公開番号 W02004/044882
 (87) 国際公開日 平成16年5月27日 (2004. 5. 27)
 (31) 優先権主張番号 10/289, 459
 (32) 優先日 平成14年11月7日 (2002. 11. 7)
 (33) 優先権主張国 米国 (US)

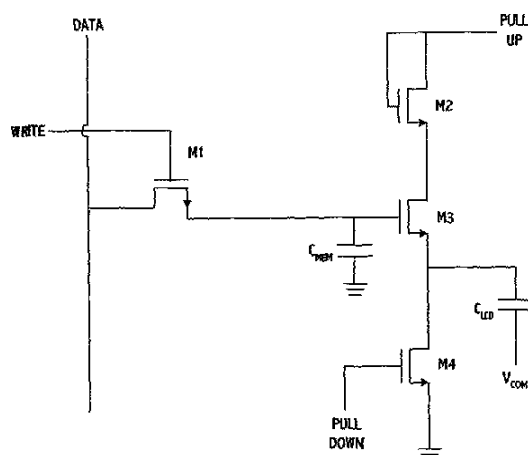
(71) 出願人 591101777
 デューク ユニバーシティ
 DUKE UNIVERSITY
 アメリカ合衆国 ノースカロライナ州 2
 7706 ダーラム アーウィンロード (番地なし)
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100076691
 弁理士 増井 忠武
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイ用のフレーム・バッファ画素回路

(57) 【要約】

2つの制御トランジスタ(図6)と別個のコンデンサとを有する改良フレーム・バッファ画素回路を、メモリ・コンデンサとしてメモリ・トランジスタの前に挿入することによって、誘導される電荷を除去し、メモリ・コンデンサと液晶ディスプレイ(LCD)コンデンサとの間の電荷共有問題を解決し、高いコントラスト比を得る。画素電極回路の後段に比較器を挿入し、サブ・フレーム周波数を低下させてグレー・レベルを表す場合にのみON及びOFFを表現する二進ディスプレイを駆動するためにフレーム・バッファ画素を用いることができる。



【特許請求の範囲】

【請求項 1】

フレーム・バッファ画素システムにおいて、

- 1 フレーム期間中に充電された第 1 データ値を蓄積する蓄積ユニットと、
- 前記第 1 データ値の蓄積を可能にする第 1 コントローラと、
- 1 フレーム期間中に第 2 データを表示するための第 2 蓄積ユニットと、
- 前記第 2 蓄積ユニットに蓄積された第 2 データ値を表示するディスプレイと、
- 前記第 2 蓄積ユニットをイネーブルして、表示を開始する第 2 コントローラと、
- 表示の後に、前記データ値を排出する排出部と、
- 前記排出を可能にする第 3 コントローラと

を備えていることを特徴とするフレーム・バッファ画素システム。

10

【請求項 2】

請求項 1 記載のシステムにおいて、前記第 1 蓄積ユニットは、前記蓄積したデータ値とは独立した容量を有するコンデンサと、ゲート・トランジスタとからなることを特徴とするシステム。

【請求項 3】

請求項 2 記載のシステムにおいて、前記コンデンサは、二重の P O L Y 層を有する相補型金属酸化物半導体 (C M O S) からなることを特徴とするシステム。

【請求項 4】

請求項 2 記載のシステムにおいて、前記ゲート・トランジスタは、N M O S トランジスタ又は P M O S トランジスタであることを特徴とするシステム。

20

【請求項 5】

請求項 1 記載のシステムにおいて、前記第 1 コントローラは、電界効果トランジスタ (F E T) であることを特徴とするシステム。

【請求項 6】

請求項 5 記載のシステムにおいて、前記第 1 コントローラは、書き込み信号及び反転された書き込み信号によってそれぞれ制御される N M O S トランジスタ及び P M O S トランジスタで構成されたパス・ゲートからなることを特徴とするシステム。

【請求項 7】

請求項 1 記載のシステムにおいて、前記第 2 コントローラは、読み出し信号に対するゲートからなることを特徴とするシステム。

30

【請求項 8】

請求項 1 記載のシステムにおいて、前記ディスプレイは、蓄積された電荷を 1 フレーム期間保持するように独立して最適化することができるコンデンサを備えていることを特徴とするシステム。

【請求項 9】

請求項 1 記載のシステムにおいて、前記第 3 コントローラは、プルダウン信号に接続されているゲートからなることを特徴とするシステム。

【請求項 10】

請求項 1 記載のシステムにおいて、前記ディスプレイは、液晶表示コンデンサであることを特徴とするシステム。

40

【請求項 11】

バッファ・フレーム画素システムにおいて、

- 1 フレーム期間中に充電された第 1 データ値を蓄積する第 1 蓄積ユニットと、
- 前記第 1 データ値の蓄積を可能にする第 1 コントローラと、
- 1 フレーム期間に、第 2 データ値を表示するための第 2 蓄積ユニットと、
- 前記第 2 蓄積ユニットに蓄積されている第 2 データ値を表示するディスプレイと、
- 前記第 2 蓄積ユニットをイネーブルして、前記表示を開始させる第 2 コントローラと、
- 表示の後に、前記データ値を排出する排出部と、
- 前記排出を可能にする第 3 コントローラと、

50

前記第 2 蓄積ユニットの後段に挿入されたアナログ / パルス幅変調 (P W M) 変換器とを備えていることを特徴とするフレーム・バッファ画素システム。

【請求項 1 2】

請求項 1 1 記載のシステムにおいて、前記第 1 蓄積ユニットは、前記蓄積されたデータ値とは独立した容量を有するコンデンサと、ゲート・トランジスタとからなることを特徴とするシステム。

【請求項 1 3】

請求項 1 2 記載のシステムにおいて、前記コンデンサは、二重の P O L Y 層を有する相補型金属酸化物半導体 (C M O S) からなることを特徴とするシステム。

【請求項 1 4】

請求項 1 2 記載のシステムにおいて、前記ゲート・トランジスタは、N M O S トランジスタ又は P M O S トランジスタからなることを特徴とするシステム。

【請求項 1 5】

請求項 1 1 記載のシステムにおいて、前記第 1 コントローラは、電界効果トランジスタ (F E T) からなることを特徴とするシステム。

【請求項 1 6】

請求項 1 5 記載のシステムにおいて、前記第 1 コントローラは、書き込み信号及び反転された書き込み信号によってそれぞれ制御される N M O S トランジスタ及び P M O S トランジスタで構成されたパス・ゲートからなることを特徴とするシステム。

【請求項 1 7】

請求項 1 1 記載のシステムにおいて、前記第 2 コントローラは、読み出し信号に接続されたゲートからなることを特徴とするシステム。

【請求項 1 8】

請求項 1 1 記載のシステムにおいて、前記ディスプレイは、蓄積された電荷を 1 フレーム期間中保持するように独立して最適化することができるコンデンサを備えていることを特徴とするシステム。

【請求項 1 9】

請求項 1 1 記載のシステムにおいて、前記第 3 コントローラは、プルダウン信号に接続されているゲートからなることを特徴とするシステム。

【請求項 2 0】

請求項 1 1 記載のシステムにおいて、前記変換器は、画素コンデンサと、基準電圧と、比較器とを備えていることを特徴とするシステム。

【請求項 2 1】

請求項 2 0 記載のシステムにおいて、前記基準電圧は、前記フレーム・バッファ画素から発生される電圧範囲内で振動する振幅を有することを特徴とするシステム。

【請求項 2 2】

アナログ・フレーム・バッファ画素システムにおいて、

第 1 アナログ・データを蓄積する第 1 蓄積ユニットと、

前記第 1 蓄積ユニット内における前記第 1 アナログ・データの蓄積を可能にする第 1 コントローラと、

前記第 1 アナログ・データに比例し、表示すべきグレー・スケール画素値に対応する第 2 アナログ・データを蓄積する第 2 蓄積ユニットと、

前記第 2 蓄積ユニットに蓄積されている第 2 アナログ・データに対応する画素値を表示するディスプレイと、

前記第 2 アナログ・データの第 2 蓄積ユニットへの蓄積を可能にする第 2 コントローラと、

前記画素値を表示した後、前記第 2 蓄積ユニットから電圧を排出する排出部とを備えていることを特徴とするアナログ・フレーム・バッファ画素システム。

【請求項 2 3】

請求項 2 2 記載のシステムにおいて、前記第 1 蓄積ユニットは、該第 1 蓄積ユニットに蓄

10

20

30

40

50

積されている第 1 データとは独立した容量を有するコンデンサからなり、該コンデンサがパス・ゲートに結合されていることを特徴とするシステム。

【請求項 2 4】

請求項 2 3 記載のシステムにおいて、前記コンデンサは、二重の P O L Y 層を有する相補型金属酸化物半導体 (C O M S) からなることを特徴とするシステム。

【請求項 2 5】

請求項 2 3 記載のシステムにおいて、前記パス・ゲートは、N M O S トランジスタ及び P M O S トランジスタの少なくとも一方を含むことを特徴とするシステム。

【請求項 2 6】

請求項 2 2 記載のシステムにおいて、前記第 1 コントローラは、電界効果トランジスタ (F E T) からなることを特徴とするシステム。 10

【請求項 2 7】

請求項 2 6 記載のシステムにおいて、前記第 1 コントローラは、書き込み信号及び反転された書き込み信号によってそれぞれ制御される N M O S トランジスタと P M O S トランジスタとを含むパス・ゲートからなることを特徴とするシステム。

【請求項 2 8】

請求項 2 2 記載のシステムにおいて、前記第 2 コントローラは、ゲートが読み出し信号に結合されているトランジスタを備えていることを特徴とするシステム。

【請求項 2 9】

請求項 2 2 記載のシステムにおいて、前記ディスプレイは、画素電極とコンデンサとを備えており、該コンデンサは、1 フレーム期間中、前記画素値に対応する電荷を保持するように独立して最適化されていることを特徴とするシステム。 20

【請求項 3 0】

請求項 2 2 記載のシステムにおいて、前記排出部は、ゲートがブルダウン信号端子に接続されているトランジスタを備えていることを特徴とするシステム。

【請求項 3 1】

請求項 2 2 記載のシステムにおいて、前記ディスプレイは液晶ディスプレイであることを特徴とするシステム。

【請求項 3 2】

請求項 2 2 記載のシステムにおいて、該システムは更に、
前記第 2 蓄積ユニットの出力に接続されているアナログ / パルス幅変調 (P W M) 変換器を備えていることを特徴とするシステム。 30

【請求項 3 3】

請求項 2 2 記載のシステムにおいて、
該システムは更に、コンデンサを含み、前記第 2 蓄積ユニットに接続されている電源を備えており、

前記第 2 コントローラは、前記第 2 アナログ・データに対応する値まで、前記電源から前記第 2 蓄積ユニットのコンデンサへの充電を行い、前記第 2 コントローラは、前記第 1 アナログ値に基づいて、前記第 2 電源から前記第 1 蓄積ユニットを介して前記第 2 蓄積ユニットのコンデンサへの充電を行うよう制御することを特徴とするシステム。 40

【請求項 3 4】

表示システム用フレーム・バッファ画素回路であって、

第 1 アナログ・データを蓄積する第 1 蓄積ユニットと、

前記第 1 蓄積ユニットに蓄積された第 1 アナログ・データに比例する第 2 アナログ・データを蓄積する第 2 蓄積ユニットと、

前記第 2 蓄積ユニットにおける前記第 2 アナログ・データの蓄積を可能にするために、前記第 1 蓄積ユニットを前記第 2 蓄積ユニットに結合させるコントローラと、

前記第 2 蓄積ユニットに蓄積されている第 2 アナログ・データに対応する画素値を表示するための画素電極と

を備えていることを特徴とするフレーム・バッファ画素回路。 50

【請求項 35】

請求項 34 記載の回路において、

該回路は更に、コンデンサを含み前記第 2 蓄積ユニットに接続されている電源を備えており、

前記コントローラは、前記電源から、前記第 1 アナログ値に基づいて、前記第 2 アナログ・データに対応する値まで、前記第 2 蓄積ユニットのコンデンサを充電するように制御する

ことを特徴とする回路。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、表示システム用の画素回路に関し、更に特定すれば、液晶ディスプレイ用のフレーム・バッファ画素回路に関する。

【背景技術】

【0002】

図 1 は、関連技術の表示装置 10 を示す。該装置は、画素回路表示パネル 20 を含み、フレーム・メモリ 40 を有する表示制御回路 30 がこれを制御する。関連技術の画素回路ディスプレイは、カラー毎に 8 ビットよりも多いグレー・スケール（階調度）表現、及びラップトップ・コンピュータやパーソナル・ディジタル・アシスタント（PDA）装置のように、給電に優れた表示装置を可能とするよう低い動作電圧を必要とする。関連技術の画素回路は、アドレス選択のためにアドレス・ドライバを利用し、表示中における画像の書き込み及び読み出しサイクルのために走査ドライバを利用する。

20

【0003】

図 2 は、液晶ディスプレイ用のフレーム・バッファ画素に関連する従来技術である。初期状態において、WRITE（書き込み）信号が ON となっているデータ書き込み時間中、データ・レベルに比例する電圧が、メモリ・コンデンサ $C_{me m}$ に充電されている。次いで、データの書き込みが終了した後に、READ（読み出し）信号が印加されると、充電されている電圧はコンデンサ $C_{p i x e l}$ に転送される。フレーム・バッファ画素によって、新たな画像のための新たなデータを $C_{me m}$ にロードしながら、以前に蓄積された画像を表示することが可能となる。

30

【0004】

従来技術のフレーム・バッファ画素回路には、種々の欠点がある。例えば、メモリ・コンデンサ $C_{me m}$ とコンデンサ $C_{l c d}$ との間で電荷の共有があり、図 3 の（C）～（E）に示すように、READ 信号が ON になると、2 つのコンデンサが短絡する。図 3 の（C）に示すメモリ・コンデンサ $C_{me m}$ の電圧レベル、及び図 3 の（E）に示すコンデンサ $C_{l c d}$ の電圧レベルは、READ 信号を印加した後には等しくなる。これを図 3 の（D）に示す。したがって、メモリ・コンデンサ $C_{me m}$ の容量は、電荷共有問題を極力抑えるためには、コンデンサ $C_{l d c}$ の容量よりも遥かに大きくなければならない。しかしながら、メモリ・コンデンサ $C_{me m}$ を極めて大きくしたとしても、電荷共有効果のために、いくらかの電圧降下が常に生じる。

40

【0005】

加えて、コンデンサ $C_{l c d}$ には電荷排出手段（電荷ドレイン）がない。即ち、直前の画像に関連してコンデンサ $C_{l c d}$ のノードに残留している電荷が、新たな画像のために書き込まれる新たな電圧を妨害する。具体的には、コンデンサ $C_{l c d}$ の実際の電圧レベルは、図 3 の（E）に示すように、直前の画像電圧に応じて変動する。

更に、コンデンサ $C_{l c d}$ は、電源電力によって駆動されるのではなく、メモリ・コンデンサ $C_{me m}$ からの電荷によって駆動される。したがって、コンデンサ $C_{l c d}$ は、最初にその保持時間及びメモリ・コンデンサ $C_{me m}$ の容量に関して最適化しなければならない。これらの欠点のために、従来技術のフレーム・バッファ画素では、明度やコントラストが低くなっている。

50

【0006】

図4は、第2の関連技術のフレーム・バッファ画素回路である。フレーム・バッファ画素は、メモリ・コンデンサとして、NMOストランジスタM3のゲート酸化物を利用する。WRITE信号がONになるデータ書き込み時間中、データ・レベルに応じた電圧がM3のゲート・コンデンサに蓄積される。データの書き込みが終了すると、READ信号に対応するプルアップ信号がONに切り換えられ、画素電極（例えば、C_{lcd}コンデンサ）を充電する。プルアップ信号を印加する前に、プルダウン信号により、画素電極内にこれまで蓄積されていた電荷を全て放電する。C_{lcd}コンデンサの電荷を放電させることによって正しい電圧を表示することが、特に、新たな画像のデータ・レベルが直前の画像データ・レベルよりも低いときに確保される。

10

【0007】

図4のフレーム・バッファ画素のシミュレーション結果を図5に示す。図5(E)に示すように、C_{lcd}コンデンサと接地の間に別の経路を形成するM3のゲート・コンデンサによって、望ましくない電荷が画素電極に誘導される。これら2つのコンデンサは、分圧器として動作し、データ書き込み時間中にC_{lcd}コンデンサにおいて誘導される電圧を決定する。図5を参照すると、シミュレーションにおいて用いたパラメータでは、メモリ・コンデンサにおける電圧の約1/3がデータ書き込み時間中に誘導される。これは、図5(C)及び図5(E)に示す通りである。誘導された電荷は、画質、特にコントラスト比に影響を及ぼす。電荷誘導の問題を低減するために、ゲート容量C_{gs}のC_{lcd}容量に対する比率を高めるとよく、更に蓄積されている電荷を少なくとも1フレーム時間保持するとよい。したがって、高コントラスト比を達成するためには、画素回路は、ゲート容量値を大きくするためかなりの空間が必要となる。何故なら、このゲート容量値は、フレーム時間がミリ秒単位の殆どの用途において、蓄積されている電圧を保持するためには、液晶ディスプレイ(LCD)のコンデンサよりも遥かに高くなければならないからである。

20

【0008】

以上の参照事項は、更に別の又は代わりの詳細、特徴及び/又は技術的背景の該当する教示に対応する場合には、ここで引用したことにより本明細書にも含まれるものとする。

【発明の開示】

【発明が解決しようとする課題】

30

【0009】

本発明の目的は、少なくとも前述の問題及び/又は欠点を解決し、少なくとも以下に記載する利点を得ることである。

本発明の別の目的は、短い書き込み時間で高いコントラスト比を達成し、高品質の画像を表示することができるよう改良したフレーム・バッファ画素回路を提供することである。

【課題を解決するための手段】

【0010】

フレーム・バッファ画素回路の好適な実施形態では、2つの別個のコンデンサを利用し、データ書き込み及び読み取り時間中に誘発される電荷を最少に抑え、暗レベルをその最低明度に保持し、これによりデータ書き込み時間を短縮することによって、更に高いコントラスト比を得る。別個のコンデンサの容量は、相互に依存せず、したがって蓄積されている電荷を1フレーム時間保持するだけ時定数が十分長くなるように、独立して設計することができる。別個のコンデンサの容量は、ゲート容量とは逆に、電圧に依存しない。LCDコンデンサC_{lcd}を電源によって直接駆動し、LCDコンデンサに流入する電流を、メモリ・コンデンサに蓄積されている電圧レベルによって制御する。更に、メモリ・コンデンサC_{mem}とLCDコンデンサC_{lcd}の間には電荷共有がない。データREAD信号がオンのときにのみ電荷が誘導されるが、しかしながら、電荷誘導量は、全てのデータ・レベルに対して同一である。したがって、電荷誘導はグレー・レベルを変化させることはなく、LCDコンデンサにおいて誘導される電荷も、最少サイズのトランジスタを

40

50

用いることによって最少に抑えることができる。フレーム・バッファ画素回路の好適な実施形態では、画素電極（即ち、LCDコンデンサ） C_{1c_d} の後ろに、アナログノパルス幅変調（PWM）変換器を配することができる。即ち、基準電圧が V_{ref} の比較器に画素コンデンサ $C_{p_{i \times e_1}}$ を接続して、PWMパルスが発生し、強誘電体液晶ディスプレイやデジタル・ミラー・ディスプレイ（DMD）のような二進ディスプレイを駆動し、サブ・フレーム周波数を大幅に低下させることが好ましい。

【発明の効果】

【0011】

前述の利点を有するこの画素回路は、TFT LCD、シリコン上液晶（LCOS）、エレクトロルミネッセンス（EL）ディスプレイ、プラズマ・ディスプレイ・パネル（PDP）及び電界放出ディスプレイ（FED）、フィールド順次カラー・ディスプレイ、投影ディスプレイ、ならびに、頭部装着ディスプレイ（HMD）といった直視ディスプレイのような、能動駆動を用いる殆どのディスプレイに適用することができる。また、この技法は、LCOSビーム偏向器、フェーズド・アレイ・ビーム偏向器においても用いることができ、シリコン基板バックプレーンを採用する反射式ディスプレイには特に有効である。

10

本発明のその他の利点、目的、及び特徴は、部分的に以下に続く説明に明記されており、部分的に以下のことを調べることによって当業者には明白となり、あるいは本発明の実施から習得することができる。本発明の目的及び利点は、添付した特許請求の範囲に特定的に指摘したように実現及び達成することができる。

20

【発明を実施するための最良の形態】

【0012】

図面を参照しながら、本発明について詳細に説明する。図面においては、同様の参照番号は同様のエレメントを示すこととする。

これより、本発明の好適な実施形態について、添付図面を参照しながら説明する。図6は、第1の改良したフレーム・バッファ画素回路である。この改良したフレーム・バッファ画素回路では、図4の従来技術のフレーム・バッファ画素回路内に、メモリ・コンデンサ $C_{m_{e_m}}$ を追加して、トランジスタ M_3 が、接地への追加経路を形成する C_{1c_d} コンデンサと共に発生させる電荷誘導問題を解消する。従来技術のフレーム・バッファ回路にコンデンサ $C_{m_{e_m}}$ を追加した後では画質は著しく向上する。トランジスタ M_3 は最小サイズのトランジスタで作ることが好ましい。更に、以下で説明するが、コンデンサ C_{g_s} 及び C_{1c_d} の値は、最良の画質が得られるように、最適化することができる。

30

【0013】

図7は、第2の改良したフレーム・バッファ画素回路を示す。この第2の改良したフレーム・バッファ画素回路では、制御又はパス・トランジスタとして、2つの電界効果トランジスタ（FET） M_1 及び M_2 を用いている。入力信号がREAD信号に対応するプルアップ・トランジスタ M_4 が、メモリ・トランジスタ M_3 の後段と、LCDコンデンサ C_{1c_d} 及びプルダウン・トランジスタ M_5 との間に結合されている、この回路では、WRITE信号がONのとき、パス・トランジスタ M_1 及び M_2 が、トランジスタ M_3 のゲートに画素データ値を通過させる。この時点では、トランジスタ M_3 は導通状態にはない。これは、プルアップ信号が低レベルに保持されているので、トランジスタ M_4 又は M_5 のいずれのソース及びドレイン電極にも電流が流れないからである。

40

【0014】

データ値をロードした後に、トランジスタ M_1 及び M_2 をオフにすることが好ましい。これによって、トランジスタ M_3 のゲート上に蓄積されている新たな画素データ値を保持する。その後、直前のデータ値の表示の終了時に、プルダウン信号を高に切り換え、トランジスタ M_5 をオンに切り換えて、画素電極 C_{1c_d} 上にある全ての電荷を放電する。その後、プルアップ信号を低に切り換え、トランジスタ M_5 をオフにする。次いで、プルアップ信号を高に切り換え、トランジスタ M_4 オンにすると、トランジスタ M_3 に電流が流れる。トランジスタ M_3 のゲート上に保持されているデータ値により電流量が制御され、こ

50

の電流量は、READ 信号が印加されているとき、電圧レベルに比例して画素電極 C_{1c_d} に充電される電圧を決定する。この実施形態における 2 つのパス・トランジスタの構成は、多くの点で有利である。第 1 に、2 つのパス・トランジスタを用いることによって、1 つのノードにおける電圧が他方のノードに確実に転送されることが保証される。対照的に、トランジスタを 1 つだけ用いる場合、印加電圧の低又は高範囲において、電圧降下がある。例えば、NMOS を用いた場合、上側レール電圧 V_{DD} を印加すると、 $V_{DD} - V_{th}$ が他方のノードに転送される。 V_{th} は、NMOS の閾値電圧である。PMOS では、下側レール電圧の入力に対して、 $V_{SS} + V_{th}$ が他方のノードに転送される。

【0015】

第 2 に、トランジスタ M_4 はゲート・コンデンサ M_3 及び画素コンデンサ C_{1c_d} を切断するので、電荷共有及び電荷誘導の問題が解消する。最初に、データ・レベルに応じた電圧が、データ書き込み時間中に、メモリ・コンデンサ、即ちトランジスタ M_3 のゲート・コンデンサに充電される。2 つのコンデンサはトランジスタ M_4 により分離されているので、データ書き込み時間中に誘導される電荷はない。これは、図 8 (C) 及び図 8 (D) に明確に示されている。

【0016】

図 8 は、図 7 に示した改良したフレーム・バッファ画素に対して行ったシミュレーションの結果を示す。図 8 の (E) において、 C_{1c_d} コンデンサにおける電圧は、各データ・レベル毎に、フレーム時間全体にわたって安定状態を保っており、WRITE 信号がオンのときには LC_D には誘導電荷はない。特に、トランジスタ M_3 の C_{g_s} 及び C_{1c_d} の値は、独立して最適化され、各コンデンサ内に蓄積されている電荷を 1 フレーム時間保持することができる。これは、2 つのコンデンサを接続する寄生経路がないからである。最も暗いレベルは、その最も低い明度レベルに留まり、フレーム時間全体で変化はなく、コントラストは、明度変化が無くても増加する。即ち、コントラストは、別個のコンデンサを用いるか又はゲート・コンデンサを用いるかには依存しない。したがって、以前に蓄積された画像は、著しい劣化がなく表示することができる。最適化に関しては、間にあるトランジスタ M_4 があらゆる可能な寄生電気経路を切断するので、トランジスタ M_3 及び C_{1c_d} に対する C_{g_s} を独立して最適化できる。しかしながら、トランジスタ M_4 の C_{g_s} 及び C_{1c_d} との別の電気経路があり、READ 信号がオンになると、電荷が C_{1c_d} において誘導される。データ読み取り時間中に C_{1c_d} において誘導された電荷は、トランジスタ M_3 の C_{g_s} にどのような電圧が充電されているかには関係なく同一である。これは、トランジスタ M_4 の C_{g_s} 及び C_{1c_d} を最適化するためには重要ではない。したがって、最小サイズのトランジスタをトランジスタ M_4 に用いることが望ましい。

【0017】

更に、この画素回路に用いられるゲート容量は、図 9 に示すように、ゲートに印加される電圧に依存する。図 9 において、ゲート・コンデンサの値は、NMOS 及び PMOS の幅をそれぞれ $7.5 \mu m$ 及び $7.3 \mu m$ 、長さをそれぞれ $9.2 \mu m$ 及び $9.5 \mu m$ とした、図 8 に示す個々のシミュレーションから取得する。PMOS 及び NMOS の閾値電圧は、それぞれ、 $0.94 V$ 及び $0.77 V$ である。デバイスのゲートに印加される電圧が、該デバイスの閾値電圧に近くなると、ゲート容量が減少し始める。したがって、ゲート・コンデンサを蓄積コンデンサとして有する画素には、容量が一定しないという欠点があり、トランジスタ M_3 に蓄積される電圧はトランジスタ M_3 の閾値電圧よりも大きくななければならない。

【0018】

また、READ 信号がオンのとき、メモリ・コンデンサに印加される電圧のために C_{1c_d} に誘導電荷がなくても、トランジスタ M_4 の V_{g_s} の C_{1c_d} 容量に対する比が同等であれば、 C_{1c_d} に電荷が誘導される可能性がある。誘導電荷は、メモリに蓄積されている電圧には係わらず、同一であり、したがってコントラストの減少を招くことはない。

図 8 の (E) は、表示データ・レベルが 0 のとき、データ読み取り時間中に C_{1c_d} コンデンサに誘導される電荷を示す。これは、トランジスタ M_4 の寄生容量から生じたもの

であり、トランジスタM4は、コンデンサ C_{1cd} と、接地までの電気経路を形成する。しかし、この誘導電荷は、トランジスタM4のゲート・コンデンサを最小にし、 C_{1cd} の容量を最大にすることによって、容易に低減することができる。このようにしても、コンデンサ C_{1cd} 及びトランジスタM3の寄生コンデンサ C_{gs} の最適化は、独立して行うことができる。

【0019】

図10は、本発明に係るフレーム・バッファ画素回路の第1の好適な実施形態を示す。この好適な実施形態では、画素回路は、別個のコンデンサ C_{mem} を含み、トランジスタM3の前に挿入されている。 C_{mem} はメモリ・コンデンサであり、CMOSトランジスタの寄生ゲート・コンデンサに取って代わるために用いられる。この別のコンデンサ C_{mem} を有する画素回路は、データ書き込み及び読み取り期間中の C_{1cd} における誘導電荷を除去し、暗レベルをその最低明度に保持することによって、コントラストを高める。このように、フレーム・バッファ画素の設計は、追加した別個のコンデンサのために一層容易となる。2つのコンデンサ C_{mem} 及び C_{1cd} の最適化は、独立して行うことができる。更に、コンデンサ C_{mem} の容量は、蓄積されている電圧に依存せず、一方、ゲート容量は、蓄積されている電圧に応じてその値を変化させる。蓄積されている電圧は、電圧レベルに係わらず、同じ期間保持することができる。適したコンデンサであれば、任意のものでコンデンサ C_{mem} を形成するために用いることができる。しかしながら、コンデンサ C_{mem} は、AMI0.5 μm 二重ポリ三重金属CMOSプロセスのように、二重POLY層を有する典型的なCMOSプロセスを用いることによって製作することが好ましい。この回路では、サブ・フレーム周波数及び画素サイズが相関付けられている。フレーム周波数が60Hzのフィールド・シーケンシャル・カラー・ディスプレイでは、全サブ・フレーム周波数は180Hzであり、サブ・フレーム時間は約5.5msである。サブ・フレーム周波数が高くなる程、電圧保持時間、即ち、RC時間は短縮する。このため、コンデンサ・サイズに比例するRC時間が短縮するので、画素も縮小する。コンデンサのサイズは、画素内の大面積を占める。また、この回路では、コンデンサを最適化することもできる。ある期間蓄積された電圧を保持するようにコンデンサのサイズを決定することによって、この最適化を実行する。コンデンサ C_{mem} 及び C_{1cd} は、同じサブ・フレーム時間だけ蓄積されている電圧を保持するように独立して決定することができるので、コンデンサは同一とすることができる。フレーム周波数が60Hzでなければなら
ないTF Tディスプレイでは、約100ffの容量を用いれば、蓄積されている電圧の95%を16.7ms保持することができる。サブ・フレーム周波数が3倍高いフィールド・シーケンシャル・カラー・ディスプレイでは、約30ffの容量が必要であり、これはTF Tディスプレイの容量の1/3である。

【0020】

この実施形態によれば、図11(A)~図11(E)に示すように、蓄積コンデンサ C_{mem} とLCDコンデンサ C_{1cd} の間には電荷共有がない。LCD電極において誘導される電荷は、最小サイズのトランジスタを用いることによって、最少に抑えることができる。LCD電極は、電源によって直接駆動され、充電される電圧は、メモリ・コンデンサ C_{mem} に蓄積される電圧レベルによって制御される。この画素回路では、各コンデンサは、蓄積されている電荷を1フレーム期間保持するだけ時定数が十分長くなるように、独立して各コンデンサを設計することができる。即ち、別個のコンデンサの容量は、蓄積された電圧レベルには依存しない。加えて、明度とコントラストとの間にトレードオフはない。したがって、明度及びコントラストを同時に改良することができる。また、データ書き込み時間は、フレーム期間のみによって制限される。これは、データの書き込み及び直前の画像の表示が同時に行われるからである。このデータ書き込み時間の制限によって、データ処理時間の負担、特にシフト・レジスタの動作速度を和らげることができるが、非フレーム・バッファ画素は、より多くの目視時間(viewing time)を得るために、データ書き込み時間ができるだけ速くなければならない。このため、フレーム・バッファ画素回路は、データ書き込み時間を短縮することによって、高品質の画像が得られる。

【 0 0 2 1 】

更に、フレーム・バッファ画素回路のこの実施形態は、ディスプレイ、特に、フィールド・シーケンシャル・カラー・ディスプレイの明度低下を補う。フレーム・バッファ画素技術は、HAN（ハイブリッド整合ネマティック）、OBC（光学的補償複屈折）、ECB（電氣的制御複屈折）、FLC（強誘電体液晶）のような、あらゆる形態のアナログ液晶（LC）モードとでも用いることができる。中でも、フレーム・バッファ画素回路の設計において極めて高い柔軟性があり、メモリ・コンデンサ及び液晶コンデンサには、殆どあらゆる種類のコンデンサを用いることができる。

【 0 0 2 2 】

例えば、NMOS及びPMOSTランジスタの組み合わせを、NMOS及びPMOSTランジスタの電圧依存特性を補償するコンデンサとして用いることができる。メモリとしてPMOS及びNMOSのゲート・コンデンサを並列に用いた場合、総容量は、2つのコンデンサの合計となり、組み合わせたコンデンサには閾値電圧付近で急激な減少は生じない。例えば、NMOSコンデンサでは、約0.7VのNMOSの閾値電圧付近で容量の低下が生ずるが、組み合わせた場合には、PMOSの閾値のために、NMOSの閾値におけるNMOSゲート・コンデンサの減少に対して耐性がある。これは、ゲート容量は影響を受けないからである。図12は、このように構成した回路を示す。

【 0 0 2 3 】

図13は、本発明の別の好適な実施形態によるフレーム・バッファ画素回路を示す。図13を参照すると、トランジスタM3は、好ましくは、PMOSである。PMOSをPULL UP及びREAD信号それぞれの逆の信号に接続する。何故なら、これらのトランジスタは、回路において電流源となるゲート・トランジスタとして作用するからである。この実施形態では、トランジスタM3、M4及びM5は、PMOSTランジスタとするとよい。この場合、画素電圧は、VSSからGNDまで変化する。ここで、 $VSS < 0$ である。更に、トランジスタM3、M4、及びM5に対するパルスの極性は、適切に動作するために、逆にする必要がある。更に、データも負となる。加えて、第1実施形態及び第2実施形態の双方では、トランジスタM2を省略することができるが、フレーム・バッファ回路の一般的な機能又は性能のいずれも失うことはなく、従来のフレーム・バッファ回路に対する利点のいずれも失うことはない。

【 0 0 2 4 】

図14は、本発明の第3の好適な実施形態を示す。この方式では、アナログ/PWM（パルス幅変調）変換器を備えたフレーム・バッファ画素回路が示されている。画素電極の後段に比較器が挿入されている。この比較器は、画素コンデンサに蓄積されている電圧と、画素電極に充電するときに同時に全体に供給される電圧 V_{ref} とを比較する。 $V_{pix_el} > V_{ref}$ の場合、画素電極における電圧は5ボルト、即ち、駆動電圧（VDD）であり、 $V_{pix_el} < V_{ref}$ の場合、画素電極における電圧は0ボルト、即ち、接地（GND）である。比較器から発生するPWMパルスは、強誘電体液晶ディスプレイ（FLCD）やデジタル・ミラー・ディスプレイ（DMD：digital mirror display）のような二進ディスプレイを、低いサブ・フレーム周波数で駆動する際に用いられる。この実施形態では、比較器の追加は、アナログ・ディスプレイを駆動するために考えられたものである。図15に示すように、電圧 V_{ref} の形状により、5ボルト・レベル及び0ボルト・レベルをどれくらい長く維持するかが決定される。

【 0 0 2 5 】

図16は、グローバル基準電圧 V_{ref} 及び蓄積画素電圧 V_{pix_el} によって発生するPWM波形を示す。共通電極をVDD又はGNDに保持した状態で、画素電極におけるPWM波形は、二進デバイスをON又はOFFのいずれかに切り換える。画素電圧に応じて、ON時間又はOFF時間が決定され、低いサブ・フレーム周波数で、二進のグレー・レベル表現が可能となる。典型的な二進デバイスは、変形可能マイクロ・ミラー・デバイス（DMD：deformable micro mirror device）や強誘電体液晶ディスプレイ（FLCD）のように、フィールド・シーケンシャル・カラー法を用いてフル・カラー画像を実現す

10

20

30

40

50

るデバイスである。PWM波形は、切り換え回数を大幅に減少し、その結果、切り換え回数の減少によって、DMDの寿命が延び、FLCDの切り換え時間の負担が軽減し、より多くのグレー・スケール・レベルが可能になる。言い換えると、切り換え時間の短縮によって、画像表示の高画質化を達成する。更に、 V_{ref} の波形は、図17に示すように、ガンマ補正を適用することによって変化させることができる。光の強度はアナログ電圧に線形に比例しないのが通例であるので、より良い画像を生成するためにはガンマ補償が好ましい。

【0026】

本発明のフレーム・バッファ画素回路は、フィールド順次カラー・ディスプレイに応用することができる。フィールド・シーケンシャル・カラー・ディスプレイは、3パネル・ディスプレイよりも明度は低い、その光学構造は非常に簡潔である。また、この回路は、反射式及び透過式ディスプレイにも応用することができる。シリコン上液晶(LCOS)のような、シリコン基板バックプレーンを通常採用している反射式ディスプレイの方が効果的であろう。更に、本回路は、燐酸緩衝塩類溶液(PBS: phosphate buffered saline)ディスプレイ・システムのような、直視ディスプレイや投影ディスプレイにも応用することができる。直視ディスプレイは、頭部装着ディスプレイ(HMD)、モニタ用ディスプレイ、パーソナル・デジタル・アシスタント(PDA)、ビュー・ファインダなどを含む。フィールド順次カラーを用いた投影ディスプレイの例を図18及び図19に示す。図18では、フィールド・シーケンシャル・カラーを用いた1パネル投影ディスプレイを示す。図19では、部分的フィールド・シーケンシャル・カラーを用いた2パネル投影ディスプレイを示す。フレーム・バッファ画素回路の主な目的は、コントラストを損なうことなく、明度を高めることである。本発明は、これらの用途には効果的であるが、更に、3パネル投影ディスプレイに応用して、システムの明度を一層高めることもできる。

【0027】

以上、好適な実施形態に関連付けて本発明について説明した。この開示を読んだ後では当業者に明白となる改良や変更は、本願の技術的思想及び範囲に該当するものとする。

前述の実施形態及び利点は、単なる例示であり、本発明を限定するように解釈すべきではない。本教示は、他の種類の装置にも容易に応用することができる。本発明の説明は例示であり、特許請求の範囲を限定しないことを意図している。多くの代替、変更、及び変形が当業者には明白であろう。特許請求の範囲において、ミーンズ・プラス・ファンクション項は、明記した機能を実行するようにこの中で記載した構造、及び構造的同等物だけでなく同等な構造も包含することを意図するものとする。

【図面の簡単な説明】

【0028】

【図1】関連技術の画素パネル・ディスプレイの全体的構造を示す図である。

【図2】第1の関連技術のフレーム・バッファ画素回路を示す図である。

【図3】図2のフレーム・バッファ画素回路に対するシミュレーション結果を示す図である。

【図4】第2の関連技術のフレーム・バッファ画素回路を示す図である。

【図5】図4のフレーム・バッファ画素回路に対するシミュレーション結果を示す図である。

【図6】改良したフレーム・バッファ画素回路を示す図である。

【図7】本発明の別の好適な実施形態によるフレーム・バッファ画素回路を示す図である。

【図8】図6のフレーム・バッファ画素回路に対するシミュレーション結果を示す図である。

【図9】ゲートに印加される電圧に依存するゲート容量の表を示す図である。

【図10】本発明の好適な実施形態による、CMOSを有するフレーム・バッファ画素回路を示す図である。

【図11】図10の好適な実施形態のフレーム・バッファ画素に対するシミュレーション

結果であり、時間に対するノードにおける電圧レベルを示す図である。

【図 1 2】 N M O S 及び P M O S トランジスタを用いて実施した、本発明の一実施形態の図である。

【図 1 3】 本発明の好適な実施形態による、 P M O S を用いたフレーム・バッファ画素回路を示す図である。

【図 1 4】 本発明の好適な実施形態による、コンデンサを用いたフレーム・バッファ画素回路を示す回路図である。

【図 1 5】 本発明の一実施形態による、どのようにして P W M ウエハを生産するのかを示す図である。

【図 1 6】 図 1 3 の画素電圧及び基準電圧から発生した P W M 波形を表す図である。

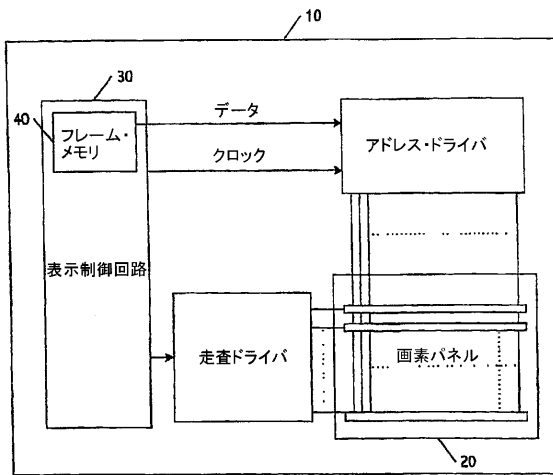
10

【図 1 7】 ガンマ補正を適用するために変化させた基準電圧の波形を表す図である。

【図 1 8】 本発明の好適な実施形態による、フィールド・シーケンシャル・カラーを用いた 1 パネル投影ディスプレイを示す図である。

【図 1 9】 本発明の好適な実施形態による、部分的フィールド・シーケンシャル・カラーを用いた 2 パネル投影ディスプレイを示す図である。

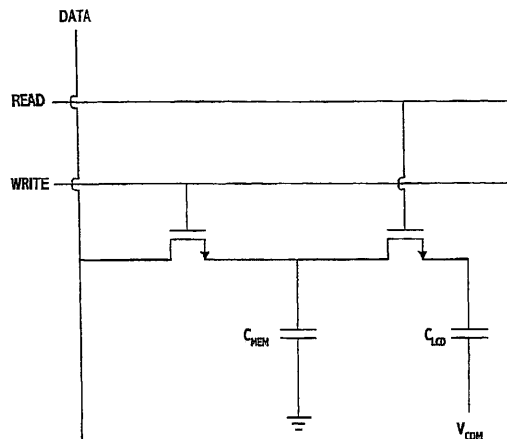
【図 1】



表示装置

背景技術

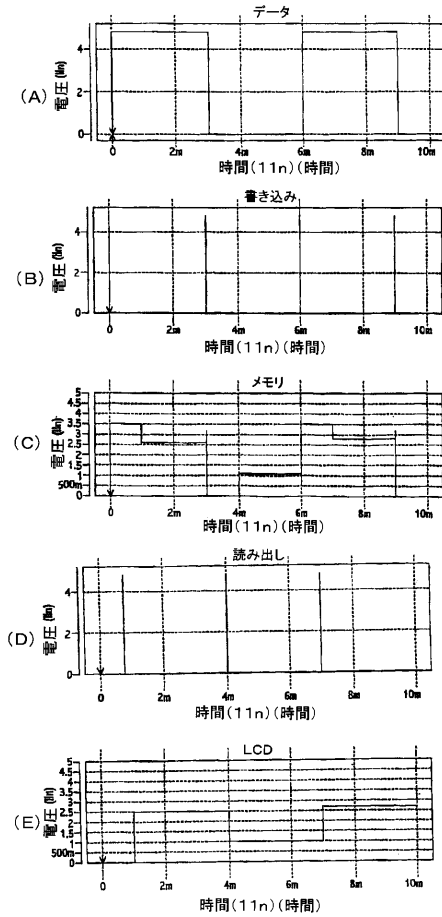
【図 2】



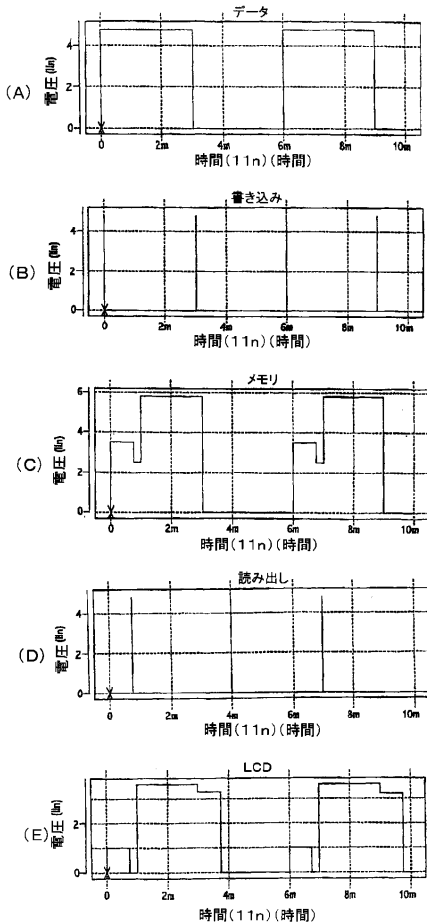
フレーム・バッファ画素

背景技術

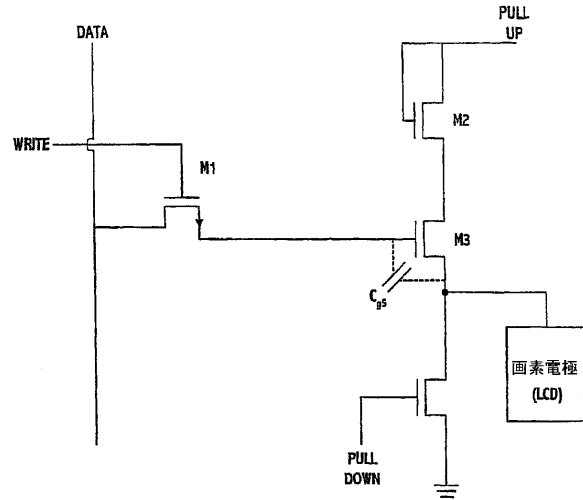
【図 3】



【図 5】



【図 4】



フレーム・バッファ画素

背景技術

【図 6】

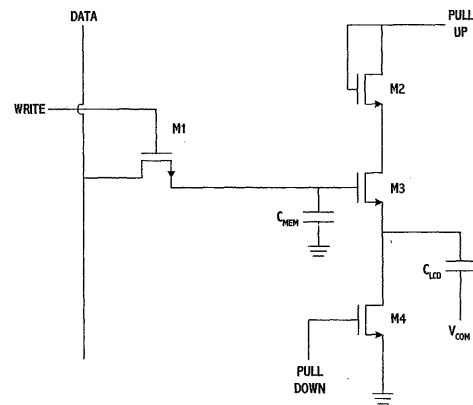
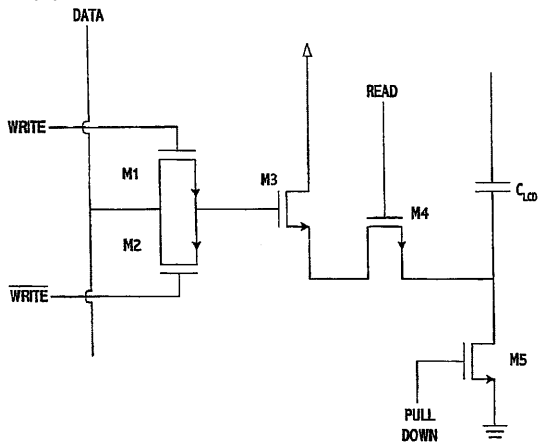


FIG. 6

【 圖 7 】

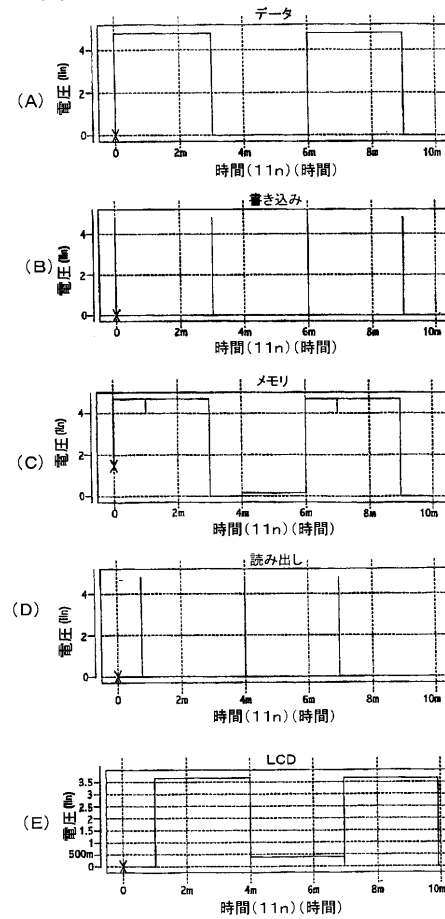


改良フレーム・バッファ画素回路

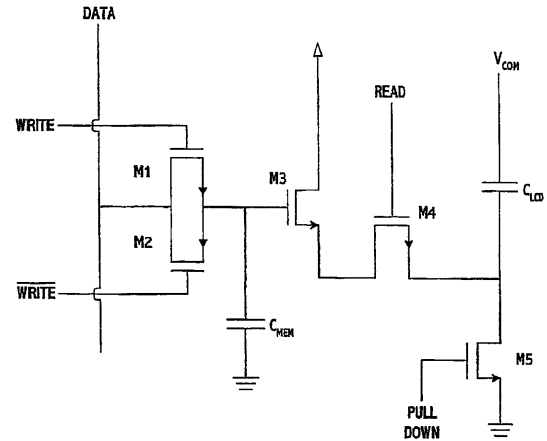
【 図 9 】

電圧	0 V	0.8 V	2 V	3 V	4 V	5 V
PMOS	165.9	165.9	165.9	166	160.6	75.7
NMOS	76	137.3	167.6	167.5	167.4	167.4

【 図 8 】

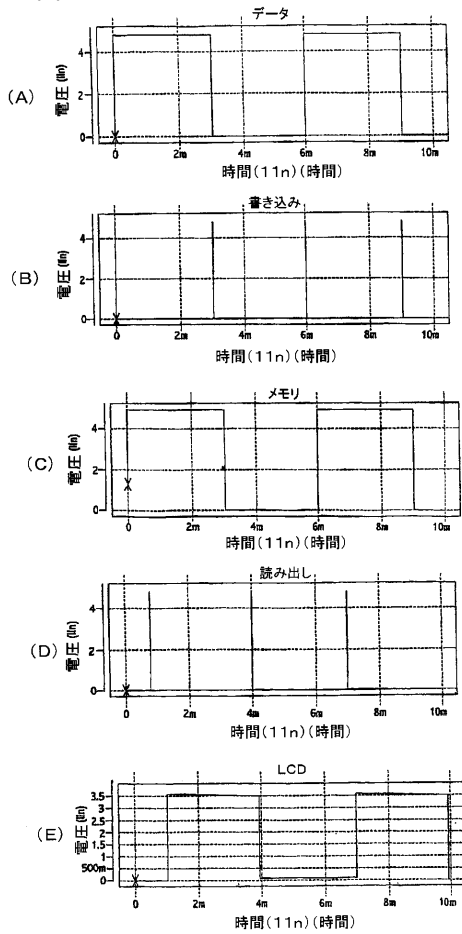


【 図 1 0 】

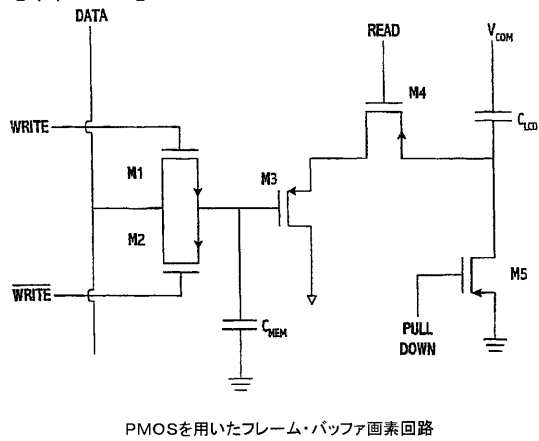


CMOSを用いたフレーム・バッファ画素回路

【図 1 1】



【図 1 3】



【図 1 2】

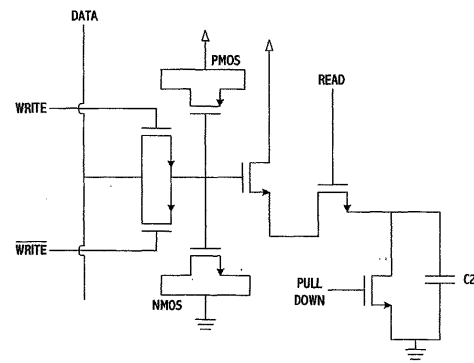
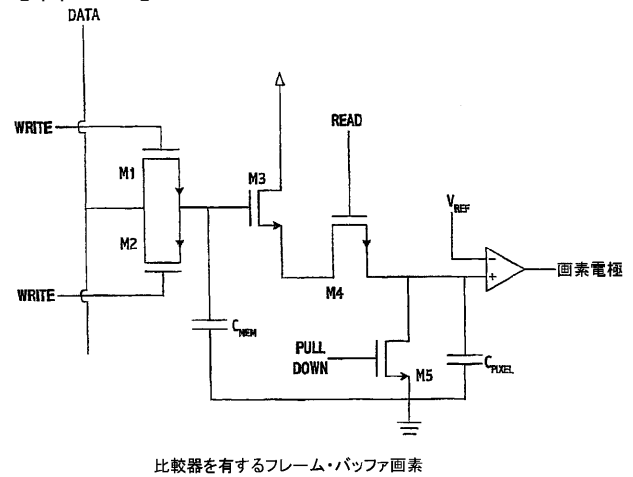
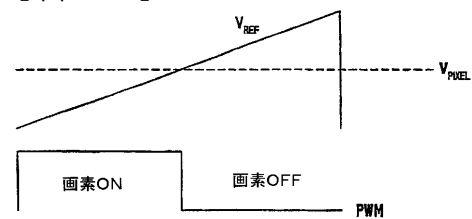


FIG. 12

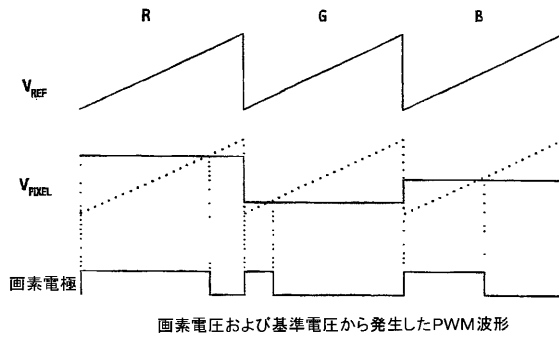
【図 1 4】



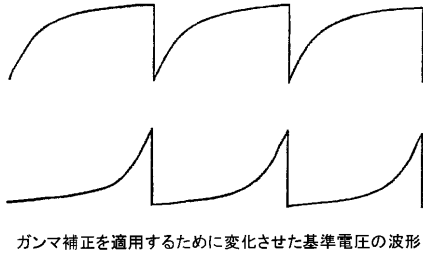
【図 1 5】



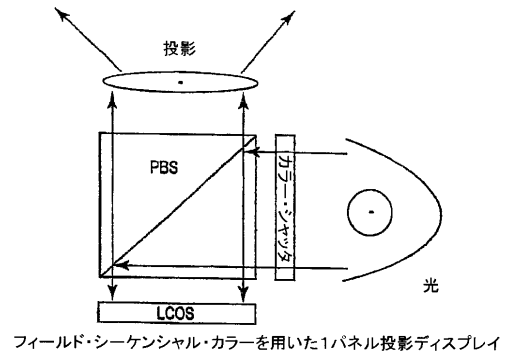
【図 16】



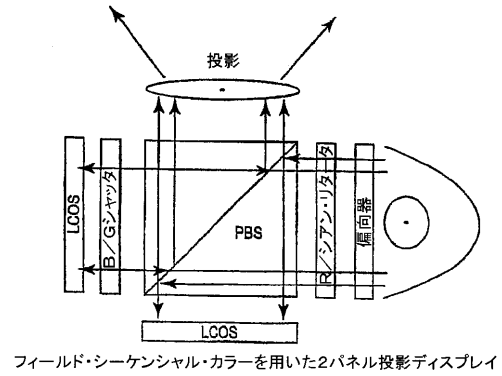
【図 17】



【図 18】



【図 19】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US03/11389		
A. CLASSIFICATION OF SUBJECT MATTER				
IPC(7) : G09G 3/36 US CL : 345/90, 92, 98 According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols) U.S. : 345/90, 92, 98				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
X	US 5,959,598 A (MCKNIGHT) 28 September 1999 (28.09.1999), column 16, lines 58-67, column 17, lines 1-17, column 19, lines 1-42, figures 7-10	1-2, 4-9		
---		-----		
Y		3, 10-21		
Y	US 6,440,811 B1 (COOLBAUGH et al) 27 August 2002 (27.08.2002), abstract, column 1, lines 6-60.	3, 13		
Y, P	US 6,525,709 B1 (O'CALLAGHAN) 25 February 2003 (25.02.2003), column 5, lines 24-67, column 6, lines 13-40, figures 3.	10-12, 14-21		
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.				
* Special categories of cited documents: <table border="0" style="width: 100%;"> <tr> <td style="vertical-align: top;"> "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family </td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family			
Date of the actual completion of the international search 15 June 2003 (15.06.2003)		Date of mailing of the international search report 30 JUL 2003		
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (703)305-3230		Authorized officer Michael J. Moyer Telephone No. (703) 305-3230 <i>R. J. Zagan</i>		

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 3 1 M
	G 0 9 G 3/20	6 4 1 A

(81) 指定国 AP (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, SE, SI, SK, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100096013
弁理士 富田 博行

(74) 代理人 100096068
弁理士 大塚 住江

(72) 発明者 リー, サングロク
アメリカ合衆国ノース・カロライナ州 2 7 7 0 5, ダーラム, モリーン・ロード 1 3 1 5, ナンバー 2 0 ケイ

(72) 発明者 モリズィオ, ジェイムズ・シー
アメリカ合衆国ノース・カロライナ州 2 7 7 0 3, ダーラム, ハクシー・グレン・コート 5 1 1 4

(72) 発明者 ジョンソン, クリスティナ・エム
アメリカ合衆国ノース・カロライナ州 2 7 7 0 8, ダーラム, サイエンス・ドライブ 9 0 2 7 1, ティール・ビルディング 3 0 5, ボックス 9 0 2 7 1

F ターム (参考) 2H093 NC29 ND04 NE10
5C006 AA15 BB16 BC06 BC20 BF14 BF25 BF37 BF43 FA36 FA56
5C080 AA05 AA06 AA10 AA18 DD01 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	用于液晶显示器的帧缓冲像素电路		
公开(公告)号	JP2006505824A	公开(公告)日	2006-02-16
申请号	JP2004551397	申请日	2003-04-14
[标]申请(专利权)人(译)	杜克大学		
申请(专利权)人(译)	杜克大学		
[标]发明人	リーサングロク モリズィオジェイムズシー ジョンソンクリスティナエム		
发明人	リー,サングロク モリズィオ,ジェイムズ・シー ジョンソン,クリスティナ・エム		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G3/2014 G09G2300/0809 G09G2300/0842 G09G2300/0847 G09G2310/0251 G09G2310/0259 G09G2320/0223		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.F G09G3/20.624.B G09G3/20.631.A G09G3/20.631.M G09G3/20.641.A		
F-TERM分类号	2H093/NC29 2H093/ND04 2H093/NE10 5C006/AA15 5C006/BB16 5C006/BC06 5C006/BC20 5C006/BF14 5C006/BF25 5C006/BF37 5C006/BF43 5C006/FA36 5C006/FA56 5C080/AA05 5C080/AA06 5C080/AA10 5C080/AA18 5C080/DD01 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	小林 泰 千叶昭夫		
优先权	10/289459 2002-11-07 US		
外部链接	Espacenet		

摘要(译)

具有两个控制晶体管 (图6) 和单独电容器的改进的帧缓冲器像素电路作为存储器电容器插入存储器晶体管的前面以消除感应电荷并连接存储器电容器和带液晶显示 (LCD) 电容解决它们之间的电荷共享问题并获得高对比度。使用帧缓冲器像素来驱动二进制显示器, 该比较器在像素电极电路后面插入比较器, 并且在降低子帧频率时仅显示ON和OFF以表示灰度级你可以。

