

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-501490

(P2006-501490A)

(43) 公表日 平成18年1月12日(2006.1.12)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
	G09G 3/20 611C	
	G09G 3/20 612U	

審査請求 未請求 予備審査請求 未請求 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2004-502479 (P2004-502479)	(71) 出願人	503447036
(86) (22) 出願日	平成15年4月28日 (2003. 4. 28)		サムスン エレクトロニクス カンパニー
(85) 翻訳文提出日	平成16年11月4日 (2004. 11. 4)		リミテッド
(86) 国際出願番号	PCT/KR2003/000860		大韓民国キョンギード, スウォンシ, ヨ
(87) 国際公開番号	W02003/094362		ントンク, マエタンードン 4 1 6
(87) 国際公開日	平成15年11月13日 (2003. 11. 13)	(74) 代理人	100094145
(31) 優先権主張番号	10-2002-0024399		弁理士 小野 由己男
(32) 優先日	平成14年5月3日 (2002. 5. 3)	(74) 代理人	100106367
(33) 優先権主張国	韓国 (KR)		弁理士 稲積 朋子
		(72) 発明者	モン, スンフワン
			大韓民国, ソウル 137-909, ソチ
			ヨグ, ジャムウォンードン 70, シン
			バンボ 4-チャ アパート 210-4
			04

最終頁に続く

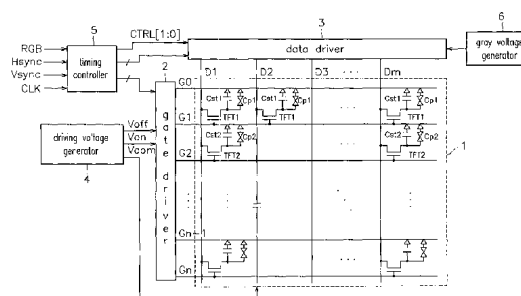
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 画像データ伝送の際の消費電力を減少させるための液晶表示装置とその駆動方法の提供

【解決手段】

複数のゲート線と、前記複数のゲート線に絶縁されて交差する複数のデータ線と、前記複数のデータ線と前記ゲート線とが交差して定義する領域に形成され、各々前記ゲート線及びデータ線とに連結されているスイッチング素子を有する複数の画素を含む液晶パネルアセンブリと、前記ゲート線にゲート電圧を供給するゲート駆動部と、前記データ線に印加される画像データに該当するデータ電圧を供給する少なくとも一つ以上のデータ駆動部と、外部から印加される n 番目の画像データと保存されている n - 1 番目の画像データとを比較して、比較結果によって n 番目の画像データを前記データ駆動部に選択的に提供するタイミング制御部とを含む液晶表示装置によりタイミング制御部とデータ駆動部との画像データ伝送を最小化できるため、画像データスイッチング時の消費電力を減少させ、スイッチング時に発生する EMI の抑制が実現する。



【特許請求の範囲】

【請求項 1】

複数のゲート線と、前記複数のゲート線に絶縁されて交差する複数のデータ線と、前記複数のデータ線と前記ゲート線とが交差して定義する領域に形成され、各々前記ゲート線とデータ線とに連結されているスイッチング素子を有する複数の画素を含む液晶パネルアセンブリと、

前記ゲート線にゲート電圧を供給するゲート駆動部と、

前記データ線に印加される画像データに該当するデータ電圧を供給する少なくとも一つ以上のデータ駆動部と、

外部から印加される n 番目の画像データと保存されている $n - 1$ 番目の画像データとを比較し、比較結果によって n 番目の画像データを前記データ駆動部に選択的に提供するタイミング制御部と、

を含む液晶表示装置。

【請求項 2】

前記タイミング制御部は、前記比較結果によって処理制御信号を生成して前記データ駆動部に提供し、

前記データ駆動部は、保存されていた $n - 1$ 番目の画像データに該当するデータ電圧を供給する保持モードと、前記 $n - 1$ 番目の画像データを反転させそれに該当するデータ電圧を供給する反転モードと、及びタイミング制御部から提供される n 番目の画像データに該当するデータ電圧を供給する更新モードのうちの前記処理制御信号に基づいて決定されるいずれか一つのモードで動作することを特徴とする、

請求項 1 に記載の液晶表示装置。

【請求項 3】

前記タイミング制御部は

外部から印加される n 番目の画像データを保存する第 1 ラインメモリと、

その前に印加された $n - 1$ 番目の画像データが保存されている第 2 ラインメモリと、

前記 n 番目の画像データと $n - 1$ 番目の画像データとを比較して処理制御信号を生成する制御信号生成部と、

を含み、

前記制御信号生成部は

n 番目の画像データと $n - 1$ 番目の画像データの全てのビットが互いに一致する場合には、前記データ駆動部が前記保持モードで動作するように第 1 状態の処理制御信号を生成し、

n 番目の画像データと $n - 1$ 番目の画像データの全てのビットが互いに相補関係の場合には、前記データ駆動部が前記反転モードで動作するように第 2 状態の処理制御信号を生成し、

n 番目の画像データの少なくとも一つのビットと $n - 1$ 番目の画像データの少なくとも一つのビットとが互いに相補関係でないかまたは不一致である場合には、前記データ駆動部が前記更新モードで動作するように第 3 状態の処理制御信号を生成することを特徴とする、

請求項 2 に記載の液晶表示装置。

【請求項 4】

前記タイミング制御部は、 n 番目の画像データと $n - 1$ 番目の画像データの全てのビットが互いに一致するかまたは相補関係である場合には、 n 番目の画像データをデータ駆動部に提供しないことを特徴とする、

請求項 1 に記載の液晶表示装置。

【請求項 5】

前記タイミング制御部は、1 H 周期の間に n 番目の画像データと $n - 1$ 番目の画像データとを比較して、1 H 周期で状態が可変する処理制御信号を生成し、

前記データ駆動部が 1 H 単位で画像データを保持、反転または更新処理することを特徴

10

20

30

40

50

とする、

請求項 3 に記載の液晶表示装置。

【請求項 6】

前記タイミング制御部は、1 H 周期の間に前記データ駆動部の各々において n 番目の画像データと n - 1 番目の画像データとを比較して、1 H 周期で前記データ駆動部の個数と同様の回数状態が可変する処理制御信号を生成し、

前記データ駆動部は各々に画像データを保持、反転または更新処理することを特徴とする、

請求項 3 に記載の液晶表示装置。

【請求項 7】

前記タイミング制御部は、1 H 周期の間に画素の各々において n 番目の画像データと n - 1 番目の画像データとを比較して、1 H 周期に前記一つのラインに形成される画素個数だけ状態が可変する処理制御信号を生成し、

前記データ駆動部が各々の画素単位で画像データを保持、反転または更新処理すること

を特徴とする、

請求項 3 に記載の液晶表示装置。

【請求項 8】

前記処理制御信号は 2 ビットの信号であり、

前記データ駆動部は

前記処理制御信号の第 1 ビットに基づいて排他的論理和演算を遂行する排他的論理和演

算器、

前記処理制御信号の第 2 ビットに基づいて、前記排他的論理和演算器から提供される信号である第 1 入力と、前記タイミング制御部から提供される画像データである第 2 入力のうちのいずれか一つを選択して出力する第 1 マルチプレクサーと、

クロック端子に印加される信号に応じて前記第 1 マルチプレクサーから選択的に提供される画像データを出力する D フリップフロップと、

印加されるデータクロック信号と桁上げ信号とを論理積演算して D フリップフロップの

クロック端子に結果を提供する論理積演算器と、

を更に含む、請求項 2 に記載の液晶表示装置。

【請求項 9】

前記データクロック信号は、n 番目の画像データの少なくとも一つのビットと n - 1 番目の画像データの少なくとも一つのビットとが互いに不一致であるかもしくは相補関係でない場合に印加されることを特徴とする、

請求項 8 に記載の液晶表示装置。

【請求項 10】

前記液晶表示装置は COG (chip on glass) 構造からなることを特徴とする、

請求項 1 に記載の液晶表示装置。

【請求項 11】

前記画像データは RSDS (reduced swing differential signaling) によってデータ駆動部に伝送されることを特徴とする、

請求項 1 に記載の液晶表示装置。

【請求項 12】

複数のゲート線と、前記複数のゲート線と絶縁されて交差する複数のデータ線と、前記複数のデータ線と前記ゲート線とが交差して定義する領域に形成され、前記ゲート線とデータ線とに連結されているスイッチング素子を有する複数の画素を含む液晶表示装置の駆動方法において、

a) 前記データ線に印加される画像データによるデータ電圧を供給する段階と、

b) 前記ゲート線にゲート電圧を供給して前記データ電圧が画素に印加させる段階と、

を含み、

前記 a) 段階は、

10

20

30

40

50

現在提供されている n 番目の画像データとその前に提供された $n - 1$ 番目の画像データとを比較する段階と、

n 番目の画像データとその前に提供された $n - 1$ 番目の画像データとの全てのビットが互いに一致する場合には、 $n - 1$ 番目の画像データに該当するデータ電圧が前記データ線に提供される段階と、

n 番目の画像データとその前に提供された $n - 1$ 番目の画像データの全てのビットとが互いに相補関係にある場合には、 $n - 1$ 番目の画像データが反転され、それに該当するデータ電圧が前記データ線に提供される段階と、

n 番目の画像データの少なくとも一つのビットとその前に提供された $n - 1$ 番目の画像データの少なくとも一つのビットとが互いに不一致もしくは互いに相補関係でない場合には、 n 番目の画像データに該当するデータ電圧が前記データ線に提供される段階と、

10

を含む、液晶表示装置の駆動方法。

【請求項 13】

前記 a) 段階は、

1 H 周期の間に n 番目の画像データと $n - 1$ 番目の画像データとを比較することを特徴とする、

請求項 12 に記載の液晶表示装置の駆動方法。

【請求項 14】

前記 a) 段階は、

1 H 周期の間に液晶表示装置の各々のデータ駆動部別に n 番目の画像データと $n - 1$ 番目の画像データとを比較することを特徴とする、

20

請求項 12 に記載の液晶表示装置の駆動方法。

【請求項 15】

前記 a) 段階は、

1 H 周期の間において各々の画素別に n 番目の画像データと $n - 1$ 番目の画像データとを比較することを特徴とする、

請求項 12 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

30

本発明は液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

近来、パーソナルコンピュータやテレビなどの軽量化及び薄形化に伴い、ディスプレイ装置も軽量化及び薄形化が求められており、このような要求に応じて陰極線管の代わりに液晶表示装置 (liquid crystal display: LCD) のようなフラットパネル型ディスプレイが開発されている。

【0003】

液晶表示装置は、二つの基板の間に注入されている異方性誘電率を有する液晶物質に電界を印加し、この電界の強さを調節して基板に透過する光の量を調節することによって所望の画像信号を得る表示装置である。このような液晶表示装置は携帯型のフラットパネル型ディスプレイ FPDs の中で代表的なものであって、これらの液晶表示装置の中でも最も有名なものは薄膜トランジスタ (thin film transistor: TFT) をスイッチング素子として利用した TFT-LCD である。

40

【0004】

一般に、液晶表示装置は走査信号を伝達する複数のゲート線とこのゲート線に交差して形成されて画像データを伝達するデータ線とを含み、これらゲート線とデータ線によって囲まれた領域に形成され、各々のスイッチング素子を通じてゲート線とデータ線とを連結する行列形態の複数の画素を含む。

【0005】

50

液晶表示装置の各画素に画像データを印加するために、まず、ゲート線に順次に走査信号のゲートオン信号を印加してこのゲート線に連結されたスイッチング素子を順次にオンさせると同時に、前記ゲート線に対応する画素線に印加する画像データ（より具体的にはグレー電圧）を各データ線に供給する。そうすると、データ線に供給された画像データはオンしたスイッチング素子を通じて各画素に印加される。もし、1フレーム周期の間に全てのゲート線に順次にゲートオン信号を印加されることにより全ての画素列に画像データを印加されると、一つのフレームの画像は表示されうる。

【0006】

全般的な動作を制御するタイミング制御部は、画像データからデータ駆動ICに送信し、データ駆動ICは受信した画像データを上述したように画素に印加する。

10

【0007】

一方、液晶表示装置の解像度が高くなるほど画像データの周波数が増加する。従って、印刷回路基板PCB（PCB:printed circuit board）では、増加された周波数を扱うことができないので、タイミング制御部からデータ駆動ICに画像データを伝送するデータバスの数を増加させる。このとき、データバスの数が増加すれば消費電力と同様に、電磁妨害EMI（Electro Magnetic Interference:EMI）が増加するようになる。したがって、タイミング制御部から画像データを駆動ICに伝送する方は更に重要視されている。

【0008】

特に、液晶表示装置のタイミング制御部が画像データを8ビットの二進コード化してデータバスを通じて駆動ICに伝送するために、現在のデータと次のデータのコード転換が頻繁に発生し、電力消費が増加するようになる。

20

【0009】

つまり、データ伝送時の消費電力は $P = c V^2 f$ （ここで、 c はPCBのキャパシタンスを、 V は電圧のスイング幅を、 f は画像データ転換の周波数を示す）と表せることができるので、データ伝送時にデータ転換がより頻繁に発生するほど電力消費が増加するようになる。

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明が目的とする技術的課題は、液晶表示装置の画像データの伝送時における消費電力を減少させることにある。

30

【課題を解決するための手段】

【0011】

このような技術的課題を達成するための本発明の特徴による液晶表示装置は、複数のゲート線と、前記複数のゲート線に絶縁されて交差する複数のデータ線と、前記複数のデータ線と前記ゲート線とが交差して定義する領域に形成されて、各々前記ゲート線とデータ線とに連結されているスイッチング素子を有する複数の画素を含む液晶パネルアセンブリと、前記ゲート線にゲート電圧を供給するゲート駆動部と、前記データ線に印加される画像データに該当するデータ電圧を供給する少なくとも一つ以上のデータ駆動部と、外部から印加される n 番目の画像データと保存されている $n-1$ 番目の画像データとを比較し、比較結果によって n 番目の画像データを前記データ駆動部に選択的に提供するタイミング制御部とを含む。

40

【0012】

ここで、前記タイミング制御部は、前記比較結果によって処理制御信号を生成して前記データ駆動部に提供し、前記データ駆動部は、保存されていた $n-1$ 番目の画像データに該当するデータ電圧を供給する保持モード、前記 $n-1$ 番目の画像データを反転させてそれに該当するデータ電圧を供給する反転モード、タイミング制御部から提供される n 番目の画像データに該当するデータ電圧を供給する更新モードのうちの前記処理制御信号に基づいて決定されるいずれか一つのモードで動作することができる。

【0013】

50

この時、前記タイミング制御部は、外部から印加される n 番目の画像データを保存する第 1 ラインメモリと、その前に印加された $n - 1$ 番目の画像データが保存されている第 2 ラインメモリと、及び前記 n 番目の画像データと $n - 1$ 番目の画像データとを比較して処理制御信号を生成する制御信号生成部とを含む。

【0014】

特に、前記制御信号生成部は、 n 番目の画像データと $n - 1$ 番目の画像データの全てのビットが互いに一致する場合には、データ駆動部が保持モードで動作するように第 1 状態の処理制御信号を生成し、 n 番目の画像データと $n - 1$ 番目の画像データの全てのビットが互いに相補関係の場合には、データ駆動部が反転モードで動作するように第 2 状態の処理制御信号を生成し、 n 番目の画像データの少なくとも一つのビットと $n - 1$ 番目の画像データの少なくとも一つのビットとが、互いに相補関係でないかまたは不一致である場合には、データ駆動部が更新モードで動作するように第 3 状態の処理制御信号を生成する。

10

【0015】

一方、前記タイミング制御部は、 n 番目の画像データと $n - 1$ 番目の画像データの全てのビットが、互いに一致するかまたは相補関係の場合には、 n 番目の画像データをデータ駆動部に提供しないことが好ましい。

【0016】

このような特徴を有する液晶表示装置において、前記タイミング制御部は、1 H 周期の間に n 番目の画像データと $n - 1$ 番目の画像データとを比較して、1 H 周期で状態が可変する処理制御信号を生成することができ、この場合、前記データ駆動部が 1 H 単位で画像データを保持、または反転または更新処理する。

20

【0017】

また、前記タイミング制御部は、1 H 周期の間に前記データ駆動部の各々において n 番目の画像データと $n - 1$ 番目の画像データとを比較して、1 H 周期で前記データ駆動部の個数と同様の回数状態が可変する処理制御信号を生成することができ、この場合、前記データ駆動部は各々に画像データを保持、または反転または更新処理する。

【0018】

また、前記タイミング制御部は、1 H 周期の間に画素の各々において n 番目の画像データと $n - 1$ 番目の画像データとを比較して、1 H 周期で前記一つのラインに形成される画素個数だけ状態が可変する処理制御信号を生成することができ、前記データ駆動部が各々の画素単位で画像データを保持、または反転または更新処理する。

30

【0019】

一方、前記処理制御信号は 2 ビットの信号にすることができ、この場合、前記データ駆動部は、前記処理制御信号の第 1 ビットに基づいて排他的論理和演算を遂行する排他的論理和演算器、前記処理制御信号の第 2 ビットに基づいて前記排他的論理和演算器から提供される信号である第 1 入力と、前記タイミング制御部から提供される画像データである第 2 入力のうちのいずれか一つを選択して出力する第 1 マルチプレクサー、クロック端子に印加される信号に応じて前記第 1 マルチプレクサーから選択的に提供される画像データを出力する D フリップフロップ、及び印加されるデータクロック信号及び桁上げ信号を論理積演算して D フリップフロップのクロック端子に結果的に提供する論理積演算器を含むことができる。ここで、前記データクロック信号は、 n 番目の画像データの少なくとも一つのビットと $n - 1$ 番目の画像データの少なくとも一つのビットとが互いに不一致であるかもしくは相補関係でない場合に印加できる。

40

【0020】

そして、前記液晶表示装置は COG (chip on glass) 構造からなり、前記画像データは RSDS (reduced swing differential signaling) によってデータ駆動部に伝送される。

【0021】

本発明の他の特徴による液晶表示装置の駆動方法は、複数のゲート線と、前記複数のゲート線に絶縁されて交差する複数のデータ線と、前記複数のデータ線と前記ゲート線とが

50

交差して定義する領域に形成されて、前記ゲート線とデータ線とに連結されているスイッチング素子を有する複数の画素を含む液晶表示装置の駆動方法であって、前記データ線に印加される画像データによるデータ電圧を供給する段階と、前記ゲート線にゲート電圧を供給して前記データ電圧が画素に印加させる段階とを含む。

【0022】

ここで、前記段階は、現在提供される n 番目の画像データとその前に提供された $n-1$ 番目の画像データとを比較する段階と、 n 番目の画像データとその前に提供された $n-1$ 番目の画像データの全てのビットが互いに一致する場合には、 $n-1$ 番目の画像データに該当するデータ電圧が前記データ線に提供される段階と、 n 番目の画像データとその前に提供された $n-1$ 番目の画像データの全てのビットとが互いに相補関係の場合には、 $n-1$ 番目の画像データが反転され、それに該当するデータ電圧が前記データ線に提供される段階と、 n 番目の画像データの少なくとも一つのビットとその前に提供された $n-1$ 番目の画像データの少なくとも一つのビットとが、互いに不一致であるかまたは相補関係でない場合には、 n 番目の画像データに該当するデータ電圧が前記データ線に提供される段階を含む。

10

【0023】

このような段階は、 $1H$ 周期の間に n 番目の画像データと $n-1$ 番目の画像データを比較する。また、 $1H$ 周期の間に液晶表示装置の各々のデータ駆動部別に n 番目の画像データと $n-1$ 番目の画像データを比較することができ、 $1H$ 周期の間において各々の画素別に n 番目の画像データと $n-1$ 番目の画像データを比較することもできる。

20

【発明の効果】

【0024】

本発明の実施例によれば、タイミング制御部とデータ駆動部の間の画像データ伝送を最小化することができるので、画像データスイッチング時の消費電力を減少させることができ、スイッチング時に発生するEMIを抑制することができる。

【発明を実施するための最良の形態】

【0025】

以下、本発明の技術分野における通常の知識を有する者が本発明を容易に実施できる最も好ましい実施例を、添付した図面を参照して詳細に説明する。しかし、発明はこの実施例に限らず多くの異なったかたちでも実施できる。ここで、図面において、層の厚さおよび領域は、数字や要素が参照されているように明瞭に示される。そして、層や領域もしくは基板に他の要素が“の上に”と引用されている場合、それらの直接上には別の要素あるいは介在する要素が存在することを示す。これとは対照的に、他の要素が“直接上に”と引用されている場合、この要素と層や領域、基板の間には、介在する要素は存在しない。

30

【0026】

図1は本発明の実施例による液晶表示装置の構造を概略的に示した図面である。

【0027】

図1によると、本発明の実施例による液晶表示装置は、液晶パネルアセンブリ1と、ゲート駆動部2と、データ駆動部3と、駆動電圧発生部4と、タイミング制御部5と、及びグレー電圧発生部6とからなる。

40

【0028】

液晶パネルアセンブリ1は二つの基板（例えば、TFTアレー基板やカラーフィルター基板）から構成され、一つの基板に複数のデータ線と複数のゲート線が互いに交差して形成され、ゲート線とデータ線が交差して定義されたそれぞれの領域に画素が形成されている。各画素はゲート電極と、ソース電極と、ドレイン電極が各々ゲート線と、データ線と、画素電極に連結しているスイッチング素子であるTFTを含む。

【0029】

タイミング制御部5は、R (red)、G (green)、B (blue) データ信号、フレーム区別信号である垂直同期信号Vsync、行区別信号である水平同期信号Hsync及びメー

50

ンクロック信号CLKを液晶表示装置モジュール外部のグラフィック制御部（図示せず

）から受信し、ゲート駆動部 2 及びデータ駆動部 3 を駆動するためのデジタル信号を出力する。

【 0 0 3 0 】

タイミング制御部 5 からゲート駆動部 2 に出力するタイミング信号には、ゲート線にゲートオン電圧を印加するための、ゲートオン電圧の印加開始を命令する垂直開始信号 V_{start} と、このゲートオン電圧をそれぞれのゲート線に順次に印加するためのゲートクロック信号（以下、 CPV 信号と称する）と、及びゲート駆動部 2 の出力をイネーブルにするゲートオンイネーブル信号 OE とがある。

【 0 0 3 1 】

タイミング制御部 5 からデータ駆動部 3 に出力するタイミング信号には、グラフィック制御器から受信したデジタルデータ信号 $[R(0:N), G(0:N), B(0:N)]$ をデータ駆動部 3 に入力することを命令する水平開始信号 H_{start} と、データ駆動部 3 内でアナログに変換されたデータ信号をパネルに印加することを命令する信号（以下、“ $LOAD$ 信号”と称する）と、及びデータ駆動部 3 内においてデータシフトをするための水平クロック信号 $HCLK$ とがある。

【 0 0 3 2 】

特に、本発明の実施例では、データ駆動部 3 が、入力される画像データを保持、または反転、または更新または入力するように、処理制御信号 $CTRL$ を生成してデータ駆動部 3 に提供する。

【 0 0 3 3 】

例えば、処理制御信号（ $CTRL$ ）は、次の表 1 ような状態で動作する。

【 0 0 3 4 】

【表 1】

$CTRL$	$[1:0]$	動作モード
$CTRL[1]$	$CTRL[0]$	
0	0	保持
0	1	反転
1	X	更新

データ駆動部 3 はソース駆動部とも呼ばれ、液晶パネルアセンブリ 1 内の各画素に伝達される電圧値を一つのラインずつに印加する役割を果たす。より詳しくは、データ駆動部 3 は、タイミング制御部 5 から受信されるデジタルデータをデータ駆動部 3 内のシフトレジスタ内に保存し、 $LOAD$ 信号を受信するとそれぞれのデータに該当する電圧を選択し、液晶パネルアセンブリ 1 内に選択された電圧を伝達する。特に、本発明の実施例では、データ駆動部 3 は、タイミング制御部 5 から提供される処理制御信号 $CTRL[1:0]$ に基づき、タイミング制御部 5 から画像データの提供を判断し、判断結果に基づき、画像データで指定の処理を実行し画像データを処理して液晶パネルアセンブリ 1 に供給する。

【 0 0 3 5 】

前記表 1 によると、処理制御信号 $CTRL$ が $CTRL[1:0] = '00'$ である場合、データ駆動部 3 は、タイミング制御部 5 からの画像データ入力を無視し、 $LOAD$ 信号に応じて液晶パネルアセンブリ 1 の代わりに、シフトレジスタに保存されていた画像データをそのまま保持して供給する。しかし、処理制御信号 $CTRL$ が $CTRL[1:0] = '01'$ である場合、データ駆動部 3 は、タイミング制御部 5 からの画像データ入力を無視し、シフトレジスタに保存していた画像データを反転させて液晶パネルアセンブリ 1 に供給する。一方、処理制御信号 $CTRL$ が $CTRL[1:0] = '1x'$ である場合、データ駆動部 3 は、タイミング制御部 5 から提供される画像データを受信してシフトレジスタに保存し、 $LOAD$ 信号に応じて画像データを液晶パネルアセンブリ 1 に供給する。

【 0 0 3 6 】

ゲート駆動部 2 はスキャン駆動部とも呼ばれ、データ駆動部 3 からのデータが画素に伝

達されるように経路を開く役割を果たす。液晶パネルアセンブリ 1 の各画素はスイッチ役割を果たしている T F T によってオンまたはオフになり、この T F T のオン / オフはゲートに一定の電圧 V_{on} / V_{off} がゲートに印加されることによって行なわれる。ゲート駆動部 2 は、タイミング制御部 5 から出力された C P V 信号と O E 信号とを受信して、二つの信号 C P V 及び O E に同期するゲートオン電圧 (G_1 、 G_2 、...、 G_n) をゲート線に順次に印加する。

【0037】

グレー電圧発生部 6 はグラフィック制御器 (図示せず) から提供される RGB データのビット数によって等分されたグレー電圧を発生させてデータ駆動部 3 に提供する。データ駆動部 3 は、タイミング制御部 5 により出力される信号によって駆動され、ゲート駆動部 2 の駆動に同期してデータ電圧 (D_1 、 D_2 、...、 D_m) を全てのデータ線に印加する。データ電圧 (D_1 、 D_2 、...、 D_m) は、データ線の遅延に大きく影響を受けないと仮定すれば、ゲートオン電圧 (G_1 、 G_2 、...、 G_n) のハイ状態の区間に同期する区間の間に当該画素は充電される。

10

【0038】

一方、T F T のゲートをオンにする V_{on} 電圧とゲートをオフにする V_{off} 電圧は駆動電圧発生部 4 で生成される。駆動電圧発生部 4 は、前記 V_{on} 、 V_{off} 電圧と同様に画素内のデータ電圧差の基準となる V_{com} 電圧も生成して、 V_{com} 電圧は各画素の共通電極に提供される。

【0039】

このような構造からなる本発明の実施例によると、液晶表示装置のタイミング制御部は、外部のグラフィック制御器 (図示せず) から提供される n 番目のラインの画像データ (以下、“ n 番目の画像データ”と称する) と、その前に提供された $n - 1$ 番目のラインの画像データ (以下、“ n 番目の画像データ”と称する) とを比較し、二つの画像データが一致するかまたは互いに相補的な関係を有する場合には、タイミング制御部は画像データを出力せずに処理制御信号だけを出力して、データ駆動部が以前に提供を受けた $n - 1$ 番目の画像データに基づいて液晶パネルアセンブリにデータ電圧を供給する。そして、二つの画像データが互いに不一致であるかまたは相補的な関係でない場合には、タイミング制御部は現在提供される n 番目の画像データと共に処理制御信号を出力して、データ駆動部が n 番目の画像データに該当するデータ電圧を液晶パネルアセンブリに供給する。

20

30

【0040】

このように、 n 番目の画像データと $n - 1$ 番目の画像データとの関係によって、タイミング制御部が選択的に画像データをデータ駆動部に提供することにより、画像データの伝送による消費電力を減少させることができる。

【0041】

図 2 に、このような画像データの比較のためのタイミング制御部の構造を簡略に示した。

【0042】

図 2 を参照すると、本発明の実施例によるタイミング制御部は、外部から印加される n 番目の画像データ (D_n) を保存する第 1 ラインメモリ 51 と、その前に印加された $n - 1$ 番目の画像データ (D_{n-1}) を保存する第 2 ラインメモリ 52 と、及び n 番目の画像データと $n - 1$ 番目の画像データを比較して処理制御信号を生成する制御信号生成部 53 とを含む。

40

【0043】

制御信号生成部 53 は、 n 番目の画像データと $n - 1$ 番目の画像データとを比較して、それに該当する比較結果として“0”または“1”の第 1 信号及び第 2 信号を出力するデータ比較部 531 と、データ比較部 531 から出力される第 1 信号と印加される画素クロック信号 P C を論理積演算してカウンティング信号を出力する論理積演算器 532 と、カウンティング信号をカウントする第 1 カウンター 533 と、データ比較部 531 から出力される第 2 信号を保存する第 1 レジスター 534 と、第 1 レジスター 534 に保存された

50

信号と第 1 カウンター 5 3 3 のカウント値によって処理制御信号 C T R L を生成する信号生成部 5 3 5 とを含む。

【 0 0 4 4 】

図 2 は、処理制御信号を生成するためのタイミング制御部 5 の一部分だけを示し、本発明の実施例によるタイミング制御部 5 は液晶表示装置の駆動のための各種制御信号を処理及び生成する部分や、入力される画像データを処理する部分などを含む。これら 4 つの要素はすでに上述したものと同様である。このような他の部分は既に公知の技術であるので、ここでは詳細な説明を省略する。

【 0 0 4 5 】

まず、本発明の実施例によるタイミング制御部 5 の処理制御信号の生成動作について説明する。

【 0 0 4 6 】

例えば、8 ビットカラー X G A (Extended Graphics Array) は、水平解像度が 1 0 2 4 であり、ここで 1 バイトは 8 ビットである。従って、各ラインメモリ 5 1、5 2 は 1 バイトが 8 ビットである 1 0 2 4 バイトのメモリが 3 (R、G、B) 画面で構成される。

【 0 0 4 7 】

画像データは外部のグラフィック制御器 (図示せず) から順次的に入力されて第 1 ラインメモリ 5 1 に保存される。データ比較部 5 3 1 は第 1 ラインメモリ 5 1 に保存された n 番目の画像データと、第 2 ラインメモリ 5 2 に保存された n - 1 番目の画像データの 8 ビットを各々比較して、二つの画像データの 8 ビットが全て同一であれば第 1 信号には “ 0 ” を出力し、二つの画像データの 8 ビットが全て異なれば第 1 信号には “ 1 ” を出力する。また、データ比較部 5 3 1 は、上の二つの場合は第 2 信号には “ 0 ” を出力し、8 ビットのうちの一部ビットだけ同一であったり他の場合には第 2 信号には “ 1 ” を出力する。

【 0 0 4 8 】

データ比較部 5 3 1 から出力される第 1 信号は論理積演算器 5 3 2 に入力されて画素クロック信号 P C によって論理積演算され、その結果が第 1 カウンター 5 3 3 に入力される。したがって、各画素別に二つの画像データの比較結果が出る時ごとにカウンティング動作が行われる。

【 0 0 4 9 】

このような比較過程を 1 H 周期 (1 ライン周期) の間に遂行すれば、第 1 カウンター 5 3 3 には “ 0 ” または水平解像度による画素数、例えば “ 1 0 2 4 ”、または “ 0 ” と “ 1 0 2 4 ” の間の数字がカウント値に決定される。つまり、その前のラインに該当するすべての画像データ (n - 1 番目の画像データ) と、現在のラインに該当するすべての画像データ (n 番目の画像データ) は互いに一致すれば、そのときカウント値は “ 0 ” となる。また、その前のラインに該当するすべての画像データ (n - 1 番目の画像データ) と、現在のラインに該当するすべての画像データ (n 番目の画像データ) が互いに相補関係であれば、そのときカウント値は “ 1 0 2 4 ” となる。そして、この二つの場合を除いては、カウント値が “ 0 ” と “ 1 0 2 4 ” の間の値になる。

【 0 0 5 0 】

したがって、第 1 カウンター 5 3 3 のカウント値と第 1 レジスター 5 3 4 の値によって、次の表 2 に示すように四つの場合が存在する。

【 0 0 5 1 】

10

20

30

40

【表 2】

ケース	第 1 カウンター	第 1 レジスター	備考
1	0	0	n 番目ラインの画像データと n - 1 番目ラインの画像データが全て一致
2	1 0 2 4	0	n 番目ラインの画像データと n - 1 番目ラインの画像データが全て相補関係
3	$0 < x < 1024$	1	n 番目ラインの画像データと n - 1 番目ラインの画像データの少なくとも一つのバイトが不一致であるか、または相補関係でない
4	Don't care	1	n 番目ラインの画像データと n - 1 番目ラインの画像データの少なくとも一つのバイトが不一致であるか、または相補関係でない。

10

上記表 2 のような、第 1 カウンター 533 の値と第 1 レジスター 534 の値に基づいて、タイミング制御部 5 は表 1 に示されたような動作状態を有する処理制御信号 C T R L を生成する。そして、表 2 のケース 1 とケース 2 の場合、タイミング制御部 5 は、には外部から入力される画像データを提供するかわりに、データ出力をハイインピーダンス状態に維持するか、または既存の“0”または“1”のうちのいずれか一つの状態を維持して、信号のトランジション時に発生した消費電力と E M I 発生を減少させる。

20

【0052】

このようなタイミング制御部 5 の画像データ比較処理によって生成される処理制御信号 (C T R L [1 : 0]) に基づいて、データ駆動部 3 は以前にシフトレジスターに保存した画像データ (n - 1 番目の画像データ) を保持して液晶パネルアセンブリ 1 に提供し、もしくは、 n - 1 画像データを反転させ、以前に反転させた画像データを液晶パネルアセンブリ 1 へ提供する。もしくは、シフトレジスターの画像データをタイミング制御部 5 から出力される画像データ (n 番目の画像データ) に更新処理し、更新されたシフトレジスターの画像データを液晶パネル 1 に提供する。

30

【0053】

上述したように、タイミング制御部 5 からデータ駆動部 3 に画像データを選択的に提供する方法は、 n 番目の画像データと n - 1 番目の画像データとの関係に基づいており、データ駆動部が複数個からなる場合においても同一に適用することができる。

【0054】

図 3 は、液晶表示装置が複数個のデータ駆動部を含む場合についての構造を簡略に示した図である。

【0055】

図 3 を参照すると、複数個のデータ駆動部 (31 ~ 3m) が横方向に配置されていて、タイミング制御部 5 から出力される処理制御信号 C T R L [1 : 0] が各データ駆動部 (31 ~ 3m) に供給され、その他の各種制御信号 S T H、L O A D、D C L K もまた各データ駆動部 31 ~ 3m に供給される。ここでは、タイミング制御部 5 とデータ駆動部 3 がマルチドロップ構造で連結されている。ここで、マルチドロップ構造とは、タイミング制御部から提供される各種信号が一つの信号線を通じて複数個のデータ駆動部に提供される構造であり、本発明ではこの連結方法に限定されるわけではなく、タイミング制御部から提供される各種信号が、複数の信号線を通じて複数のデータ駆動部に一対一に提供される、いわゆるポイントツーポイント構造においても同一に適用できる。

40

【0056】

このようにデータ駆動部が複数個に構成される液晶表示装置においても、それぞれのデ

50

ータ駆動部は処理制御信号 C T R L [1 : 0] に基づいて画像データの保持、反転または更新処理を遂行する。

【 0 0 5 7 】

図 4 に、処理制御信号を処理するデータ駆動部の構造図の第 1 例を示す。図 4 には処理制御信号を処理する部分についてのみ示したが、画像データを液晶パネルアセンブリに供給する部分、例えば、シフトレジスタなどは既に公知の技術であるので示さなかった。

【 0 0 5 8 】

図 4 によると、本発明の第 1 例によるデータ駆動部 3 は、処理制御信号の第 1 ビット C T R L [0] に基づいて排他的論理和演算を遂行する排他的論理和演算器 3 1、処理制御信号の第 2 ビット C T R L [1] に基づいて第 1 入力（排他的論理和演算器から提供される信号）及び第 2 入力（タイミング制御部から提供される画像データ）のうちのいずれか一つを選択して出力する第 1 マルチプレクサー 3 2、クロック端子に印加される信号に応じて第 1 マルチプレクサー 3 2 から選択的に提供される画像データを出力する D フリップフロップ 3 4、データクロック信号 D C L K 及び桁上げ信号を論理積演算してその結果を D フリップフロップ 3 4 のクロック端子に提供する論理積演算器 3 3 を含む。そして、D フリップフロップ 3 4 の出力端子 Q は排他的論理和演算器 3 1 の入力端子に連結されている。

10

【 0 0 5 9 】

ここで、桁上げ信号は、通常の液晶表示装置のデータ駆動部のシフトレジスタに提供されるイネーブル信号である。データクロック信号 D C L K はデータ的一致または相補関係に無関係に常に印加される信号であり、例えば、常に “ H ” の状態を維持する。

20

【 0 0 6 0 】

図 4 を参照すると、n 番目の画像データと n - 1 番目の画像データの全てのビットが互いに一致してタイミング制御部 5 から処理制御信号 C T R L [1 : 0] に “ 0 0 ” の値を提供すれば、排他的論理和演算器 3 1 は処理制御信号の第 1 ビット C T R L [0] の “ 0 ” と D フリップフロップ 3 4 の初期出力信号 “ 0 ” に基づいて “ 1 ” を出力する。

【 0 0 6 1 】

排他的論理和演算器 3 1 から出力された信号とタイミング制御部 5 から提供される画像データは、第 1 マルチプレクサー 3 2 の第 1 入力端子 0 及び第 2 入力端子 1 に各々入力され、第 1 マルチプレクサー 3 2 は、セレクト端子 S E L に応じて受信する処理制御信号の第 2 ビット C T R L [1] が “ 0 ” であるので、第 1 入力端子 0 に入力される信号を選択して D フリップフロップ 3 4 に出力する。

30

【 0 0 6 2 】

したがって、データクロック信号 D C L K と桁上げ信号のいずれもが “ H ” レベルであることに応じて当該データ駆動部 3 のシフトレジスタがイネーブルにされた時点で、論理積演算器 3 3 が “ H ” 信号を出力すれば、D フリップフロップ 3 4 は入力端子（ D ）を通じて提供される排他的論理和演算器 3 1 の出力信号 “ 1 ” を出力する。

【 0 0 6 3 】

D フリップフロップ 3 4 から出力される “ 1 ” 信号は排他的論理和演算器 3 1 に再度入力され、D フリップフロップ 3 4 の反転出力端子（ / Q ）は “ 0 ” の信号を出力する。したがって、L O A D 信号が印加されると、“ 0 ” の信号に基づいて、データ駆動部 3 のシフトレジスタ（図示せず）などは保存されていた画像データ（ n - 1 番目の画像データ）をそのまま保持して液晶パネルアセンブリ 1 に供給する。

40

【 0 0 6 4 】

一方、n 番目の画像データと n - 1 番目の画像データの全てのビットが相補関係であることに基づき、“ 0 1 ” の値を有する処理制御信号 C T R L [1 : 0] をタイミング制御部 5 から提供すれば、排他的論理和演算器 3 1 は “ 0 ” を出力し、第 1 マルチプレクサー 3 2 はセレクト端子 S E L を通じて入力される処理制御信号の第 2 ビット C T R L [1] の “ 0 ” に応じて第 1 入力端子 0 に入力される排他的論理演算器 3 1 の出力信号、つまり、“ 0 ” を選択して D フリップフロップ 3 4 に出力する。したがって、D フリップフロップ 3 4 の反転出力端子（ / Q ）を通じて “ 1 ” の信号が出力され、シフトレジスタ（図示せ

50

ず)などが保存されていた画像データ(n-1番目の画像データ)を反転させて液晶パネルアセンブリ1に供給する。

【0065】

他方、n番目の画像データとn-1番目の画像データの少なくとも一つのビットが不一致であるかまたは互いに相補関係でない場合、“1x”の値を有する処理制御信号CTRL[1:0]がタイミング制御部5から提供されれば、第1マルチプレクサ32は、セレクト端子SELに入力される処理制御信号の第2ビットCTRL[1]の“1”に応じて第2入力端子0に入力される画像データ(タイミング制御部から提供されるn番目の画像データ)を選択し、Dフリップフロップ34に出力する。したがって、LOAD信号が印加されるとき、Dフリップフロップ34の反転出力端子(/Q)を通じてn番目の画像データが出力され、シフトレジスタ(図示せず)などは印加されるn番目画像データを保存し、液晶パネルアセンブリ1に供給する。

10

【0066】

このように第1例によると、データクロック信号DCLKが持続的に提供されなければならず、液晶表示装置が以下の二つの動作モードで動作することができる。

【0067】

第1動作モードでは、n-1番目の画像データとn番目の画像データとを比較する時、タイミング制御部がデータ駆動部単位で入力される画像データを比較して処理制御信号を各々のデータ駆動部に生成する。したがって、各データ駆動部別に保持、反転、更新のうちのいずれか一つの動作は、各々のデータ駆動部で個別的に遂行される。この時、処理制御信号CTRL[1:0]は各1H周期の間に最大データ駆動部の個数だけの状態変化を行う。

20

【0068】

第2動作モードでは、n-1番目の画像データとn番目の画像データを比較する時、タイミング制御部が画素単位で画像データを比較して処理制御信号を各々の画素に生成する。したがって、データ駆動部が画素別に画像データの保持、反転、更新のうちのいずれか一つの動作を個別的に遂行するようになる。この時、処理制御信号CTRL[1:0]は各1H周期の間に最大水平解像度の数だけの状態変化を行う。

【0069】

一方、第1例のように動作するデータ駆動部ではデータクロック信号DCLKが常に印加されなければならないが、もしケース1とケース2の場合、つまり、n番目の画像データとn-1番目の画像データの全てのビットが互いに一致するかまたは互いに相補関係である場合に、データクロック信号DCLKを除去しようとする、タイミング制御部5で発生するSTH(start horizontal)信号であって、外部のグラフィック制御器からデータ駆動部へ提供されるRGB画像データを正確にラッチさせるための開始水平信号)もしくは論理積演算器33から出力される信号を、処理制御信号の第2ビットCTRL[1]に基づいてDフリップフロップ34のクロック端子に選択的に提供することができる。

30

【0070】

図5に、このような本発明の第2例による駆動部の構造図を示す。第2例によるデータ駆動部は図4に示された第1例と同様の構造を有す。但し、論理積演算器33から選択的に出力する第2マルチプレクサ35とSTH信号は除く。ここでSTH信号は、処理制御信号の第2ビットCTRL[1]に基づいており、第2ビットCTRL[1]はセレクト端子SELに接続されておりかつDフリップフロップ34に提供している。

40

【0071】

この場合にも上述と同様にデータ駆動部が動作する。但し、n番目の画像データとn-1番目の画像データの全てのビットが互いに一致するか、またはn-1番目の画像データがそのまましくは反転させて出力しているように互いに相補関係である時には、STH信号に基づいてDフリップフロップ34は“0”または“1”の信号を出力する場合を除く。この時、データクロック信号DCLKはDC状態に維持される。

【0072】

50

このような第 2 例では、タイミング制御部は、1 H 周期において第 1 ラインメモリ 5 1 の情報を第 2 ラインメモリに移動させ、データ比較部 5 3 1 の比較結果に基づいた第 1 カウンター 5 3 3 や第 1 レジスタ 5 3 4 の値を示している前記表 1 によって、処理制御信号は表 3 に示されるようにデータクロック信号 D C L K の出力動作を遂行する。

【 0 0 7 3 】

【表 3】

ケース	CTRL[1:0]	動作モード	データ及び DCLK 出力
1	0 0	保持	データ：DC (ハイインピーダンス含) DCLK:DC (ハイインピーダンス包含)
2	0 1	反転	データ：DC (ハイインピーダンス含) DCLK:DC (ハイインピーダンス含)
3	1 x	更新	データ：n 番目画像データ出力 DCLK 伝送
4	1 x	更新	データ：n 番目画像データ出力 DCLK 伝送

10

このような第 2 例では、各々のラインに対するすべての画像データに対してデータ比較を遂行することが好ましく、したがって、処理制御信号 C T R L [1 : 0] は 1 H 周期ごとに更新されるようになる。

20

【 0 0 7 4 】

特に、液晶表示装置でタイミング制御部及びデータ駆動部が図 3 に示すようにマルチ - ドロップ構造である場合には、第 1 及び第 2 例が全て適用できる。また、ポイントツーポイント構造である場合は第 1 例による二つの動作モードをより容易に実現することができる。

【 0 0 7 5 】

このような本発明の実施例は O A 用に使用される液晶表示装置により効果的である。O A 用に使用される液晶表示装置の表示環境を見ると、画面のほとんどがケース 1 またはケース 2 に該当する規則的な表示状態を示すため、画像データ表示に影響を与えないながらもタイミング制御部はデータ駆動部に画像データを選択的に提供して消費電力を減少させることができる。

30

【 0 0 7 6 】

以上、本発明の好ましい実施例を詳細に説明してきたが、これは本実施例のみに限らず、請求項の思想と精神に含まれる範囲内において、様々な変更とこれらと同等の実施が可能である。

【 0 0 7 7 】

例えば、データ駆動部が直接薄膜トランジスタ基板上に実装され、伝送用フィルムを通じてデータ駆動部が印刷回路基板と連結される C O G (Chip on Glass) 形態の液晶表示装置にも、上述の実施例によるタイミング制御部とデータ駆動部の間の選択的な画像データ伝送を行うことができる。また、データ駆動部が印刷回路基板と薄膜トランジスタ基板の間に設置される伝送用フィルム上に実装される構造にも、上述の実施例による画像データ伝送が適用できる。

40

【 0 0 7 8 】

その他にも、画像データを L V D S (low voltage differential signaling) や R S D S (reduced swing differential signaling) 方式で伝送する液晶表示装置においても、上述の実施例による画像データ伝送が適用できる。

【 0 0 7 9 】

これは、上述の実施例に基づいて当業者であれば容易に実施できるので、詳細な説明は省略する。

【 0 0 8 0 】

50

以上のように、本発明の実施例によれば、タイミング制御部とデータ駆動部の間の画像データ伝送を最小化することができるので、画像データスイッチング時の消費電力を減少させることができ、スイッチング時に発生するEMIを抑制することができる。

【図面の簡単な説明】

【0081】

【図1】本発明の実施例による液晶表示装置の構造を示す配置図である。

【図2】本発明の実施例によるタイミング制御部の構造を示す配置図である。

【図3】本発明の他の実施例の液晶表示装置の構造図である。

【図4】本発明の第1例によるデータ駆動部の構造図である。

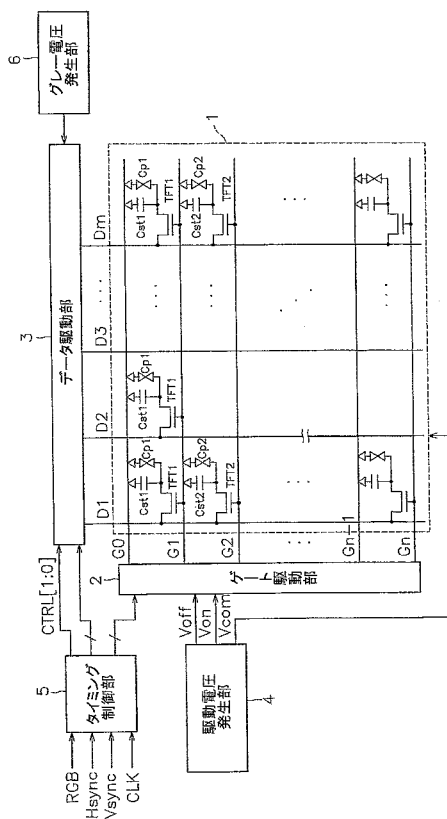
【図5】本発明の第2例によるデータ駆動部の構造図である。

【符号の説明】

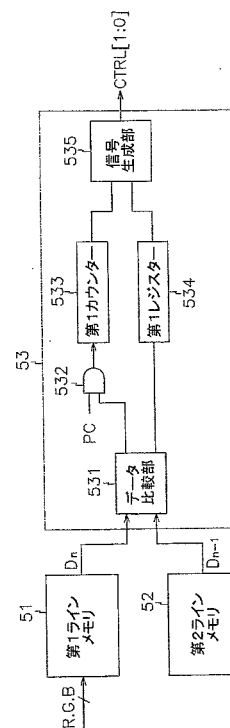
【0082】

- 1 液晶パネルアセンブリ
- 2 ゲート駆動部
- 3 データ駆動部
- 4 駆動電圧発生部
- 5 タイミング制御部
- 6 グレー電圧発生部

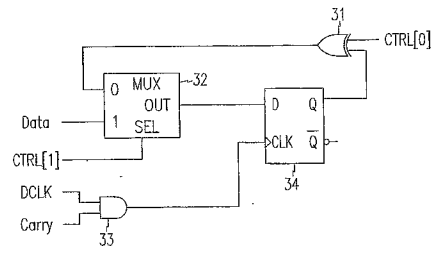
【図1】



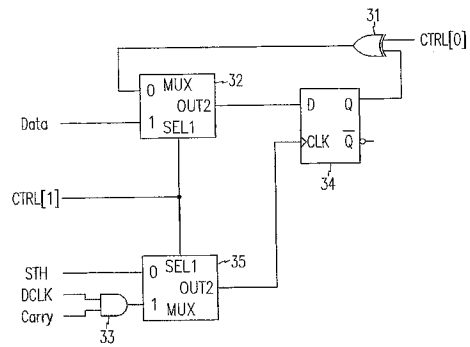
【図2】



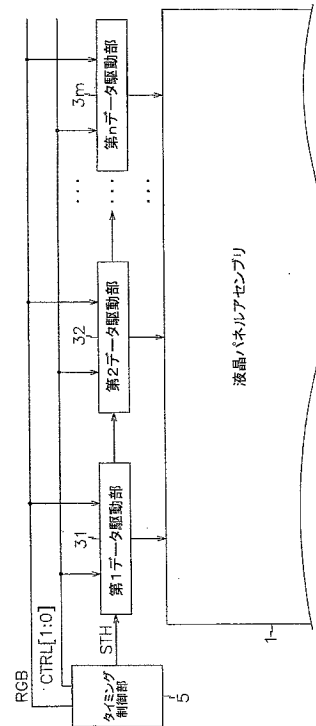
【図3】



【図4】



【図5】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 3 3 U

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,M X,MZ,NI,NO,NZ,OM,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

F ターム(参考) 2H093 NA16 NA43 NA51 NC03 NC10 NC12 NC22 NC26 NC28 NC34
 NC35 NC49 ND06 ND39 NH14
 5C006 AF06 AF42 AF45 BB16 BC02 BC12 BC16 BF05 BF14 FA13
 FA32 FA47
 5C080 AA10 BB05 DD08 DD12 DD26 FF01 FF07 FF11 GG15 GG17
 JJ02 JJ03

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2006501490A	公开(公告)日	2006-01-12
申请号	JP2004502479	申请日	2003-04-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	モンスンフワン		
发明人	モン,スン-フワン		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3611 G09G3/3688 G09G2310/04 G09G2330/021 G09G2330/06		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.611.C G09G3/20.612.U G09G3/20.633.U		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA51 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC22 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND06 2H093/ND39 2H093/NH14 5C006/AF06 5C006/AF42 5C006/AF45 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC16 5C006/BF05 5C006/BF14 5C006/FA13 5C006/FA32 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD08 5C080/DD12 5C080/DD26 5C080/FF01 5C080/FF07 5C080/FF11 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03		
优先权	1020020024399 2002-05-03 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置及其驱动方法，用于降低图像数据传输期间的功耗 — 多条栅极线，与多条栅极线绝缘并交叉的多条数据线，形成在由多条数据线和栅极线彼此交叉的区域中形成的多条数据线，一种液晶面板组件，包括：多个像素，每个像素具有连接到栅极线的开关元件；栅极驱动器，用于向栅极线提供栅极电压；数据电压，对应于施加到数据线的图像数据，至少一个数据驱动单元，用于比较从外部施加的第n个图像数据和存储的第n-1个图像数据，并将第n个图像数据与第n个图像数据进行比较。并且，用于选择性地将数据控制部分提供给数据驱动部分的定时控制部分，可以使定时控制部分和数据驱动部分之间的图像数据传输最小化，和减少图像数据切换期间的功耗，实现了在切换期间产生的EMI抑制。

