

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2006-349738
(P2006-349738A)

(43) 公開日 平成18年12月28日 (2006. 12. 28)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/13 (2006.01)	GO2F 1/13 1 O 1	2 H 0 8 8
GO2F 1/1368 (2006.01)	GO2F 1/1368	2 H 0 9 2
GO2F 1/133 (2006.01)	GO2F 1/133 5 5 0	2 H 0 9 3
GO9F 9/00 (2006.01)	GO9F 9/00 3 5 2	5 C 0 0 6
GO9G 3/36 (2006.01)	GO9G 3/36	5 C 0 8 0
審査請求 有 請求項の数 8 O L (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2005-172222 (P2005-172222)	(71) 出願人	000002185
(22) 出願日	平成17年6月13日 (2005. 6. 13)		ソニー株式会社
			東京都品川区北品川6丁目7番35号
		(74) 代理人	100080160
			弁理士 松尾 憲一郎
		(72) 発明者	清水目 和年
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	宮澤 一幸
			福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内
		(72) 発明者	古賀 慎一
			福岡県福岡市早良区百道浜2丁目3番2号 ソニーセミコンダクタ九州株式会社内
		最終頁に続く	

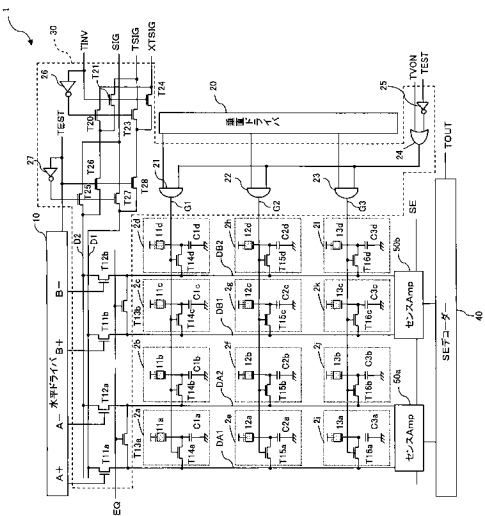
(54) 【発明の名称】 液晶表示装置及び画素不良検査方法並びに画素不良検査プログラム及び記憶媒体

(57) 【要約】

【課題】 データ信号線にプリチャージする中間電圧を外部から入力することなく、容易に生成することができる液晶表示装置及びその検査方法を提供すること。

【解決手段】 画素トランジスタを介して、第1の画素部の容量素子と第2の画素部の容量素子に異なる電圧を印加する。そして、第1の画素部における画素トランジスタの入力電極と第2の画素部における画素トランジスタの入力電極との間に設けられたスイッチをオンにし、第1の画素トランジスタの入力電極と第2の画素トランジスタの入力電極とを短絡する。続いて、前記画素トランジスタを介して第1の画素部の容量素子の電圧及び第2の画素部の容量素子の電圧を読み出し、第1の画素部の容量素子の電圧と第2の画素部の容量素子の電圧とを比較した結果に基づいて画素部の不良を検出する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

画素トランジスタと、この画素トランジスタの出力電極に接続された容量素子と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部とを有する画素部を複数設けた液晶表示装置における画素不良検査方法において、

前記複数の画素部のうち、第 1 の画素部の容量素子と第 2 の画素部の容量素子に異なる電圧を印加するステップと、

第 1 の画素部における画素トランジスタの入力電極と第 2 の画素部における画素トランジスタの入力電極との間に設けられたスイッチをオンにし、第 1 の画素トランジスタの入力電極と第 2 の画素トランジスタの入力電極とを短絡するステップと、

第 1 の画素部の容量素子の電圧及び第 2 の画素部の容量素子の電圧を読み出すステップと、

第 1 の画素部の容量素子の電圧と第 2 の画素部の容量素子の電圧とを比較した結果に基づいて画素部の不良を検出するステップと、
を有することを特徴とする画素不良検査方法。

【請求項 2】

画素トランジスタと、この画素トランジスタの出力電極に接続された容量素子と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部とを有する画素部を複数設けた液晶表示装置における前記画素部の不良検査方法において、

前記複数の画素部のうち、第 1 の画素部の入力電極に接続された第 1 のトランジスタをオンにして第 1 の電圧を前記入力電極に印加すると共に、第 1 の画素部の画素トランジスタをオンにすることにより第 1 の画素部の容量素子に第 1 の電圧を印加するステップと、

前記複数の画素部のうち、第 2 の画素部の入力電極に接続された第 2 のトランジスタをオンにして第 2 の電圧を前記入力電極に印加すると共に、第 2 の画素部の画素トランジスタをオンにすることにより第 2 の画素部の容量素子に第 2 の電圧を印加するステップと、

第 1 のトランジスタ及び第 2 のトランジスタをオフにすると共に、第 1 の画素部の画素トランジスタ及び第 2 の画素部の画素トランジスタをオフにするステップと、

第 1 の画素部における画素トランジスタの入力電極と第 2 の画素部における画素トランジスタの入力電極との間に設けられたスイッチを所定期間オンにすることにより、これらの画素トランジスタの入力電極を短絡するステップと、

前記所定期間が経過した後、第 1 の画素部の画素トランジスタ及び第 2 の画素部の画素トランジスタをオンにして、第 1 の画素部の容量素子の電圧及び第 2 の画素部の容量素子の電圧を読み出すステップと、

読み出した第 1 の画素部の容量素子の電圧と第 2 の画素部の容量素子の電圧とを比較するステップと、
を有することを特徴とする画素不良検査方法。

【請求項 3】

第 1 の画素部の容量素子の電圧と第 2 の画素部の容量素子の電圧とを比較するステップは、センスアンプにより行なわれることを特徴とする請求項 1 又は請求項 2 に記載の画素不良検査方法。

【請求項 4】

画素トランジスタと、この画素トランジスタの出力電極に接続された容量素子と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部とを有する画素部を複数設けた液晶表示装置において、

前記複数の画素部のうち、第 1 の画素部の入力電極に接続される第 1 のデータ信号線と、

前記複数の画素部のうち、第 2 の画素部の入力電極に接続される第 2 のデータ信号線と、

第 1 のデータ信号線に第 1 のテスト信号を供給可能とした第 1 のトランジスタと、
第 2 のデータ信号線に第 2 のテスト信号を供給可能とした第 2 のトランジスタと、

10

20

30

40

50

第 1 の画素部の画素トランジスタの制御電極と第 2 の画素部の画素トランジスタの制御電極とに接続されるゲート信号線と、

第 1 のデータ信号線と第 2 のデータ信号線とに接続され、これらのデータ信号線間に設けられたスイッチと、

前記第 1 のデータ信号線の電圧と第 2 のデータ信号線の電圧を比較する比較回路を備え、

前記スイッチは、第 1 のデータ信号線と第 2 のデータ信号線とを電氣的に短絡し、第 1 のデータ信号線の電圧及び第 2 のデータ信号線の電圧を中間電圧とする制御を可能としたことを特徴とする液晶表示装置。

【請求項 5】

10

前記比較回路は、センスアンプであり、

前記センスアンプは、第 1 の画素部の容量素子の電位と第 2 の画素部の容量素子の電位とを比較し、その差を増幅して出力可能としたことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

第 1 のテスト信号と第 2 のテスト信号とを切り替える電圧反転入力回路を備えたことを特徴とする請求項 4 又は請求項 5 に記載の液晶表示装置。

【請求項 7】

画素トランジスタと、この画素トランジスタの出力電極に接続された容量素子と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部とを有する画素部を複数設けた液晶表示装置における画素部の不良を検査するための画素不良検査プログラムにおいて、

20

コンピュータに、

複数の画素部のうち、第 1 の画素部の容量素子と第 2 の画素部の容量素子に異なる電圧を印加する機能と、

第 1 の画素部における画素トランジスタの入力電極と第 2 の画素部における画素トランジスタの入力電極との間に設けられたスイッチをオンにし、第 1 の画素トランジスタの入力電極と第 2 の画素トランジスタの入力電極とを短絡する機能と、

第 1 の画素部の容量素子の電圧及び第 2 の画素部の容量素子の電圧を読み出す機能と、

第 1 の画素部の容量素子の電圧と第 2 の画素部の容量素子の電圧とを比較した結果に基づいて画素部の不良を検出する機能と、を実行させる画素不良検査プログラム。

30

【請求項 8】

請求項 7 に記載の画素不良検査プログラムがコンピュータによって読み取り可能に記録されていることを特徴とする記録媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその検査方法並びに画素不良検査プログラム及び記憶媒体に関し、特に画素不良の検査に関する。

40

【背景技術】

【0002】

近年、ディスプレイ装置は、急速にその薄型化が進んできており、例えば、液晶表示装置 (LCD: Liquid Crystal Device) が幅広く普及している。この液晶表示装置は、薄型、軽量及び低消費電力を特徴とすることから、特に携帯電話機、PDA (Personal Digital Assistance)、ノートパソコン、携帯用 TV などのいわゆるモバイル端末に利用される機会が増えている。さらに、リア・プロジェクションやフロント・プロジェクターなどにも利用され始めている。

【0003】

50

そして、このような液晶表示装置として、アクティブマトリクス型の液晶表示装置が主流になってきている。アクティブマトリクス型の液晶表示装置は、透明な画素電極と薄膜トランジスタ（TFT；thin film transistor）とを配置した基板と、表示部全体に一つの透明な電極を形成した対向基板とを設け、これらの基板を対向させて液晶を封入した構造を有している。そして、スイッチング機能をもつTFTを制御することによって、各画素電極に画素階調に応じた電圧（以下、「階調電圧」とする。）を印加し、各画素電極と対向基板の電極との間の電位差を発生させることにより液晶の透過率を変化させて画像を表示するものである。

【0004】

また、TFTが配置された基板上には、各画素電極へ階調電圧を印加するための複数のデータ信号線と、TFTをスイッチングさせるための制御信号を印加する複数のゲート信号線とが配置されている。そして、各画素電極への階調電圧の印加はデータ信号線を介して行われ、画像表示の1フレーム期間にデータ信号線に接続される全ての画素電極への階調電圧の印加が行われることによって、液晶表示部に画像を表示するようにしている。このように各画素電極へ印加された階調電圧は、各TFTの出力電極に設けられた容量素子（コンデンサ）によって次に階調電圧が印加されるまで保持される。

【0005】

また、液晶表示装置は、透過型のものが一般的であったが、最近では、LCOS（Liquid Crystal On Silicon）などの反射型のものが市場に投入され始めている。このLCOSは、シリコンウェハを基板として使うことができることから、ガラス基板上にポリシリコンで回路形成される透過型にくらべ、高性能なトランジスタを使用することができる。

【0006】

ところで、このような液晶表示装置は、多数の画素部から構成されており、これらの画素部分を検査するために、実際に液晶表示パネルを駆動させ、その表示画像を画像処理装置で解析して画素不良検査を行ったり、直接目視によって画素不良を検出する方法がとられている。しかし、このような方法は、実際に液晶表示装置を駆動させ、画像の表示後に検査を行っており、測定時間がかかってしまい、その検査を液晶の注入前に行うこともできない。

【0007】

また、画素不良検査として、LSIテストを用いてリーク電流を測定する方法もとられており、この方法により μ A程度のリーク電流までを測定することができる。ところが、LCOSの液晶表示装置においては、上述の容量素子の容量が数十FF（フェムト・ファラッド）であり、例えば、10Vの信号を50FFに10mSの間保持させる仕様のときは、50pA以下のリーク電流の測定が必要となり、この方法では検査することはできない。

【0008】

そこで、特許文献1には、液晶表示装置における画素不良を高精度で行うと共に、検査時間の短縮化を図ることができる液晶表示装置及びその検査方法が提案されている。

【0009】

この液晶表示装置は、対とした画素部に異なる電圧をそれぞれ書き込んだ後、同一の電圧を全てのデータ信号線に基準の電圧として印加することによりプリチャージし、その後、対とした画素部に蓄積した電圧をそれぞれ読み出して比較することにより、画素不良を検出するものである。

【特許文献1】特開2004-226551号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

ところが、特許文献1の液晶表示装置においては、データ信号線に対して基準の電圧をプリチャージするときに、入力端子から基準電圧を入力しなければならない。そのため、

10

20

30

40

50

入力端子には、書き込み時の電圧に応じた基準電圧を生成しなければならなかった。また、基準電圧を生成する回路や処理が必要となっていた。

そこで、本発明は、データ信号線にプリチャージする基準電圧（以下、中間電圧ともいう。）を生成することなく、容易にプリチャージ可能とした液晶表示装置及びその検査方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

そこで、請求項1に記載の発明は、画素トランジスタと、この画素トランジスタの出力電極に接続された容量素子と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部とを有する画素部を複数設けた液晶表示装置における画素不良検査方法において、前記複数の画素部のうち、第1の画素部の容量素子と第2の画素部の容量素子に異なる電圧を印加するステップと、第1の画素部における画素トランジスタの入力電極と第2の画素部における画素トランジスタの入力電極との間に設けられたスイッチをオンにし、第1の画素トランジスタの入力電極と第2の画素トランジスタの入力電極とを短絡するステップと、第1の画素部の容量素子の電圧及び第2の画素部の容量素子の電圧を読み出すステップと、第1の画素部の容量素子の電圧と第2の画素部の容量素子の電圧とを比較した結果に基づいて画素部の不良を検出するステップと、を有することを特徴とする。

10

【0012】

また、請求項2に記載の発明は、画素トランジスタと、この画素トランジスタの出力電極に接続された容量素子と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部とを有する画素部を複数設けた液晶表示装置における前記画素部の不良検査方法において、前記複数の画素部のうち、第1の画素部の入力電極に接続された第1のトランジスタをオンにして第1の電圧を前記入力電極に印加すると共に、第1の画素部の画素トランジスタをオンにすることにより第1の画素部の容量素子に第1の電圧を印加するステップと、前記複数の画素部のうち、第2の画素部の入力電極に接続された第2のトランジスタをオンにして第2の電圧を前記入力電極に印加すると共に、第2の画素部の画素トランジスタをオンにすることにより第2の画素部の容量素子に第2の電圧を印加するステップと、第1のトランジスタ及び第2のトランジスタをオフにすると共に、第1の画素部の画素トランジスタ及び第2の画素部の画素トランジスタをオフにするステップと、第1の画素部における画素トランジスタの入力電極と第2の画素部における画素トランジスタの入力電極との間に設けられたスイッチを所定期間オンにすることにより、これらの画素トランジスタの入力電極を短絡するステップと、前記所定期間が経過した後、第1の画素部の画素トランジスタ及び第2の画素部の画素トランジスタをオンにして、第1の画素部の容量素子の電圧及び第2の画素部の容量素子の電圧を読み出すステップと、読み出した第1の画素部の容量素子の電圧と第2の画素部の容量素子の電圧とを比較するステップと、を有することを特徴とする。

20

30

【0013】

また、請求項3に記載の発明は、請求項1に記載の発明であって、第1の画素部の容量素子の電圧と第2の画素部の容量素子の電圧とを比較するステップは、センスアンプにより行なわれることを特徴とする。

40

【0014】

また、請求項4に記載の発明は、画素トランジスタと、この画素トランジスタの出力電極に接続された容量素子と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部とを有する画素部を複数設けた液晶表示装置において、前記複数の画素部のうち、第1の画素部の入力電極に接続される第1のデータ信号線と、前記複数の画素部のうち、第2の画素部の入力電極に接続される第2のデータ信号線と、第1のデータ信号線に第1のテスト信号を供給可能とした第1のトランジスタと、第2のデータ信号線に第2のテスト信号を供給可能とした第2のトランジスタと、第1の画素部の画素トランジスタの制御電極と第2の画素部の画素トランジスタの制御電極とに接続されるゲート信号線と、第1のデータ信号線と第2のデータ信号線とに接続され、これらのデータ信号線間に設けられた

50

スイッチと、前記第 1 のデータ信号線の電圧と第 2 のデータ信号線との電圧を比較する比較回路を備え、前記スイッチは、第 1 のデータ信号線と第 2 のデータ信号線とを電氣的に短絡し、第 1 のデータ信号線の電圧及び第 2 のデータ信号線の電圧を中間電圧とする制御を可能としたことを特徴とする。

【 0 0 1 5 】

また、請求項 5 に記載の発明は、前記比較回路は、センスアンプであり、前記センスアンプは、第 1 の画素部の容量素子の電位と第 2 の画素部の容量素子の電位とを比較し、その差を増幅して出力可能としたことを特徴とする。

【 0 0 1 6 】

また、請求項 6 に記載の発明は、請求項 4 又は請求項 5 に記載の発明であって、第 1 のテスト信号と第 2 のテスト信号とを切り替える電圧反転入力回路を備えたことを特徴とする。 10

【 0 0 1 7 】

また、請求項 7 に記載の発明は、画素トランジスタと、この画素トランジスタの出力電極に接続された容量素子と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部とを有する画素部を複数設けた液晶表示装置における画素部の不良を検査するための画素不良検査プログラムにおいて、コンピュータに、複数の画素部のうち、第 1 の画素部の容量素子と第 2 の画素部の容量素子に異なる電圧を印加する機能と、第 1 の画素部における画素トランジスタの入力電極と第 2 の画素部における画素トランジスタの入力電極との間に設けられたスイッチをオンにし、第 1 の画素トランジスタの入力電極と第 2 の画素トランジスタの入力電極とを短絡する機能と、第 1 の画素部の容量素子の電圧及び第 2 の画素部の容量素子の電圧を読み出す機能と、第 1 の画素部の容量素子の電圧と第 2 の画素部の容量素子の電圧とを比較した結果に基づいて画素部の不良を検出する機能と、を実行させることを特徴とする。 20

【 0 0 1 8 】

また、請求項 8 に記載の発明は、請求項 7 に記載の画素不良検査プログラムがコンピュータによって読み取り可能に記録されている記憶媒体であることを特徴とする。

【発明の効果】

【 0 0 1 9 】

請求項 1 に記載の発明によれば、第 1 の画素部における画素トランジスタの入力電極と第 2 の画素部における画素トランジスタの入力電極との間に設けられたトランジスタなどのスイッチをオンにすることにより、第 1 の画素トランジスタの入力電極と第 2 の画素トランジスタの入力電極とを短絡することとしたので、データ信号線にプリチャージする基準電圧である中間電圧を生成することなく、スイッチを用いて容易にプリチャージして中間電位とすることができる。 30

【 0 0 2 0 】

また、請求項 2 に記載の発明によれば、第 1 の画素部における画素トランジスタの入力電極と第 2 の画素部における画素トランジスタの入力電極との間に設けられたトランジスタなどのスイッチをオンにすることにより、第 1 の画素トランジスタの入力電極と第 2 の画素トランジスタの入力電極とを短絡することとしたので、データ信号線にプリチャージする基準電圧である中間電圧を生成することなく、スイッチを用いて容易にプリチャージして中間電位とすることができる。 40

【 0 0 2 1 】

また、請求項 3 に記載の発明によれば、第 1 の画素部の容量素子の電圧と第 2 の画素部の容量素子の電圧とをセンスアンプで行なうようにしたため、リーク量を的確に検出することができ、画素部の不良検出の精度を高めることができる。

【 0 0 2 2 】

また、請求項 4 に記載の発明によれば、第 1 の画素部における画素トランジスタの入力電極と第 2 の画素部における画素トランジスタの入力電極との間にトランジスタなどのスイッチを設け、第 1 のデータ信号線と第 2 のデータ信号線とを電氣的に短絡し、第 1 のデ 50

ータ信号線の電圧及び第２のデータ信号線の電圧を中間電圧とする制御を可能としたので、データ信号線にプリチャージする基準電圧である中間電圧を生成することなく、スイッチを用いて容易にプリチャージして中間電位とすることができる。

【００２３】

また、請求項５に記載の発明によれば、第１の画素部の容量素子の電圧と第２の画素部の容量素子の電圧とをセンスアンプで行なうようにしたため、リーク量を的確に検出することができ、画素部の不良検出の精度を高めることができる。

【００２４】

また、請求項６に記載の発明によれば、第１のテスト信号と第２のテスト信号とを切り替える電圧反転入力回路を設けたので、これらの信号の反転を容易に行なうことができる。 10

【００２５】

また、請求項７及び請求項８に記載の発明によれば、データ信号線にプリチャージする基準電圧である中間電圧を生成することなく、スイッチを用いて容易にプリチャージして中間電位とする制御が可能となる。

【発明を実施するための最良の形態】

【００２６】

次に、発明の実施の形態を説明する。図１は本発明の一実施形態である液晶表示装置の画素部の構成を示す図であり、図２は本発明の一実施形態である液晶表示装置の構成を示す図である。 20

【００２７】

まず、液晶表示装置１内にマトリックス状に複数設けられた画素部Ａについて、その構成及び動作を、図１を参照して説明する。

【００２８】

図１に示すように、画素部Ａは、画素トランジスタＴ１と、容量素子Ｃ１と、液晶部２とから構成される。画素トランジスタＴ１の入力電極はデータ信号線に接続され、出力電極は容量素子Ｃ１の一端及び液晶部２の画素電極に接続される。また、容量素子Ｃ１の他端はグランドに設置される。

【００２９】

画素トランジスタＴ１の制御電極は、ゲート信号線に接続され、このゲート信号線の信号に基づいて、この画素トランジスタＴ１のオン及びオフが制御される。すなわち、ゲート信号線にＨｉｇｈの電圧（以下、単に「Ｈｉｇｈ」とする。）が印加されたとき、画素トランジスタＴ１がオンとなり、データ信号線の電圧が容量素子Ｃ１及び液晶部２に印加される。 30

【００３０】

液晶部２に電圧が印加されると、その印加電圧に応じて液晶の反射率が制御され、階調表示制御を可能としている。また、容量素子Ｃ１が配置されているため、画素トランジスタＴ１がオフにされた後も、印加された電圧を容量素子Ｃ１に保持し、液晶の反射量が継続的に維持される構成となっている。

【００３１】

このように、画素部Ａは、画素トランジスタＴ１と、この画素トランジスタＴ１の出力電極に接続された容量素子Ｃ１と、この容量素子Ｃ１に保持される電圧に基づいた階調表示を行なう液晶部２とから構成される。 40

【００３２】

次に、このような画素部Ａがマトリックス状で二次元的に複数配置された液晶表示装置１について、図２を参照して、その構成及び動作を説明する。なお、本実施の形態においては、理解を容易にするため、画素部を４×３のマトリックス状の配置としている。

【００３３】

本実施形態の液晶表示装置１は、複数の画素部２ａ～２１と、水平ドライバ１０と、垂直ドライバ２０と、検査用ロジック回路３０と、デコーダ４０と、センスアンプ５０ａ、 50

50 bとを有している。

【0034】

画素部2 a、2 e、2 iにおける画素トランジスタT 1 4 a、T 1 5 a、T 1 6 aの入力電極はデータ信号線D A 1に、画素部2 b、2 f、2 jにおける画素トランジスタT 1 4 b、T 1 5 b、T 1 6 bの入力電極はデータ信号線D A 2に、画素部2 c、2 g、2 kにおける画素トランジスタT 1 4 c、T 1 5 c、T 1 6 cの入力電極はデータ信号線D B 1に、画素部2 d、2 h、2 lにおける画素トランジスタT 1 4 d、T 1 5 d、T 1 6 dの入力電極はデータ信号線D B 2にそれぞれ接続される。

【0035】

画素部2 a～2 dにおける画素トランジスタT 1 4 a～dの制御電極はゲート信号線G 1に、画素部2 e～2 hにおける画素トランジスタT 1 5 a～dの制御電極はゲート信号線G 2に、画素部2 i～2 lにおける画素トランジスタT 1 6 a～dの制御電極はゲート信号線G 3に接続される。なお、データ信号線D A 1やD B 1が第1のデータ信号線に対応し、データ信号線D A 2やD B 2が第2のデータ信号線に対応する。また、ゲート信号線は、水平ライン毎に設けられる。各画素トランジスタT 1 4 a～d、T 1 5 a～d、T 1 6 a～dの出力電極には、それぞれ液晶部1 1 a～d、1 2 a～d、1 3 a～dが設けられている。

【0036】

[水平ドライバ10の説明]

水平ドライバ10は、シフトレジスタ回路とテスト用ロジック回路を有しており、T E S T信号からの入力により、シフトレジスタ回路とテスト用ロジック回路との切替が行なわれる。すなわち、T E S T信号がL o wの電圧(以下、単に「L o w」とする。)のときにはシフトレジスタ回路が動作し、H i g hのときにはテスト用ロジック回路が動作する。

【0037】

[垂直ドライバ20の説明]

垂直ドライバ20は、ゲート信号線G 1～G 3にそれぞれL o w又はH i g hのゲート信号を印加する回路である。なお、この垂直ドライバ20は、一つのゲート信号線にH i g hのゲート信号を出力するときには、その他のゲート信号線はL o wのゲート信号を出力する。

【0038】

[検査用ロジック回路30の説明]

検査用ロジック回路30は、画素部2 a～2 lを検査するためのテストモードと、画素部2 a～2 lにより画像を表示する通常動作モードとを切り替えると共に、画素部2 a～2 lを検査するためのテストモードのときに、種々の切替動作を行なうための回路である。

【0039】

この検査用ロジック回路30には、データ信号線D A 1、D A 2、D B 1、D B 2に供給する信号を切り替えるためのトランジスタT 1 1 a、T 1 1 b、T 1 2 a、T 1 2 b、T 2 0、T 2 1、T 2 3～T 2 8及びインバータ回路2 6、2 7(以下、「信号切替部」とする。)と、データ信号線D A 1とD A 2との間、データ信号線D B 1とD B 2との間をそれぞれ電氣的に接続するスイッチに機能を有するトランジスタT 1 3 a、T 1 3 b(以下、「イコライザー部」とする。)と、垂直ドライバ20からゲート信号線G 1～G 3への出力を制御するO R回路2 4、インバータ回路2 5及びA N D回路2 1～2 3(以下、「ゲート信号線制御部」とする。)とを有している。

【0040】

[信号切替部の説明]

【0041】

この信号切替部は、データ信号線D A 1、D A 2、D B 1、D B 2にそれぞれ入力する信号を、第1のテスト信号T S I Gとするのか、第2のテスト信号X T S I Gとするのか

、画像表示用信号 S I G とするのかわを選択するための回路であり、以下その構成を説明する。

【 0 0 4 2 】

第 1 のテスト信号 T S I G はトランジスタ T 2 1、T 2 3 の入力電極に、第 2 のテスト信号 X T S I G はトランジスタ T 2 0、T 2 4 の入力電極に接続される。また、トランジスタ T 2 1、T 2 4 の制御電極には反転信号 T I N V が入力され、トランジスタ T 2 0、T 2 3 の制御電極には反転信号 T I N V が反転した信号がインバータ回路 2 6 を介して入力される。

【 0 0 4 3 】

また、トランジスタ T 2 0、T 2 1 の出力電極は、トランジスタ T 2 5 の入力電極に接続され、トランジスタ T 2 3、T 2 4 の出力電極は、トランジスタ T 2 8 の入力電極に接続される。トランジスタ T 2 7 の出力電極は、トランジスタ T 2 8 の出力電極と共にデータ信号線 D 1 に接続され、トランジスタ T 2 5 の出力電極は、トランジスタ T 2 6 の出力電極と共にデータ信号線 D 2 に接続される。なお、トランジスタ T 2 5、T 2 7 の入力電極は、画像表示用の信号 S I G に接続される。また、トランジスタ T 2 6、T 2 8 の制御電極にはテスト信号 T E S T が接続され、トランジスタ T 2 5、T 2 7 の制御電極にはテスト信号 T E S T の反転信号がインバータ回路 2 7 を介して接続される。

10

【 0 0 4 4 】

また、トランジスタ T 1 1 a、T 1 2 a、T 1 1 b、T 1 2 b の制御電極（ゲート）は、それぞれ水平ドライバ 1 0 の出力 A +、A -、B +、B - に接続されており、出力電極（ソース）は、それぞれデータ信号線 D A 1、D A 2、D B 1、D B 2 に接続される。また、トランジスタ T 1 1 a、T 1 2 a の入力電極（ドレイン）は、それぞれデータ信号線 D 1、D 2 に接続され、又トランジスタ T 2 8、T 2 6 の出力電極にそれぞれ接続される。トランジスタ T 1 1 b、T 1 2 b の入力電極（ドレイン）も同様である。

20

【 0 0 4 5 】

以上のように信号切替部が構成されているため、例えば、データ信号線 D 1 に第 1 のテスト信号 T S I G を、データ信号線 D 2 に第 2 のテスト信号 X T S I G を供給する場合には、反転信号 T I N V を L o w に、テスト信号 T E S T を H i g h にする。また、その逆、すなわち、データ信号線 D 1 に第 2 のテスト信号 X T S I G を、データ信号線 D 2 に第 1 のテスト信号 T S I G を供給する場合には、反転信号 T I N V を H i g h に、テスト信号 T E S T を H i g h にする。また、データ信号線 D 1、D 2 の信号は、トランジスタ T 1 1 a、T 1 2 a、T 1 1 b、T 1 2 b の制御電極に水平ドライバ 1 0 から H i g h をそれぞれ入力することにより、それぞれデータ信号線 D A 1、D A 2、D B 1、D B 2 へ供給することができる。

30

【 0 0 4 6 】

なお、トランジスタ T 2 0、T 2 1、T 2 3、T 2 4 及びインバータ回路 2 6 とにより、第 1 のテスト信号 T S I G と第 2 のテスト信号 X T S I G とを切り替える電圧反転入力回路を構成する。

【 0 0 4 7 】

[イコライザー部の説明]

イコライザー部は、スイッチとしてのトランジスタ T 1 3 a、T 1 3 b により構成されており、トランジスタ T 1 3 a はデータ信号線 D A 1 とデータ信号線 D A 2 との間に接続され、これらのデータ信号線間を低インピーダンスで短絡することによって、データ信号線 D A 1、D A 2 の電圧が短絡前のこれらの電圧の中間電圧になるようにする。例えば、データ信号線 D A 1 に 4 V、データ信号線 D A 2 に 5 V のときにトランジスタ T 1 3 a が所定期間オンにされると、データ信号線 D A 1、D A 2 の電圧はその中間電圧である 4 . 5 V となる。また、同様に、トランジスタ T 1 3 b はデータ信号線 D B 1 とデータ信号線 D B 2 との間に接続され、これらのデータ信号線間を低インピーダンスで短絡することによって、データ信号線 D B 1、D B 2 の電圧が短絡前のこれらの電圧の中間電圧になるようにする。

40

50

【 0 0 4 8 】

なお、このトランジスタ T 1 3 a がオンにされるのは、トランジスタ T 1 1 a、T 1 2 a がオフ（すなわち、高インピーダンスとなる）にされ、かつ画素トランジスタ T 1 4 a、T 1 4 b、T 1 5 a、T 1 5 b、T 1 6 a、T 1 6 b がオフにされているときである。また、同様に、トランジスタ T 1 3 b がオンにされるのは、トランジスタ T 1 1 b、T 1 2 b がオフ（すなわち、高インピーダンスとなる）にされ、かつ画素トランジスタ T 1 4 c、T 1 4 d、T 1 5 c、T 1 5 d、T 1 6 c、T 1 6 d がオフにされているときである。

【 0 0 4 9 】

[ゲート信号制御部の説明]

このゲート信号制御部は、テストモード時にゲート信号線 G 1 ~ G 3 に垂直ドライバ 2 0 からの信号を供給するか否かの制御を行うものである。テスト信号 T E S T は、インバータ回路 2 5 を介して、O R 回路 2 4 の一方の入力に接続され、又この O R 回路 2 4 のもう一方の入力には垂直信号制御信号 T V O N が接続される。O R 回路 2 4 の出力は、A N D 回路 2 1 ~ 2 3 の一方の入力に接続されると共に、これらの A N D 回路 2 1 ~ 2 3 のもう一方の入力にはそれぞれ垂直ドライバ 2 0 からのゲート信号線が接続される。また、A N D 回路 2 1 ~ 2 3 の出力はそれぞれゲート信号線 G 1、G 2、G 3 に接続されている。

【 0 0 5 0 】

このようにゲート制御信号部が構成されているため、テスト信号 T E S T が H i g h のときで、かつ垂直信号制御信号 T V O N が L o w の場合には、垂直ドライバ 2 0 からの信号は、ゲート信号線 G 1、G 2、G 3 へは供給されず、垂直信号制御信号 T V O N が H i g h の場合のみ垂直ドライバ 2 0 からの信号がゲート信号線 G 1、G 2、G 3 へ供給される。

【 0 0 5 1 】

[デコーダ 4 0 の説明]

デコーダ 4 0 は、センスアンプ 5 0 a、5 0 b から出力される差動増幅信号を T O U T 信号として出力する回路である。このように出力される T O U T 信号は、後述の L S I テスタ 7 0 に読み取られ、画素部 2 a ~ 2 1 の不良検査が行なわれる。

【 0 0 5 2 】

[センスアンプ 5 0 a、5 0 b の説明]

センスアンプ 5 0 a の反転入力及び非反転入力は、それぞれデータ信号線 D A 1 及び D A 2 が接続されている。そして、このセンスアンプ 5 0 a は、これらのデータ信号線 D A 1 及び D A 2 を比較してこれらの電圧差を検出し、増幅後にデコーダ 4 0 へ出力する。センスアンプ 5 0 b も同様に、その入力データ信号線 D B 1 及び D B 2 に接続されており、このデータ信号線を比較してこれらの電位差を検出し、増幅後にデコーダ 4 0 へ出力する。このセンスアンプ 5 0 a、5 0 b は、比較回路に対応する。

【 0 0 5 3 】

また、このセンスアンプ 5 0 a、5 0 b には、イネーブル信号 S E が入力される。このイネーブル信号 S E が H i g h になると、センスアンプ 5 0 a、5 0 b は、出力信号を最大振幅まで増幅するように動作する。

【 0 0 5 4 】

[液晶表示装置のテスト動作]

以上のように構成された液晶表示装置 1 の画素部 2 a ~ 2 1 の不良検出方法について、以下具体的に説明する。図 3 は、液晶表示装置 1 と L S I テスタ 7 0 との接続図を示しており、本実施の形態においては、この L S I テスタ 7 0 から液晶表示装置 1 へ各種制御信号を入力し、液晶表示装置 1 から出力される出力信号 T O U T に基づき、画素部 2 a ~ 2 1 の不良を検出するものである。図 4 は、液晶表示装置 1 におけるテストモード時のタイミングチャートである。なお、L S I テスタ 7 0 は、画素部の不良を検査するためのコンピュータに対応する。

【 0 0 5 5 】

10

20

30

40

50

ここで、LSIテスト70は、内部にCPU71及びプログラムを記憶した記憶部72等を有しており、CPU71が記憶部72等に記憶されたプログラム（本発明の画素不良検査プログラムを含む）を読み出して実行することにより、以下の詳解する機能を実行するようになっている。なお、この画素不良検査プログラムをCD-ROM等の記憶媒体に記録し、LSIテスト70の記憶媒体ドライブ（図示せず）を介して、この記憶媒体を記憶部72に読み込ませるようにしてもよい。

【0056】

このLSIテスト70によるテストは、概略、（a）画素部の容量素子への電圧の書き込み動作、（b）対のデータ信号線DA1，DA2若しくはDB1，DB2の電圧を中間電圧にする動作、（c）画素部の容量素子の電圧を読み出す動作、（d）読み出した電圧を比較して画素不良を検出する動作、の4つの手順から構成される。なお、本実施の形態における液晶表示装置1においては、画素部2a～2lの不良を検出することができるが、ここでは、画素部2a及び画素部2bを対として、これらの不良検出動作のみを説明し、他の画素部の不良の検出については画素部2a、2bと同じであるため省略する。また、画素部2aが第1の画素部に対応し、画素部2bが第2の画素部に該当する。

10

【0057】

[画素部の容量素子への電圧の書き込み動作]

まず、LSIテスト70は、TEST信号をHighとすると共に、第1のテスト信号TSIGと第2のテスト信号XTSIGとを供給する。また、反転信号TINVにはLowを、TVONにはLowを供給する。これにより、データ信号線D1、D2にはそれぞれ第1のテスト信号TSIGと第2のテスト信号XTSIGとが供給される（図4 - タイミングTa1参照）。なお、本実施形態においては、第1のテスト信号TSIGの電圧レベルを4Vと、第2のテスト信号XTSIGの電圧レベルを5Vとするが、これに限られない。また、このテスト信号は直流電圧のアナログ信号である。

20

【0058】

次に、LSIテスト70は、水平ドライバ10を制御し、トランジスタT11a，T12aにHighを出力し、これらのトランジスタT11a，T12aを同時にオンにする。さらに、LSIテスト70は、垂直信号制御信号TVONをHighにすると共に、垂直ドライバ20を制御してAND回路21の入力をHighにすることによって、ゲート信号線G1をHighとする。このように、ゲート信号線G1がHighとされると、画素トランジスタT14a～T14dがオンとなる（図4 - タイミングTa2参照）。そのため、画素部2aの容量素子C1aには、データ信号線DA1から第1のテスト信号TSIGの電圧が印加されて、その電圧が保持される。また、同様に、画素部2bの容量素子C1bには、データ信号線DA2から第2のテスト信号XTSIGの電圧が印加されて、その電圧が保持される。このようにして、画素部2aには第1のテスト信号TSIGの電圧が書き込まれ、画素部2bには第2のテスト信号XTSIGの電圧が書き込まれる。

30

【0059】

画素部2a及び2bへの書き込みが終了すると、LSIテスト70は、水平ドライバ10を制御し、トランジスタT11a，T12aの制御電極にLow信号を出力し、これらのトランジスタT11a，T12aをオフにする。さらに、LSIテスト70は、垂直信号制御信号TVONをLowにするか、若しくは垂直ドライバ20を制御してAND回路21の入力をLowにすることによって、ゲート信号線G1をLowとする。これにより、画素部2a、2bはオフになると共に、これら画素部の画素トランジスタT14a、T14bの入力電極が第1のテスト信号TSIG及び第2のテスト信号XTSIGから切り離されて高インピーダンスとなる。

40

【0060】

ここで、データ信号線DA1及びデータ信号線DA2には容量成分が存在するため、それぞれ第1のテスト信号の電圧レベル及び第2のテスト信号の電圧レベルの状態が保持される。すなわち、データ信号線DA1には4Vが、データ信号線DA2には5Vが保持される。なお、本実施形態においては、データ信号線DA1の容量成分とデータ信号線DA

50

2 の容量成分とが同一とする。

【 0 0 6 1 】

[データ信号線 D A 1 , D A 2 を中間電圧にする動作]

続いて、L S I テスタ 7 0 は、画素部 2 a、2 b への書き込みが終了して一定時間経過待つ。その後、L S I テスタ 7 0 は、平均化信号 E Q を H i g h とすることで、トランジスタ T 1 3 a、T 1 3 b をオンにする。このようにトランジスタ T 1 3 a がオンとなると、データ信号線 D A 1 とデータ信号線 D A 2 とが短絡し、データ信号線 D A 2 からデータ信号線 D A 1 へと電流が流れる。そのため、データ信号線 D A 1 と D A 2 との電圧が平均化された電圧となり、本実施の形態においては 4 . 5 V となる (図 4 - タイミング T a 3 参照)。L S I テスタ 7 0 は、平均化信号 E Q の H i g h 状態を所定時間継続した後、平均化信号 E Q を L o w に戻す。

10

【 0 0 6 2 】

[画素部の容量素子の電圧を読み出す動作]

次に、L S I テスタ 7 0 は、垂直信号制御信号 T V O N を H i g h にすると共に、垂直ドライバ 2 0 から A N D 回路 2 1 を介して、ゲート信号線 G 1 を H i g h とし、画素トランジスタ T 1 4 a、T 1 4 b をオンにする (図 4 - タイミング T a 4 参照)。このように画素トランジスタ T 1 4 a がオンにされると、容量素子 C 1 a が保持している電圧がデータ信号線 D A 1 を介してセンスアンプ 5 0 a の反転入力端子に入力される。また、画素トランジスタ T 1 4 b のオンにより、容量素子 C 1 b が保持している電圧がデータ信号線 D A 2 を介してセンスアンプ 5 0 a の非反転入力端子に入力される。

20

【 0 0 6 3 】

このように容量素子 C 1 a、C 1 b の保持電圧を読み出す際に、データ信号線 D A 1、D A 2 の容量成分に 4 . 5 V が保持されており、またデータ信号線の容量成分に比べ、容量素子の容量成分が小さいため、画素部 2 a、2 b が不良でないときには、センスアンプ 5 0 a の反転入力端子に上述の中間電圧よりも若干高い電圧が入力され、センスアンプ 5 0 a の非反転入力端子に上述の中間電圧よりも若干低い電圧が入力される。なお、このような電圧変化は、データ信号線 D A 1、D A 2 の容量成分と容量素子 C 1 a、C 1 b との比に応じたものとなる。例えば、データ信号線 D A 1 の容量成分が容量素子 C 1 a の 4 9 倍の容量であるときには、センスアンプ 5 0 a の反転入力端子には 4 . 5 1 V の電圧が入力される。また、非反転入力には 4 . 4 9 V の電圧が入力される。

30

【 0 0 6 4 】

[読み出した電圧を比較して画素を検出する動作]

次に、センスアンプ 5 0 a は、容量素子 C 1 a が保持している電圧と容量素子 C 1 b が保持している電圧とを比較し、その電圧差を最大振幅まで増幅してデコーダ 4 0 へ出力する (図 4 - タイミング T a 5 参照)。なお、タイミング図 4 における D A 1、D A 2 の信号は、センスアンプで増幅された後の電圧を示している。

【 0 0 6 5 】

このようにセンスアンプ 5 0 a から出力された差分信号は、デコーダ 4 0 によってコード化された出力信号 T O U T として、L S I テスタ 7 0 に入力される。L S I テスタ 7 0 は、画素部 2 a、2 b への書き込み時の相対的な電位の高さが逆転していないかによって、画素部 2 a、2 b の不良を検出する。ここでは、画素部 2 a には 4 V を、画素部 2 b には 5 V を印加しているので、画素部 2 a の容量素子 C 1 a から読み出した電圧が画素部 2 b の容量素子 C 1 b から読み出した電圧よりも小さいときは、これらの画素が不良であるとは判定せず、大きいときに不良であると判定する。このようなときであっても、電圧差が極めて小さいときには、リークが少ないと判断することができるから、不良であると判定しないようにもできる。このようにセンスアンプ 5 0 a を比較回路に用いることでリーク量を検出することができ、より良品及び不良品の区別を正確にすることが可能となる。

40

【 0 0 6 6 】

その後、入力する電圧を反転させ、以上のテスト動作 (a) ~ (d) を繰り返す。すなわち、データ信号線 D A 1 に第 2 のテスト信号が、データ信号線 D A 2 に第 1 のテスト信

50

号が印加されるように、LSIテスト70により反転信号TINVをHigh(図4 - タイミングT a 6 参照)にし、上述のテスト動作(a) ~ (d)を繰り返す。このように、入力する電圧を反転することにより、対の画素部2 a、2 bのいずれの不良をも検出することができる。また、反転信号TINVを切り替えるだけで第1のテスト信号と第2のテスト信号を反転させることができるためテスト時間の短縮にもつながる。

【0067】

以上のテスト動作を、対の画素部(同一水平ラインの2つの画素部)ごとに繰り返すことで画素部2 a ~ 2 lの画素不良の検出が可能となる。

【0068】

このように、テスト動作(a) ~ (d)により、画素部2 a、2 bの不良を容易に検出することができ、データ信号線の平均化も基準信号を生成することになく可能となるため、極めて容易となる。

【0069】

なお、本実施の形態においては、1対のペアの画素部に対して、連続して(a) ~ (d)の処理を行ったが、以下のようにすることにより、時間の短縮を行なうことができる。

【0070】

(a') LSIテスト70は、水平ドライバ10を制御して、トランジスタT11 a、T12 aをそれぞれオンすると共に、反転信号TINVをLowに、TEST信号をHighにすることにより、データ信号線DA1、DA2にはそれぞれ第1のテスト信号TSIGと第2のテスト信号XTSIGとが供給される。

【0071】

さらに、LSIテスト70は、TVON信号をHighとし、垂直ドライバ20を制御してゲート信号線G1を所定期間オンとする。これによって、画素トランジスタT14 a、T14 bを所定期間オンにし、画素部2 a、2 bへのテスト信号の書き込みを行う。

【0072】

この書き込みが終了すると、LSIテスト70は、水平ドライバ10を制御して、トランジスタT11 a、T12 aをそれぞれオフにすると共に、トランジスタT11 b、T12 bをそれぞれオンにする。これにより、データ信号線DB1、DB2にはそれぞれ第1のテスト信号TSIGと第2のテスト信号XTSIGとが供給される。また、TVON信号をHighとし、垂直ドライバ20を制御してゲート信号線G1を所定期間オンとする。これによって、トランジスタT14 c、T14 dがオンとなり、画素部2 c、2 dへのテスト信号の書き込みを行う。

【0073】

次に、LSIテスト70は、水平ドライバ10を制御して、トランジスタT11 b、T12 bをそれぞれオフにすると共に、トランジスタT11 a、T12 aをそれぞれオンとする。これにより、データ信号線DA1、DA2にはそれぞれ第1のテスト信号TSIGと第2のテスト信号XTSIGとが供給される。また、TVON信号をHighとし、垂直ドライバ20を制御してゲート信号線G2を所定期間オンにする。これによって、画素トランジスタT15 a、T15 bを所定期間オンとし、画素部2 e、2 fへのテスト信号の書き込みを行う。

【0074】

以下同様にして、画素部2 gと2 h、画素部2 iと2 j、画素部2 kと2 lをそれぞれ対とし、上述の手順でテスト信号の書き込みを行なう。

【0075】

(b') 次に、LSIテスト70は、トランジスタT11 a、T12 a、T11 b、T12 bをそれぞれオンにして、データ信号線DA1、DB1に第1のテスト信号TSIGを、データ信号線DA2、DB2に第2のテスト信号XTSIGを所定期間印加する。その後、LSIテスト70は、トランジスタT11 a、T12 a、T11 b、T12 bをそれぞれオフにし、平均化信号EQをHighとすることで、トランジスタT13 a、T13 bを所定期間オンにする。このようにトランジスタT13 aがオンとなると、データ信

10

20

30

40

50

号線 D A 1 とデータ信号線 D A 2 とが短絡し、データ信号線 D A 2 からデータ信号線 D A 1 へと電流が流れる。また、トランジスタ T 1 3 b がオンとなることにより、データ信号線 D B 1 とデータ信号線 D B 2 とが短絡し、データ信号線 D B 2 からデータ信号線 D B 1 へと電流が流れる。

【 0 0 7 6 】

(c ´) 次に、 L S I テスタ 7 0 は、 T V O N 信号を H i g h とし、垂直ドライバ 2 0 を制御してゲート信号線 G 1 のみをオンすると共に、水平ドライバ 1 0 を制御して一つの水平ラインの全ての画素トランジスタ T 1 4 a、T 1 4 b、T 1 4 c、T 1 4 d をオンにする。このように画素トランジスタ T 1 4 a がオンになると、容量素子 C 1 a が保持している電圧がデータ信号線 D A 1 を介してセンスアンプ 5 0 a の反転入力端子に入力される。また、画素トランジスタ T 1 4 b のオンにより、容量素子 C 1 b が保持している電圧がデータ信号線 D A 2 を介してセンスアンプ 5 0 a の非反転入力端子に入力される。また、画素トランジスタ T 1 4 c がオンにされると、容量素子 C 1 c が保持している電圧がデータ信号線 D B 1 を介してセンスアンプ 5 0 b の反転入力端子に入力される。また、画素トランジスタ T 1 4 d のオンにより、容量素子 C 1 d が保持している電圧がデータ信号線 D B 2 を介してセンスアンプ 5 0 b の非反転入力端子に入力される。

10

【 0 0 7 7 】

(d ´) 次に、 L S I テスタ 7 0 は、イネーブル信号 S E を H i g h にする。これにより、センスアンプ 5 0 a、5 0 b は、それぞれ容量素子 C 1 a、C 1 c が保持している電圧と容量素子 C 1 b、C 1 d が保持している電圧とを比較し、その電圧差を最大振幅まで増幅してデコーダ 4 0 へそれぞれ出力する。

20

【 0 0 7 8 】

以後、(b ´) ~ (d ´) の動作を、ゲート信号線 G 2、G 3 で制御される残りの 2 つの水平ラインについてそれぞれ行なうことによって、全ての画素部 2 a ~ 2 l の不良検査をすることができ、上述の (a) ~ (d) の手順に比べ検査時間を短縮することが可能となる。

【 0 0 7 9 】

なお、第 1 のテスト信号と第 2 のテスト信号をアナログレベルで変えることができるため、画素部の電圧に対してリニア特性のリークに加え、画素部の電圧に対して非線形な特性のリークをも検出することが可能となる。

30

【 0 0 8 0 】

また、任意のテスト信号パターンを書き込むことができるため、隣接する画素間のリークも検出することが可能となる。また、書き込みパターンを視覚的にみることもできるので、目視検査にも応用が可能となる。

【 0 0 8 1 】

また、画素部への書き込みから読み出しまでの時間、すなわち保持時間を制御することにより、画素部のリーク不良の検出精度を上げることが可能となる。

【 0 0 8 2 】

さらに、任意のテスト信号電圧を書き込むことができるため、リークの電位依存性も検出することが可能となる。加えて、温度を変化させて上述のテストを行なうことにより、線形特性リークやジャンクションリークの別を予測判定することが可能となる。

40

【 0 0 8 3 】

また、不良の画素部の位置を検出することができるため、不良画素部のマップを作ることでもある。

【 0 0 8 4 】

また、本テストは、液晶注入前でも後でも行うことができ、又テスト信号の書き込み時間と読み出し時間を短くすることで応答スピード試験としても利用することができる。

【 0 0 8 5 】

また、従来の液晶表示装置では、比較回路として単なるデジタル出力のコンパレータを使用しているため、リーク量を検出することができなかった。リーク量を検出することが

50

できれば、より精度の高い画素部の不良検出を行なうことができる。本実施の形態においては、センサンプを使用しているため、従来リーク量を検出することができなかつたリーク量を検出することができ、これにより精度の高い画素部の不良検出が可能となる。

【0086】

なお、本実施の形態においては、LSIテスト70を用いて画素部の不良のテストを行なったが、液晶表示装置1内にテスト用の制御部を設け、この制御部から各種制御信号を入力し、制御部は出力信号TOUTに基づいて、画素部の不良を検出するようにしてもよい。

【0087】

以上の実施形態によると、以下の液晶表示装置における画素不良検査方法、以下の各構成を有する液晶表示装置、以下の各機能を実行する画素不良検査プログラム及び記録媒体が実現される。 10

【0088】

画素トランジスタ（たとえば、画素トランジスタT14a～T14d、T15a～T15d、T16a～T16d）と、この画素トランジスタの出力電極に接続された容量素子（たとえば、容量素子C1a～d、C2a～d、C3a～d）と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部（たとえば、液晶部11a～d、12a～d、13a～d）とを有する画素部（たとえば、画素部2a～21）を複数設けた液晶表示装置（たとえば、液晶表示装置1）における画素不良検査方法において、前記複数の画素部のうち、第1の画素部（たとえば、画素部2a）の容量素子（たとえば、容量素子C1a）と第2の画素部（たとえば、画素部2b）の容量素子（たとえば、容量素子C1b）に異なる電圧を印加するステップと、第1の画素部における画素トランジスタ（たとえば、T14a）の入力電極と第2の画素部における画素トランジスタ（たとえば、T14b）の入力電極との間に設けられたスイッチ（たとえば、T13a）をオンにし、第1の画素トランジスタの入力電極と第2の画素トランジスタの入力電極とを短絡するステップと、第1の画素部の容量素子の電圧及び第2の画素部の容量素子の電圧を読み出すステップと、第1の画素部の容量素子の電圧と第2の画素部の容量素子の電圧とを比較した結果に基づいて画素部の不良を検出するステップと、を有することを特徴とする画素不良検査方法。 20

【0089】

画素トランジスタ（たとえば、画素トランジスタT14a～T14d、T15a～T15d、T16a～T16d）と、この画素トランジスタの出力電極に接続された容量素子（たとえば、容量素子C1a～d、C2a～d、C3a～d）と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部（たとえば、液晶部11a～d、12a～d、13a～d）とを有する画素部（たとえば、画素部2a～21）を複数設けた液晶表示装置（たとえば、液晶表示装置1）における前記画素部の不良検査方法において、前記複数の画素部のうち、第1の画素部（たとえば、画素部2a）の入力電極に接続された第1のトランジスタ（たとえば、トランジスタT11a）をオンにして第1の電圧を前記入力電極に印加すると共に、第1の画素部の画素トランジスタ（たとえば、T14a）をオンにすることにより第1の画素部の容量素子（たとえば、容量素子C1a）に第1の電圧を印加するステップと、前記複数の画素部のうち、第2の画素部（たとえば、画素部2b）の入力電極に接続された第2のトランジスタをオンにして第2の電圧を前記入力電極に印加すると共に、第2の画素部の画素トランジスタ（たとえば、T14b）をオンにすることにより第2の画素部の容量素子（たとえば、容量素子C1b）に第2の電圧を印加するステップと、第1のトランジスタ及び第2のトランジスタをオフにすると共に、第1の画素部の画素トランジスタ及び第2の画素部の画素トランジスタをオフにするステップと、第1の画素部における画素トランジスタの入力電極と第2の画素部における画素トランジスタの入力電極との間に設けられたスイッチ（たとえば、T13a）を所定期間オンにすることにより、これらの画素トランジスタの入力電極を短絡するステップと、前記所定期間が経過した後、第1の画素部の画素トランジスタ及び第2の画素部の画素トランジスタ 40 50

をオンにして、第 1 の画素部の容量素子の電圧及び第 2 の画素部の容量素子の電圧を読み出すステップと、読み出した第 1 の画素部の容量素子の電圧と第 2 の画素部の容量素子の電圧とを比較するステップと、を有することを特徴とする画素不良検査方法。

【0090】

前記画素不良検査方法において、第 1 の画素部の容量素子の電圧と第 2 の画素部の容量素子の電圧とを比較するステップは、センスアンプ（たとえば、センスアンプ 50a）により行なわれることを特徴とする画素不良検査方法。

【0091】

画素トランジスタ（たとえば、画素トランジスタ T14a ~ T14d、T15a ~ T15d、T16a ~ T16d）と、この画素トランジスタの出力電極に接続された容量素子（たとえば、容量素子 C1a ~ d、C2a ~ d、C3a ~ d）と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部（たとえば、液晶部 11a ~ d、12a ~ d、13a ~ d）と有する画素部（たとえば、画素部 2a ~ 21）が複数設けた液晶表示装置において、前記複数の画素部のうち、第 1 の画素部（たとえば、画素部 2a）の入力電極に接続される第 1 のデータ信号線（たとえば、データ信号線 DA1）と、前記複数の画素部のうち、第 2 の画素部（たとえば、画素部 2b）の入力電極に接続される第 2 のデータ信号線（たとえば、データ信号線 DA2）と、第 1 のデータ信号線に第 1 のテスト信号（たとえば、第 1 のテスト信号 T S I G）を供給可能とした第 1 のトランジスタ（たとえば、トランジスタ T11a）と、第 2 のデータ信号線に第 2 のテスト信号（たとえば、第 2 のテスト信号 X T S I G）を供給可能とした第 2 のトランジスタ（たとえば、トランジスタ T11b）と、第 1 の画素部の画素トランジスタ（たとえば、T14a）の制御電極と第 2 の画素部の画素トランジスタ（たとえば、T14b）の制御電極とに接続されるゲート信号線（たとえば、ゲート信号線 G1）と、第 1 のデータ信号線と第 2 のデータ信号線とに接続され、これらのデータ信号線間に設けられたスイッチ（たとえば、トランジスタ T13a）と、前記第 1 のデータ信号線の電圧と第 2 のデータ信号線の電圧を比較する比較回路（たとえば、センスアンプ 50a）を備え、前記スイッチは、第 1 のデータ信号線と第 2 のデータ信号線とを電気的に短絡し、第 1 のデータ信号線の電圧及び第 2 のデータ信号線の電圧を中間電圧とする制御を可能としたことを特徴とする液晶表示装置。

【0092】

前記液晶表示装置において、前記比較回路は、センスアンプであり、前記センスアンプは、第 1 の画素部の容量素子の電位と第 2 の画素部の容量素子の電位とを比較し、その差を増幅して出力可能としたことを特徴とする液晶表示装置。

【0093】

前記液晶表示装置において、第 1 のテスト信号と第 2 のテスト信号とを切り替える電圧反転入力回路（たとえば、トランジスタ T20、T21、T23、T24、インバータ回路 26）を備えたことを特徴とする液晶表示装置。

【0094】

画素トランジスタ（たとえば、画素トランジスタ T14a ~ T14d、T15a ~ T15d、T16a ~ T16d）と、この画素トランジスタの出力電極に接続された容量素子（たとえば、容量素子 C1a ~ d、C2a ~ d、C3a ~ d）と、この容量素子に保持される電圧に基づいた階調表示を行なう液晶部（たとえば、液晶部 11a ~ d、12a ~ d、13a ~ d）とを有する画素部（たとえば、画素部 2a ~ 21）を複数設けた液晶表示装置（たとえば、液晶表示装置 1）における画素部の不良を検査するための画素不良検査プログラムにおいて、コンピュータ（たとえば、L S I テスタ 70）に、複数の画素部のうち、第 1 の画素部（たとえば、画素部 2a）の容量素子（たとえば、容量素子 C1a）と第 2 の画素部（たとえば、画素部 2b）の容量素子（たとえば、容量素子 C1b）に異なる電圧を印加する機能と、第 1 の画素部における画素トランジスタ（たとえば、T14a）の入力電極と第 2 の画素部における画素トランジスタ（たとえば、T14b）の入力電極との間に設けられたスイッチ（たとえば、T13a）をオンにし、第 1 の画素トランジスタの入力電極と第 2 の画素トランジスタの入力電極とを短絡する機能と、第 1 の画素

部の容量素子の電圧及び第２の画素部の容量素子の電圧を読み出す機能と、第１の画素部の容量素子の電圧と第２の画素部の容量素子の電圧とを比較した結果に基づいて画素部の不良を検出する機能と、を実行させる画素不良検査プログラム及びこの画素不良検査プログラムがコンピュータによって読み取り可能に記録されている記録媒体。

【図面の簡単な説明】

【００９５】

【図１】本発明の一実施形態に係る画素部の構成を示す図。

【図２】本発明の一実施形態に係る液晶表示装置の構成を示す図。

【図３】本発明の一実施形態に係る液晶表示装置とＬＳＩテストの接続を示す図。

【図４】本発明の一実施形態に係る液晶表示装置の検査制御のタイミングチャート。

10

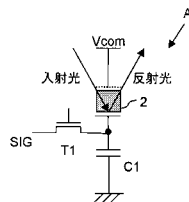
【符号の説明】

【００９６】

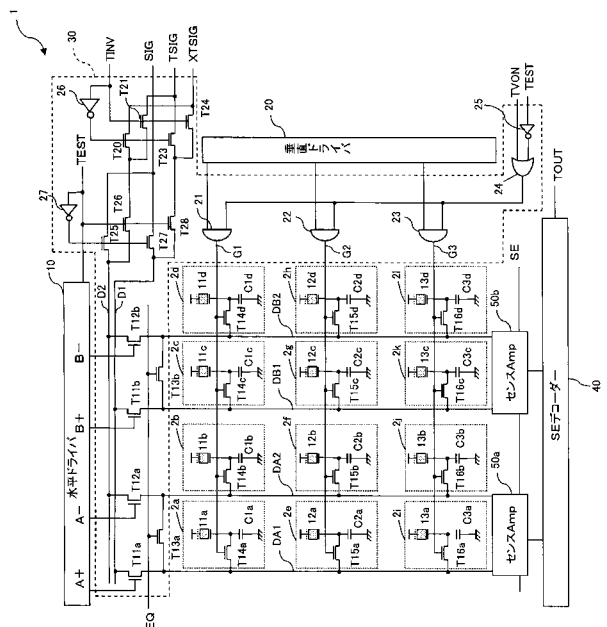
- １ 液晶表示装置
- ２ 画素部
- ２０ 水平ドライバ
- ３０ 垂直ドライバ
- ４０ 検査用ロジック回路
- ５０ デコーダ
- ６０ センスアンプ
- Ｔ１４ 画素トランジスタ
- Ｃ１ 容量素子

20

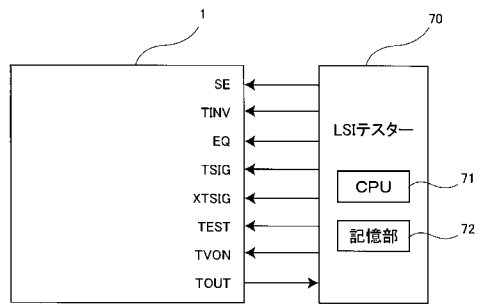
【図１】



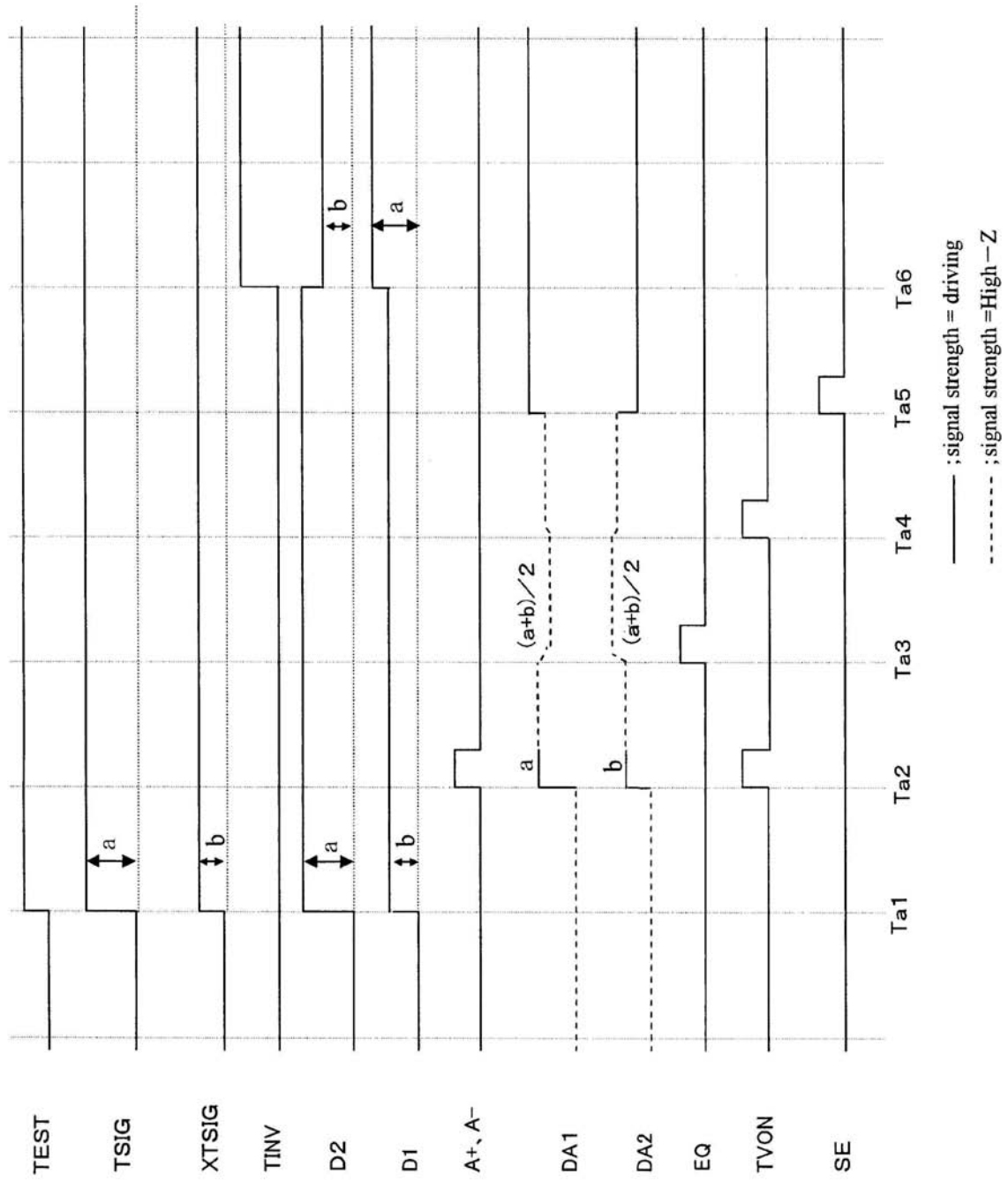
【図２】



【図 3】



【 図 4 】



フロントページの続き

(51) Int. Cl.	F I	テーマコード (参考)
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 2 4 B	5 G 4 3 5
	G 0 9 G 3/20 6 7 0 Q	

F ターム(参考) 2H088 FA11 FA13 HA02 HA06 HA08 MA20
2H092 GA11 GA32 JA24 JA37 JB22 JB31 NA30 PA06
2H093 NA51 NC09 NC11 NC34 NC41 NC51 ND56
5C006 AF51 AF53 AF54 AF65 BB16 BC03 BC11 BC20 BF14 BF24
BF34 BF38 EB01 EB04 EB05 EC06
5C080 AA10 BB05 DD15 DD22 DD27 DD28 FF11 JJ02 JJ03 JJ04
5G435 AA17 AA19 BB12 KK05 KK10

专利名称(译)	液晶显示装置，像素缺陷检查方法，像素缺陷检查程序和存储介质		
公开(公告)号	JP2006349738A	公开(公告)日	2006-12-28
申请号	JP2005172222	申请日	2005-06-13
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	清水目和年 宮澤一幸 古賀慎一		
发明人	清水目 和年 宮澤 一幸 古賀 慎一		
IPC分类号	G02F1/13 G02F1/1368 G02F1/133 G09F9/00 G09G3/36 G09G3/20		
CPC分类号	G09G3/006 G09G2300/0842 G09G2310/0248 G09G2310/0275		
FI分类号	G02F1/13.101 G02F1/1368 G02F1/133.550 G09F9/00.352 G09G3/36 G09G3/20.624.B G09G3/20.670.Q		
F-TERM分类号	2H088/FA11 2H088/FA13 2H088/HA02 2H088/HA06 2H088/HA08 2H088/MA20 2H092/GA11 2H092/GA32 2H092/JA24 2H092/JA37 2H092/JB22 2H092/JB31 2H092/NA30 2H092/PA06 2H093/NA51 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC41 2H093/NC51 2H093/ND56 5C006/AF51 5C006/AF53 5C006/AF54 5C006/AF65 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF14 5C006/BF24 5C006/BF34 5C006/BF38 5C006/EB01 5C006/EB04 5C006/EB05 5C006/EC06 5C080/AA10 5C080/BB05 5C080/DD15 5C080/DD22 5C080/DD27 5C080/DD28 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5G435/AA17 5G435/AA19 5G435/BB12 5G435/KK05 5G435/KK10 2H192/AA24 2H192/FB02 2H192/HB04 2H192/HB13 2H192/HB22 2H192/HB23 2H192/HB25 2H193/ZA04 2H193/ZD21 2H193/ZK01		
其他公开文献	JP4241671B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶显示装置，该液晶显示装置能够容易地产生用于对数据信号线进行预充电而无需从外部输入的中间电压，并且提供一种检查方法。 解决方案：通过像素晶体管将不同的电压施加到第一像素部分的电容元件和第二像素部分的电容元件。然后，提供在第一像素部分中的像素晶体管的输入电极与第二像素部分中的像素晶体管的输入电极之间提供的开关，并且第一像素晶体管和第二像素的输入电极 短路晶体管的输入电极。然后，通过像素晶体管读出第一像素部分的电容元件的电压和第二像素部分的电容元件的电压，并且读取第一像素部分的电容元件的电压和第二像素部分的电压。基于与电容器的电压的比较结果来检测像素部分中的缺陷。 [选择图]图2

