

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2006-72078
(P2006-72078A)

(43) 公開日 平成18年3月16日(2006.3.16)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 505	5C006
G09G 3/20 (2006.01)	G09G 3/20 612J	5C058
H04N 5/66 (2006.01)	G09G 3/20 621F	5C080
	G09G 3/20 622B	
審査請求 未請求 請求項の数 8 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2004-256726 (P2004-256726)	(71) 出願人 000006013 三菱電機株式会社 東京都千代田区丸の内二丁目7番3号
(22) 出願日 平成16年9月3日(2004.9.3)	(74) 代理人 100089233 弁理士 吉田 茂明
	(74) 代理人 100088672 弁理士 吉竹 英俊
	(74) 代理人 100088845 弁理士 有田 貴弘
	(72) 発明者 河越 尚司 兵庫県川西市久代3丁目13番21号 株式会社ケーディーエル内
	Fターム(参考) 2H093 NA16 NC09 NC11 NC22 NC34 NC41 ND60 NE03
	最終頁に続く

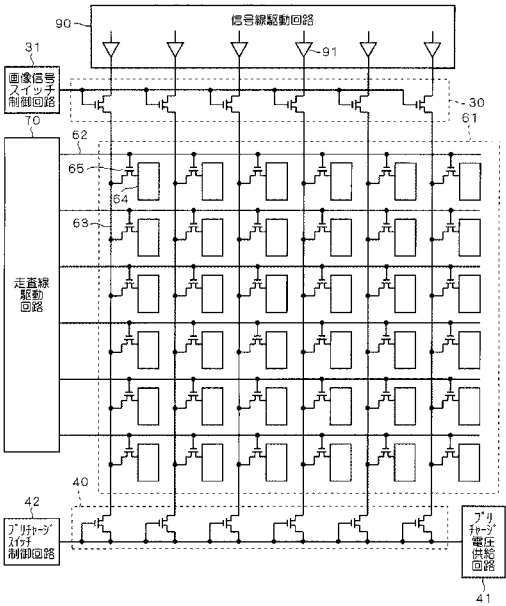
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】 本発明は、信号を水平走査期間内で画像信号と黒信号とに分割することなく、1フレーム期間内において画像信号の書込み後に黒信号の書込みを可能とする液晶表示装置及びその駆動方法を提供する。

【解決手段】 本発明に係る解決手段は、画素64と、信号線63と信号線駆動回路90とに接続された画像信号スイッチ30と、信号線62とプリチャージ電圧供給回路41とに接続されたプリチャージスイッチ40と、1フレーム期間内に第1信号と第2信号とを含む走査線信号を、それぞれの走査線62に順次供給する走査線駆動回路70とを備える。画素64は、走査線駆動回路70から第1信号が供給されている期間に画像信号スイッチ31がON状態となることで、画像信号が書込まれ、第2信号が供給されている期間にプリチャージスイッチ40のみがON状態となることで、プリチャージ電圧が書込まれる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

液晶表示素子を構成する画素がマトリクス状に配列された液晶パネルと、
前記液晶パネルにおいて同一の行方向に位置する画素群を選択走査する走査線と、
前記液晶パネルにおいて同一の列方向に位置する画素群に画像信号を供給する信号線と、
前記画像信号を前記信号線に出力する信号線駆動回路と、
前記信号線と前記信号線駆動回路とに接続された画像信号スイッチと、
前記画像信号スイッチを制御する画像信号スイッチ制御回路と、
黒信号に相当するプリチャージ電圧を前記信号線に供給するプリチャージ電圧供給回路と、
前記信号線と前記プリチャージ電圧供給回路とに接続されたプリチャージスイッチと、
前記プリチャージスイッチを制御するプリチャージスイッチ制御回路と、
1 フレーム期間内に第 1 信号と第 2 信号とを含む走査線信号を、それぞれの前記走査線に順次供給する走査線駆動回路とを備えた液晶表示装置であって、
前記画素は、前記走査線駆動回路から前記第 1 信号が供給されている期間に前記画像信号スイッチが ON 状態となることで、前記画像信号が書込まれ、前記第 2 信号が供給されている期間に前記プリチャージスイッチのみが ON 状態となることで、前記プリチャージ電圧が書込まれることを特徴とする液晶表示装置。

【請求項 2】

前記走査線駆動回路は、前記第 1 信号を生成する第 1 シフトレジスタと、
前記第 2 信号を生成する第 2 シフトレジスタと、
前記第 2 シフトレジスタの駆動を前記第 1 シフトレジスタの駆動に対して所定の時間遅延させるために、前記第 2 シフトレジスタに供給するタイミング信号を生成するカウンタと、
前記プリチャージスイッチ制御回路の出力と前記第 2 シフトレジスタの出力との論理演算を行う第 1 論理回路と、
前記第 1 シフトレジスタの出力と前記第 1 論理回路の出力との論理演算を行う第 2 論理回路と、
前記第 2 論理回路の出力をそれぞれの前記走査線に供給するドライバ回路とを備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記走査線駆動回路は、前記第 2 シフトレジスタを設けずに、
フリップフロップ回路と、前記第 1 シフトレジスタの出力と前記フリップフロップ回路の出力とが入力される第 3 論理回路とをさらに備え、
前記第 1 シフトレジスタ及び前記フリップフロップ回路は、垂直同期信号と、前記垂直同期信号に対し総走査線数の $1/2$ に対応する所定の時間遅延させた前記タイミング信号とが入力され、
前記第 1 論理回路は、前記第 2 シフトレジスタの出力に代えて前記第 1 シフトレジスタの出力が入力され、
前記第 2 論理回路は、前記第 1 シフトレジスタの出力に代えて前記第 3 論理回路の出力が入力され、
前記フリップフロップ回路は、前半の走査線に設けられた前記第 3 論理回路と後半の走査線に設けられた前記第 1 論理回路とに出力を供給し、後半の走査線に設けられた前記第 3 論理回路と前半の走査線に設けられた前記第 1 論理回路とに反転した出力を供給することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 2 論理回路及び前記第 3 論理回路に代えて、前記フリップフロップ回路の出力に基づいて、前記第 1 シフトレジスタの出力と前記第 1 論理回路の出力とを切り換えるスイッチをさらに備え、

前記フリップフロップ回路は、前記スイッチのみに出力を供給することを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】

液晶表示素子を構成する画素がマトリクス状に配列された液晶パネルと、
前記液晶パネルにおいて同一の行方向に位置する画素群を選択走査する走査線と、
前記液晶パネルにおいて同一の列方向に位置する画素群に画像信号を供給する信号線と

、
前記画像信号を前記信号線に出力する信号線駆動回路と、

1 フレーム期間内に第 1 信号と第 2 信号とを含む走査線信号を、それぞれの前記走査線に順次供給する走査線駆動回路と、

水平走査期間内において画像表示信号と黒信号とが分割して構成された前記画像信号を前記信号線駆動回路に供給し、水平走査期間内において前記画像表示信号を表示させるタイミングを制御する画像期間制御信号と、前記黒信号を表示させるタイミングを制御する黒期間制御信号とを前記走査線駆動回路に供給するゲートアレイとを備える液晶表示装置であって、

前記走査線駆動回路は、前記画像信号を前記画素に書込む前記第 1 信号を生成する第 1 シフトレジスタと、

前記黒信号を前記画素に書込む前記第 2 信号を生成する第 2 シフトレジスタと、

前記第 2 シフトレジスタの駆動を前記第 1 シフトレジスタの駆動に対して所定の時間遅延させるために、前記第 2 シフトレジスタに供給するタイミング信号を生成するカウンタと、

前記画像期間制御信号と前記第 1 シフトレジスタの出力との論理演算を行う第 1 論理回路と、

前記黒期間制御信号と前記第 2 シフトレジスタの出力との論理演算を行う第 2 論理回路と、

前記第 1 論理回路の出力と、前記第 2 論理回路の出力との論理演算を行う第 3 論理回路と、

前記第 3 の論理回路の出力をそれぞれの前記走査線に供給するドライバ回路とを備えることを特徴とする液晶表示装置。

【請求項 6】

前記走査線駆動回路は、前記第 2 シフトレジスタを設けずに、フリップフロップ回路をさらに備え、

前記第 1 シフトレジスタ及び前記フリップフロップ回路は、垂直同期信号と、前記垂直同期信号に対し総走査線数の $1/2$ に対応する所定の時間遅延させた前記タイミング信号とが入力され、

前記第 2 論理回路は、前記第 2 シフトレジスタの出力に代えて前記第 1 シフトレジスタの出力が入力され、

前記フリップフロップ回路は、前半の走査線に設けられた前記第 1 論理回路と後半の走査線に設けられた前記第 2 論理回路とに出力を供給し、後半の走査線に設けられた前記第 2 論理回路と前半の走査線に設けられた前記第 1 論理回路とに反転した出力を供給することを特徴とする請求項 5 記載の液晶表示装置。

【請求項 7】

前記第 3 論理回路に代えて、前記フリップフロップ回路の出力に基づいて、前記第 1 論理回路の出力と前記第 2 論理回路の出力とを切り換えるスイッチをさらに備え、

前記フリップフロップ回路は、前記スイッチのみに出力を供給することを特徴とする請求項 6 記載の液晶表示装置。

【請求項 8】

液晶表示装置の駆動方法であって、

前記液晶表示装置は、

液晶表示素子を構成する画素がマトリクス状に配列された液晶パネルと、

10

20

30

40

50

前記液晶パネルにおいて同一の行方向に位置する画素群を選択走査する走査線と、
前記液晶パネルにおいて同一の列方向に位置する画素群に画像信号を供給する信号線と

、
前記画像信号を前記信号線に出力する信号線駆動回路と、
前記信号線と前記信号線駆動回路とに接続された画像信号スイッチと、
前記画像信号スイッチを制御する画像信号スイッチ制御回路と、
黒信号に相当するプリチャージ電圧を前記信号線に供給するプリチャージ電圧供給回路と、

前記信号線と前記プリチャージ電圧供給回路とに接続されたプリチャージスイッチと、
前記プリチャージスイッチを制御するプリチャージスイッチ制御回路と、

1 フレーム期間内に第1信号と第2信号とを含む走査線信号を、それぞれの前記走査線に順次供給する走査線駆動回路とを備え、

前記駆動方法は、

前記走査線駆動回路が前記第1信号を供給し、且つ前記画像信号スイッチがON状態となる期間に、前記画像信号を前記画素に書込む工程と、

前記走査線駆動回路が前記第2信号を供給し、且つ前記プリチャージスイッチがON状態となる期間に、前記プリチャージ電圧を前記画素に書込む工程とを備えることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に係る発明であって、特に、主として動画を表示させる液晶表示装置及びその駆動方法に関するものである。

【背景技術】

【0002】

従来の画像表示装置としては、フレーム周期に対して十分短い時間のみ画像を表示するインパルス型表示装置（例えば、CRT）と、新たな画像の書込みが行われるまで前フレームの画像表示を保持し続けるホールド型表示装置（例えば、液晶表示装置）の2種類に大きく分類される。

【0003】

インパルス型表示装置とホールド型表示装置とを比較した場合、特に、ホールド型表示装置では、動画を表示したとき残像が生じるという問題があった。これは、眼球の随従性運動と積分効果によるものである。つまり、眼球は随従性運動により対象物が動く方向に連続的に動き、そして、この間に視線が通る対象物からの光刺激を足し合わせて応答することになる。しかし、眼球を対象物に応じて移動しても、同一のフレーム周期内で画像が変化しないホールド型表示装置では、対象物の動きが速ければ速いほど著しい動解像度の低下が生じることになる。

【0004】

上記に示すホールド型表示装置の問題を解決するため、特許文献1に示すような液晶表示装置が考えられている。この特許文献1では、1フレーム期間内に画像を表示する期間と、黒信号を書込んで黒画像を表示する期間とを設けて、ホールド型表示装置でありながらインパルス型表示の駆動に近づける駆動方法が示されている。

【0005】

【特許文献1】特開2002-41002号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

特許文献1では、1フレーム期間内に画像を表示する期間と、黒信号を書込んで黒画像を表示する期間とが設けられるために、ゲートアレイから画素に供給される信号は、水平走査期間内で画像信号の部分と黒信号の部分とが分割され、当該部分が交互に周期的に繰

10

20

30

40

50

り返すような信号である。そのため、特許文献1では、一般的な液晶表示装置で用いられている画像信号のみの信号とは異なる信号を画素に供給する必要がある、一般的な液晶表示装置とは異なるゲートアレイ等を用いる必要がある、コストがかかる問題があった。

【0007】

また、水平走査期間内で画像信号の部分と黒信号の部分とが分割された信号が画素に供給される液晶表示装置を構成する場合であって、特許文献1では、画像信号を書込む走査線信号（第1信号）と黒信号を書込む走査線信号（第2信号）とは位相がずれているため、単純なシフトレジスタで構成された走査線駆動回路では生成できない。そのため、特許文献1では、従来とは回路構成が異なる走査線駆動回路を採用する必要がある、コストがかかる問題があった。

10

【0008】

そこで、本発明は、画像信号を水平走査期間内で画像信号と黒信号とに分割することなく、1フレーム期間内において画像信号の書込み後に黒信号の書込みを可能とする液晶表示装置及びその駆動方法を提供することを目的とする。また、本発明は、特別な回路構成を採用することなく異なる位相差を持つ走査線信号を生成する走査線駆動回路を備える液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る解決手段は、液晶表示素子を構成する画素がマトリクス状に配列された液晶パネルと、液晶パネルにおいて同一の行方向に位置する画素群を選択走査する走査線と、液晶パネルにおいて同一の列方向に位置する画素群に画像信号を供給する信号線と、画像信号を信号線に出力する信号線駆動回路と、信号線と信号線駆動回路とに接続された画像信号スイッチと、画像信号スイッチを制御する画像信号スイッチ制御回路と、黒信号に相当するプリチャージ電圧を信号線に供給するプリチャージ電圧供給回路と、信号線とプリチャージ電圧供給回路とに接続されたプリチャージスイッチと、プリチャージスイッチを制御するプリチャージスイッチ制御回路と、1フレーム期間内に第1信号と第2信号とを含む走査線信号を、それぞれの走査線に順次供給する走査線駆動回路とを備えた液晶表示装置であって、画素は、走査線駆動回路から第1信号が供給されている期間に画像信号スイッチがON状態となることで、画像信号が書込まれ、第2信号が供給されている期間にプリチャージスイッチのみがON状態となることで、プリチャージ電圧が書込まれる。

20

30

【発明の効果】

【0010】

本発明に記載の液晶表示装置は、走査線駆動回路から第1信号が供給されている期間に画像信号スイッチがON状態となることで、画素に画像信号が書込まれ、第2信号が供給されている期間にプリチャージスイッチのみがON状態となることで、画素にプリチャージ電圧が書込まれる構成をとるので、信号を水平走査期間内で画像信号と黒信号とを分割する必要がなく、一般的な画像信号を用いることができ、特別なゲートアレイ等を用いる必要がないのでコストの増加を抑えることができる。

【発明を実施するための最良の形態】

【0011】

40

（実施の形態1）

まず、画素に供給される信号が、水平走査期間内で画像信号の部分と黒信号の部分とに分割される場合の液晶表示装置の構成を図14に示す。図14に示す液晶表示装置1では、ゲートアレイ10と、動き判別処理部20と、液晶モジュール60とを備えている。そして、液晶モジュール60は、液晶パネル61と、走査線駆動回路70と、信号線駆動回路90とで構成される。さらに、液晶パネル61は、複数の走査線62と、当該複数の走査線62と交差する複数の信号線63と、マトリクス状に配置された画素64と、画素64に対応して設けられたTFT（Thin Film Transistor）65とを備えている。

【0012】

ここで、TFT65のゲート電極は走査線62と接続され、TFT65のソース電極は

50

信号線 6 3 と接続され、T F T 6 5 のドレイン電極は画素 6 4 と接続されている。これにより、走査線 6 2 の電圧を制御することにより、当該走査線 6 2 に接続された T F T 6 5 は、信号線 6 3 から画像信号を画素 6 4 に送出するスイッチング素子として動作することになる。

【0013】

また、動き判別処理部 20 は、画像信号及び同期信号に基づいて、フレーム画像を所定の間隔で取り込み、連続して取り込んだ 2 個のフレーム画像に対する相関を調べ、当該 2 個のフレーム画像が動画か静止画かの判別を行う。この判別結果は、表示方式指示信号に含まれゲートアレイ 10 に送出される。ゲートアレイ 10 では、外部から送られてくる画像信号及び同期信号、動き判別処理部 20 から送られてくる表示方式指示信号に基づいて、画像信号や走査線信号、出力制御信号を生成する。

10

【0014】

ここで、画像信号は信号線駆動回路 90 に供給され、走査線信号及び出力制御信号は走査線駆動回路 70 に供給される。そして、液晶パネル 61 は、走査線駆動回路 70 と、信号線駆動回路 90 とによって駆動される。走査線駆動回路 70 は、図示していないがシフトレジスタを有しており、このシフトレジスタによって走査線信号が順次シフトされてシフトレジスタ内に伝送されていく。なお、走査線駆動回路 70 は、出力制御信号によって、出力制御が行われている。

【0015】

次に、図 14 で示した液晶表示装置において、50%デューティの黒書込みを行う駆動方法について説明する。まず、図 15 に、当該駆動方法の信号波形を示す。図 15 (a) に示す信号線 63 に供給される信号は、水平走査期間内を画像信号と黒信号とで分割した信号である。なお、図 15 に示す信号波形においては、画素 64 に書込まれる電圧が無電圧状態の場合に黒表示となるとするので、液晶表示装置はノーマリーブラックである。

20

【0016】

次に、液晶パネル 61 の 1 行目と 2 行目の走査線 62 に走査線駆動回路 70 が出力する走査線信号を図 15 (b)、(c) に示す。1 行目及び 2 行目の走査線 62 に接続された画素 64 は、走査線信号の第 1 信号によって画像信号が書込まれ、1 行目及び 2 行目の画素に画像が表示される。ここで、液晶パネル 61 の全走査線数を $G a l l$ とする。そして、図 15 (d) に示す信号波形では、画面半分である $G a l l / 2$ 行目の走査線 62 に走査線信号の第 1 信号が供給されている。この時点で、図 15 (a) に示す信号波形では、1 行目の走査線 62 に走査線信号の第 2 信号が供給され、図 15 (a) に示す黒信号が 1 行目の走査線 62 に接続されている画素群に書込まれる。このとき液晶表示装置 1 では、図 16 (a) に示す画像が表示されることになる。図 16 (a) では、画面の $G a l l / 2$ 行目まで画像が書込まれているが、1 行目の画素には黒が書込まれている。

30

【0017】

同様に、 $(G a l l / 2) + 1$ 行目の走査線 62 に供給される走査線信号の信号波形を図 15 (e) に示す。 $(G a l l / 2) + 1$ 行目の走査線 62 に接続された画素 64 は、走査線信号の第 1 信号によって画像信号が書込まれる。一方、これと同時に 2 行目の走査線 62 には図 15 (b) に示す走査線信号の第 2 信号が供給され、2 行目の画素 64 は、第 2 信号によって黒信号が書込まれる。このとき液晶表示装置 1 に表示される画像を図 16 (b) に示す。図 16 (b) では、画面の $(G a l l / 2) + 1$ 行目まで画像が書込まれているが、2 行目までの画素 64 には黒が書込まれている。以降同様に、 $G a l l$ 行目までの走査線 62 に対して、走査線信号を供給する。

40

【0018】

図 16 (c) に、 $G a l l$ 行目の走査線 62 に走査線信号の第 1 信号が供給され、同時に $(G a l l / 2) - 1$ 行目の走査線 62 に走査線信号の第 2 信号が供給された時点の画像を示す。次に、図 16 (d) に、1 行目の走査線 62 に走査線信号の第 1 信号が供給され、同時に $(G a l l / 2)$ 行目の走査線 62 に走査線信号の第 2 信号が供給された時点の画像を示す。さらに、図 16 (e) に、 $(G a l l / 2)$ 行目の走査線 62 に走査線信

50

号の第1信号が供給され、同時にG a l l行目の走査線62に走査線信号の第2信号が供給された時点の画像を示す。以上のように、図16(a)～(e)に示す画面表示となるように駆動を繰り返すことで、液晶表示装置においてインパルス表示に近い表示を行うことができる。

【0019】

上記のような駆動を行う場合、各走査線62に接続された画素の電圧波形は、図15(f)、(g)に示すようになる。図15(f)は、1行目の走査線62に接続された画素の電圧波形であり、第1信号が1行目からG a l l / 2行目まで走査されている期間に画像が表示され、第1信号がG a l l / 2 + 1行目からG a l l行目まで走査されている期間に黒が表示される。同様に、図15(g)は、G a l l / 2 + 1行目の走査線62に接続された画素の電圧波形であり、第1信号が1行目からG a l l / 2行目まで走査されている期間に黒が表示され、第1信号がG a l l / 2 + 1行目からG a l l行目まで走査されている期間に画像が表示される。なお、図16(f)に、100%デューティの静止画の例を示しており、この場合においては黒表示を行わない。

10

【0020】

図15、図16では、50%デューティの場合で説明したが、第2信号を書込むタイミングを変えることによって、(100 / G a l l) %から100%まで、(100 / G a l l) %の間隔で、任意の比率のデューティ比を調整することができる。上記の一連の動作によって、液晶表示装置は、1フレーム期間内において、走査線信号の第1信号で画像信号を書込み、その後走査線信号の第2信号で黒信号を書込むことで1画面内での書込みと消去を同時に行うことが可能となり、ホールド型表示装置でありながら、インパルス表示に近づけることができる。

20

【0021】

次に、画素に供給される信号が、水平走査期間内で画像信号の部分と黒信号の部分とに分割されていない場合の本実施の形態に係る液晶表示装置について説明する。まず、図1に、本実施の形態に係る液晶表示装置の構成図を示す。図1に示す液晶表示装置は、プリチャージ回路を備えた液晶表示装置である。なお、図14と同等部分には、同一符号を付している。ただし、信号線駆動回路90に供給される画像信号は、図15(a)に示すような水平走査期間内で画像信号の部分と黒信号の部分とが分割された信号ではなく、画像信号の部分のみの信号が供給されている。

30

【0022】

図1に示す画像信号スイッチ30は、液晶パネル61の信号線63と信号線駆動回路90との間にそれぞれ設けられており、信号線63と信号線駆動回路90との接続を制御している。また、画像信号スイッチ制御回路31は、プリチャージ期間以外の期間に信号線駆動回路90と信号線63とを接続して、信号線駆動回路90のソースレベルドライバ91から出力される画像信号が信号線63に供給されるように画像信号スイッチ30を制御している。

【0023】

さらに、本実施の形態に係る液晶表示装置では、プリチャージ電圧供給回路41が設けられている。このプリチャージ電圧供給回路41と液晶パネル61の信号線63との間にプリチャージスイッチ40が設けられおり、信号線63とプリチャージ電圧供給回路41との接続を制御している。また、プリチャージスイッチ40は、プリチャージスイッチ制御回路42に接続されている。このプリチャージスイッチ制御回路42は、プリチャージ期間だけプリチャージ電圧供給回路41と信号線63とを接続して、信号線63にプリチャージ電圧供給回路41から出力されたプリチャージ電圧を供給できるようにプリチャージスイッチ40を制御している。

40

【0024】

図2は、本実施の形態に係る液晶表示装置の信号波形図である。なお、図2に示す信号波形による駆動では、50%デューティの黒書込みを行っている。そして、図示していないが、本実施の形態では、図15(a)に示した信号波形のように、画像信号が水平走査

50

期間内で分割されていない。そのため、本実施の形態では、液晶パネルの種類（ノーマリーブラック、ノーマリーホワイト）や駆動方式（反転駆動）に関係がないので、画像信号を考慮せずに走査線駆動回路70から出力される走査線信号の信号波形のみ駆動方法を説明することが可能となる。

【0025】

次に、図2（a）はプリチャージスイッチ制御信号の信号波形であり、水平期間内のプリチャージ期間にプリチャージスイッチ40を動作させる。図2（b）は画像信号スイッチ制御信号の信号波形であり、水平期間内のプリチャージ期間以外の期間（画像信号期間）に画像信号スイッチ30を動作させる。さらに、図2（c）に1行目の走査線駆動回路70の走査線信号を、図2（d）に2行目の走査線駆動回路70の走査線信号をそれぞれ示す。図2（c）及び図2（d）に示す走査線信号は、1水平走査期間のパルス幅を持つ第1信号を有し、この第1信号によってTFT65がONする。

10

【0026】

TFT65がONしている1水平走査期間内には、必ずプリチャージ期間と画像信号期間とがそれぞれ存在する。このプリチャージ期間では、図2（a）に示すプリチャージスイッチ制御信号がプリチャージスイッチ制御回路42から送出されプリチャージスイッチ40がONとなる。プリチャージスイッチ40がONとなることで、プリチャージ電圧供給回路41から出力されるプリチャージ電圧が画素64群に供給され、画素64群に黒が表示される。次に、プリチャージ終了後の画像信号期間に、図2（b）に示す画像信号スイッチ制御信号が画像信号スイッチ制御回路31から送出され画像信号スイッチ30がONとなる。画像信号スイッチ30がONとなることで、信号線駆動回路90から出力される画像信号が画素64群に供給され、画素64群に画像が表示される。

20

【0027】

図2（c）及び図2（d）から分かるように、走査線信号の第1信号は、1行目と2行目とが互いに重ならないように、順次タイミングをずらせながらTFT65に供給される。2行目以降も同様に、走査線信号の第1信号は、順次タイミングをずらせながらTFT65に供給され、1フレーム期間内に全ての走査線（行）に走査線信号の第1信号が供給される。これは、走査線駆動回路70によって全ての走査線62が選択されることである。

【0028】

Gallを全走査線数（全行数）とすると、本実施の形態では、走査線（ $Gall/2$ ）+1行目において、図2（e）に示すように走査線信号の第1信号が（ $Gall/2$ ）+1行目のTFT65に供給される。これと同時に、図2（c）に示すように1行目のTFT65に走査線信号の第2信号が供給される。この走査線信号の第2信号は、1プリチャージ期間のパルス幅で、且つプリチャージスイッチ制御信号と同期している。そのため、1行目と（ $Gall/2$ ）+1行目の走査線62にはプリチャージ電圧が供給され、当該走査線に接続された画素64群に黒が表示される。

30

【0029】

その後の画像信号期間においては、（ $Gall/2$ ）+1行目の走査線62には走査線信号の第1信号が供給されているので、（ $Gall/2$ ）+1行目の画素64群には画像信号が書込まれる。しかし、1行目の走査線62には走査線信号の第2信号が供給されているので、画像信号期間に1行目のTFT65はOFFとなり画素64群には画像信号が書込まれない。各走査線62についても同様の処理が行われ、図2（f）に示すようにGall行目に走査線信号が供給されることにより1画面の表示が終了する。

40

【0030】

これら一連の動作によって、本実施の形態では、1フレーム期間内に、プリチャージ電圧と画像信号とを書込むための走査線信号の第1信号と、その後プリチャージ電圧のみを書込むための走査線信号の第2信号とが各走査線62に供給されている。これにより、本実施の形態に係る液晶表示装置では、画像信号の部分と黒信号の部分とが分割された信号を用いずとも、1画面の画像の書込みと消去とを同時に行うことができインパルス表示に

50

近い表示が可能となり残像の発生を抑えることができる。

【0031】

つまり、図2（g）に示すように1行目の画素65群の表示状態は、走査線信号の第1信号と画像信号スイッチ制御信号のON信号とがともに供給されてから走査線信号の第2信号が供給されるまで間、画像が表示され、それ以降は黒が表示される。2行目以降も同様に、画像表示期間が順次ずれながら表示される。図2（h）に2行目の画素65群の表示状態、図2（i）に（Gall/2）行目の画素65群の表示状態、図2（j）にGall行目の画素65群の表示状態をそれぞれ示している。

【0032】

以上のように、本実施の形態に係る液晶表示装置及びその駆動方法によれば、プリチャージ回路を用いて画像表示後の黒表示期間を設けることで、信号を水平走査期間内で画像信号と黒信号とに分割することなく、インパルス表示に近い表示が可能となり、動画の残像防止を実現することができる。

【0033】

なお、図2で示した信号波形では、50%デューティの黒書込みを行う場合について説明したが、本実施の形態に係る液晶表示装置は、プリチャージだけを行う第2信号のタイミングを変えることで、任意のデューティ比に設定できることは言うまでもない。また、図1に示す液晶表示装置では、画像信号スイッチ30とプリチャージスイッチ40と信号線63の両端に配置したが、信号線63の片端に両スイッチを配置することや両スイッチを一路にまとめて構成しても良いことは言うまでもない。

【0034】

さらに、本実施の形態に係る液晶表示装置では、画像信号スイッチ30を信号線63と1対1となるように構成したが、2対1又は3対1などのマルチプレクサで構成しても良いことは言うまでもない。また、図1に示す液晶表示装置では、画像信号スイッチ30やプリチャージスイッチ40などの回路部分と、液晶パネル61とが別に構成され互いに接続されているが、当該回路部分を液晶パネル61上に形成しても良いことは言うまでもない。

【0035】

（実施の形態2）

次に、実施の形態2について説明する。本実施の形態では、実施の形態1で示した液晶表示装置における走査線駆動回路70について具体的な構成を示したものがある。まず、本実施の形態に係る走査線駆動回路70では、2つのシフトレジスタによって水平走査期間のパルス幅とプリチャージ期間のパルス幅を持つ2つの走査線信号（第1信号及び第2信号）を出力するように構成している。

【0036】

次に、本実施の形態に係る走査線駆動回路70の構成を図3に示す。図3示す走査線駆動回路70では、垂直同期信号STVのタイミングでラッチされる第1シフトレジスタ71を備えている。この第1シフトレジスタ71は、走査線62の本数分フリップフロップ回路が設けられ、各走査線62に対して供給する走査線信号の第1信号を生成している。そして、図3示す走査線駆動回路70では、タイミング信号を出力するカウンタ73と、カウンタ73が出力するタイミングでラッチされる第2シフトレジスタ72を備えている。なお、タイミング信号は、カウンタ73が走査線数設定信号に基づいて、垂直同期信号STVに対して所定の走査線数に応じた水平走査期間ずらせた信号である。また、第2シフトレジスタ72は、走査線62の本数分フリップフロップ回路が設けられ、各走査線62に対して供給する走査線信号の第2信号を生成している。

【0037】

さらに、図3示す走査線駆動回路70では、第2シフトレジスタ72の出力とプリチャージスイッチ制御回路42からのプリチャージスイッチ制御信号との論理演算を行い、1プリチャージ期間のパルス幅の第2信号を生成するAND回路74と、第1シフトレジスタ71の出力とAND回路74の出力とのOR演算を行うOR回路75と、OR回路75

が出力した信号のレベルを調整するゲートレベルドライバ76とを備える。なお、AND回路74、OR回路75及びゲートレベルドライバ76も走査線62の数だけ設けられている。

【0038】

次に、本実施の形態に係る走査線駆動回路70における信号波形を図4に示す。以下、図4を参照して、その動作を具体的に説明する。まず、図4(a)では垂直同期信号STVのタイミングでラッチされた、第1シフトレジスタ71の1段目の出力信号(走査線信号の第1信号)を示す。垂直同期信号STVは、カウンタ73にも入力される。カウンタ73では、走査線数設定信号に基づいて、垂直同期信号STVに対し所定の走査線数に応じた水平走査期間ずらしたタイミング信号を第2シフトレジスタ72に供給する。

10

【0039】

そして、第2シフトレジスタ72は、カウンタ73のタイミング信号でラッチされる。図4(b)に、カウンタ73の出力であるタイミング信号でラッチされた、第2シフトレジスタ72の1段目の出力信号を示す。走査線信号の第2信号は1プリチャージ期間のパルス幅を有しているため、1水平走査期間のパルス幅を有する第2シフトレジスタ72の出力信号を1プリチャージ期間のパルス幅にする必要がある。そのため、第2シフトレジスタ72の出力信号は、プリチャージスイッチ制御信号とAND演算をAND回路74で行う。図4(c)に、プリチャージスイッチ制御信号を示す。また、図4(d)に、第2シフトレジスタ72の出力信号とプリチャージスイッチ制御信号とのAND演算を行った後の信号を示す。

20

【0040】

さらに、第1シフトレジスタ71の出力信号とAND回路74の出力信号とOR演算をOR回路75で行い、ゲートレベルドライバ76から出力することで、図4(e)に示すような出力波形となる。つまり、図4(e)に示す走査線駆動回路70の出力波形は、1フレーム期間内において、プリチャージ電圧及び画像信号をTF65に書込むことができる走査線信号の第1信号と、その後にプリチャージ電圧のみを書込むことができる走査線信号の第2信号とを含んでいる。なお、図4では1行目の走査線信号のみを説明したが、実施の形態1の図3に示すように全ての走査線信号ごとに順次同様の処理を行い出力信号を生成していることは言うまでもない。

【0041】

30

以上のように、本実施の形態に係る走査線駆動回路70によれば、信号を水平走査期間内で画像信号と黒信号とに分割することなく、1フレーム期間内において画像信号の書込み後に黒信号の書込むことが可能であり、さらに、カウンタ73に供給する走査線数設定信号によって任意のデューティ比でプリチャージを行える走査線駆動回路を実現できる。

【0042】

(変形例)

なお、本実施の形態に係る走査線駆動回路70変形例を図5に示す。図5に示す走査線駆動回路70では、カウンタ73に代えてスイッチ77を設けた点が図3に示す走査線駆動回路70と異なる。つまり、図3に示すカウンタ73が出力する走査線数設定信号に応じたタイミング信号を、第1シフトレジスタ71の出力信号で代用するために、カウンタ73に代えて図5に示すスイッチ77が設けられている。このスイッチ77は、例えば、第1シフトレジスタ71のGall/2+1段目に位置するフリップフロップ回路の出力信号を、タイミング信号として第2シフトレジスタ72に供給できるようにスイッチを切り換える。但し、当該構成においては、デューティ比の設定数が多いと配線が増える問題があるが、設定数を少なくすれば図3の走査線駆動回路70に比べて回路構成より簡略化することができる。

40

【0043】

(実施の形態3)

次に、実施の形態3について以下に説明する。本実施の形態では、実施の形態2に係る走査線駆動回路70において、カウンタ73の設定を走査線数の1/2と固定することで

50

、第2シフトレジスタ72を省略する構成である。

【0044】

図6に、本実施の形態に係る走査線駆動回路70の構成図を示す。図6に示す走査線駆動回路70では、カウンタ73が、垂直同期信号STVに対し総走査線数の $1/2$ に応じた水平走査期間ずれたタイミング信号を出力する。フリップフロップ回路78は、垂直同期信号STVとカウンタ73からのタイミング信号が入力され、1フレーム期間の半分でハイ状態とロー状態が切り替わる信号（以下、FF信号ともいう）と、その反転信号（以下、FF反転信号ともいう）を出力する。

【0045】

第1シフトレジスタ71には、垂直同期信号STVとカウンタ73からのタイミング信号とがOR回路79を経て入力される。そして、1行目からGall/2行目まで（以下、前半行という）の第1シフトレジスタ71の出力は、FF信号とともにAND回路80に入力されるものと、FF反転信号及びプリチャージスイッチ制御信号とともにAND回路74に入力されるものがある。Gall/2+1行目からGall行目まで（以下、後半行という）の第1シフトレジスタ71の出力は、FF反転信号とともにAND回路80に入力されるものと、FF信号及びプリチャージスイッチ制御信号とともにAND回路74に入力されるものがある。さらに、本実施の形態に係る走査線駆動回路70では、AND回路74及びAND回路80の出力がOR回路75に入力され、OR回路75の出力がゲートレベルドライバ76を介して走査線62に入力される。

【0046】

次に、本実施の形態に係る走査線駆動回路70の信号波形を図7に示す。以下、図7を参照して、走査線駆動回路70の動作を具体的に説明する。まず、図7（a）は、垂直同期信号STVを示している。図7（b）に示すようにカウンタ73では、この垂直同期信号STVに対して総走査線数Gallの $1/2$ に応じた水平走査期間ずれたタイミング信号（（Gall/2）+1本目の位置にパルスが立つ信号）が出力される。垂直同期信号STVとカウンタ73からのタイミング信号が入力されるOR回路79の出力は、図7（c）に示すように第1シフトレジスタ71の入力信号となる。なお、図7（c）に示すように、第1シフトレジスタ71の入力信号は、1フレーム期間内に2回ラッチを行う信号である。

【0047】

一方、フリップフロップ回路78に垂直同期信号STVとカウンタ73からのタイミング信号とを入力すると、フリップフロップ回路78の出力は、図7（d）に示すような1フレーム期間の半分でハイ状態とロー状態とが切り替わるFF信号が出力される。なお、図7には示していないが、フリップフロップ回路78からはFF信号の反転信号であるFF反転信号も出力される。

【0048】

図7（c）に示すように、第1シフトレジスタ71は、1フレーム期間内に2回ラッチされるため、それぞれのフリップフロップ回路から出力される信号は1フレーム周期内において最初のパルスと総走査線数Gallの $1/2$ に対応する水平走査期間だけ遅れて出力されるパルスとを有する。そして、この2つのパルスは、どちらも同じ1水平走査期間

【0049】

しかし、図7（f）～図7（j）に示すように、走査線62に供給される走査線信号は、1水平走査期間のパルス幅を持つ第1信号と、1プリチャージ期間のパルス幅を持つ第2信号とを含んでいる。そこで、第1シフトレジスタ71から出力される信号をAND回路74、80、OR回路75及びゲートレベルドライバ76を経て走査線信号として出力される動作を以下に説明する。

【0050】

まず、1行目からGall/2行目まで（前半行）の第1シフトレジスタ71の出力は、FF信号とともにAND回路80に入力される。そのため、1フレーム期間の前半にお

10

20

30

40

50

ける第1シフトレジスタ71の出力は、AND回路80から1水平走査期間のパルス幅を持つ第1信号として出力される。また、前半行の第1シフトレジスタ71の出力は、FF反転信号とプリチャージスイッチ制御信号とともにAND回路74に入力される。そのため、1フレーム期間の後半における第1シフトレジスタ71の出力は、AND回路74からプリチャージスイッチ制御信号のパルス幅を持つ第2信号として出力される。

【0051】

前半行のAND回路74, 80の出力は、OR回路75及びゲートレベルドライバ76を経て、図7(f)～図7(h)に示すような走査線信号として出力される。図7(f)～図7(h)に示す走査線信号は、第1信号と総走査線数の $1/2$ に応じた水平走査期間遅れて出力される第2信号を有する信号として得られる。なお、図7(e)には、プリチャージスイッチ制御信号の信号波形を示す。

10

【0052】

一方、 $Gall/2 + 1$ 行目から $Gall$ 行目まで(後半行)の第1シフトレジスタ71の出力は、FF反転信号とともにAND回路80に入力される。そのため、1フレーム期間の後半における第1シフトレジスタ71の出力は、AND回路80から1水平走査期間のパルス幅を持つ第1信号として出力される。また、後半行の第1シフトレジスタ71の出力は、FF信号とプリチャージスイッチ制御信号とともにAND回路74に入力される。そのため、1フレーム期間の前半における第1シフトレジスタ71の出力は、AND回路74からプリチャージスイッチ制御信号のパルス幅を持つ第2信号として出力される。

20

【0053】

後半行のAND回路74, 80の出力は、OR回路75及びゲートレベルドライバ76を経て、図7(i), 図7(j)に示すような走査線信号として出力される。図7(i), 図7(j)に示す走査線信号は、第1信号と総走査線数の $1/2$ に応じた水平走査期間遅れて出力される第2信号を有する。

【0054】

以上のように、本実施の形態に係る走査線駆動回路70は、信号を水平走査期間内で画像信号と黒信号とに分割することなく、1フレーム期間内において画像信号の書込み後に黒信号の書込むことが可能であり、さらに、第2信号を第1信号に対して総走査線数の $1/2$ に応じた水平走査期間ずらすこと、つまり50%デューティに固定することで、第2シフトレジスタ72を設けずに第1シフトレジスタ71のみで走査線駆動回路70を構成することが可能となる。なお、走査線駆動回路70の出力数と、走査線本数が異なる場合でも、それぞれの1行目を合わせるのではなく、それぞれの($Gall/2$)行目を合わせるように接続することで、走査線駆動回路70の出力数と、走査線本数が同じ場合と同様の黒書込みができることは言うまでもない。

30

【0055】

逆に、例えば走査線駆動回路70が液晶パネル上に形成されていて走査線駆動回路70の出力数と走査線本数が等しい場合、カウンタ73を、カウンタ数固定で走査線数設定信号を必要としない固定カウンタとしても良いことは言うまでもない。

【0056】

40

(変形例)

図8に、本実施の形態の変形例に係る走査線駆動回路70の構成図を示す。図6に示す走査線駆動回路70では、AND回路74, 80において、第1シフトレジスタ71の出力をフリップフロップ回路78からのFF信号とFF反転信号とAND演算を行い、OR回路75において、AND回路74, 80からの出力のOR演算を行っていた。

【0057】

しかし、図8に示す走査線駆動回路70では、OR回路75を設ける代わりに、フリップフロップ回路78からのFF信号に基づいて第1シフトレジスタ71の出力とAND回路74の出力を切り換えるスイッチ81を設けている。図8に示す走査線駆動回路70では、スイッチ81を設けることにより、AND回路80が不要で且つ配線を減らすことが

50

できるので回路構成を簡略することができる。

【0058】

具体的に、図8に示す走査線駆動回路70の動作を以下に説明する。まず、第1行目からGall/2行目までのスイッチ81には、第1シフトレジスタ71の出力が図中の白側端子に、第1シフトレジスタ71の出力とプリチャージスイッチ制御信号とが入力されるAND回路74の出力が図中の黒側端子に接続される。そして、スイッチ81に入力されるFF信号がハイ状態の場合、スイッチ81は白側端子がON状態となり、第1シフトレジスタ71の出力がドライバ回路76に出力される。一方、スイッチ81に入力されるFF信号がロー状態の場合、スイッチ81は黒側端子がON状態となり、AND回路74の出力がドライバ回路76に出力される。これにより、走査線信号は、1フレーム周期内において、1水平走査期間のパルス幅を有する第1信号と、1プリチャージ期間のパルス幅を有する第2信号とを有することになる。そして、走査線信号の第2信号は、第1信号に対して総走査線の1/2に応じた水平走査期間遅延している。

【0059】

次に、(Gall/2)+1からGall行目までのスイッチ81には、第1シフトレジスタ71の出力が図中の黒側端子に、AND回路74の出力が図中の白側端子に接続される。そして、スイッチ81に入力されるFF信号がハイ状態の場合、スイッチ81は白側端子がON状態となり、AND回路74の出力がドライバ回路76に出力される。一方、スイッチ81に入力されるFF信号がロー状態の場合、スイッチ81は黒側端子がON状態となり、第1シフトレジスタ71の出力がドライバ回路76に出力される。これにより、走査線信号は、1フレーム周期内において、1水平走査期間の幅を有する第1信号と、プリチャージ期間の幅を有する第2信号とを有する。そして、走査線信号の第2信号は、第1信号に対して総走査線の1/2に応じた水平走査期間遅延している。

【0060】

以上のように、本変形例においても、信号を水平走査期間内で画像信号と黒信号とに分割することなく、1フレーム期間内において画像信号の書込み後に黒信号の書込むことが可能であり、さらに、AND回路80が不要で且つ配線を減らすことができるので回路構成を簡略することができる。

【0061】

(実施の形態4)

次に、実施の形態4について以下に説明する。本実施の形態では、走査線信号の第1信号と第2信号とで位相のずれた走査線信号を走査線に供給する走査線駆動回路について、具体的な構成を示す。なお、本実施の形態においては、図1に示すような画像信号スイッチ30やプリチャージスイッチ40等が設けられる液晶表示装置ではなく、図14に示すような液晶表示装置に適用される走査線駆動回路の構成である。

【0062】

図9に、本実施の形態に係る走査線駆動回路70の構成図を示す。図9に示す走査線駆動回路70では、垂直同期信号STVでラッチされる画像信号用の第1シフトレジスタ71と、カウンタ73の出力であるタイミング信号でラッチされる黒書込み用の第2シフトレジスタ72とを備えている。さらに、図9に示す走査線駆動回路70では、第1シフトレジスタ71の出力と、画像期間信号とのAND演算を行うAND回路82と、第2シフトレジスタ71の出力と、黒期間信号とのAND演算を行うAND回路83と、AND回路82、83の出力が入力されるOR回路75と、OR回路75の出力を走査線62に供給するゲートレベルドライバ76とを備えている。

【0063】

次に、本実施の形態に係る走査線駆動回路70の信号波形を図10に示す。以下、図10を参照して、本実施の形態に係る走査線駆動回路70の動作を具体的に説明する。まず、図10(a)には、垂直同期信号STVでラッチされた、第1シフトレジスタ71の1段目の出力信号波形を示す。図9に示すように、垂直同期信号STVはカウンタ73にも入力され、走査線数設定信号に基づいてカウンタ73は、垂直同期信号STVに対し所定

の走査線数に応じた水平走査期間遅延させたタイミング信号を第2シフトレジスタ72に供給する。このタイミング信号でラッチした、第2シフトレジスタ72の1段目の出力信号波形を、図10(b)に示す。

【0064】

図10には示していないが、信号線63に供給される信号は、図15(a)に示すよう1水平走査期間内に画像信号と黒信号とで分割した信号波形である。本実施の形態では、第1シフトレジスタ71の出力信号では画像信号のみを書込み、第2シフトレジスタ72の出力信号では黒信号のみを書込む。そのため、画像信号のみを書込むための走査線信号(第1信号)と、黒信号のみを書込むための走査線信号(第2信号)とを生成する必要がある。

10

【0065】

まず、画像信号のみを書込むための走査線信号(第1信号)を生成するために、第1シフトレジスタ71の出力信号と画像期間信号とのAND演算をAND回路82で行う。ここで、画像期間信号は、図10(c)に示すように全ての水平走査期間内の画像表示期間でハイ状態となる信号である。AND回路82において行われる図10(a)の信号波形と図10(c)の信号波形とのAND演算の信号波形を図10(e)に示す。

【0066】

同様に、黒信号のみを書込むための走査線信号(第2信号)を生成するために、第2シフトレジスタ72の出力信号と黒期間信号とのAND演算をAND回路83で行う。ここで、黒期間信号は、図10(d)に示すように全ての水平走査期間内の黒表示期間でハイ状態となる信号である。AND回路83において行われる図10(b)の信号波形と図10(d)の信号波形とのAND演算の信号波形を図10(f)に示す。さらに、両AND回路82, 83の出力をOR回路75により論理演算することにより、ゲートレベルドライバ76から図10(g)に示すような走査線信号を走査線62に供給することができる。

20

【0067】

図10(g)に示す走査線は、1フレーム期間内において、画像信号期間に対応する第1信号と黒信号期間に対応する第2信号を有している。この走査線信号と図15(a)に示すような信号とがTF65に供給されることにより、1フレーム期間内に画像が表示される期間と、画像が消去(黒が書込まれる)される期間とを設けることができる。なお、第2信号は、第1信号に対して、カウンタ73で設定された所定の走査線数に応じた水平走査期間遅延している。また、図10では第1行目の走査線信号だけについて説明したが、全ての走査線信号ごとに順次同様に信号を生成していることは言うまでもない。

30

【0068】

以上のように、本実施の形態に係る走査線駆動回路70よれば、特別な回路構成を採用することなく位相のずれた第1信号と第2信号の2つのパルスをもつ走査線信号を生成することのできる。

【0069】

(変形例)

図11に、本実施の形態の変形例に係る走査線駆動回路70の構成図を示す。図10に示す走査線駆動回路70は、図9に示した走査線駆動回路70のカウンタ73に代えてスイッチ77を設けた例である。スイッチ77は、走査線数設定信号に基づいて、所定の走査線数に応じた水平走査期間後に出力される第1シフトレジスタ71の出力をタイミング信号とする。

40

【0070】

本変形例によっても、実施の形態4と同様の効果を得ることができるとともに、当該構成ではデューティ比の設定数が多いと配線が多くなると言う問題があるが、設定数を少なくすれば回路構成を簡略化することができる。

【0071】

(実施の形態5)

50

次に、実施の形態 5 について以下に説明する。本実施の形態では、実施の形態 4 に係る走査線駆動回路 70 において、カウンタ 73 の設定を走査線数の $1/2$ と固定することで、第 2 シフトレジスタ 72 を省略する構成である。

【0072】

図 12 に、本実施の形態に係る走査線駆動回路 70 の構成図である。図 12 に示すカウンタ 73 は、垂直同期信号 S T V に対して、走査線数設定信号によって設定された総走査線の $1/2$ に応じた水平走査期間遅延したタイミング信号を出力する。フリップフロップ回路 78 は、垂直同期信号 S T V とカウンタ 73 からのタイミング信号とが入力され、1 フレーム周期の半分でハイ状態からロー状態へと変化する F F 信号と、当該 F F 信号を反転させた F F 反転信号とを出力する。

10

【0073】

第 1 シフトレジスタ 71 には、垂直同期信号 S T V とカウンタ 73 からのタイミング信号とが O R 回路 79 で論理演算されて入力される。1 行目から G a l l / 2 行目（前半行）までの第 1 シフトレジスタ 71 の出力は、A N D 回路 84 において F F 信号と画像期間信号とで A N D 演算が行われる。また、前半行までの第 1 シフトレジスタ 71 の出力は、A N D 回路 85 において F F 反転信号と黒期間信号とで A N D 演算が行われる。A N D 回路 84、85 の出力は、O R 回路 75 において演算され、ゲートレベルドライバ 76 を介して走査線信号として走査線 62 に供給される。

【0074】

一方、(G a l l / 2) + 1 行目から G a l l 行目（後半行）までの第 1 シフトレジスタ 71 の出力は、前半行とは逆に、A N D 回路 84 において F F 反転信号と画像期間信号とで A N D 演算が行われる。また、後半行までの第 1 シフトレジスタ 71 の出力は、A N D 回路 85 において F F 信号と黒期間信号とで A N D 演算が行われる。A N D 回路 84、85 の出力は、O R 回路 75 において演算され、ゲートレベルドライバ 76 を介して走査線信号として走査線 62 に供給される。

20

【0075】

上記の結果により、位相のずれた画像書込み用の第 1 信号と黒書込み用の第 2 信号と 2 つのパルスをもつ走査線信号を生成することができる。つまり、全走査線に対して、1 フレーム期間内において、第 1 信号で画像信号を書込み、第 1 信号に対して所定時間遅延させた第 2 信号で黒信号を書込むことができる液晶表示装置を実現することができる。

30

【0076】

以上のように、本実施の形態によれば、特別な回路構成を採用することなく位相のずれた第 1 信号と第 2 信号の 2 つのパルスをもつ走査線信号を生成することができ、さらに 50 % デューティに固定することで 1 つのシフトレジスタのみの構成で走査線駆動回路 70 を実現することができる。

【0077】

（変形例）

図 13 は、実施の形態の変形例に係る走査線駆動回路 70 の構成図を示す。図 13 に示す走査線駆動回路 70 は、図 12 に示す走査線駆動回路 70 のように、第 1 シフトレジスタ 71 の出力を F F 信号又は F F 反転信号と A N D 演算を行ってから両者の O R をとるのではなく、F F 信号に基づいてスイッチ 81 で A N D 回路 84、85 を制御するので、回路構成を簡略化することができる。

40

【0078】

図 13 に示すように、前半行の第 1 シフトレジスタ 71 の出力と画像期間信号との A N D 演算を行う A N D 回路 84 の出力は、スイッチ 81 の白側端子に接続され、前半行の第 1 シフトレジスタ 71 の出力と黒期間信号との A N D 演算を行う A N D 回路 85 の出力は、スイッチ 81 の黒側端子に接続されている。スイッチ 81 は、F F 信号がハイ状態の場合に白側端子が O N 状態となり、A N D 回路 84 の出力が走査線信号として出力され、F F 信号がロー状態の場合に黒側端子が O N 状態となり、A N D 回路 85 の出力が走査線信号として出力される。

50

【0079】

同様に、後半行の第1シフトレジスタ71の出力と画像期間信号とのAND演算を行うAND回路84の出力は、スイッチ81の黒側端子に接続され、後半行の第1シフトレジスタ71の出力と黒期間信号とのAND演算を行うAND回路85の出力は、スイッチ81の白側端子に接続されている。スイッチ81は、FF信号がハイ状態の場合に白側端子がON状態となり、AND回路85の出力が走査線信号として出力され、FF信号がロー状態の場合に黒側端子がON状態となり、AND回路84の出力が走査線信号として出力される。

【0080】

これにより、本変形例においても、特別な回路構成を採用することなく位相のずれた第1信号と第2信号の2つのパルスをもつ走査線信号を生成することができ、さらに配線を減らすことができるので回路構成を簡略することができる。

【図面の簡単な説明】

【0081】

【図1】本発明の実施の形態1に係る液晶表示装置の構成図である。

【図2】本発明の実施の形態1に係る液晶表示装置の信号波形図である。

【図3】本発明の実施の形態2に係る走査線駆動回路の構成図である。

【図4】本発明の実施の形態2に係る走査線駆動回路の信号波形図である。

【図5】本発明の実施の形態2の変形例に係る走査線駆動回路の構成図である。

【図6】本発明の実施の形態3に係る走査線駆動回路の構成図である。

【図7】本発明の実施の形態3に係る走査線駆動回路の信号波形図である。

【図8】本発明の実施の形態3の変形例に係る走査線駆動回路の構成図である。

【図9】本発明の実施の形態4に係る走査線駆動回路の構成図である。

【図10】本発明の実施の形態4に係る走査線駆動回路の信号波形図である。

【図11】本発明の実施の形態4の変形例に係る走査線駆動回路の構成図である。

【図12】本発明の実施の形態5に係る走査線駆動回路の構成図である。

【図13】本発明の実施の形態5の変形例に係る走査線駆動回路の構成図である。

【図14】本発明に係る液晶表示装置の構成図である。

【図15】本発明に係る液晶表示装置の信号波形図である。

【図16】本発明に係る液晶表示装置の表示例を示す図である。

【符号の説明】

【0082】

1 液晶表示装置、10 ゲートアレイ、20 動き判別処理部、30 画像信号スイッチ、31 画像信号スイッチ制御回路、40 プリチャージスイッチ、41 プリチャージ電圧供給回路、42 プリチャージスイッチ制御回路、60 液晶モジュール、61 液晶パネル、62 走査線、63 信号線、64 画素、65 TFT、70 走査線駆動回路、71 第1シフトレジスタ、72 第2シフトレジスタ、73 カウンタ、74, 80, 82, 83, 84, 85 AND回路、75, 79 OR回路、76 ゲートレベルドライバ、77, 81 スイッチ、78 フリップフロップ回路、90 信号線駆動回路、91 ソースレベルドライバ。

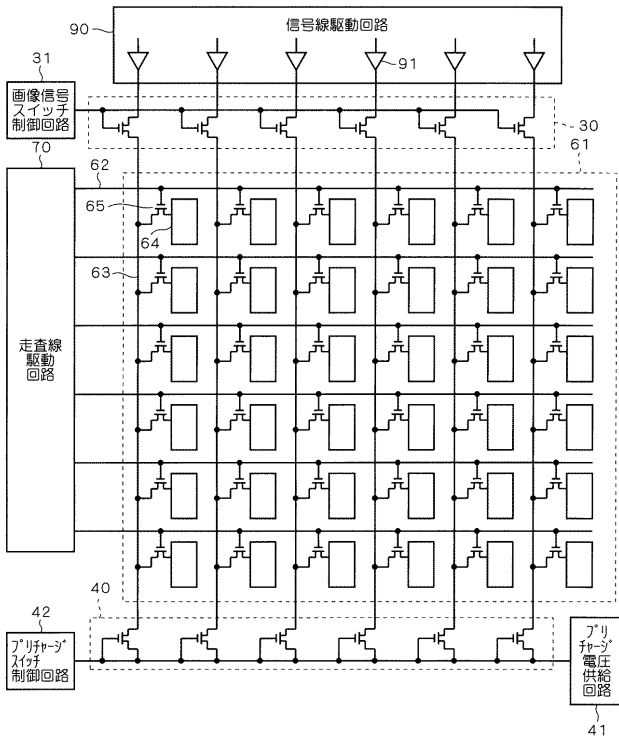
10

20

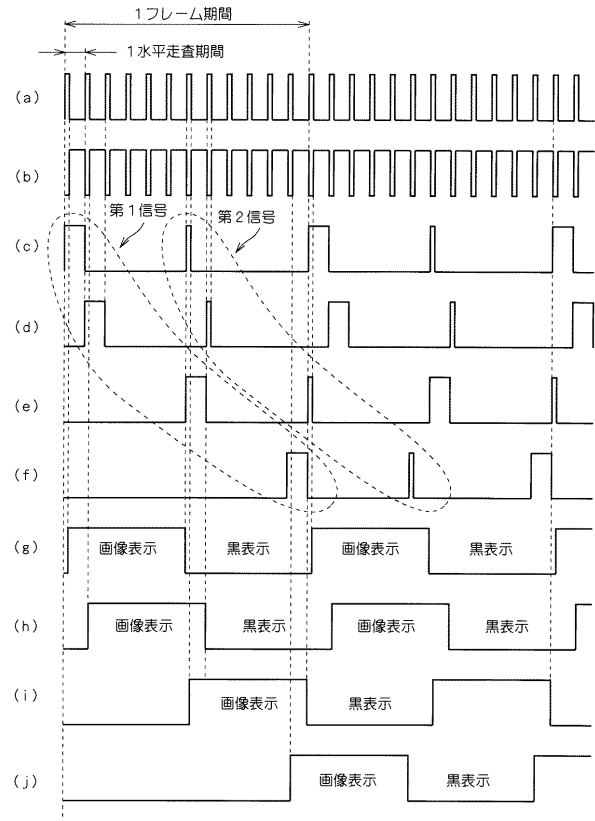
30

40

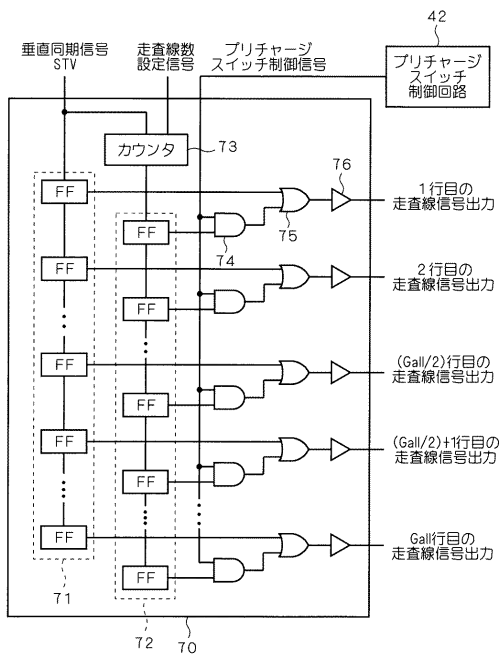
【図 1】



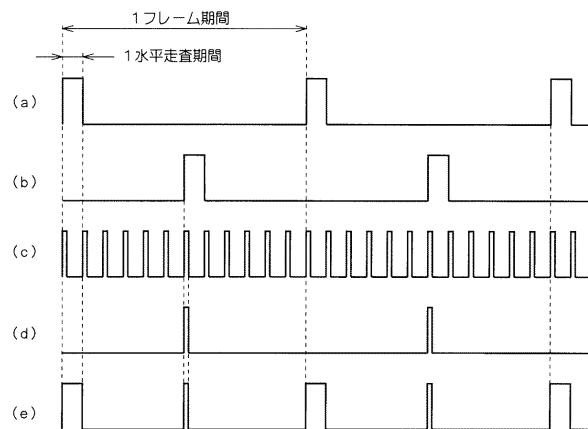
【図 2】



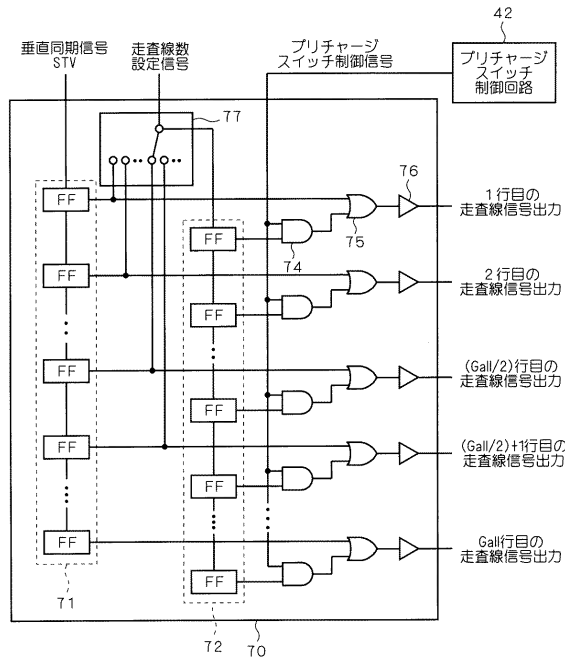
【図 3】



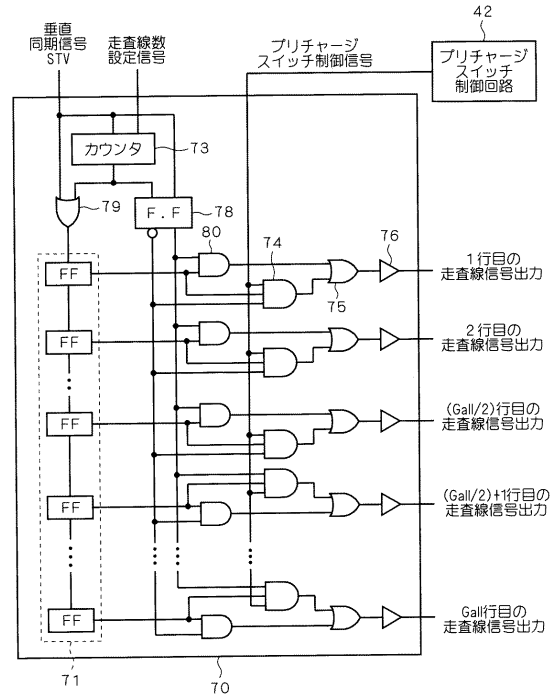
【図 4】



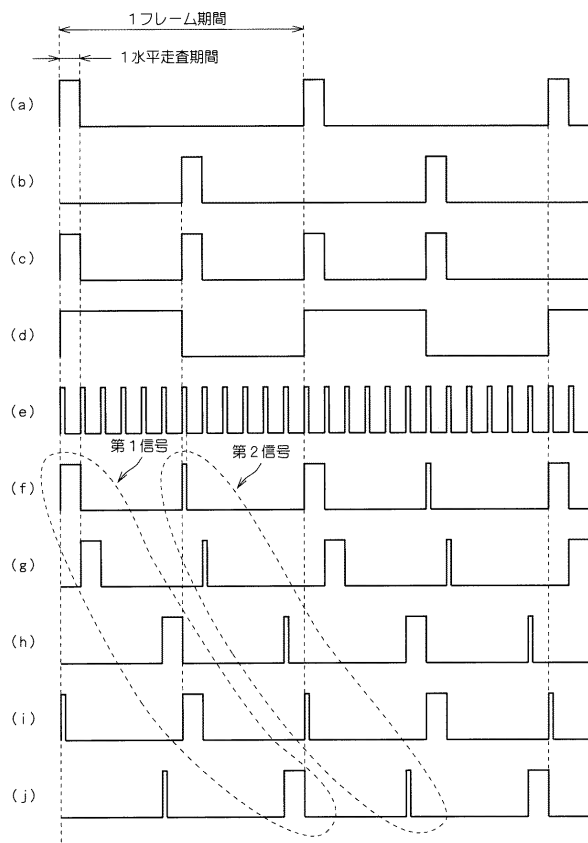
【図 5】



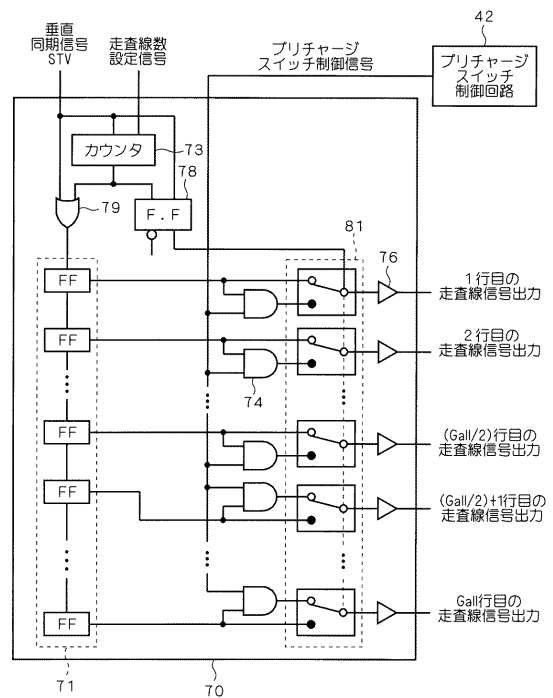
【図 6】



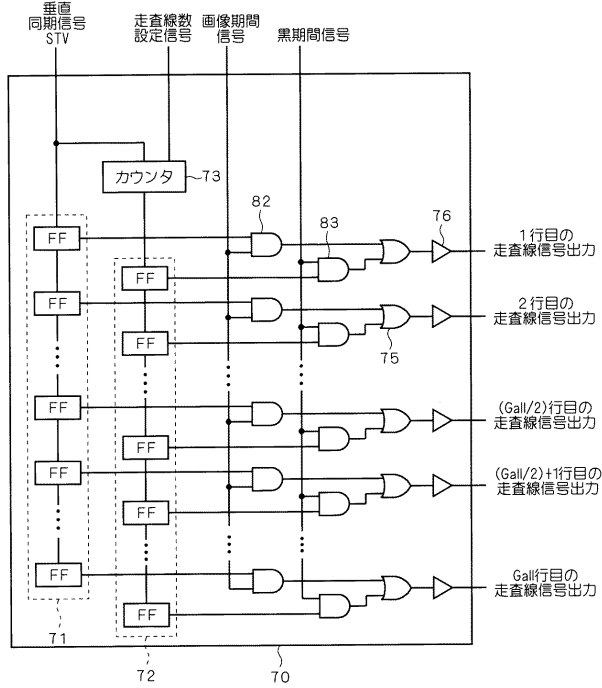
【図 7】



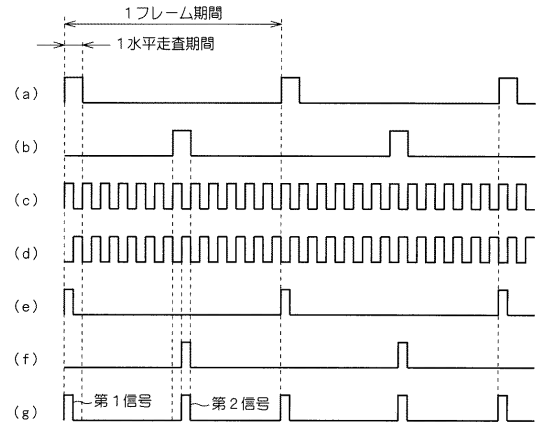
【図 8】



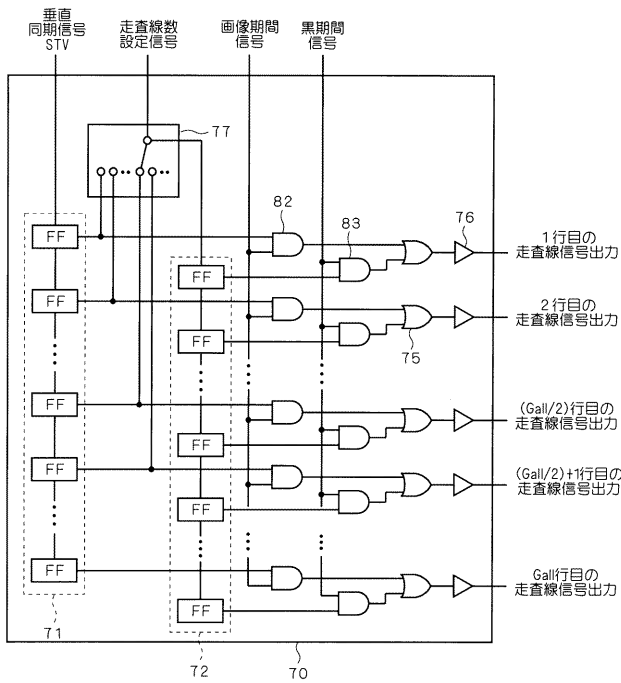
【図 9】



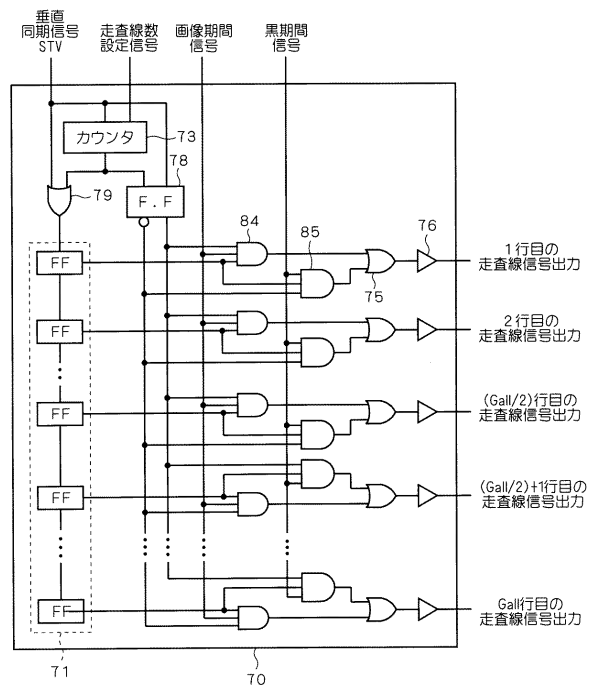
【図 10】



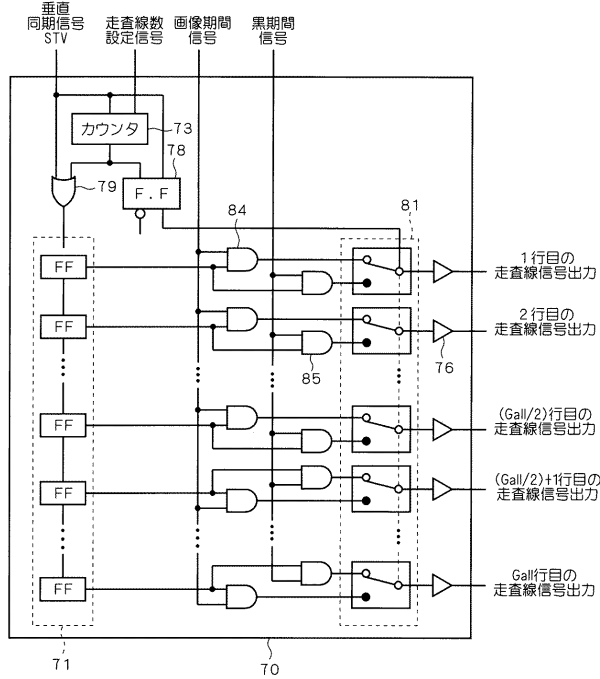
【図 11】



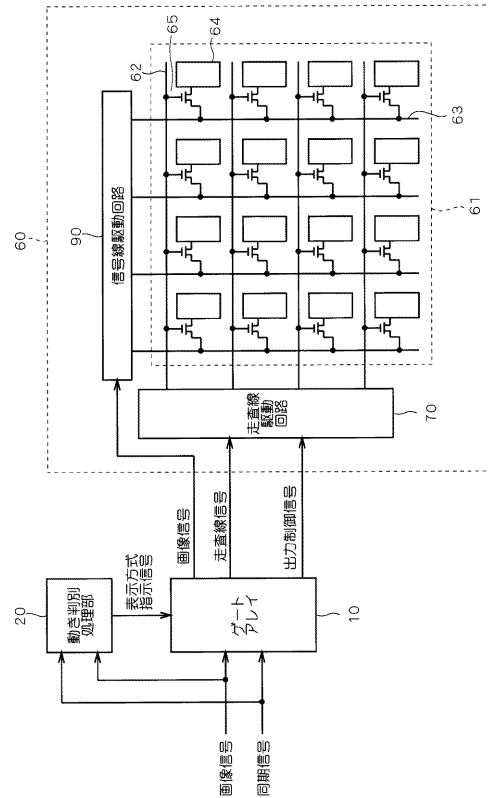
【図 12】



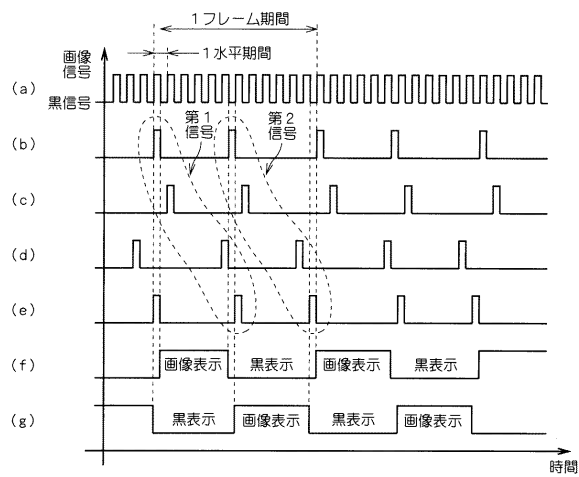
【図 1 3】



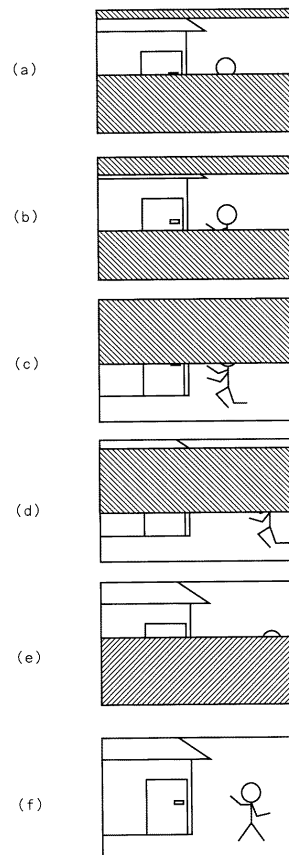
【図 1 4】



【図 1 5】



【図 1 6】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 3 R
H 0 4 N	5/66	1 0 2 B

F ターム(参考) 5C006 AA01 AC24 AF42 AF44 AF46 AF50 AF51 AF53 AF71 BB16
BC03 BC11 BF03 BF06 BF14 BF22 BF24 BF25 BF26 EB04
FA14 FA29
5C058 AA06 BA01
5C080 AA10 BB05 DD05 DD06 DD08 EE19 EE28 FF11 GG07 GG08
JJ01 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2006072078A	公开(公告)日	2006-03-16
申请号	JP2004256726	申请日	2004-09-03
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	河越尚司		
发明人	河越 尚司		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 H04N5/66		
CPC分类号	G09G3/3677 G09G3/3648 G09G2310/0248 G09G2310/06 G09G2320/0261 G09G2320/106		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.J G09G3/20.621.F G09G3/20.622.B G09G3/20.622.C G09G3/20.622.D G09G3/20.622.E G09G3/20.622.G G09G3/20.623.R H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC34 2H093/NC41 2H093/ND60 2H093/NE03 5C006/AA01 5C006/AC24 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF50 5C006/AF51 5C006/AF53 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BF03 5C006/BF06 5C006/BF14 5C006/BF22 5C006/BF24 5C006/BF25 5C006/BF26 5C006/EB04 5C006/FA14 5C006/FA29 5C058/AA06 5C058/BA01 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD08 5C080/EE19 5C080/EE28 5C080/FF11 5C080/GG07 5C080/GG08 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZP03		
其他公开文献	JP2006072078A5		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，其能够在一帧周期内写入图像信号之后写入黑信号而不将信号分成水平扫描周期中的图像信号和黑信号，以及其驱动提供一种方式。根据本发明的解决方案包括像素64，连接到信号线63和信号线驱动电路90的图像信号开关30，信号线62和预充电电压供应电路41。并且扫描线驱动电路70在一个帧周期内顺序地将包括第一信号和第二信号的扫描线信号提供给各个扫描线62。当在从扫描线驱动电路70提供第一信号的时段期间接通图像信号开关31时，在写入图像信号并且提供第二信号的时段中写入像素64。通过仅接通充电开关40来写入预充电电压。[选图]图1

