

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-534970

(P2005-534970A)

(43) 公表日 平成17年11月17日(2005.11.17)

(51) Int.Cl.⁷

G09G 3/36
G02F 1/133
G09G 3/20

F I

G09G 3/36
G02F 1/133 505
G02F 1/133 550
G09G 3/20 611J
G09G 3/20 612U

テーマコード (参考)

2H093
5C006
5C080

審査請求 未請求 予備審査請求 未請求 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2004-525659 (P2004-525659)
(86) (22) 出願日 平成15年7月10日 (2003.7.10)
(85) 翻訳文提出日 平成17年1月26日 (2005.1.26)
(86) 国際出願番号 PCT/IB2003/003148
(87) 国際公開番号 W02004/013835
(87) 国際公開日 平成16年2月12日 (2004.2.12)
(31) 優先権主張番号 02078097.9
(32) 優先日 平成14年7月29日 (2002.7.29)
(33) 優先権主張国 欧州特許庁 (EP)

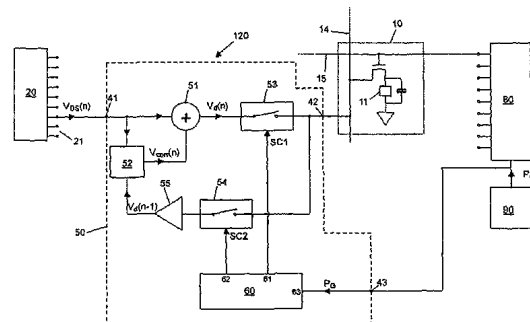
(71) 出願人 590000248
コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
Koninklijke Philips Electronics N. V.
オランダ国 5621 ペーアー アイン
ドーフエン フルーネヴァウツウェッハ
1
Groenewoudseweg 1, 5
621 BA Eindhoven, The Netherlands
(74) 代理人 100070150
弁理士 伊東 忠彦
(74) 代理人 100091214
弁理士 大貫 進介

最終頁に続く

(54) 【発明の名称】 液晶表示装置を駆動する方法及び回路

(57) 【要約】

新規の液晶セルオーバードライブ方法において、前のフレーム駆動動作からもたらされる液晶セル (11) における実際の電圧が測定され、オーバードライブ電圧量が実際に測定された電圧から推定される。この方法は、メモリ要素として液晶セル (11) の固有静電容量 (CLC) を用いるため、フレームメモリを使用することなく、オーバードライビング方法を実施することが可能である。更に、この方法は、そのような推定が前のフレームからもたらされる、液晶セル (11) に存在する実際の電圧に基づいているため、より正確なオーバードライブ量を可能にする。



【特許請求の範囲】

【請求項 1】

液晶セルを駆動する方法であって：

データソースからデータソース信号を受け取る段階；

前のフレームから前記液晶セルに残留している残留電圧レベルを測定する段階；

前記データソースの信号及び前記残留電圧レベルの関数として駆動信号を計算する段階；

前記液晶セルに前記駆動信号を加える段階；

を有することを特徴とする方法。

【請求項 2】

液晶表示ドライバ回路であって：

液晶セルのセル電圧を検出するため及び前記セル電圧を表す出力信号を検出手段に供給する検出手段；

一方で、データソース信号に基づいてデータ駆動信号を、他方で、前記検出手段の出力信号を、生成する駆動電圧生成手段；

前記液晶セルにこのように生成したデータ駆動信号を加える駆動信号印加手段；並びに前記駆動信号印加手段及び前記検出手段のタイミングを制御するスイッチ制御部；

を有することを特徴とする液晶表示ドライバ回路。

【請求項 3】

請求項 2 に記載の液晶表示ドライバ回路であって：

データソースの出力に結合されるデータ信号入力；

ゲートパルスソースに結合されるゲート信号入力；

液晶表示装置のデータラインに結合された回路出力；

を有する液晶表示ドライバ回路であり、

前記駆動信号印加手段は、前記駆動電圧生成手段の第 2 入力と前記回路出力との間で結合され；

前記検出手段は、前記駆動電圧生成手段の第 2 入力と前記回路出力との間で結合される；

ことを特徴とする液晶表示ドライバ回路。

【請求項 4】

請求項 3 に記載の液晶表示ドライバ回路であって、前記検出手段は、前記駆動電圧生成手段の前記第 2 入力に結合された出力を有するラッチを有する、ことを特徴とする液晶表示ドライバ回路。

【請求項 5】

請求項 3 に記載の液晶表示ドライバ回路であって：

前記駆動信号印加手段は前記スイッチ制御部の第 1 出力に結合された制御入力を有する第 1 制御可能スイッチを有する、液晶表示ドライバ回路であり；

前記検出手段は、前記制御部の第 2 出力に結合された制御入力を有し；

前記スイッチ制御部は前記ゲート信号入力に結合された入力を有する；

ことを特徴とする液晶表示ドライバ回路。

【請求項 6】

請求項 5 に記載の液晶表示ドライバ回路。であって、入力においてゲートパルスを受け取るとき、前記スイッチ制御部は：

検出パルスが、ゲートパルスの持続時間より短い所定の持続時間を有するように、第 2 制御可能スイッチが前記検出パルスの持続時間の間に導通状態にスイッチングされるように、前記第 2 制御可能スイッチのための前記第 2 制御信号として前記検出パルスを第 2 出力において生成するように；並びに

前記駆動パルスの前記持続時間が、ゲートパルスの持続時間引く前記所定の持続時間に実質的に等しいように、前記第 1 制御可能スイッチが前記駆動パルスの前記持続時間の間に導通状態にスイッチングされるように、前記第 1 制御可能スイッチのための前記第 1 制

10

20

30

40

50

御信号として駆動パルスを生成するように；

適合される、ことを特徴とする液晶表示ドライバ回路。

【請求項 7】

請求項 6 に記載の液晶表示ドライバ回路であって、前記スイッチ制御部は：

前記所定の持続時間を有する第 1 出力パルスを第 1 出力において生成するように適合された、ゲートパルスの立ち上がりエッジによりトリガ可能なモノパルス生成部であって、前記第 1 出力は前記スイッチ制御部の前記第 2 出力に結合される、モノパルス生成部；及び

前記スイッチ制御部の前記入力に結合された 1 つの入力を有し、前記モノパルス生成部と逆の出力パルスを受け取るために結合された他の入力を有する A N D ゲートであって、該 A N D ゲートの出力は前記スイッチ制御部の前記第 1 出力に結合されている、A N D ゲート；

10

を有する、ことを特徴とする液晶表示ドライバ回路。

【請求項 8】

請求項 2 に記載の液晶表示ドライバ回路であって、前記駆動電圧生成手段は：

前記データソース信号と前記検出手段出力信号とを受け取るための関数計算ユニット；

前記関数計算ユニットの出力である補正信号に前記データソース信号を加えるための加算器；及び

前記駆動電圧生成手段の出力である、前記加算器の出力；

を有する、ことを特徴とする液晶表示ドライバ回路。

20

【請求項 9】

行及び列の状態に配列された画素のマトリクスを有する液晶表示装置であって、各々の画素は、ドライバトランジスタのドレイン電極に接続された 1 つの端子を有する液晶セルと、列データラインに接続されたドライバトランジスタのソース電極と、行ゲートラインに接続されたドライバトランジスタのゲート電極とを有する、液晶表示装置であり：

各々の行ゲートラインはゲートドライバの対応する出力に結合されており；

各々の列データラインは請求項 2 に記載の液晶表示ドライバ回路に関連し、各々の列データラインは前記の関連するドライバ回路の出力に結合され、この関連するドライバ回路のデータ入力はデータドライバの対応する出力に結合されている；

ことを特徴とする液晶表示ドライバ回路。

30

【請求項 10】

集積データソースであって：

データソース信号を供給する出力を有するデータソース；及び

請求項 2 に記載の液晶表示ドライバ回路；

を有することを特徴とする集積データソース。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、液晶表示装置における液晶画素を駆動する方法に関する。

【背景技術】

40

【0002】

液晶表示パネルは、一般に周知である。図 1 を参照するに、液晶表示パネルは、液晶表示要素又は画素 10 のマトリクスを有し、その一例を図 1 に示す。各々の画素 10 は、液晶表示パネルの複数の（通常、全ての）画素に共通の共通背面電極 12 に接続された 1 つの端子を有し、画素駆動トランジスタ 13 のドレイン端子に接続された他の端子を有する、液晶セルを有する。

【0003】

画素は、水平方向の行と垂直方向の列のマトリクスに従って配列される。1 つの列における駆動トランジスタ 13 のソース電極の全ては、共通の列電極又はデータライン 14 に接続されている。全てのデータラインは、データドライバ又は列ドライバ 20 の対応する

50

出力 21 に結合されている。

【0004】

1つの行における駆動トランジスタ13全てのゲート電極の全ては、1つの共通行電極又はデータライン15に接続されている。全てのゲートラインは、ゲートドライバ又は行ドライバ80の対応する出力81に接続されている。行ドライバ80はゲートパルスソース90からゲートパルス P_G を受け、所定の順序でゲートラインに連続的にこれらのゲートパルスを供給する。

【0005】

動作中、表示パネルの行は、同時に、ゲートラインの1つのみに適切なゲートパルスを印加することにより連続的に駆動される。これは、マトリクス of 1つの行の選択を効果的に設定する。このように行が選択される間（ゲートパルスの期間）、データドライバ20により供給されるデータライン14における電圧は、この特定な行において対応する画素要素10から出力される光量を決定する。

【0006】

ゲートライン15に印加される上記のゲートパルスの長さにより決定される所定のライン時間の間、行は、維持（駆動）される。続いて、次の行が選択され、マトリクスの全ての行が選択されるまで、それが同様に繰り返され、その後、シーケンスがマトリクスの第1行から継続される。全ての行は、共に、1つの画像フレームを規定する。例えば、1つの完全なフレームを表示するように、全ての連続する行を駆動するために必要な時間はフレーム期間として表される。

【0007】

液晶表示パネルは、モーションブラー及びキックバックのような問題を被る。“モーションブラー”は、表示対象がスクリーンにおいて動くとき、特定の範囲にぼやけるようになる表示対象についての現象のことである。この現象は、本来備わっている短いLC応答時間と、画素容量はセルに印加された電圧に依存することを含む、幾つかの原因によるものである。“キックバック”は、ゲートパルスが取り除かれたとき、セルに生じる不所望の電圧降下の現象である。この現象は、本質的に、液晶セル内にある寄生要素のためであり、その（電圧降下）大きさは一定ではなく、セルの容量に依存し、それは又、セル自体に印加される電圧に関係する。

【0008】

このような問題は、それ自体、知られており、その問題を少なくとも低減し又は克服するために補正方法が提案されてきた。それらの方法の全ては、セルを“オーバードライブすること”により上記の現象を低減させることが可能であるという原理に基づいている。そのような既知の“オーバードライブ”補正方法において、データソース20により供給されるデータソース信号 V_{DS} はデータライン14に、直接、印加されないが、データライン14に印加されるデータ駆動電圧 V_d が次式により表されるような、補正電圧 V_{cor} が加えられる。

【0009】

$$V_d = V_{DS} + V_{cor}$$

補正值 V_{cor} は、一方で、データソース20により、現在、印加されている現在のデータソース信号 V_{DS} に、他方で、前のフレームの同じ画素に関連する同じデータラインにデータソース20により供給されるデータソース信号 V_{DS} に、依存する。それ故、各々の画素10に対して、次式に従って、 $V_{DS}(n)$ 及び $V_{DS}(n-1)$ の関数としてn番目のフレームにおける補正值 $V_{cor}(n)$ を表すことができる。

【0010】

$$V_{cor}(n) = f(V_{DS}(n); V_{DS}(n-1))$$

現在のn番目のフレームの間にこの画素10に印加されるデータ駆動信号 $V_d(n)$ は、それ故、次式により表される。

【0011】

$$V_d = V_{DS}(n) + V_{cor}(n)$$

$$= V_{D_S}(n) + f(V_{D_S}(n); V_{D_S}(n-1))$$

上記の式において、関数 f は、2つの変数 $V_{D_S}(n)$ 及び $V_{D_S}(n-1)$ の所定の関数である。その関数 f は解析関数、テーブル、又はいずれの他の適切な方式で表されることが可能である。関数 f は、当業者に理解されるであろうように、個別の液晶表示装置に固有な特性に依存する。いずれにしても、そのような補正関数を用いる概念自体は既知であり、それ故、本発明の主題ではない。従って、この関数の更に詳細な説明はここでは省略する。

【0012】

先行技術においては、補正值 $V_{c.o.r.r}$ を決定するために、フレームメモリ 30 は、図 1 に機能的に示すように、前のフレームの画素ソース信号 $V_{D_S}(n-1)$ を格納するために用いられる。フレームメモリは、液晶表示装置の画素数に対応するメモリ容量を有する必要があり、比較的高価である。

10

【0013】

更に、先行技術においては、補正方法は、列ドライバ信号 $V_{D_S}(n-1)$ に基づいて実行され、前のフレームにおいて液晶セル 11 に実際に存在したデータ駆動電圧の単なる推定である。

【0014】

図 1 は、まるで列ドライバの後に実行されるかのような補正方法を示していることに留意されたい。実際には、その補正方法は、当業者には理解されるであろうように、列ドライバに供給されるデータに関して、ディジタルドメインにおいて直接実行される。

20

【発明の開示】

【発明が解決しようとする課題】

【0015】

本発明の目的は、液晶画素を駆動するための方法及び駆動回路であって、当該技術分野の情勢の同じ機能性（即ち、オーバードライビング方法）を、フレームメモリを用いることなく、実行することができる、方法及び駆動回路を提供することである。本発明の他の目的は、液晶画素を駆動する方法及び駆動回路であって、オーバードライビング方法が、前のフレームにおける液晶セル 11 に実際に存在した電圧の推定の代わりに、測定に基づいて実行される、方法及び駆動回路を提供することである。これは、補正值 $V_{c.o.r.r}(n)$ の更に正確な評価を可能にする。

30

【課題を解決するための手段】

【0016】

本発明については独立請求項に規定されている。従属請求項は有利な実施形態について規定している。

【0017】

上記の目的を達成するために、本発明は、画素メモリとして各々の液晶セル 11 の固有静電容量 C_{L_C} を用いる。このように、付加フレームメモリはもはや必要でなく、更に、前のフレームの後に前記固有静電容量 C_{L_C} に残留している残留電圧は、補正電圧 $V_{c.o.r.r}(n)$ を計算するために測定される。

【0018】

40

本発明については独立請求項に規定されている。従属請求項は有利な実施形態について規定している。

【0019】

従って、本発明の重要な特徴に従って、液晶セルを駆動する方法は、第 1 に、セルに残留している電圧レベルを測定する段階と、第 2 に、一方で、データソースからデータソース信号 $V_{D_S}(n)$ に、他方で、測定されたセル電圧 $V_d(n-1)$ に基づく補正駆動信号を用いてセルを駆動する段階と、を有する。

【0020】

更に、本発明に従った液晶表示ドライバ回路は、セル電圧 $V_d(n-1)$ を検出する検出手段と、一方で、データソースにより印加される現在のデータソース信号 $V_{D_S}(n)$

50

に、他方で、測定されたセル電圧 $V_d (n-1)$ に基づいてデータ駆動信号 $V_d (n)$ を生成する駆動電圧生成手段と、液晶セルにこのようにして生成されたデータ駆動信号 $V_d (n)$ を加える駆動信号印加手段と、検出手段及び駆動信号印加手段のタイミングを制御する制御手段と、を有する。

【0021】

本発明の、以上の及び他の特徴及び優位性については、図面を参照する本発明のLCD表示ドライバの好ましい実施形態の以下の説明において、更に述べる。図において、同様な参照番号は同じ又は類似する構成要素を表すこととする。

【発明を実施するための最良の形態】

【0022】

図2は、1つのデータライン14、即ち、行における1つの画素10に対して、本発明を実行するための回路50を模式的に示している。しかしながら、表示装置においては、図2に示すような複数の回路50が、各々のデータラインに対する回路として提供されることが理解できるであろう。

【0023】

回路50は、データ信号入力41と、ゲート信号入力43と、出力42とを有する。データ信号入力41は、現在のデータソース信号 $V_{DS} (n)$ を供給するデータソース20の出力21に結合される。この出力42はデータライン14に結合される。

【0024】

図2の回路の実施において、データ信号入力41は、加算器51の第1入力及び関数計算ユニット52の第1入力に結合される。関数計算ユニット52の出力は前記加算器51の他の入力に結合され、その出力は第1制御可能スイッチ53の第1スイッチ端子に結合される。前記第1制御可能スイッチ53の第2スイッチ端子はデータライン14に結合されている。第1制御可能スイッチ53は2つの動作状態を有する。即ち、第1動作状態において、第1制御可能スイッチ53は2つの端子間を導通させる一方、第2動作状態において、第1制御可能スイッチ53は2つの端子間を非導通にする。好ましくは、図に示しているように、スイッチ53はMOSFETとして実施される。第1動作状態は、以下、閉状態といい、第2動作状態は、開状態という。前記の2つの操作状態の1つの選択、又はスイッチングは、制御端子において受けられた第1スイッチ制御信号SC1の制御の元で起こる。

【0025】

第2制御可能スイッチ54は、好ましくはMOSFETとして実施され、前記データライン14に又接続された1つの端子を有し、ラッチ55の入力に接続された他のスイッチ端子を有し、その出力は前記関数計算ユニット52の第2入力に接続される。第1制御可能スイッチ53と同様に、第2制御可能スイッチ54は第1動作状態、即ち、閉状態と、第2動作状態、即ち、開状態とを有し、スイッチングは制御端子において受ける第2スイッチ制御信号SC2の制御下で起こる。

【0026】

スイッチ制御部60は、前記の2つの制御可能スイッチ53、54に対するそれぞれのスイッチ制御信号SC1、SC2を供給する2つの出力61、62を有する。スイッチ制御部60は、ゲートパルスソース90からゲートパルス P_G を受けるためにゲート信号入力43に結合された入力63を有する。ゲートパルスは又、ゲート駆動部80に供給される。ゲート駆動部80の出力は、対応するゲートライン15に接続される。

【0027】

スイッチ制御部60は、以下のように、入力として受けた下と信号に基づいて、スイッチ制御信号SC1、SC2を生成するように適合されている。ゲートパルス P_G を受けたとき、スイッチ制御部60は、先ず、ゲートパルス P_G より短い期間を有する第2制御信号SC2としての第2パルス P_S をその第2出力62において生成する。次いで、検出パルス P_S が終了した後、スイッチ制御部60は第1制御信号SC1として駆動パルス P_D を第1出力61で生成し、駆動パルス P_D は、検出パルス P_S が終了したとき、続いて開

10

20

30

40

50

始し、ゲートパルス P_G が終了したとき、続いて終了する。好ましくは、前記の 2 つのパルスの間のオーバーラップを回避するために、検出パルス P_S と駆動パルス P_D との間に僅かな期間が存在する。前記 3 つの信号のタイミング、即ち、時間 t の関数として、ゲートパルス P_G 、第 2 制御信号 $SC2$ 及び第 1 制御信号 $SC1$ それぞれについて図 3 に示している。

【0028】

図 4 は、パルスの存在が論理値 $HIGH$ に対応し、パルスの非存在は論理値 LOW に対応することを示している。モノパルス生成部 70 は、前もって認識されているゲートパルス P_G の所定の期間より小さい所定の期間を有する 1 つのパルスを生成するために適合されている。パルス生成部 70 は、常時 LOW である第 1 出力 72 を有し、 $HIGH$ パルス 10 を供給する。パルス生成部 70 は、更に、常時 $HIGH$ である第 2 出力 73 を有し、 AND ゲート 74 の第 1 入力に結合した LOW パルスを供給する。それ故、パルス生成器 70 の第 2 出力 73 における第 2 出力信号は、第 1 出力において第 1 出力信号に関して逆の信号である。従って、又、インバータにより前記 AND ゲート 74 の前記第 1 入力にパルス生成部 70 の第 1 出力 72 を結合することができる。

【0029】

パルス生成部 70 は、ポジティブエッジがパルス生成部のトリガ入力 71 に受け取られたとき、パルスを生成するように適合される。このトリガ入力 71 は、ゲート信号 P_G を受け取るようにスイッチ制御部 60 の前記入力 63 に結合される。又、前記 AND ゲート 94 の第 2 入力は、ゲート信号 P_G を受け取るようにスイッチ制御部 60 の前記入力 63 20 に結合される。パルス生成部 70 の第 1 出力 72 は、スイッチ制御部 60 の前記第 2 出力 62 に結合され、 AND ゲート 74 の出力はスイッチ制御部 60 の第 1 出力 61 に結合される。

【0030】

動作中、ゲート信号 P_G が最初に LOW であるため、 AND ゲート 74 の出力は、最初は LOW である。ゲートパルス P_G が受け取られるとき、特に、ゲートパルスの立ち上がりエッジが受け取られるとき、パルス生成部 70 は第 1 出力 72 で $HIGH$ パルスを生成し、その $HIGH$ パルスはスイッチ制御部 60 の第 2 出力 62 で検出パルス P_S として供給される。この検出パルス P_S の間、 AND ゲート 74 の出力は LOW のまま維持される。次いで、パルス生成部 70 により生成されたパルスが終了したとき、 AND ゲート 74 30 の出力は、ゲートパルス P_G の残りの持続時間の間、 $HIGH$ であり、これは、スイッチ制御部 60 の第 1 出力において、出力パルス、即ち、駆動パルス P_D として供給される。

【0031】

それ故、ゲートパルス P_G の長さにより決定されるアドレッシングパルスは、スイッチ制御部 60 により 2 つの部分に効果的に分割され、それらの 2 つの部分は、以下、“検出フェーズ”及び“駆動フェーズ”という。検出フェーズの長さはパルス生成部 70 により生成されたパルスの長さにより決定される一方、駆動パルスの長さは、スイッチ制御部 60 の第 1 出力 61 における出力パルスの長さ、即ち、ゲートパルス P_G と検出パルス P_S との長さの差により決定される。典型的には、検出フェーズの持続時間は駆動フェーズの持続時間より短い。 40

【0032】

検出フェーズの間、第 1 制御可能スイッチ 53 は開状態であり、第 2 制御可能スイッチ 54 は、検出パルス P_S の制御下では閉状態である。それ故、液晶セル 11 に残留する電圧はラッチ 55 の入力に結合される。関数計算ユニット 52 は、ここで、現在のデータソース信号 $V_{DS}(n)$ を第 1 入力として受け取り、検出フェーズの間に測定された残留セル電圧 $V_d(n-1)$ を第 2 入力において受け取る。これらの 2 つの入力信号に基づいて、関数計算ユニットは、それ自体周知の方法において、現在の補正信号 $V_{cor}(n)$ を決定し、その補正信号 $V_{cor}(n)$ は、現在のセル駆動信号 $V_d(n)$ を供給するために現在のデータソース信号 $V_{DS}(n)$ に付加される。しかしながら、検出フェーズの間、第 1 制御可能スイッチ 53 は開状態であるため、個の現在のセル駆動信号 $V_d(n)$ 50

) は、検出フェーズの間、セル 1 1 に印加されない。

【0033】

検出フェーズの後、駆動フェーズの間、第 2 制御可能スイッチ 5 4 は開状態であり、第 1 制御可能スイッチは駆動フェーズ P_D の制御下では閉状態であり、それ故、現在のセル駆動信号 $V_d(n)$ はデータライン 1 4 に印加され、従って、第 2 制御可能スイッチ 5 4 がここで開状態であるため、検出回路の存在により攪乱されることなく、ゲートパルス P_G により“選択された”液晶セル 1 1 に印加される。駆動フェーズの間、測定された残留セル電圧 $V_d(n-1)$ はラッチ 5 5 により“記憶される”。

【0034】

関数計算ユニット 5 2 の正確な動作は本発明にとって本質的ではないことに留意されたい。この点で、先行技術の装置において、現在の残留セル電圧の推定として前のフレームの前のセル駆動信号 $V_{DS}(n-1)$ を表す信号を第 2 入力において受け取る関数計算ユニットが知られており、この信号はフレームメモリにより供給される。本発明の実施においては、先行技術の装置から始めることにより、そのようなフレームメモリのメモリ機能は、上記のように、更に正確な値を与えるセル静電容量のメモリ機能により置き換えられることが可能である。関数計算ユニット波形さんユニットのいずれのタイプであって、例えば、2 つの入力値に基づいて、出力関数値を計算するためにプログラムされ、アナログ及び／又はディジタル方式で実行されることが可能な、適切にプログラムされたハードウェア計算装置、であることが可能である。

【0035】

本発明は、上記の実施形態の例に限定されるものではなく、同時提出の特許請求の範囲において規定されているような本発明の保護範囲内において、種々の変形及び修正が可能であることが、当業者に認識される必要がある。

【0036】

例えば、液晶表示駆動回路 5 0 について、データソース又は列ドライバ 2 0 とは別個のユニットであるとして説明しているが、液晶表示駆動回路 5 0 はデータソース又は列ドライバ 2 0 の集積された一部であるとして実施されることが又、可能である。データソース 2 0 及び液晶表示駆動回路 5 0 の組み合わせは又、以下、“集積データソース 1 2 0”という。その場合、ゲート信号入力 4 3 は集積データソース 1 2 0 の入力であることが可能である。出力 2 1 及びデータ信号入力 4 1 は集積データソース 1 2 0 のような内部ノードであり、出力 4 2 はそのような集積データソース 1 2 0 の出力である。

【0037】

更に、検出手段が、測定値として残留セル電圧に実質的に等しい信号を出力する実施形態について、上で説明した。しかしながら、これは好ましい場合であって、これは必ずしも必要ではない。それに代えて、検出手段は、所定のファクタにより実際のセル電圧とは異なる出力信号を検出手段に与えることがあり得る一方、計算手段は、補正値を計算するとき、そのようなファクタをとるようにデザインされることが可能である。このことにより、残留セル電圧を表す出力信号を検出手段として表す。

【0038】

$V_{DS}(n)$ と $V_d(n-1)$ とから $V_d(n)$ を直接計算するために代替の関数を用いて代替の計算ユニットにおいて加算器 5 1 と計算ユニット 5 2 とを組み合わせることが又、可能である。

【0039】

上記の実施形態は本発明を限定するものではないこと、及び、当業者は、同時提出の特許請求の範囲の権利範囲から逸脱することなく多くの他の実施形態をデザインすることができること、に留意する必要がある。表現“を有する”及び個の表現からの派生語は、請求項に記載した要素又は段階以外の要素又は段階を排除するものではない。要素の単数表現は、そのような要素の複数の存在を排除するものではない。本発明は、幾つかの別個の手段を有するハードウェアにより及び適切にプログラムされたコンピュータにより実施することができる。幾つかの手段を列挙している装置請求項においては、それらの手段の幾

つかを、全く同一のハードウェアのアイテムにより実施することができる。互いに異なる従属請求項に列挙されている特定の手段は、それらの手段の組み合わせを有利に用いることができないことを表すものではない。

【図面の簡単な説明】

【 0 0 4 0 】

【図 1】 先行技術の駆動回路を示す模式図である。

【図 2】 本発明に従った液晶表示ドライバ回路を示す模式図である。

【図 3】本発明に従った液晶表示駆動回路の実施形態における駆動パルスのタイミングを示すグラフである。

【図 4】スイッチ制御部の実施形態を示す模式図である。

10

【图 1】

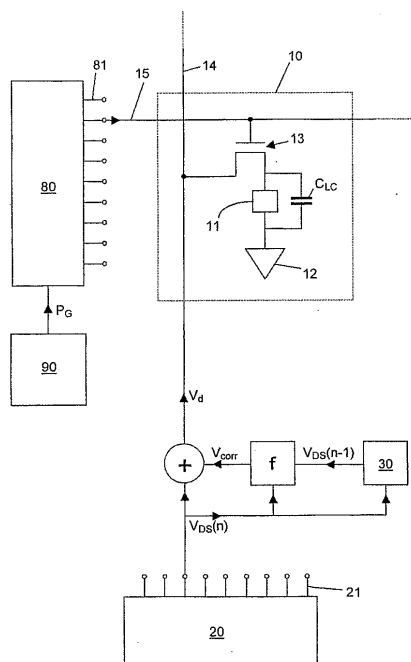


FIG.1

【图 2】

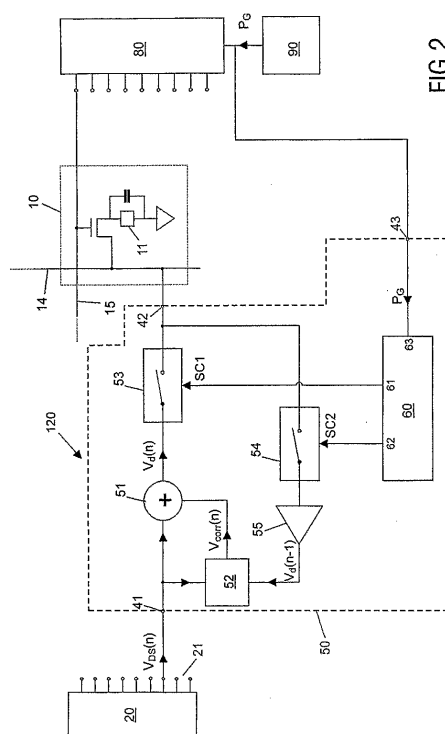


FIG. 2

【 図 3 】

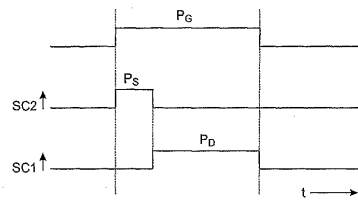


FIG.3

【 図 4 】

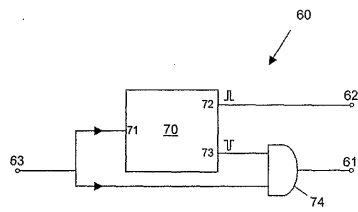


FIG.4

【国際調査報告】

INTERNATIONAL SEARCH REPORT		PCT/IB 03/03148
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 815 134 A (NISHI TAKESHI) 29 September 1998 (1998-09-29) the whole document	1-3,8-10
X	----- PATENT ABSTRACTS OF JAPAN vol. 016, no. 186 (P-1347), 7 May 1992 (1992-05-07) & JP 04 022923 A (SANYO ELECTRIC CO LTD), 27 January 1992 (1992-01-27) abstract the whole document -----	1,2,9,10
☐ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *8* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
7 November 2003		28/11/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Harke, M

INTERNATIONAL SEARCH REPORT

PCT/IB 03/03148

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5815134	A	29-09-1998	JP 8036161 A	06-02-1996
JP 04022923	A	27-01-1992	NONE	

フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 4 2 P
G 0 9 G	3/20	6 6 0 V

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100107766

弁理士 伊東 忠重

(72)発明者 パスカリーニ, ジュゼッペ

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

(72)発明者 アルバーニ, ルイージ

オランダ国, 5 6 5 6 アーアー アインドーフエン, プロフ・ホルストラーン 6

F ターム(参考) 2H093 NA16 NB07 NB30 NC09 NC11 NC21 NC34 NC58 NC65 ND33

ND40 NE10 NH12

5C006 AA16 AF42 AF44 AF46 AF64 AF71 BB16 BC12 BF04 BF15

BF26 BF28 BF38 FA14 FA16 FA25 FA37 FA44

5C080 AA10 BB05 DD05 DD08 DD22 EE19 EE29 FF11 GG02 GG12

JJ02 JJ03 JJ04

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2005534970A5	公开(公告)日	2006-08-24
申请号	JP2004525659	申请日	2003-07-10
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	パスクアリーニジュゼッペ アルバーニルイージ		
发明人	パスクアリーニ,ジュゼッペ アルバーニ,ルイージ		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G2320/0219 G09G2320/0261		
FI分类号	G09G3/36 G02F1/133.505 G02F1/133.550 G09G3/20.611.J G09G3/20.612.U G09G3/20.621.F G09G3/20.623.B G09G3/20.623.C G09G3/20.623.D G09G3/20.623.G G09G3/20.623.R G09G3/20.642.P G09G3/20.660.V		
F-TERM分类号	2H093/NA16 2H093/NB07 2H093/NB30 2H093/NC09 2H093/NC11 2H093/NC21 2H093/NC34 2H093/NC58 2H093/NC65 2H093/ND33 2H093/ND40 2H093/NE10 2H093/NH12 5C006/AA16 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF64 5C006/AF71 5C006/BB16 5C006/BC12 5C006/BF04 5C006/BF15 5C006/BF26 5C006/BF28 5C006/BF38 5C006/FA14 5C006/FA16 5C006/FA25 5C006/FA37 5C006/FA44 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD22 5C080/EE19 5C080/EE29 5C080/FF11 5C080/GG02 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	伊藤忠彦		
优先权	2002078097 2002-07-29 EP		
其他公开文献	JP2005534970A		

摘要(译)

在新颖的液晶单元过驱动方法中，测量由前一帧驱动操作产生的液晶单元（11）中的实际电压，并根据实际测量的电压估计过驱动电压量。在该方法中，由于液晶单元（11）的固有电容（CLC）用作存储元件，所以可以在不使用帧存储器的情况下实现过驱动方法。此外，该方法允许更精确的过驱动量，因为这种估计是基于由前一帧产生的液晶单元（11）中存在的实际电压。