

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-99733

(P2005-99733A)

(43) 公開日 平成17年4月14日(2005.4.14)

(51) Int.Cl.⁷

G02F 1/1368

G02F 1/133

H01L 29/786

F I

G02F 1/1368

G02F 1/133 550

H01L 29/78 612C

テーマコード (参考)

2H092

2H093

5F110

審査請求 有 請求項の数 10 O L (全 25 頁)

(21) 出願番号 特願2004-203939 (P2004-203939)
 (22) 出願日 平成16年7月9日(2004.7.9)
 (31) 優先権主張番号 特願2003-310636 (P2003-310636)
 (32) 優先日 平成15年9月2日(2003.9.2)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 緑田 憲史
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 武内 正典
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

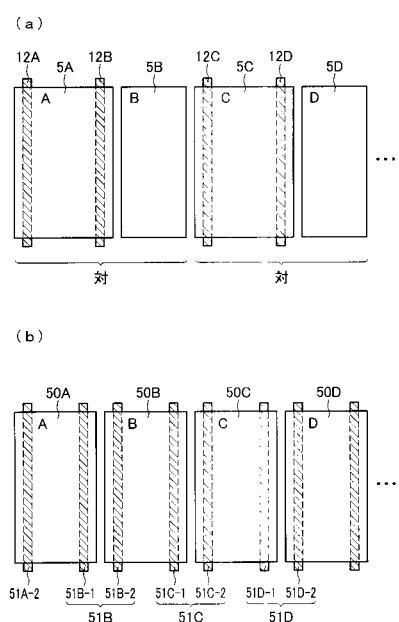
(54) 【発明の名称】 能動素子基板及び液晶表示装置

(57) 【要約】

【課題】 プロセスマージンを広くとりながら、信号線と画素電極とを重畳配置したことによる容量に起因する、薄膜トランジスタがOFFしている期間のドレイン電位の変動を小さく抑えることができ、かつ、信号線の構造を簡素化すると共に開口率を向上させ得る能動素子基板と液晶表示装置を提供する。

【解決手段】 走査線と平行な方向に隣接して対をなす2つの画素A・Bを充電する信号線12A・12Bは、対をなす画素A・Bのうちの一方側である画素Aの画素電極5A上に集約して配設され、同様に、対をなす2つの画素C・Dを充電する信号線12C・12Dは、対をなす画素C・Dのうちの一方側である画素Cの画素電極5C上に集約して配設されている。画素A～Dの並びで見れば、信号線12が配された画素電極5と信号線12が配されていない画素電極5とは、交互に並んでいる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の信号線と該信号線に交差する複数の走査線とが形成されると共に、信号線と走査線の各交差部に能動素子と画素電極とがそれぞれ配され、かつ、上記画素電極が少なくとも上記信号線に重畳して配されている能動素子基板において、

走査線と平行な方向に隣接して対をなす 2 つの画素電極に対応する各信号線は、対をなすいずれか一方の画素電極上であって該画素電極のエッジよりも内側に集約して配されていることを特徴とする能動素子基板。

【請求項 2】

信号線が配された画素電極と信号線が配されていない画素電極とが、走査線と平行な方向に交互に並んでいることを特徴とする請求項 1 に記載の能動素子基板。 10

【請求項 3】

複数の信号線と該信号線に交差する複数の走査線とが形成されると共に、信号線と走査線の各交差部に能動素子と画素電極とがそれぞれ配され、かつ、上記画素電極が少なくとも上記信号線に重畳して配されている能動素子基板において、

上記各信号線は、対応する画素電極上に配された部分と、該画素電極に走査線と平行な方向に隣接する画素電極上に配された迂回部分とからなり、各画素電極上で、対応する信号線の部分と隣接する画素電極の信号線の迂回部分とが対を成し、かつ、画素電極間を横切る部分以外は、重畳される各画素電極のエッジよりも内側に位置していることを特徴とする能動素子基板。 20

【請求項 4】

信号線が配されていない画素電極或いは迂回された信号線の部分的に占める面積が小さい画素電極よりも、信号線が集約して配されている画素電極或いは迂回された信号線の部分的に占める面積が大きい画素電極の走査線と平行な方向の電極サイズが大きいことを特徴とする請求項 1 ～ 3 の何れかに記載の能動素子基板。

【請求項 5】

信号線が配されていない画素電極における画素の開口部面積が、信号線が集約して配されている画素電極における画素の開口部面積の 2 分の 1 であることを特徴とする請求項 2 に記載の能動素子基板。

【請求項 6】

請求項 1 ～ 5 の何れかに記載の能動素子基板と、共通電極が形成された対向基板と、これら基板間に挟持された液晶層とを有し、上記液晶層に印加される電圧の極性が信号線毎に反転されることを特徴とする液晶表示装置。 30

【請求項 7】

請求項 5 に記載の能動素子基板と、共通電極が形成された対向基板と、これら基板間に挟持された液晶層とを有し、上記液晶層に印加される電圧の極性が信号線毎に反転され、かつ、走査線と平行な方向に並ぶ、信号線が配された 2 つの画素電極と信号線が配されていない 2 つの画素電極とで 1 つのカラーユニットを構成するように赤・緑・青のカラーフィルタが設けられ、このうちの信号線が配されていない 2 つの画素電極に対して緑のカラーフィルタが対応していることを特徴とする液晶表示装置。 40

【請求項 8】

上記画素電極間のギャップと上記能動素子を遮光する遮光パターン部が、上記能動素子基板もしくは上記対向基板側に設けられていることを特徴とする請求項 6 または 7 に記載の液晶表示装置。

【請求項 9】

動作モードが T N モードであることを特徴とする請求項 6 または 7 に記載の液晶表示装置。

【請求項 10】

動作モードが M V A モードであることを特徴とする請求項 6 または 7 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ごとに、薄膜トランジスタや電界効果トランジスタ、ダイオード等の能動素子と画素電極とが形成された能動素子基板、及びこれを用いた液晶表示装置に関するものである。

【背景技術】

【0002】

近年、液晶表示装置においては、画素毎に薄膜トランジスタや電界効果トランジスタ、ダイオード等の非線形能動素子を配置することによって余分な信号の干渉を排除でき、高画質を実現することができるアクティブマトリクス型の液晶表示装置が普及している。 10

【0003】

このような液晶表示装置では、画質の劣化を防ぐべく、液晶層に印可される電圧の極性を交互に反転させる交流駆動が行われる。その駆動方式には主に、液晶層に印加する電圧の極性を走査線毎に変えるライン反転駆動と、信号線毎に変えるドット反転駆動の2種類がある。このうち、ドット反転駆動はライン反転駆動よりも空間周波数を高くできるので表示品位の良好とできる。

【0004】

また、能動素子として例えば薄膜トランジスタ(TFT: Thin Film Transistor)が用いられた液晶表示装置では、複数の信号線と複数の走査線とが交差するように配され、これらの交差点毎にTFTと画素電極とが配置されてなるTFT基板を有し、該TFT基板と共通電極の形成された対向基板との間に液晶層が挟持されている。TFTのゲート電極は走査線に接続され、ソース電極は信号線に接続され、ドレイン電極は画素電極に接続される。 20

【0005】

このような液晶表示装置では、TFTがONされている期間、信号線からドレインに電流が流れ、画素電極と共通電極、及び液晶層によって形成される液晶容量C_{lc}が充電される。そして、TFTがOFFされている期間は、液晶容量C_{lc}の印加電圧は保持されることとなる。

【0006】

また、近年、開口率を上げるために、走査線と信号線とで区画された領域内に配置されていた画素電極を、層間絶縁膜を介することで、信号線や走査線に重畳して配置する構成が用いられている。図13(a)に、画素電極50が信号線51に重畳して配された構成を示す。図13(a)では、図において横方向となる走査線に平行な方向に並ぶ任意の3画素A・B・Cにおける、画素電極50A・50B・50Cと、画素B・C(正確には液晶容量C_{lc})を充電する信号線51B・51Cの配置を示している。信号線51Bは、TFT52Bを介して画素電極50Bと接続され、信号線51Cは、TFT52Cを介して画素電極50Cと接続されている。なお、以下、特に画素を特定して説明する必要がない場合は、部材番号の後ろにA, B, C等は付さないこととする。 30

【0007】

ここで、信号線51Bは、隣り合う画素電極50A・50Bとの間に跨り、そのギャップを埋めるように配されている。同様にして、信号線51Cは、隣り合う画素電極50B・50Cとの間に跨り、そのギャップを埋めるように配置されている。 40

【0008】

このような信号線51や走査線と画素電極50とが重畳される構成では、重畳部分の絶縁層とで容量が形成される。中でも特に画素電極50と信号線51とこれらの間の層間絶縁膜とで形成される容量C_{sd}が問題となる。つまり、TFTがOFFしている期間にも信号線51には常に他の走査線に対応する画素電極50を書き込むための信号が流れている。そのため、この容量C_{sd}を介してドレイン電位が変動し、それに伴い液晶容量C_{lc}に保持されるべき電圧も変動することとなる。液晶容量C_{lc}に保持されるべき電圧の 50

変動は、カラー表示であれば色目の変化となる。

【0009】

前述した信号線毎に極性を変えるドット反転駆動は、このような容量 C_{sd} を介してのドレイン電位変動の軽減に有効である。つまり、ドット反転駆動では、信号線51に印可される信号（電圧）は適当な水平走査期間毎に極性が反転し、隣り合う信号線51・51の位相は180度異なる。そのため、ドレイン電位に及ぼす影響をなくすることはできないが、ドレイン電位に及ぼす影響を正反対として、互いに打ち消し合わせることができる。

【0010】

画素におけるドレイン電位の変化分 ΔV_{dr} は、次式で表すことができる。

10

【0011】

$$\Delta V_{dr} = C_{sd1} / C_{pix} \times \Delta V_{s1} + C_{sd2} / C_{pix} \times \Delta V_{s2}$$

ここで C_{sd1} は、ドレインを充電する信号線51と画素電極50と層間絶縁膜とによって形成される容量、 C_{sd2} は隣接する信号線51と画素電極50と層間絶縁膜とによって形成される容量である。また、 C_{pix} はドレインに関係する容量の和、 ΔV_{s1} はドレインを充電する信号線51の変化後の電位から変化前の電位を引いた電圧変化の値、 ΔV_{s2} は隣接する画素を充電する信号線51の変化後の電位から変化前の電位を引いた電圧変化の値を表している。

【0012】

図13(a)を用いて説明すれば、 C_{sd1} はTFT52Bのドレインを充電する信号線51Bと画素電極50Bと層間絶縁膜とによって形成される容量、 C_{sd2} は隣接する信号線51Cと画素電極50Bと層間絶縁膜とによって形成される容量である。また、 C_{pix} はドレインに関係する容量の和、 ΔV_{s1} はドレインを充電する信号線51Bの変化後の電位から変化前の電位を引いた電圧変化の値、 ΔV_{s2} は隣接する信号線51Cの変化後の電位から変化前の電位を引いた電圧変化の値を表している。

20

【0013】

図15に、各信号線51B・51Cに流れる信号によるTFT52Bのドレイン電位の変化を模式的に示す。図15に示すように、 ΔV_{s1} と ΔV_{s2} の正負は常に逆となる。 C_{sd1} と C_{sd2} の値が等しく、 ΔV_{s1} と ΔV_{s2} の絶対値が等しければドレイン電位に対する影響を完全にキャンセルすることができる。

30

【0014】

そこで、従来、 C_{sd1} と C_{sd2} とを等しくするために、図13(a)及びその断面図である図14(a)に示すように、画素電極50Bに信号線51B・51Cを重畳して配置するにおいては、両信号線51B・51Cの重畳面積を等しくしている。

【0015】

しかしながら、このように画素電極50の両エッジ部分に配される2本の信号線51・51の重畳面積を等しくするレイアウトとしても、信号線51に対する画素電極50のアライメントがずれると、図13(b)及びその断面図である図14(b)に示すように、信号線51B・51Cと画素電極50Bとの重畳面積が変化してしまい、画素電極50Bの上記両エッジ部分に形成される C_{sd1} と C_{sd2} の値が異なってくる。 C_{sd1} と C_{sd2} の値が違えばドレイン電位に与える影響が異なり、アライメントずれの領域とそうでない領域との間で、 ΔV_{dr} が違ってくる。そのため、アライメントがずれている領域とアライメントがずれていない領域とでは実効値に差が生じ、その差が表示ムラとして見えてしまう。

40

【0016】

このような信号線に対する画素電極のアライメントずれによる C_{sd1} と C_{sd2} の値の変化を小さくするため、図16(a)及びその断面図である図17(a)に示すように、図13(a)では、隣り合う画素電極50A・50Bに跨って配置されていた信号線51Bを、2つの分岐信号線51B-1・51B-2とし、画素電極50Aと画素電極50Bの各領域内に完全に収まるように配置する構成（はしご構造）も提案されている。

50

【0017】

図18に、はしご構造が採用されたTFT基板の平面図を示す。図において、横方向に伸びる複数のラインが走査線53であり、この走査線53に交差する複数のラインが信号線51である。そして、仮想線にて示す走査線53と信号線51とに周端部を重畳して配置されたものが画素電極50である。これら部材53・51・50は、図示しないガラス等からなる光透過性の基板上に走査線53、信号線51、画素電極50の順で形成されており、走査線53を有する電極層と信号線51を有する電極層との間には、図示しないゲート絶縁膜が介在され、信号線51を有する電極層と画素電極50を有する電極層との間には、図示しない層間絶縁膜が介在されている。

【0018】

10

ここで、画素Bに着目すると、信号線51Bは、TFT52B（ハッチング部分）の配置部分を除いて分岐信号線51B-1・51B-2に分岐されており、隣り合う2つの画素電極50A・50Bの領域にそれぞれ完全に収まるように配置されている。なお、図中、55と54にて示すものは蓄積容量を構成するCs配線とCs電極であり、このうち、Cs配線55は走査線53と同じ電極層に形成され、Cs電極54は、信号線51と同じ電極層に形成されている。

【0019】

このような構造では、画素電極50の信号線51に平行なエッジから該エッジ部分に重畳して配される2本の分岐信号線51-1・51-2までの間に距離を確保しておくことで、たとえ信号線51に対する画素電極50のアライメントがずれても、図16（b）及び図17（b）に示すように、画素電極50Bとその両エッジ部分に重畳して配されている分岐信号線51B-2と分岐信号線51C-1との各重畳面積は変化せず、Csd1とCsd2との値の変化を小さくすることができ、プロセスマージンを広くとることができる（例えば、特許文献1・2参照）。

20

【0020】

なお、ここでは、画素電極と信号線とで形成される寄生容量による影響を、能動素子としてのTFTを例示し、ドレイン（ドレイン端子）の電位変動として説明したが、電界効果トランジスタやダイオード等の他の能動素子においても同様で、上記した寄生容量による影響で画素電極と接続される端子の電位が変動する。

【0021】

30

また、カラー表示型の液晶表示装置に関して、一般的に、赤・青・緑の3原色のフィルタを用い、これら各色のフィルタを1つずつ有してブロックを構成し、このブロックがモザイク状やストライプ状に構成したカラーフィルタが設けられている。また、このような奇数周期のブロック以外にも、上記3原色のフィルタに加えて白色のフィルタを設け、赤・青・緑・白の4種類のフィルタを1ブロックとして、これを複数マトリクス状に構成した偶数周期のカラーフィルタを設けたものもある（例えば、特許文献3参照）。上記の場合、白色のフィルタを設けることによって、全体的に明度を向上させることができる。

【特許文献1】特開平9-152625号公報（1997年6月10日公開）

【特許文献2】特開平10-253988号公報（1998年9月25日公開）

【特許文献3】特開平2-118521号公報（1990年5月1日公開）

40

【特許文献4】特公平3-36239号公報（1991年5月30日公告）

【発明の開示】

【発明が解決しようとする課題】

【0022】

しかしながら、上述のはしご構造では、1画素あたりの信号線51を2本に分岐するため、構造が必然的に複雑になる上、各画素電極50に2本ずつ分岐信号線51-1・51-2が配されるため、信号線51の開口部に対する占有面積が増加し、開口率が低下するという問題がある。

【0023】

本発明は、上記の問題点に鑑みてなされたものであり、その目的は、プロセスマージン

50

を広くとりながら、信号線に画素電極を重畳して配置したことによる容量に起因する、能動素子がOFFしている期間の画素電極と接続された端子電位の変動を小さく抑えることができ、かつ、信号線の構造を簡素化すると共に開口率を向上させ得る能動素子基板及び液晶表示装置を提供することにある。

【課題を解決するための手段】

【0024】

本発明の第1の能動素子基板は、上記課題を解決するために、走査線と平行な方向に隣接して対をなす2つの画素電極に対応する各信号線は、対をなすいずれか一方の画素電極上に集約して、かつ、該画素電極の信号線に平行なエッジよりも内側に配されているので、プロセスマージンを広くとりながら、信号線に画素電極を重畳して配置したことによる容量に起因する、能動素子がOFFしている期間の画素電極と接続される端子における電位の変動を小さく抑えることができ、かつ、信号線の構造を簡素化すると共に開口率を向上させ得る能動素子基板を提供することができるという効果を奏する。

10

【0025】

つまり、これによれば、走査線と平行な方向に隣接して対をなす2つの画素電極の各信号線は、いずれか一方の画素電極上にのみ配されるので、各画素電極は、信号線が隣接する画素電極分も含めて2本配置されているか、信号線が全く配置されていないかの何れかとなる。

【0026】

このような能動素子基板を、前述したドット反転駆動される液晶表示装置に用いた場合、2本の信号線が配されている画素電極の画素では、重畳部分で発生する上記した容量 $C_{sd1} \cdot C_{sd2}$ を介して起こる、薄膜トランジスタ（能動素子の一例）をOFFしている期間におけるドレイン（画素電極と接続される端子の一例）電位の変動が互いに逆向きとなり、前述のはしご構造と同様に、容量 C_{sd} （ $C_{sd1} \cdot C_{sd2}$ ）に起因するドレイン電位の変動を小さくすることができ、表示品位の向上が図れる。

20

【0027】

また、画素電極上に配される2本の信号線は、画素電極の信号線に平行なエッジよりも内側に配されているので、信号線に対する画素電極のアライメントがずれても、信号線と画素電極との重畳部分の面積は変化せず、2本の信号線が配されている部分に形成される容量の値の変化を小さくすることができる。したがって、前述のはしご構造と同様に、プロセスマージンを広くとることができる。

30

【0028】

一方、画素電極上に信号線が配置されていない画素では、隣接する画素内に信号線が配置されていれば、該信号線と当該画素電極との間の斜め電界による容量が形成される。しかしながら、当該画素の画素電極と斜め電界で容量を形成する2本の信号線には、互いに逆極性の信号が供給されているので、それぞれの容量を介してドレイン電位に与える影響は互いにキャンセルされる。

【0029】

また、信号線に対する画素電極のアライメントずれによる斜め電界で形成される容量への影響は、画素電極と信号線が離れている（重なっていない）ので小さく、問題とならない。

40

【0030】

そして、このような構成は、従来のはしご構造に比べて、画素あたりの信号線を分岐しない分、構造を簡素化できると共に、信号線の開口部に対する占有面積を低減して、パネル全体としての開口率を向上させることができる。これは特に、画素ピッチの小さい高精度な液晶表示装置に好適である。

【0031】

なお、画素電極に対応する信号線とは、当該画素電極を含む画素を充電する信号線のことであり、信号線側から言えば、充電を担う画素の画素電極は対応する画素電極と表現される。また、画素電極と信号線とを重畳するにおいて、信号線を画素電極上に配するとし

50

た表現を用いているが、これは、信号線や走査線、画素電極が形成される基板に対しての上下を定めるものではない。また、説明を分かり易くするために、能動素子としてTFTを例示して、TFTにおける現象を用いて作用・効果を説明している。

【0032】

本発明の第1の能動素子基板は、以上のように、さらに、信号線が配された画素電極と信号線が配されていない画素電極とが、走査線と平行な方向に交互に並んでいるので、配置が交互でない構成よりも、上記した隣接する画素内の信号線との間で斜め電界により形成する容量を、効果的に相殺することができる。

【0033】

つまり、信号線が配されていない画素電極の画素においては、該画素の画素電極と隣接画素の画素電極上に配置されている信号線と間に、斜め電界による容量が生成されるが、このように信号線が配置されている画素と配置されていない画素を交互に並べることで、信号線が配されていない画素電極の両サイドに生成される斜め電界による容量の値を等しくでき、効果的にキャンセルさせることができる。それゆえ、配置が交互でない構成よりも、上記した隣接する画素内の信号線との間で斜め電界により形成する容量を、効果的に相殺することができるので、より一層の表示品位の向上が図れるという効果を奏する。

【0034】

また、これによれば、能動素子からコンタクトホール（画素電極と接続するための）までの引き出し線の方角を同じにできる。つまり、能動素子の方角を揃えることができるので、アライメントがずれたときの素子部における表示品位への影響を最小限に抑えることができるという効果も併せて奏する。

【0035】

また、本発明の第2の能動素子基板は、以上のように、上記各信号線は、対応する画素電極上に配された部分と、該画素電極に走査線と平行な方向に隣接する画素電極上に配された迂回部分とからなり、各画素電極上で、対応する信号線の部分と隣接する画素電極の信号線の迂回部分とが対を成し、かつ、画素電極間を横切る部分以外は、重畳される各画素電極のエッジよりも内側に位置しているので、第1の液晶表示装置と同様に、プロセスマージンを広くとりながら、信号線に画素電極を重畳して配置したことによる容量に起因する、能動素子がOFFしている期間の画素電極と接続される端子における電位の変動を小さく抑えることができ、かつ、信号線の構造を簡素化すると共に開口率を向上させ得る能動素子基板を提供することができるという効果を奏する。

【0036】

つまり、これによれば、各信号線は迂回されることで、各画素電極上で対応する信号線の部分と隣接する画素電極の信号線の迂回部分とが対を成すように配される。つまり、この場合は、上述した第1の能動素子基板と同様の信号線が隣接する画素電極分も含めて2本配置されている部分と、信号線が全く配置されていない部分とが、画素電極内に形成されることとなる。また、この場合も、画素電極間を横切る部分以外は、画素電極のエッジよりも内側を通るように配されているので、信号線に対する画素電極のアライメントがずれても、信号線と画素電極との重畳面積は変化せず、各信号線が部分的に対を成して配置されている部分に形成される容量の値の変化を小さくすることができる。

【0037】

したがって、前述の第1の能動素子基板と同様に、例えばこのような能動素子基板を前述したドット反転駆動される液晶表示装置に用いることで、各画素における、重畳部分で発生する上記した容量 $C_{sd1} \cdot C_{sd2}$ を介して起こる、薄膜トランジスタ（能動素子の一例）をOFFしている期間におけるドレイン（画素電極と接続される端子の一例）電位の変動を、広いプロセスマージンを確保しながら、前述のはしご構造と同様に軽減させることができ、表示品位の向上が図れる。そして、この場合も、従来のはしご構造に比べて、画素あたりの信号線を分岐しない分、構造を簡素化できると共に信号線の開口部に対する占有面積を低減して、パネル全体としての開口率の向上を図ることができる。また、特にこのような構成とすることで、各画素に、面積的に均等に信号線を配置させることが

できるといった利点もある。

【0038】

また、第1及び第2の能動素子基板は、以上のように、さらに、信号線が配されていない画素電極或いは迂回された信号線の部分的に占める面積が小さい画素電極よりも、信号線が集約して配されている画素電極或いは迂回された信号線の部分的に占める面積が大きい画素電極の走査線と平行な方向の電極サイズが大きいので、透光性信号線を集約して2本配置した画素と信号線を全く配置しない画素双方の画素の開口部面積をあわせることができ、また、迂回にて部分的に信号線が配される場合は、双方の画素の開口部面積をあわせることができ、ホワイトバランスをとることができるといった効果を併せて奏する。

【0039】

また、第1の能動素子基板は、以上のように、さらに、信号線が配されていない画素電極における画素の開口部面積が、信号線が集約して配されている画素電極における画素の開口部面積の2分の1であるので、本発明の能動素子基板は、例えば、赤・緑・青・緑(RGBG)のフィルタを1ブロックとして構成するカラーフィルタを備えた液晶表示装置に対して、好適に適用することができる。

【0040】

本発明の液晶表示装置は、以上のように、上記した本発明の能動素子基板と、共通電極が形成された対向基板と、これら基板間に挟持された液晶層とを有し、上記液晶層に印加される電圧の極性が信号線毎に反転されるので、既に説明したように、プロセスマージンを広くとりながら、信号線に画素電極を重畳して配置したことによる容量に起因する、薄膜トランジスタ(能動素子の一例)がOFFしている期間のドレイン(画素電極と接続される端子の一例)電位の変動を小さく抑えることができ、かつ、信号線の構造を簡素化すると共に開口率を向上させ得る液晶表示装置を得ることができるといった効果を奏する。

【0041】

また、本発明の液晶表示装置は、以上のように、信号線が配されていない画素電極における画素の開口部面積が、信号線が集約して配されている画素電極における画素の開口部面積の2分の1である能動素子基板と、共通電極が形成された対向基板と、これら基板間に挟持された液晶層とを有し、上記液晶層に印加される電圧の極性が信号線毎に反転され、かつ、走査線と平行な方向に並ぶ、信号線が配された2つの画素電極と信号線が配されていない2つの画素電極とで1つのカラーユニットを構成するように赤・緑・青のカラーフィルタが設けられ、このうちの信号線が配されていない2つの画素電極に対して緑のカラーフィルタが対応しているので、人間の視感度の高い緑の画素の配置数を、赤及び青の画素の配置数の2倍とすることができ、画素の配置数が同数である場合の液晶表示装置と比較して、高い解像度を得ることができる。さらに、上記緑のフィルタが、信号線が配されていない画素電極に対向するように配されているので、緑の画素の配置数を赤及び青の画素の配置数の2倍とした場合であっても、赤、青、緑の画素の総開口部面積を合わせることができる。したがって、ホワイトバランスを良好にすることができる。

【0042】

また、本発明の液晶表示装置は、さらに、上記画素電極間のギャップと上記能動素子を遮光する遮光パターン部が、上記能動素子基板もしくは対向基板側に設けられているので、薄膜ギャップ部分を通して出射する光をなくすることができる。なお、画素電極間のギャップを覆うように信号線が配置されている従来の構成では、該信号線自身が遮光パターンとして機能していた。また、能動素子としての薄膜トランジスタは光が当たると誤動作するので、このような遮光パターンを設けておくことで、光による誤動作を防止することができるという効果を併せて奏する。

【0043】

また、本発明の液晶表示装置は、以上のように、さらにその動作モードを、TNモード液晶表示装置やMVAモードとすることができる。

【0044】

また、本発明は、換言すれば、以下のような点を特徴としているとも表現できる。つま

10

20

30

40

50

り、本発明の液晶表示装置は、ある画素に対応する画素電極と隣接する画素に対応する画素電極との両方に同時に覆われるように信号線を配置するのではなく、信号線が画素電極間をまたぐ場合を除き、どちらかの画素電極に完全に覆われるように配置した点を特徴としている。

【0045】

この場合、さらに、画素内に信号線が2本配置された画素と画素内に信号線が配置されていない画素が交互に並んでいることを特徴とすることもできる。

【0046】

また、さらに、走査線方向に連続する2つの画素を見た時、配線のために画素間をまたぐ場合を除き、どちらかの画素電極に完全に覆われるように信号線を配置しているが、どちらか片方の画素だけに信号線を通すのではなく、一部分でも隣接する画素にも信号線を配置していることを特徴とすることもできる。

【0047】

また、さらに、信号線毎に極性が反転すること、或いは、さらに、走査線方向の画素ピッチが画素毎に異なることを特徴とすることもできる。

【0048】

また、さらに、液晶層として基板表面に対して略水平に、そして上下の基板間で略90度ねじれるように配向処理が施された液晶層を備え、この液晶層は正の誘電率異方性を有する液晶材料を含んでいる(TN方式)ことを特徴とすることもでき、また、液晶層として垂直配向型液晶層を備え、この液晶層は負の誘電率異方性を有するネマティック液晶材料を含んでいる(MVA方式)ことを特徴とすることもできる。

【0049】

また、さらに、TFT基板側の画素電極間のギャップとTFT部に遮光パターン(BM)を設けたことを特徴とすることもできる。

【発明の効果】

【0050】

本発明の第1の能動素子基板は、以上のように、走査線と平行な方向に隣接して対をなす2つの画素電極に対応する各信号線は、対をなすいずれか一方の画素電極上に集約して、かつ、該画素電極の信号線に平行なエッジよりも内側に配されているので、プロセスマージンを広くとりながら、信号線に画素電極を重畳して配置したことによる容量に起因する、能動素子がOFFしている期間の画素電極と接続される端子における電位の変動を小さく抑えることができ、かつ、信号線の構造を簡素化すると共に開口率を向上させ得る能動素子基板を提供することができるという効果を奏する。

【0051】

つまり、これによれば、走査線と平行な方向に隣接して対をなす2つの画素電極の各信号線は、いずれか一方の画素電極上にのみ配されるので、各画素電極は、信号線が隣接する画素電極分も含めて2本配置されているか、信号線が全く配置されていないかの何れかとなる。

【0052】

このような能動素子基板を、前述したドット反転駆動される液晶表示装置に用いた場合、2本の信号線が配されている画素電極の画素では、重畳部分で発生する上記した容量 $C_{sd1} \cdot C_{sd2}$ を介して起こる、薄膜トランジスタ(能動素子の一例)をOFFしている期間におけるドレイン(画素電極と接続される端子の一例)電位の変動が互いに逆向きとなり、前述のはしご構造と同様に、容量 $C_{sd}(C_{sd1} \cdot C_{sd2})$ に起因するドレイン電位の変動を小さくすることができ、表示品位の向上が図れる。

【0053】

また、画素電極上に配される2本の信号線は、画素電極の信号線に平行なエッジよりも内側に配されているので、信号線に対する画素電極のアライメントがずれても、信号線と画素電極との重畳部分の面積は変化せず、2本の信号線が配されている部分に形成される容量の値の変化を小さくすることができる。したがって、前述のはしご構造と同様に、プ

10

20

30

40

50

ロセスマージンを広くとることができる。

【0054】

一方、画素電極上に信号線が配置されていない画素では、隣接する画素内に信号線が配置されていれば、該信号線と当該画素電極との間の斜め電界による容量が形成される。しかしながら、当該画素の画素電極と斜め電界で容量を形成する2本の信号線には、互いに逆極性の信号が供給されているので、それぞれの容量を介してドレイン電位に与える影響は互いにキャンセルされる。

【0055】

また、信号線に対する画素電極のアライメントずれによる斜め電界で形成される容量への影響は、画素電極と信号線が離れている（重なっていない）ので小さく、問題とならない。

10

【0056】

そして、このような構成は、従来のはしご構造に比べて、画素あたりの信号線を分岐しない分、構造を簡素化できると共に、信号線の開口部に対する占有面積を低減して、パネル全体としての開口率を向上させることができる。これは特に、画素ピッチの小さい高精細な液晶表示装置に好適である。

【0057】

また、本発明の第2の能動素子基板は、以上のように、上記各信号線は、対応する画素電極上に配された部分と、該画素電極に走査線と平行な方向に隣接する画素電極上に配された迂回部分とからなり、各画素電極上で、対応する信号線の部分と隣接する画素電極の信号線の迂回部分とが対を成し、かつ、画素電極間を横切る部分以外は、重畳される各画素電極のエッジよりも内側に位置しているので、第1の液晶表示装置と同様に、プロセスマージンを広くとりながら、信号線に画素電極を重畳して配置したことによる容量に起因する、能動素子がOFFしている期間の画素電極と接続される端子における電位の変動を小さく抑えることができ、かつ、信号線の構造を簡素化すると共に開口率を向上させ得る能動素子基板を提供することができるという効果を奏する。

20

【0058】

つまり、これによれば、各信号線は迂回されることで、各画素電極上で対応する信号線の部分と隣接する画素電極の信号線の迂回部分とが対を成すように配される。つまり、この場合は、上述した第1の能動素子基板と同様の信号線が隣接する画素電極分も含めて2本配置されている部分と、信号線が全く配置されていない部分とが、画素電極内に形成されることとなる。また、この場合も、画素電極間を横切る部分以外は、画素電極のエッジよりも内側を通るように配されているので、信号線に対する画素電極のアライメントがずれても、信号線と画素電極との重畳面積は変化せず、各信号線が部分的に対を成して配置されている部分に形成される容量の値の変化を小さくすることができる。

30

【0059】

したがって、前述の第1の能動素子基板と同様に、例えばこのような能動素子基板を前述したドット反転駆動される液晶表示装置に用いることで、各画素における、重畳部分で発生する上記した容量 $C_{sd1} \cdot C_{sd2}$ を介して起こる、薄膜トランジスタ（能動素子の一例）をOFFしている期間におけるドレイン（画素電極と接続される端子の一例）電位の変動を、広いプロセスマージンを確保しながら、前述のはしご構造と同様に軽減させることができ、表示品位の向上が図れる。そして、この場合も、従来のはしご構造に比べて、画素あたりの信号線を分岐しない分、構造を簡素化できると共に信号線の開口部に対する占有面積を低減して、パネル全体としての開口率の向上を図ることができる。また、特にこのような構成とすることで、各画素に、面積的に均等に信号線を配置させることができるといった利点もある。

40

【0060】

本発明の液晶表示装置は、以上のように、上記した本発明の能動素子基板と、共通電極が形成された対向基板と、これら基板間に挟持された液晶層とを有し、上記液晶層に印加される電圧の極性が信号線毎に反転されるので、既に説明したように、プロセスマージン

50

を広くとりながら、信号線に画素電極を重畳して配置したことによる容量に起因する、薄膜トランジスタ（能動素子の一例）がOFFしている期間のドレイン（画素電極と接続される端子の一例）電位の変動を小さく抑えることができ、かつ、信号線の構造を簡素化すると共に開口率を向上させ得る液晶表示装置を得ることができるといった効果を奏する。

【0061】

また、本発明の液晶表示装置は、以上のように、信号線が配されていない画素電極における画素の開口部面積が、信号線が集約して配されている画素電極における画素の開口部面積の2分の1である能動素子基板と、共通電極が形成された対向基板と、これら基板間に挟持された液晶層とを有し、上記液晶層に印加される電圧の極性が信号線毎に反転され、かつ、走査線と平行な方向に並ぶ、信号線が配された2つの画素電極と信号線が配されていない2つの画素電極とで1つのカラーユニットを構成するように赤・緑・青のカラーフィルタが設けられ、このうちの信号線が配されていない2つの画素電極に対して緑のカラーフィルタが対応しているので、人間の視感度の高い緑の画素の配置数を、赤及び青の画素の配置数の2倍とすることができ、画素の配置数が同数である場合の液晶表示装置と比較して、高い解像度を得ることができる。さらに、上記緑のフィルタが、信号線が配されていない画素電極に対向するように配されているので、緑の画素の配置数を赤及び青の画素の配置数の2倍とした場合であっても、赤、青、緑の画素の総開口部面積を合わせることができる。したがって、ホワイトバランスを良好にすることができる。

【発明を実施するための最良の形態】

【0062】

本発明に係る実施の形態について、図1～図12に基づいて説明すれば以下のとおりである。

【0063】

なお、ここでは、能動素子基板を用いて液晶表示装置を構成した場合を例示するが、ここで示す能動素子基板の用途は、液晶表示装置に限られるものではなく、例えばエレクトロルミネッセンス表示装置のような他の表示装置にも適用可能である。また、能動素子基板は、表示装置に限らず受光装置、つまり、光の照射によって生じた電荷を画素電極で溜める、たとえばX線を受光する装置（レントゲン）等にも適用可能である。さらに、能動素子としては、TFTを例示するが、前述したように、画素電極と信号線とで形成される寄生容量による影響は、電界効果トランジスタやダイオード等の他の能動素子においても同様であるので、電界効果トランジスタやダイオード等を適用することもできる。

【0064】

後述する各実施の形態の能動素子基板であるTFT基板1は、例えば図2に示すように、対向基板2との間に液晶層3を挟持して液晶セルを構成し、該セルを挟み込むように一對の偏光板9・10が配置されることで液晶表示装置20を構成する。

【0065】

対向基板2は、ガラス等の光透過の基板6上にカラーフィルタ7及び共通電極8がこの順に成膜されてなる。TFT基板1は、詳細については後述するが、ガラス等からなる光透過性の基板4上に、複数の信号線（不図示）とこれらに交差する複数の走査線（不図示）とが形成されると共に、信号線と走査線の各交差部に能動素子としての薄膜トランジスタ（不図示）と画素電極5とがそれぞれ配された構成である。

【0066】

液晶層3としては、例えば正の誘電率異方性を有するネマティック液晶材料からなり、液晶分子の長軸が各基板4・6の基板面にほぼ平行で、しかも上下の基板6・4間で連続的に90度捻れた配列（ツイスト配列）している構成とすることができ、このような液晶層3とすることで、TN（捻れネマティック）モードのTNモードセルを構成できる。

【0067】

このようなTNモードの液晶表示装置20では、電圧印可がない状態では、入射した直線偏光は、セルの旋光性によって90度偏光方向を変えてセルから出射し（図2における左端と中央の画素）、一方電圧印可された状態（図2における右端の画素）では、偏光方

10

20

30

40

50

向を変えることなく出射する。したがって、セルを挟持する一对の偏光板 9・10 の各偏光軸のうち、光入射側の偏光軸を液晶分子の長軸の向きと一致させ、出射側の偏光軸を直交させておけば、電圧印可がない状態で明表示となり、電圧印可状態で暗表示となる。反対に、両偏光板 9・10 の偏光軸を液晶分子の長軸の向きと一致させておけば、前記とは逆の明暗状態となる。

【0068】

また、例えば液晶層 3 を液晶分子の長軸が各基板 4・6 の基板面にほぼ垂直で、負の誘電率異方性を有するネマティック液晶材料からなる構成とし、図 3 に示すように、対向基板 2 の共通電極 8 上と、TFT 基板 1 の画素電極 5 上に、特殊な突起パターン 11 を設け、そのパターン 11 が対向基板 2 と TFT 基板 1 との間で互い違いとなるように組み込まれた構成の液晶表示装置 21 としてもよい。このような構成とすることで、広視角特性の MVA モードの液晶表示装置を得ることができる。

10

【0069】

このような液晶表示装置 20・21 では、画質の劣化を防ぐべく、液晶層に印可される電圧の極性を信号線毎に変えるドット反転駆動が行われる。

【0070】

以下、このような液晶表示装置 20・21 において採用される TFT 基板 1 の基板構造について説明する。

【0071】

まず、図 1 (a) (b) を用いて、第 1 の実施の形態である TFT 基板 1 の基板構造の概念を説明する。図 1 (a) は、TFT 基板 1 における、図において横方向となる走査線に平行な方向に並ぶ任意の 4 画素 A・B・C・D の、画素電極 5 A・5 B・5 C・5 D と、これら画素 A～D を充電する信号線 12 A・12 B・12 C・12 D の配置を示している。また、図 1 (b) は比較のために示す、従来のはしご構造を採用した TFT 基板における、任意の 4 画素 A・B・C・D の、画素電極 50 A・50 B・50 C・50 D と、これら画素 A～D を充電する信号線 51 A・51 B・51 C・51 D の配置を示しているものである。

20

【0072】

図 1 (a) に示すように、TFT 基板 1 では、走査線と平行な方向に隣接して対をなす 2 つの画素 A・B を充電する信号線 12 A・12 B は、対をなす画素 A・B のうちの一方側、ここでは画素 A の画素電極 5 A 上に集約して配設され、同様に隣接して対をなす 2 つの画素 C・D を充電する信号線 12 C・12 D は、対をなす画素 C・D のうちの一方側、ここでは画素 C の画素電極 5 C 上に集約して配設されている。したがって、画素 A～D の並びで見れば、信号線 12 が配された画素電極 5 と信号線 12 が配されていない画素電極 5 とが、走査線（不図示）に平行な方向に交互に並んでいる状態である。

30

【0073】

そして、前述したはしご構造と同様に、信号線 12 A・12 B は、画素電極 5 A の信号線 12 に平行な両エッジよりも内側に前述したアライメントずれをカバーできるような距離を隔てて、完全に画素電極 5 A の領域内に収まるように配され、信号線 12 C・12 D は、画素電極 5 C の信号線 12 に平行な両エッジよりも内側に同様の距離を隔てて、完全に画素電極 5 C の領域内に収まるように配されている。

40

【0074】

次に、図 4 を用いて、TFT 基板 1 の平面図を示す。図において横方向に伸びる複数のラインがそれぞれ走査線 14 であり、これに交差する複数のラインがそれぞれ信号線 12 である。そして、各走査線 14 と各信号線 12 とに周端部を重畳して配置された仮想線にて示す矩形の部材が画素電極 5 である。走査線 14、信号線 12、及び画素電極 5 は、図 2 或いは図 3 で示したガラス等からなる基板 4 上に、走査線 14、信号線 12、画素電極 5 の順で形成されており、走査線 14 を有する電極層と信号線 12 を有する電極層との間には、図示しないゲート絶縁膜が介在され、信号線 12 を有する電極層と画素電極 5 を有する電極層との間には、図示しない層間絶縁膜が介在されている。また、図において、1

50

3にて示す部材は、信号線12に印可される信号を画素電極5に供給するTFT（能動素子）である。

【0075】

ここで、信号線12は、図1(a)を用いて説明したように、走査線14と平行な方向に対をなす画素電極5・5間で、一方の画素電極5上に集約して配されている。

【0076】

図中、15及び16にて示すものは蓄積容量を構成するCs配線とCs電極であり、このうち、Cs配線15は走査線14・14間に1本配され、走査線14と同じ電極層に形成されている。Cs電極16は、画素毎に配され、信号線12と同じ電極層に形成されている。Cs配線15とCs電極16の重畳部分に、その間に介在するゲート絶縁膜との間で、蓄積容量が形成されている。また、画素毎に設けられている一点鎖線にて示す部材17は、Cs電極16と画素電極5とを接続するコンタクトホールである。

10

【0077】

また、図4に示すように、TFT基板1では、信号線12が配されていない画素(B・D)における画素電極5の走査線14と平行な方向の電極サイズよりも、信号線12が集約して配されている画素(A・C)の画素電極5の該電極サイズが大きく形成されている。これは、画素Aの開口部面積と画素Bの開口部面積を合わせるためであり、このように開口部面積を添えておくことで、ホワイトバランスを良好にできる。

【0078】

次に、図5(a)(b)及びその断面図である図6(a)(b)、並びに図7(a)(b)及びその断面図である図8(a)(b)を用いて、このような配置とした場合に各画素で形成される容量Csdについて説明する。

20

【0079】

まず、図5(a)(b)及びその断面図である図6(a)(b)を用いて、信号線12が2本配置されている画素Aに形成される容量Csdについて説明する（なお、画素Cも同様である）。

【0080】

画素Aには信号線12Aと信号線12Bとが配置されているので、図5(a)及び図6(a)に示すように、画素電極5Aと信号線12A・12Bとが図示しない層間絶縁膜を介して重畳する部分に、容量CsdA、容量CsdBがそれぞれ形成される。前述したように、TFT13AがOFFしている期間にも信号線12Aには常に信号が流れているので、容量CsdA・CsdBを介してTFT13Aのドレイン電位は、信号線12Aの電位変化に伴い変化する。信号線12Aと信号線12Bの電位変化にともなうドレイン電位の変化分 ΔV_{dr} は、前述したと同様に、

30

$$\Delta V_{dr} = C_{sdA} / C_{pix} \times \Delta V_{sA} + C_{sdB} / C_{pix} \times \Delta V_{sB}$$

となる。

【0081】

ここで、CsdAは、TFT13Aのドレインを充電する信号線12Aと画素電極5Aと層間絶縁膜とによって形成される容量、CsdBは隣接する信号線12Bと画素電極5Aと層間絶縁膜とによって形成される容量である。また、Cpixはドレインに関する容量の和、 ΔV_{sA} はドレインを充電する信号線12Aの変化後の電位から変化前の電位を引いた電圧変化の値、 ΔV_{sB} は隣接する信号線12Bの変化後の電位から変化前の電位を引いた電圧変化の値を表している。

40

【0082】

前述したように、液晶表示装置20・21は、ドット反転駆動されるので、信号線12Aに流れている信号の極性をプラスとすれば、信号線12Bに流れている信号の極性はマイナスとなるので、ドレイン電位に与える影響は互いに逆となり互いに影響を打ち消し合うことになる。

【0083】

また、画素Aにおいて、信号線12A・12Bは、画素電極5Aの信号線12に平行な

50

両エッジよりも内側に距離を隔てて、完全に画素電極 5 A の領域内に収まるように配されているので、図 5 (b) 及び図 6 (b) に示すように、画素電極 5 が信号線 1 2 に対してアライメントずれを起こしても、重なっている部分の面積は変化しない。したがって信号線に対する画素電極のアライメントずれが生じて容量 $C_{sdA} \cdot C_{sdB}$ の値は大きな影響を受けることがない。

【 0 0 8 4 】

次に、図 7 (a) (b) 及びその断面図である図 8 (a) (b) を用いて、信号線 1 2 が配置されていない画素 B に形成される容量 C_{sd} について説明する (なお、画素 D も同様である) 。

【 0 0 8 5 】

画素 B 内には信号線 1 2 が配置されていない。そのため、信号線 1 2 と画素電極 5 B は重なっていないが、図 7 (a) 及び図 8 (a) に示すように、斜め方向の電界の影響により、信号線 1 2 B と画素電極 5 B の間に容量 $C_{sdB'}$ が形成される。また、画素 A とは反対側の隣接画素 C 内に配置され、画素 C に信号を供給する信号線 1 2 C と画素電極 5 B の間にも、斜め方向の電界の影響で同様の容量 $C_{sdC'}$ が形成される。これら容量 $C_{sdB'} \cdot C_{sdC'}$ の値は、画素 A に形成される容量 $C_{sdA} \cdot C_{sdB}$ の $1/4$ 以下と小さく、また信号線 1 2 B と信号線 1 2 A は互いに逆極性の信号が流れるので、画素 B のドレイン電位に与える影響は互いに打ち消し合うことになる。

【 0 0 8 6 】

また、図 7 (b) 及び図 8 (b) に示すように、画素電極 5 が信号線 1 2 に対してアライメントずれを起こしても、画素電極 5 B と信号線 1 2 B ・ 1 2 C とは離れているので、容量 $C_{sdB'} \cdot C_{sdC'}$ の値が大きく変化することはない。

【 0 0 8 7 】

以上のように、上記 T F T 基板 1 の構成とすることで、該 T F T 基板 1 を、ドット反転駆動される液晶表示装置に用いた場合、信号線 1 2 が 2 本配されている画素 (A) では、重畳部分で発生する上記した容量 $C_{sdA} \cdot C_{sdB}$ を介して起こる、薄膜トランジスタを O F F している期間におけるドレイン電位の変動が互いに逆向きとなり、前述のはしご構造と同様に、容量 C_{sd} ($C_{sdA} \cdot C_{sdB}$) に起因するドレイン電位の変動を小さくすることができ、表示品位の向上が図れる。

【 0 0 8 8 】

また、画素電極 5 上に配される 2 本の信号線 1 2 ・ 1 2 は、画素電極 5 の信号線に平行なエッジよりも内側に配されているので、信号線 1 2 に対する画素電極 5 のアライメントがずれても、信号線 1 2 と画素電極 5 との重畳部分の面積は変化せず、2 本の信号線 1 2 ・ 1 2 が配されている部分に形成される容量の値の変化を小さくすることができる。したがって、前述のはしご構造と同様に、プロセスマージンを広くとることができる。

【 0 0 8 9 】

一方、信号線が配置されていない画素 (B) では、隣接する画素 (A ・ C) 内に配置されている信号線 1 2 と当該画素電極 5 との間の斜め電界による容量 ($C_{sdB'} \cdot C_{sdB'}$) が形成される。しかしながら、当該画素の画素電極 5 と斜め電界で容量を形成する 2 本の信号線 1 2 には、互いに逆極性の信号が供給されているので、それぞれの容量を介してドレイン電位に与える影響は互いにキャンセルされる。

【 0 0 9 0 】

また、信号線 1 2 に対する画素電極 5 のアライメントずれによる斜め電界で形成される上記容量への影響は、画素電極 5 と信号線 1 2 が離れている (重なっていない) ので小さく、問題とはならない。

【 0 0 9 1 】

そして、このような構成は、従来のはしご構造に比べて、画素あたりの信号線 1 2 を分岐しない分、構造を簡素化できると共に、信号線 1 2 の開口部に対する占有面積を低減して、パネル全体としての開口率を向上させることができる。

【 0 0 9 2 】

10

20

30

40

50

また、特に上記構成では、図 1 (a) に示すように、信号線 1 2 が集約して配された画素と信号線が配されていない画素とを交互に並べた構成としたので、配置が交互でない構成よりも、上記した隣接する画素内の信号線 1 2 との間で斜め電界により形成する容量を、効果的に相殺することができる。つまり、信号線 1 2 が配されていない画素においては、該画素の画素電極 5 と隣接画素の画素電極 5 上に配置されている信号線 1 2 と間に、斜め電界による容量 ($C_{sdB'} \cdot C_{sdC'}$) が生成されるが、このように信号線 1 2 が配置されている画素と配置されていない画素を交互に並べることで、信号線 1 2 が配されていない画素電極の両サイドに生成される斜め電界による上記容量の値を等しくでき、より一層の表示品位の向上が図れる。

【 0 0 9 3 】

10

また、上記構成では、T F T 1 3 からコンタクトホール 1 7 までの引き出し線の方角を同じにできる。つまり、T F T 1 3 の方角を揃えることができるので、アライメントがずれたときの素子部における表示品位への影響を最小限に抑えることができる。

【 0 0 9 4 】

図 9 に、本発明の第 2 の実施の形態である T F T 基板 1 の平面図を示す。なお、説明の便宜上、第 1 の実施の形態の説明で用いた部材と同じ機能を有する部材には、同じ番号を付してその説明を省略する。

【 0 0 9 5 】

本実施の形態の T F T 基板 1 では、2 本の信号線 1 2 を配する画素において、各信号線 1 2 をその中央部に配している。つまり、画素 A では、信号線 1 2 A と信号線 1 2 B とが、画素電極 5 A の中央側に配されている。また、これに伴い、図 4 の T F T 基板 1 では、蓄積容量を形成する C s 電極 1 6 は、信号線 1 2 A と信号線 1 2 B の間に配置されていたが、ここでは、C s 電極 1 6 A - 1 ・ 1 6 A - 2 として、配線信号線 1 2 A から画素電極 5 A のエッジまでの領域と、信号線 1 2 B から画素電極 5 A のもう一方のエッジまでの領域の 2 ヶ所に分けて配置している。

20

【 0 0 9 6 】

このように、画素 A の中ほどまで信号線 1 2 A ・ 1 2 B を寄せた構造とすることで、液晶表示装置 2 0 ・ 2 1 全体としての開口率は、図 4 の T F T 基板 1 を用いた構成よりも下がるものの、信号線 1 2 B ・ 1 2 C と画素電極 5 B との距離を大きくできるので、画素電極 4 B と信号線 1 2 B 、そして画素電極 4 B と信号線 1 2 C の各間で形成される斜め電界による容量 $C_{sdB'}$ 、 $C_{sdC'}$ の値を小さくでき、図 4 の構造のおよそ 1 / 1 0 程度にすることができる。

30

【 0 0 9 7 】

また、該 T F T 基板 1 でも、各画素の開口部面積を合わせるために、信号線 1 2 が配されていない画素 (A ・ C) における画素電極 5 の走査線 1 4 と平行な方向の電極サイズが、信号線 1 2 が集約して配されている画素 (B ・ D) の画素電極 5 の該電極サイズよりも大きく形成されている。

【 0 0 9 8 】

図 1 0 に、本発明の第 3 の実施の形態である T F T 基板 1 の平面図を示す。なお、説明の便宜上、第 1 、第 2 の実施の形態の説明で用いた部材と同じ機能を有する部材には、同じ番号を付してその説明を省略する。

40

【 0 0 9 9 】

本実施の形態の T F T 基板 1 では、画素 B を充電する信号線 1 2 B は、対応する画素電極 5 B 上に配された部分と、該画素電極 5 B に走査線 1 4 と平行な方向に隣接する画素電極 5 A 上に配された迂回部分とからなる。同様に、画素 C を充電する信号線 1 2 C も、対応する画素電極 5 C 上に配された部分と該画素電極 5 C に走査線 1 4 と平行な方向に隣接する画素電極 5 B 上に配された迂回部分とからなる。画素 A ・ D の各信号線 1 2 A ・ 1 2 D においても同様である。そして、画素電極 5 上では、対応する信号線 1 2 の一部と隣接する画素電極 5 の信号線 1 2 の迂回部分とが対をなして配置されている。画素 B に着目すると、画素電極 5 B 上では、信号線 1 2 B の一部と隣接する画素 C の信号線 1 2 C の迂回

50

部分とが対を成している。同様に、画素Cに着目すると、画素電極5C上では、信号線12Cの一部と隣接する画素Dの信号線12Dの迂回部分とが対を成している。そしてまた、信号線12は、画素電極5間を横切る部分以外は、重畳される画素電極5のエッジよりも内側に位置するように配されている。

【0100】

このような構成とすることで、上述した信号線12が隣接する画素分も含めて2本配置されている部分と、信号線12が全く配置されていない部分とが、1つの画素電極5内に形成されることとなる。また、この場合も、画素電極5間を横切る部分以外は、画素電極5のエッジよりも内側を通るように配されているので、信号線12に対する画素電極5のアライメントがずれても、信号線12と画素電極5との重畳面積は変化しない。なお、画素電極5間を横切る部分では、アライメントずれにて容量 C_{sd} の変化があるが、信号線12の大部分は、画素電極5で覆われているので、該変化は小さく問題とならない。

10

【0101】

したがって、前述の図4、図9で示した第1、第2の実施の形態のTF基板1と同様に、該TF基板1を、ドット反転駆動される液晶表示装置に用いた場合、各画素における、重畳部分で発生する上記した容量 $C_{sdA} \cdot C_{sdB}$ を介して起こる、薄膜トランジスタをOFFしている期間におけるドレイン電位の変動を、広いプロセスマージンを確保しながら、前述のはしご構造と同様に軽減させることができ、表示品位の向上が図れる。

【0102】

そして、この場合も、従来のはしご構造に比べて、画素あたりの信号線を分岐しない分、構造を簡素化できると共に信号線の開口部に対する占有面積を低減して、パネル全体としての開口率の向上を図ることができる。

20

【0103】

また、このような構造は、各画素に、面積的に均等に信号線12を配置させることができるといった利点がある。この場合も、画素間で信号線12の配置面積に差がある場合は、迂回された信号線12の部分的に占める面積が小さい画素電極5よりも、迂回された信号線12の部分的に占める面積が大きい画素電極5の走査線と平行な方向の電極サイズを大きくすることで、開口部面積を揃えることができ、ホワイトバランスをとることができる。

【0104】

なお、上記した図4、図9、図10では記載していないが、各TF基板1においては、画素電極5・5間のギャップとTF13部分を覆う遮光パターン部が形成されており、これによって、薄膜トランジスタの光による誤動作を防ぐと共に、ギャップ部分を通して光をなくすることができる。

30

【0105】

次に、本発明の第4の実施の形態について説明する。なお、説明の便宜上、第1から第3の実施の形態の説明で用いた部材と同じ機能を有する部材には、図面において同じ番号を付してその説明を省略する。

【0106】

上記した第1の実施の形態では、図4に示したTF基板1のように、画素Aの開口部面積と画素Bの開口部面積を合わせるために、信号線12が配されていない画素(B・D)における画素電極5の走査線14と平行な方向の電極サイズよりも、信号線12が集約して配されている画素(A・C)の画素電極5の該電極サイズが大きく形成された構成となっている。

40

【0107】

本実施の形態では、上記の構成を、信号線12が配されていない画素(B・D)の開口部面積が、信号線12が集約して配されている画素(A・C)の開口部面積の2分の1となるように代えている。すなわち、本実施の形態におけるTF基板1は、信号線12が配されていない画素に対応する画素電極の走査線14と平行な方向の電極サイズを、信号線12が集約して配されている画素に対応する画素電極の該電極サイズよりも小さく形成

50

し、信号線 1 2 が配されていない画素の開口部面積が、信号線 1 2 が集約して配されている画素の開口部面積の 2 分の 1 となるようにしている。

【 0 1 0 8 】

このような構成とすることによって、本実施の形態の T F T 基板 1 は、図 1 1 に示したようなカラーフィルタ 7 を備えた液晶表示装置 2 0 ・ 2 1 に好適に用いることができる。以下に、図 1 1 および図 1 2 に基づいて詳細に説明する。

【 0 1 0 9 】

図 1 1 は、上記カラーフィルタ 7 の色配列を概略的に示した図である。

【 0 1 1 0 】

上記カラーフィルタ 7 は、赤 (R) と、青 (B) と、緑 (G) の 3 原色のフィルタを複数有している。上記カラーフィルタ 7 は、図 1 1 において破線で囲んだように B (第 1) ・ G (第 2) ・ R (第 3) ・ G (第 4) のフィルタが 1 つのカラーユニットを構成し、このブロックが複数並んだ構成となっている。 10

【 0 1 1 1 】

さらに上記カラーフィルタ 7 は、例えば図 4 に示した信号線 1 2 に平行な方向に、G フィルタが連続している列と、B 及び R フィルタが交互に並んだ列とがある。

【 0 1 1 2 】

なお、本実施の形態は、上記のように、上記ブロックの第 2 および第 4 のフィルタが G フィルタとなった構成のカラーフィルタについて説明するが、本発明はこれに限定されるものではなく、第 1 および第 3 のフィルタが対応する画素電極が、第 2 および第 4 のフィルタが対応する画素電極の電極サイズの半分のサイズであれば、第 1 および第 3 のフィルタが G フィルタである構成であってもよい。 20

【 0 1 1 3 】

G フィルタの面積は、R 及び B フィルタの各面積の 2 分の 1 となっている。すなわち、カラーフィルタ 7 における各色のフィルタの総面積は一定となっている。

【 0 1 1 4 】

次に、このような色配列を有するカラーフィルタ 7 を備えた液晶表示装置 2 0 ・ 2 1 に、上述した T F T 基板を適用した場合について説明する。

【 0 1 1 5 】

図 1 2 は、上記カラーフィルタ 7 および上記 T F T 基板を備えた液晶表示装置の概略平面図である。なお、説明の便宜上、図 1 2 には、上記カラーフィルタ 7 および、上記 T F T 基板の画素電極 5 および信号線 1 2 についてのみ図示している。 30

【 0 1 1 6 】

図 1 2 に示すように、カラーフィルタ 7 を構成している B ・ G ・ R フィルタは、T F T 基板 1 に設けられた各画素電極 5 に対応しており、それぞれ B 画素、G 画素、R 画素を形成している。

【 0 1 1 7 】

具体的には、図 1 2 に示すように、G フィルタが対向する画素電極 5 B ・ 5 D ・ 5 F ・ 5 H には、信号線 1 2 が配されていない。また、信号線 1 2 A ・ 1 2 B は、B フィルタが対向する画素電極 5 A 上に集約して配されており、信号線 1 2 C ・ 1 2 D は、R フィルタが対向する画素電極 5 C 上に集約して配されている。また、信号線 1 2 E ・ 1 2 F は、B フィルタに対向する画素電極 5 E 上に集約して配されており、信号線 1 2 G ・ 1 2 H は、R フィルタに対向する画素電極 5 G 上に集約して配されている。 40

【 0 1 1 8 】

上述したように、本実施の形態における T F T 基板は、信号線 1 2 が配されていない画素の開口部面積が、信号線 1 2 が集約して配されている画素の開口部面積の 2 分の 1 となるように、信号線 1 2 が配されていない画素に対応する画素電極の走査線 1 4 と平行な方向の電極サイズを、信号線 1 2 が集約して配されている画素に対応する画素電極の該電極サイズよりも小さく形成している。したがって、図 1 2 では、信号線 1 2 が配されていない G 画素に対応する画素電極 5 B ・ 5 D ・ 5 F ・ 5 H の走査線 1 4 と平行な方向の電極サ 50

イズが、信号線 1 2 が集約して配されている R 画素・B 画素に対応する画素電極 5 (5 A ・ 5 C ・ 5 E ・ 5 G) の該電極サイズよりも小さく形成されている。

【 0 1 1 9 】

これにより、各 G 画素における開口部面積が、R もしくは B 画素の開口部面積の 2 分の 1 となる。

【 0 1 2 0 】

したがって、本実施の形態の液晶表示装置は、上述した色配列を有するカラーフィルタ 7 を備えていることにより、人間の視感度の高い緑 (G) の画素の配置数を、赤及び青の画素の配置数の 2 倍とすることができるため、画素の配置数が同数である場合の液晶表示装置と比較して、高い解像度を得ることができる (例えば、特許文献 4 参照) 。

10

【 0 1 2 1 】

さらに、G 画素の配置数を、R 及び B 画素の配置数の 2 倍とした場合であっても、本実施の形態の液晶表示装置は、G 画素の開口部面積が、R 及び B 画素の開口部面積の 2 分の 1 となっていることから、B ・ G ・ R 画素の総開口部面積を合わせることができ、ホワイトバランスを良好にすることができる。

【 0 1 2 2 】

さらに、上述した構成の T F T 基板を用いることにより、R 画素・B 画素の 2 分の 1 の開口部面積を有する G 画素に信号線 1 2 が配されていないので、微細な G 画素の構造を簡素化でき、配線の微細・高密度化による歩留まりの低下を防ぐことができる。

【 0 1 2 3 】

20

以上のように、本発明は、R ・ G ・ B を 1 ブロックとする奇数周期のカラーフィルタに限らず、R G B G のような 1 つのカラーユニットに同色のフィルタを有した複数周期のカラーフィルタにも好適に用いることができる。

【 0 1 2 4 】

なお、本実施の形態の液晶表示装置は、実施の形態 1 に記載した T F T 基板 1 の信号線 1 2 と同じ配置を備えた T F T 基板を用いて説明した。しかしながら、実施の形態 2 に記載した T F T 基板 1 (図 9) における信号線 1 2 の配置を備えた T F T 基板であっても、信号線 1 2 が配されていない画素の開口部面積と、信号線 1 2 が集約して配されている画素の開口部面積との比率が 1 : 2 となるように、信号線 1 2 が配されていない画素に対応する画素電極の走査線 1 4 と平行な方向の電極サイズを、信号線 1 2 が集約して配されている画素に対応する画素電極の該電極サイズよりも小さく形成すれば、上記と同様に、上記カラーフィルタ 7 を適用することができる。

30

【 0 1 2 5 】

なお、本発明は上述した各実施の形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

【図面の簡単な説明】

【 0 1 2 6 】

【図 1】(a) は、本発明に係る第 1 の実施の形態の T F T 基板における、画素電極と信号線の配置を模式的に示す説明図であり、(b) は、従来のはしご構造の T F T 基板における画素電極と信号線の配置を模式的に示す説明図である。

40

【図 2】本発明に係る各実施の形態の T F T 基板を用いて構成される T N モードの液晶表示装置の構成を模式的に示す説明図である。

【図 3】本発明に係る各実施の形態の T F T 基板を用いて構成される M V A モードの液晶表示装置の構成を模式的に示す説明図である。

【図 4】第 1 の実施の形態の T F T 基板の構造を模式的に示す平面図である。

【図 5】(a) (b) 共に、図 4 の T F T 基板を用いて構成される液晶表示装置の、信号線が集約して配される画素に形成される容量 C s d について示す説明図である。

【図 6】(a) (b) 共に、図 4 の T F T 基板を用いて構成される液晶表示装置の、信号線が集約して配される画素に形成される容量 C s d について示す説明図であり、(a) は

50

、図 5 (a) に対応する断面図に相当し、(b) は図 5 (b) に対応する断面図に相当する。

【図 7】(a) (b) 共に、図 4 の T F T 基板を用いて構成される液晶表示装置の、信号線が配されない画素に形成される容量 C s d について示す説明図である。

【図 8】(a) (b) 共に、図 4 の T F T 基板を用いて構成される液晶表示装置の、信号線が配されない画素に形成される容量 C s d について示す説明図であり、(a) は、図 7 (a) に対応する断面図に相当し、(b) は図 7 (b) に対応する断面図に相当する。

【図 9】本発明に係る第 2 の実施の形態の T F T 基板の構造を模式的に示す平面図である。

【図 10】本発明に係る第 3 の実施の形態の T F T 基板の構造を模式的に示す平面図である。 10

【図 11】本発明に係る第 4 の実施の形態の T F T 基板を適用する液晶表示装置に備えられたカラーフィルタの色配列を示した図である。

【図 12】本発明に係る第 4 の実施の形態の T F T 基板と、図 11 に示したカラーフィルタとを備えた液晶表示装置の概略平面図である。

【図 13】(a) (b) 共に、従来の T F T 基板を用いて構成される液晶表示装置の、画素に形成される容量 C s d について示す説明図である。

【図 14】(a) (b) 共に、従来の T F T 基板を用いて構成される液晶表示装置の、画素に形成される容量 C s d について示す説明図であり、(a) は、図 13 (a) に対応する断面図に相当し、(b) は図 13 (b) に対応する断面図に相当する。 20

【図 15】信号線に流れる信号によるドレイン電位の変化を模式的に示した説明図である。

【図 16】(a) (b) 共に、別の従来の T F T 基板 (はしご構造) を用いて構成される液晶表示装置の、画素に形成される容量 C s d について示す説明図である。

【図 17】(a) (b) 共に、従来のはしご構造の T F T 基板を用いて構成される液晶表示装置の、画素に形成される容量 C s d について示す説明図であり、(a) は、図 16 (a) に対応する断面図に相当し、(b) は図 16 (b) に対応する断面図に相当する。

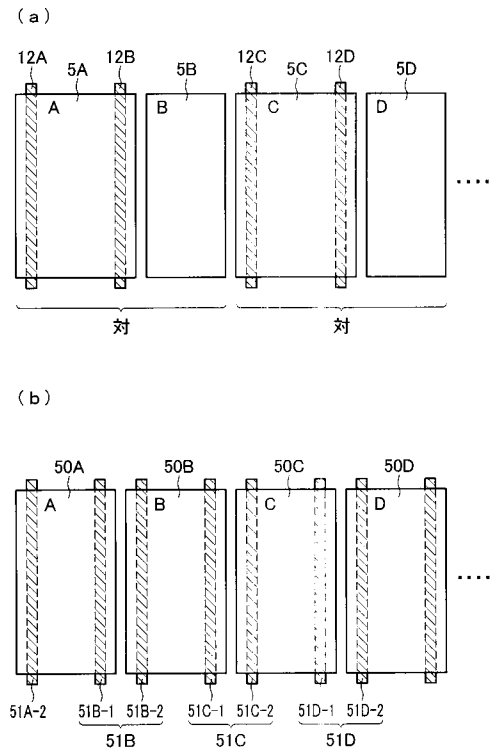
【図 18】従来のはしご構造が採用された T F T 基板の構造を模式的に示す平面図である。

【符号の説明】 30

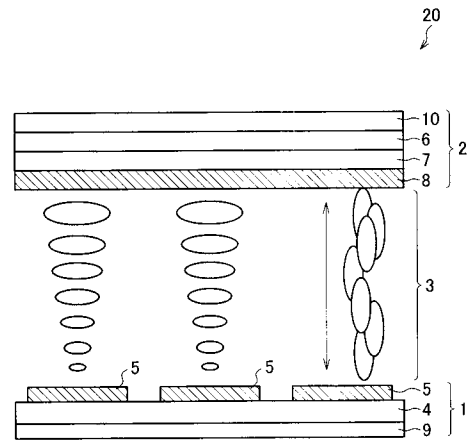
【 0 1 2 7 】

- 1 T F T 基板 (能動素子基板)
- 2 対向基板
- 3 液晶層
- 5 画素電極
- 1 2 信号線
- 1 3 T F T (能動素子)
- 1 4 走査線
- 1 5 C s 配線
- 1 6 C s 電極

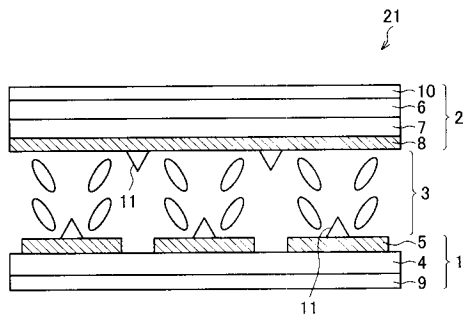
【図 1】



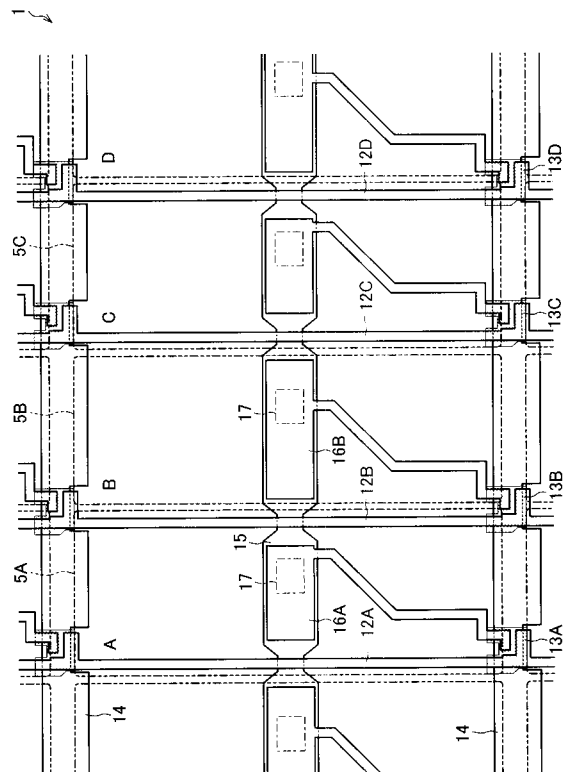
【図 2】



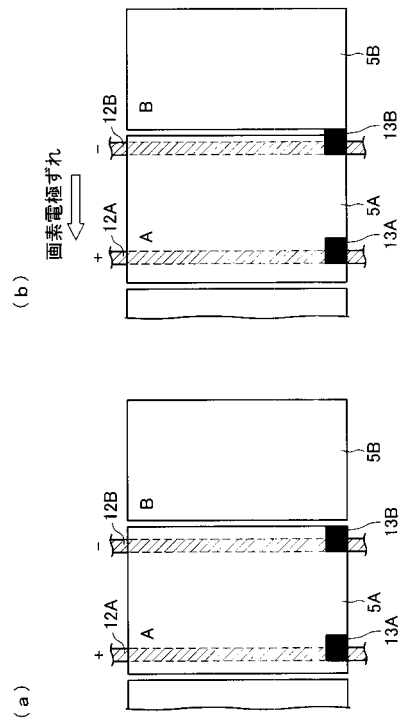
【図 3】



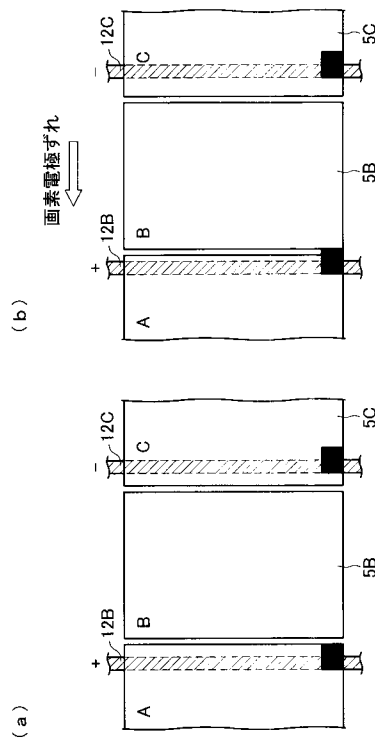
【図 4】



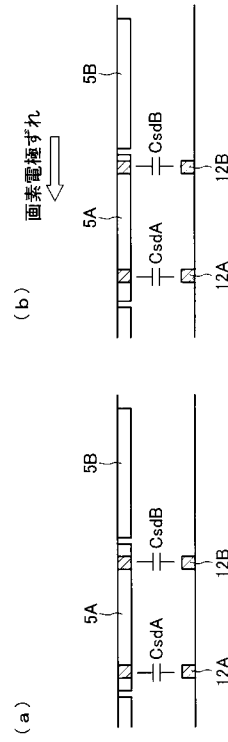
【図 5】



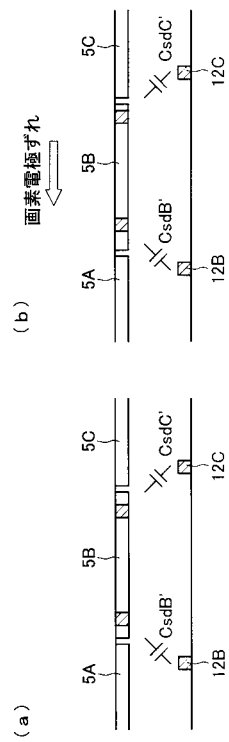
【図 7】



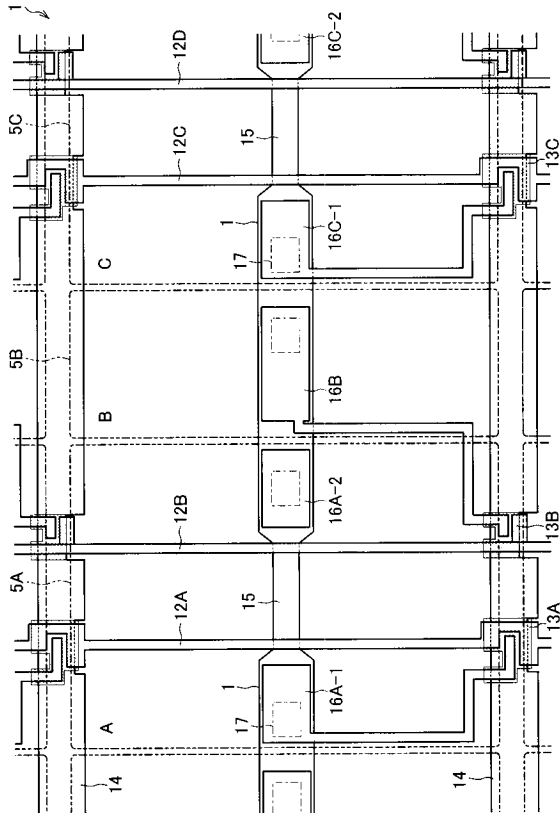
【図 6】



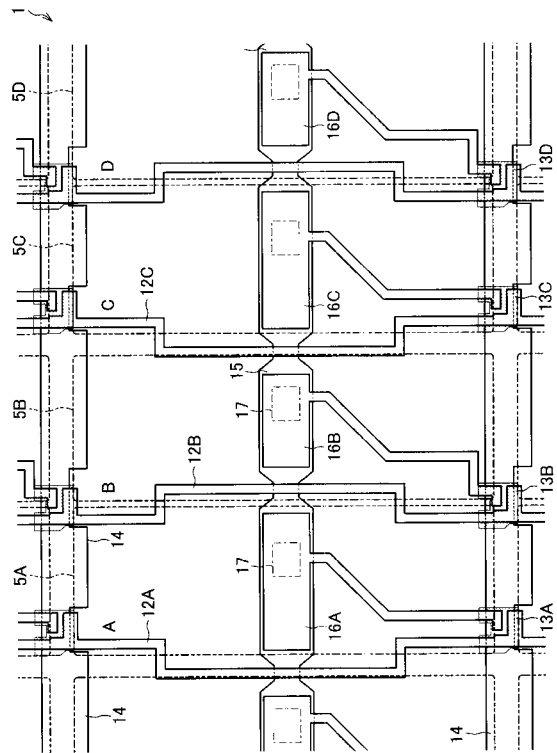
【図 8】



【 図 9 】



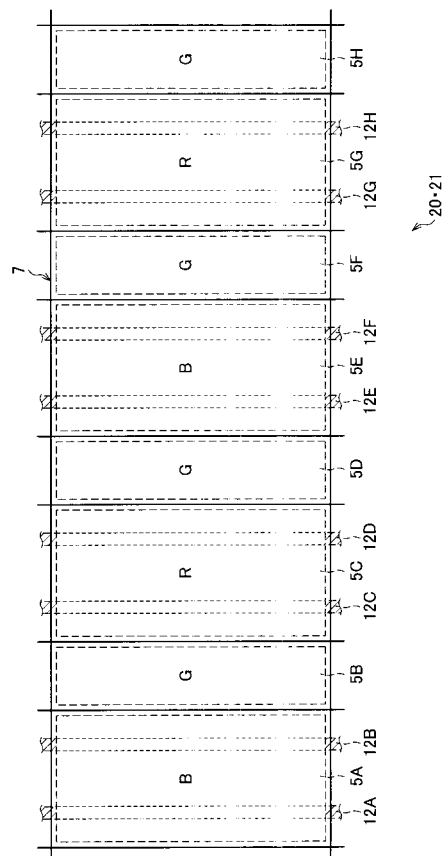
【 図 1 0 】



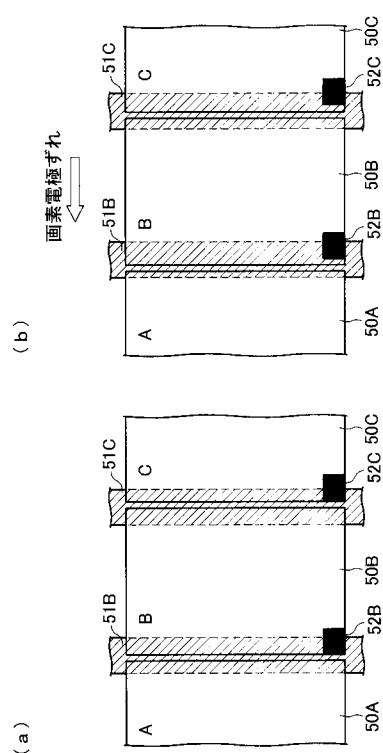
【 図 1 1 】

B	G	R	G	B	G	R	G
R	G	B	G	R	G	B	G
B	G	R	G	B	G	R	G
R	G	B	G	R	G	B	G

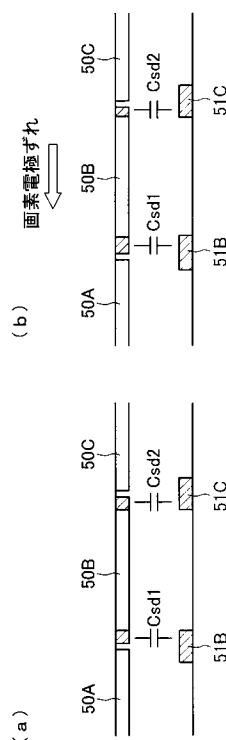
【 図 1 2 】



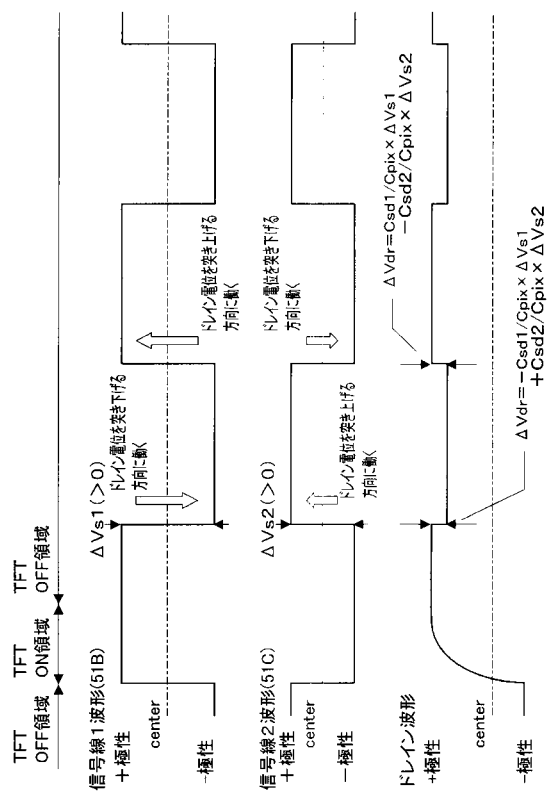
【 図 1 3 】



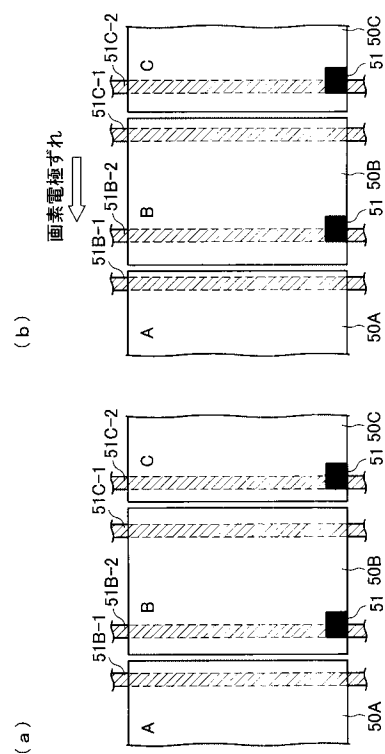
【 ㊦ 1 4 】



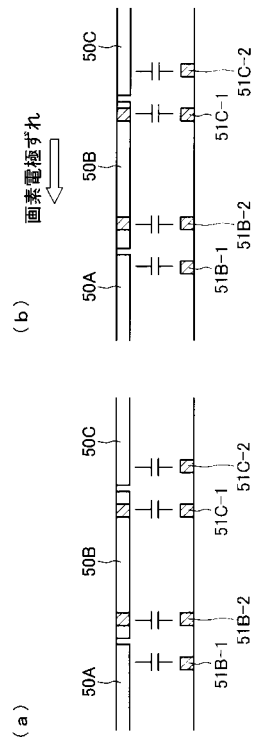
【 図 1 5 】



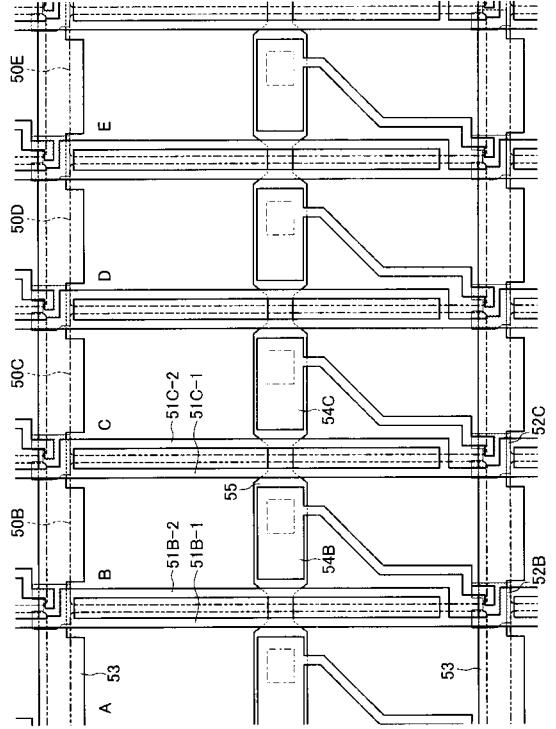
【 図 1 6 】



【図 17】



【図 18】



フロントページの続き

(72)発明者 長島 伸悦

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 近藤 直文

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 JA24 JA38 JA42 JA46 JB04 JB05 JB13 JB32 JB64 NA05

NA25

2H093 NA16 NC13 NC34 ND15 ND37 NF05

5F110 AA30 BB01 NN72 NN73

专利名称(译)	有源元件基板和液晶显示装置		
公开(公告)号	JP2005099733A	公开(公告)日	2005-04-14
申请号	JP2004203939	申请日	2004-07-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	縁田憲史 武内正典 長島伸悦 近藤直文		
发明人	縁田 憲史 武内 正典 長島 伸悦 近藤 直文		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1343 G02F1/1362 H01L29/786		
CPC分类号	G02F1/136286 G02F1/1368 G02F2201/40		
FI分类号	G02F1/1368 G02F1/133.550 H01L29/78.612.C		
F-TERM分类号	2H092/JA24 2H092/JA38 2H092/JA42 2H092/JA46 2H092/JB04 2H092/JB05 2H092/JB13 2H092/JB32 2H092/JB64 2H092/NA05 2H092/NA25 2H093/NA16 2H093/NC13 2H093/NC34 2H093/ND15 2H093/ND37 2H093/NF05 5F110/AA30 5F110/BB01 5F110/NN72 5F110/NN73 2H192/AA24 2H192/AA43 2H192/AA45 2H192/CB05 2H192/CC04 2H192/CC55 2H192/CC64 2H192/CC66 2H192/DA12 2H192/DA42 2H192/DA71 2H192/EA02 2H192/EA43 2H192/GD14 2H192/GD61 2H192/JA13 2H193/ZA04 2H193/ZQ06		
代理人(译)	木岛隆一 金子 一郎		
优先权	2003310636 2003-09-02 JP		
其他公开文献	JP3958306B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制薄膜晶体管截止期间的漏极电势变化，该变化是由于信号线和像素电极以宽的工艺余量以重叠方式布置而引起的电容引起的，并且抑制了信号线。本发明提供了一种可以简化结构并提高开口率的有源元件基板和液晶显示装置。解决方案：用于对在平行于扫描线的方向上彼此相邻配对的两个像素A和B充电的信号线12A和12B提供有像素A，该像素A是配对的像素A和B的一侧。类似地，共同布置在像素电极5A上并且对成对的两个像素C和D充电的信号线12C和12D是作为成对的像素C和D的一侧的像素C。共同地布置在像素电极5C上。在像素A至D的布置中，交替布置其上布置有信号线12的像素电极5和未布置信号线12的像素电极5。[选型图]图1

