

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-91652

(P2005-91652A)

(43) 公開日 平成17年4月7日(2005.4.7)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

H04N 5/66

F I

G09G 3/36

G02F 1/133 550

G09G 3/20 621D

G09G 3/20 622D

G09G 3/20 622Q

テーマコード(参考)

2H093

5C006

5C058

5C080

審査請求 未請求 請求項の数 12 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2003-323897 (P2003-323897)

(22) 出願日 平成15年9月17日(2003.9.17)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(71) 出願人 502356528

株式会社 日立ディスプレイズ

千葉県茂原市早野3300番地

(74) 代理人 100075096

弁理士 作田 康夫

(72) 発明者 萬場 則夫

神奈川県川崎市麻生区王禅寺1099番地

株式会社日立製作所システム開発研究所

内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

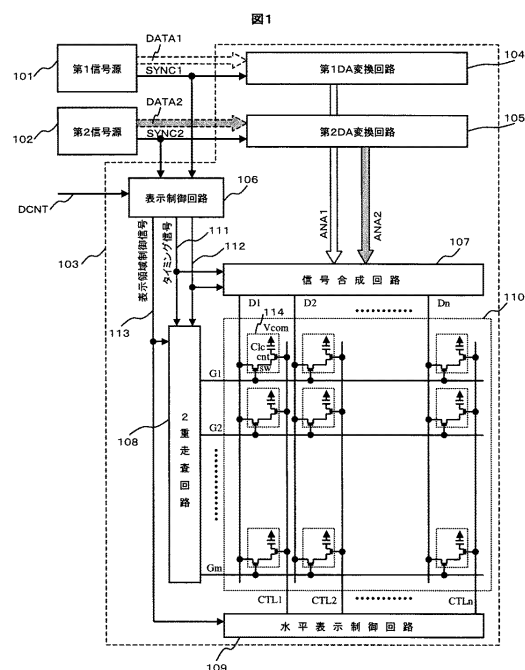
【課題】

フレームメモリを使用せずに、異なる2つの表示信号を非同期で表示し、また、2つの映像の重ね合わせを水平ライン上で制御する。

【解決手段】

複数の水平表示制御線CTLを信号線Dと並列に配置すると共に画素のスイッチング素子c t lに接続し、ゲート線Gからの選択電圧によってスイッチング素子s wがオン状態となった画素のうち、表示信号の書換えを行わない画素は、スイッチング素子c t lをオフ状態とし該液晶セルへの表示信号の印加を行わず、表示信号の書換えを行う画素は、水平表示制御回路109により書換え選択信号を印加することによってスイッチング素子c t lをオン状態とし、信号回路が出力する該画素に対応する表示信号を該液晶セルに印加することで表示信号の書換えを行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

互いに交差する複数本の信号線と複数本のゲート線とその交差部に対応して配置された画素を有する画素アレイと、

前記ゲート線に選択電圧を印加する走査回路と、

前記選択電圧が印加された前記ゲート線に接続される画素に対応した表示信号を前記信号線に出力する信号回路とを有する表示装置において、

前記信号線に沿って前記画素アレイに配置された複数本の水平表示制御線と、

前記ゲート線に接続された各画素における前記表示信号の書換えを制御する書換え選択信号を前記水平表示制御線に出力する水平表示制御回路とを有し、

10

前記画素は、前記ゲート線からの前記選択電圧によって制御される第 1 のスイッチング素子と前記水平表示制御線からの前記書換え選択信号によって制御される第 2 のスイッチング素子とを有し、

前記水平表示制御回路は、前記第 1 のスイッチング素子がオン状態となった複数の画素のうち、前記表示信号の書換えを行わない画素に対して前記画素に含まれる前記第 2 のスイッチング素子をオフ状態とし、前記表示信号の書換えを行う画素に対して前記画素に含まれる前記第 2 のスイッチング素子を前記書換え選択信号によってオン状態とすることを特徴とする表示装置。

【請求項 2】

互いに交差する複数本の信号線と複数本のゲート線と、前記ゲート線と交差しかつ前記信号線に沿って配置された複数のコモン線と、その交差部に対応して配置された画素であって液晶セルと前記液晶セルに対応する補償容量とゲートが前記ゲート線に接続されドレインが前記信号線に接続されソースが前記液晶セル及び前記補償容量の画素電極に接続された n 型 T F T 素子とを有し前記液晶セル及び前記補償容量のコモン電極が前記コモン線に接続された画素を有する画素アレイと、

20

前記ゲート線に選択電圧を印加する走査回路と、

前記ゲート線により前記選択電圧を印加された前記画素に対応する表示信号を生成する信号回路とを有する表示装置において、

前記ゲート線に前記選択電圧が印加された複数の画素のうち、前記表示信号を書換える画素に対応する前記信号線に前記信号回路が生成した前記画素に対応する表示信号を出力し、前記表示信号を書換えしない画素に対応する前記信号線に前記選択電圧から前記 T F T 素子の閾値電圧だけ低い電位よりも高い電位を出力する水平表示制御回路と、

30

前記ゲート線に前記選択電圧が印加された複数の画素のうち、前記表示信号を書換える画素に対応する前記コモン線に前記信号回路が出力する前記表示信号の基準電位となるコモン電極電圧を出力し、前記表示信号を書換えしない画素に対応するコモン線に前記画素の画素電極電位が前記選択電圧から前記 T F T 素子の閾値電圧だけ低い電位よりも高い電位となるように前記コモン線に電圧を印加するコモン駆動回路とを有し、

前記水平表示制御回路は、前記ゲート線に選択電圧が印加された複数の画素のうち、前記表示信号を書換える画素の前記 T F T 素子をオン状態とし、前記表示信号を書換えしない画素の前記 T F T 素子をオフ状態とすることを特徴とする表示装置。

40

【請求項 3】

互いに交差する複数本の信号線と複数本のゲート線と、前記ゲート線と交差しかつ前記信号線に沿って配置された複数のコモン線と、その交差部に対応して配置された画素であって液晶セルと前記液晶セルに対応する補償容量とゲートが前記ゲート線に接続されドレインが前記信号線に接続されソースが前記液晶セル及び前記補償容量の画素電極に接続された p 型 T F T 素子とを有し前記液晶セル及び前記補償容量のコモン電極が前記コモン線に接続された画素を有する画素アレイと、

前記ゲート線に選択電圧を印加する走査回路と、

前記ゲート線により前記選択電圧を印加された前記画素に対応する表示信号を生成する信号回路とを有する表示装置において、

50

前記ゲート線に前記選択電圧が印加された複数の画素のうち前記表示信号を書換える画素に対応する前記信号線に、前記信号回路が生成した前記画素に対応する表示信号を出力し、前記表示信号を書換えない画素に対応する前記信号線に、前記選択電圧から前記 T F T 素子の閾値電圧だけ高い電位よりも低い電位を出力する水平表示制御回路と、

前記ゲート線に前記選択電圧が印加された複数の画素のうち前記表示信号を書換える画素に対応する前記コモン線に、前記信号回路が出力する前記表示信号の基準電位となるコモン電極電圧を出力し、前記表示信号を書換えない画素に対応するコモン線に、前記画素の画素電極電位が前記選択電圧から前記 T F T 素子の閾値電圧だけ高い電位よりも低い電位となるように前記コモン線に電圧を印加するコモン駆動回路とを有し、

前記水平表示制御回路は、前記ゲート線に選択電圧が印加された複数の画素のうち、前記表示信号を書換える画素の前記 T F T 素子をオン状態とし、前記表示信号を書換えない画素の前記 T F T 素子をオフ状態とすることを特徴とする表示装置。 10

【請求項 4】

信号源の異なる第 1 の表示信号と第 2 の表示信号の表示領域及び前記第 1 の表示信号並びに第 2 の表示信号の表示タイミングを制御する表示制御回路を有し、

前記信号回路は、前記第 1 の表示信号をアナログの第 1 の表示信号へ変換する第 1 の D A 変換回路と、前記第 2 の表示信号をアナログの第 2 の表示信号へ変換する第 2 の D A 変換回路と、前記第 1 の D A 変換回路からの前記第 1 の表示信号と前記第 2 の D A 変換回路からの前記第 2 の表示信号を合成する信号合成回路を有し、

前記走査回路は、前記表示制御回路が出力する制御信号に基づき、前記第 1 の表示信号の第 1 の走査周波数で前記ゲート線に前記選択電圧を印加すると共に、前記第 2 の表示信号の第 2 の走査周波数で前記ゲート線に選択電圧を印加することを特徴とする請求項 1 ~ 3 の何れかに記載の表示装置。 20

【請求項 5】

信号源の異なる第 1 の表示信号と第 2 の表示信号の表示領域及び前記第 1 の表示信号並びに第 2 の表示信号の表示タイミングを制御する表示制御回路を有し、

前記信号回路は、前記第 1 の表示信号をラッチする第 1 のラッチ回路と、前記第 2 の表示信号をラッチする第 2 のラッチ回路と、前記第 1 のラッチ回路からの前記第 1 の表示信号と前記第 2 のラッチ回路からの前記第 2 の表示信号を合成する信号合成回路と、合成された前記表示信号をアナログの表示信号へ変換する D A 変換回路を有し、 30

前記走査回路は、前記表示制御回路が出力する制御信号に基づき、前記第 1 の表示信号の第 1 の走査周波数で前記ゲート線に前記選択電圧を印加すると共に、前記第 2 の表示信号の第 2 の走査周波数で前記ゲート線に前記選択電圧を印加することを特徴とする請求項 1 ~ 3 の何れかに記載の表示装置。

【請求項 6】

前記表示制御回路は、前記第 1 の表示信号の第 1 の水平周期と前記第 2 の表示信号の第 2 の水平周期のうち短い方の水平周期を時分割し、前記時分割して得た複数の期間期間のうちの少なくとも 1 つの期間を、前記走査回路が前記第 1 の表示信号の前記第 1 の走査周波数で前記ゲート線を走査する場合に前記ゲート線に前記選択電圧を印加する第 1 の期間として割り当て、前記時分割して得た複数の期間期間のうち少なくとも他の 1 つの期間を、前記走査回路が前記第 2 の映像信号の前記第 2 の走査周波数で前記ゲート線を走査する場合に前記ゲート線に前記選択電圧を印加する第 2 の期間として割り当てることを特徴とする請求項 4 又は 5 に記載の表示装置。 40

【請求項 7】

前記走査回路は、前記表示制御回路が出力する垂直表示期間信号により、前記第 1 の走査周波数及び前記第 2 の走査周波数で前記選択電圧を印加する前記ゲート線を選択し、

前記水平表示制御回路は、前記表示制御回路の出力する水平方向の表示領域制御信号に基づき、前記走査回路が前記選択電圧を印加した前記ゲート線に接続される前記画素のうち前記第 1 の表示信号を書込む前記画素又は前記第 2 の表示信号を書込む前記画素を選択し、

前記画素アレイの第 1 の領域は、前記第 1 の表示信号を表示し、

前記画素アレイの第 2 の領域は、前記第 2 の表示信号を表示することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記走査回路と前記信号回路と前記水平表示制御回路と前記表示制御回路のうち少なくとも 1 つは、前記画素アレイと同一基板上に形成されることを特徴とする請求項 4 又は 5 に記載の表示装置。

【請求項 9】

マトリックス状に配置された複数の画素を有する画素アレイと、外部からの表示信号を前記アレイの画素へ出力する信号回路と、前記表示信号を出力すべき画素行を選択する走査回路とを備えた表示装置において、

前記表示信号を出力すべき画素列を選択する水平表示制御回路を備えたことを特徴とする表示装置。

【請求項 10】

前記外部からの表示信号は、信号源の異なる複数の表示信号の夫々を含み、

前記表示制御回路は、前記信号源の異なる複数の表示信号のうちの一部の表示信号を更新する場合に、前記一部の表示信号に対応する前記画素列を選択し、前記他の表示信号に対応する前記画素列を非選択にすることを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

前記信号回路は、前記信号源の異なる複数の表示信号の夫々を、画素行分まとめて時分割で前記画素アレイの画素へ出力することを特徴とする請求項 10 に記載の表示装置。

【請求項 12】

前記信号源の異なる複数の表示信号は互いに、水平同期信号の周期と垂直同期信号の周期少なくとも 1 つが異なり、

前記走査回路は、前記信号源の異なる複数の表示信号の夫々の前記水平同期信号の周期及び前記垂直同期信号の周期で、前記画素行を選択することを特徴とする請求項 11 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、信号源の異なる複数の映像を 1 画面上に表示する表示装置に関する。

【背景技術】

【0002】

従来の表示装置は、信号線駆動回路やゲート線走査回路はそれぞれ 1 組ずつ配置されるのが一般的である。従って、どのようなフォーマットの映像信号（例えば、写真等の高精細が必要な画像信号や、携帯機器の待機画面のような精細度が低くても支障のない画像信号など）を表示する場合でも、同一の回路が動作することになり、消費電力はほとんど変わらない。

【0003】

近年、上記課題を鑑みて、使用時と待機時とで、それぞれの要求に合った駆動が可能で、また、複数の画像データをあらかじめ合成することなく、重ねて表示することが可能な表示装置及びそれを用いた電子機器が提案されている。

【0004】

特許文献 1 に記載の画像表示装置は、複数の異なる構成をなすデータ信号線駆動回路および走査信号線駆動回路を具備している。それぞれのデータ信号線駆動回路または走査信号線駆動回路は、表示可能なフォーマットが異なっている。入力される映像の種類や使用環境に応じて、動作させる駆動回路を切り替えることによって、最適な表示フォーマットでの表示が可能となり、かつ、消費電力の低減も実現される。また、複数の駆動回路を用いて時間差をつけて信号ラインに映像信号を書込むことにより、画像の上書きをすることが出来るので映像信号を外部で信号処理することなく、重ねて表示することが可能となる

。

【 0 0 0 5 】

【特許文献 1】特開2002 - 32048号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

上記特許文献 1 では、映像の重ね合わせ（上書き）を 1 水平ライン上で任意に制御することが困難であった。また、映像データと画像データのように、フレームレートの異なる 2 つの信号を合成表示するためには、それぞれの映像の同期化が必要となり、この同期化を行うために、外部システム（映像信号や画像信号を出力するシステム）に負担をかけて 10

【 0 0 0 7 】

本発明の目的は、複数の表示信号を水平方向で合成して表示することができる表示装置を提供することである。

【 0 0 0 8 】

本発明の目的は、周期の異なる複数の表示信号を非同期で表示することができる表示装置を提供することである。

【課題を解決するための手段】

【 0 0 0 9 】

本発明は、複数の水平表示制御線を信号線と並列に配置し、ゲート線に接続された複数の画素における表示信号の書換えを制御する書換え選択信号を、水平表示制御線に印加する水平表示制御回路を有し、画素は少なくとも 2 つのスイッチング素子 $s w$ 、 $c t l$ と液晶セルで構成され、画素に含まれるスイッチング素子 $s w$ はゲート線により制御され、もう一方のスイッチング素子 $c t l$ は水平表示制御線により制御され、ゲート線に選択電圧が印加され、スイッチング素子 $s w$ がオン状態となった複数の画素のうち、表示信号の書換えを行わない画素は、該画素に含まれるスイッチング素子 $c t l$ をオフ状態として該液晶セルへの表示信号の印加を行わず、表示信号の書換えを行う画素は、水平表示制御回路により書換え選択信号を印加して該画素に含まれるスイッチング素子 $c t l$ をオン状態とし、信号回路が出力する該画素に対応する表示信号を該液晶セルに印加することで表示信号の書換えを行う。 20 30

【 0 0 1 0 】

また、本発明は、ゲート線に選択電圧が印加された複数の画素のうち、表示信号を書換える画素に対応する信号線には、信号回路が生成した該画素に対応する表示信号を出力し、表示信号を書換えない画素に対応する信号線には、少なくとも選択電圧から該 T F T 素子の閾値電圧だけ低い（又は高い）電位よりも、少なくとも高い（又は低い）電位を出力する水平表示制御回路と、該ゲート線に選択電圧が印加された複数の画素のうち、表示信号を書換える画素に対応するコモン線には、信号回路が出力する表示信号の基準電位となるコモン電極電圧を出力し、表示信号を書換えない画素に対応するコモン線には、該画素の画素電極電位が少なくとも選択電圧から該 T F T 素子の閾値電圧だけ低い（又は高い）電位よりも、少なくとも高い（又は低い）電位となるように該コモン線に電圧を印加する 40 コモン駆動回路とを有し、該ゲート線に選択電圧が印加された複数の画素のうち、表示信号を書換える画素では、T F T 素子がオン状態となり、該画素の液晶セル及び補償容量に対応する表示信号が印加されて書換えられ、該ゲート線に選択電圧が印加された複数の画素のうち、表示信号を書換えない画素では、T F T 素子がオフ状態となり、該画素は保持動作をおこなう。

【発明の効果】

【 0 0 1 1 】

本発明によれば、複数の表示信号を水平方向で合成して表示することができる。

【 0 0 1 2 】

本発明によれば、周期の異なる複数の表示信号を非同期で表示することができる。 50

【発明を実施するための最良の形態】

【0013】

以下、本発明を実施するための最良の形態を説明する。

【実施例1】

【0014】

以下の実施例の説明では、画素部分に液晶材料を用いた液晶表示装置の例を示すが、その基本的な構造や駆動方法は画素部にエレクトロルミネセンス材料や発光ダイオード素子を用いた表示装置にも適用され得る。

【0015】

まず、本発明における表示装置および駆動方法の実施例1について、図1から図10を参照して説明する。

【0016】

図1は、本発明における表示装置の構成を示す概略図である。以下、表示装置の構成を説明する。図1において第1信号源101は、第1の映像信号であるデジタル表示信号DATA1と制御信号SYNC1とを表示装置103に出力する。第2信号源102は、第2の映像信号であるデジタル表示信号DATA2と制御信号SYNC2とを表示装置103に出力する。表示装置103は、第1DA変換回路104と、第2DA変換回路105と、表示制御回路106と、信号合成回路107と、2重走査回路108と、水平表示制御回路109と、画素アレイ110から成る。尚、信号源は、3以上であってもよい。

【0017】

ここで、画素アレイ110は、水平方向にn個（nは自然数）、垂直方向にm個（mは自然数）マトリックス状に配列された画素114と、画素へ表示信号を供給するためn本配置された信号線D1、D2、・・・、Dnと、水平方向の表示領域を制御するためにn本配置された水平表示制御線CTL1、CTL2、・・・、CTLnと、マトリックス状に配置された画素のうち、水平方向のn個の画素（以下1水平ラインと呼ぶ）を選択するためにm本配置されたゲート線G1、G2、・・・、Gmとから成る。

【0018】

ここで、画素114について説明する。画素114は、2つのスイッチング素子sw、cntと、液晶容量Clcと、コモン電極電圧Vcomが印加されるコモン電極とから成る。ここでは、スイッチング素子としてn型の薄膜トランジスタ（TFT）を引き合いに出して説明するが、スイッチング素子はこれに限定されない。また、図示しないが液晶容量Clcの実効電圧を保持するための保持容量（又は補償容量）が設けられる。図1においてスイッチング素子swは、ゲート端子がゲート線Gに接続され、ドレイン端子（又はソース端子）が信号線Dに接続され、ソース端子（又はドレイン端子）がスイッチング素子cntに接続される。一方、スイッチング素子cntは、ゲート端子が水平表示制御線CTLに接続され、ドレイン端子（又はソース端子）がスイッチング素子swに接続され、ソース端子（又はドレイン端子）が液晶容量Clcに表示信号を印加する画素電極に接続される。液晶容量Clcのもう一方の電極はコモン電極である。ここで、液晶容量Clcは、画素電極とコモン電極との電位差が印加される。ここで、画素114は、ゲート線Gと水平表示制御線CTLとが選択状態にある場合に、信号線Dから転送されるアナログ表示信号が画素電極に印加される。ここで、図2は、実施例1における画素114の、もう一つの構成図である。図2においてスイッチング素子cntは、ゲート端子が水平表示制御線CTLxに接続され、ドレイン端子（又はソース端子）が信号線Dxに接続され、ソース端子（又はドレイン端子）がスイッチング素子swに接続される。スイッチング素子swは、ゲート端子がゲート線Gyに接続され、ドレイン端子（又はソース端子）がスイッチング素子cntに接続され、ソース端子（又はドレイン端子）が液晶容量Clcにアナログ表示信号を印加する画素電極に接続される。図2に示す画素114においても、ゲート線Gyと水平表示制御線CTLxとが選択状態にある場合に、信号線Dxから転送されるアナログ表示信号が画素電極に印加される。本実施例の画素アレイ110に含まれる画素114は、図1又は図2のいずれかの構造とする。アナログの表示信号は、階調ご

10

20

30

40

50

とに定められた電圧（階調電圧）であるのが好ましい。

【0019】

また、図1に示す表示装置の概略図において、表示制御回路106は、第1信号源101が出力した制御信号SYNC1と、第2信号源102が出力した制御信号SYNC2と、表示装置103における第1及び第2の映像信号の表示状態を制御する表示制御信号DCNTとを受け、第1の映像信号の表示タイミングを制御するタイミング信号111と、第2の映像信号の表示タイミングを制御するタイミング信号112と、表示領域を制御する表示領域制御信号113を出力する。また、第1DA変換回路104は、第1の映像信号であるデジタル表示信号DATA1を受け、アナログ表示信号ANA1に変換して信号合成回路107に出力する。第2DA変換回路105は、第2の映像信号であるデジタル表示信号DATA2を受け、アナログ表示信号ANA2に変換して信号合成回路107に出力する。信号合成回路107は、第1の映像信号であるANA1と第2の映像信号であるANA2とを受け、表示制御回路106が出力するタイミング信号111、112に基づいて信号を合成し、信号線D1、D2、・・・、Dnに出力する。また、2重走査回路108は、表示制御回路106が出力するタイミング信号111、112と表示領域制御信号113を受け、これらの信号に基づきゲート線G1、G2、・・・、Gmを選択する。また、水平表示制御回路109は、表示制御回路106が出力する表示領域制御信号113を受け、水平表示制御線CTL1、CTL2、・・・、CTLnを駆動する。

【0020】

従って、図1に示す表示装置において、2重走査回路108により選択電圧が印加されたゲート線Gに接続された画素のうち、水平表示制御回路109により水平表示制御線CTLに選択信号が印加された画素に、信号合成回路107が出力した表示信号が印加される。

【0021】

ここで、図1に示す表示装置は、画素アレイ110をアモルファスSiによりガラス基板上に形成して残りの回路をガラス周辺に設置する構成としてもよいし、また、画素アレイ110と2重走査回路108と水平表示制御回路109とを多結晶Siを用いることでガラス基板上に形成し、残りの回路をガラス周辺に設置する構成としてもよいし、また、表示装置103に含まれる回路と画素アレイ110とを多結晶Siを用いることでガラス基板上に形成してもよいし、画素アレイ110と同一基板上に形成する表示装置の回路は限定しない。

【0022】

次に図3と図4を用いて、図1に示す表示装置103の表示について説明する。

【0023】

図3は、第1信号源101が出力する第1の映像に関わる信号と、第2信号源102が出力する第2の映像に関わる信号と、表示制御信号DCNTのうち垂直方向の表示制御信号VDCNTとを示すタイミングチャートである。図4は、第1の映像に関わる信号と、第2の映像に関わる信号と、表示制御信号DCNTとにより、本発明実施例1における表示装置103が表示する画面を簡易的に示したものである。

【0024】

図3において、第1の映像信号は、上述したようにデジタル表示信号DATA1と制御信号SYNC1から成り、SYNC1に含まれる信号は、垂直同期信号VCLK1と、水平同期信号HCLK1とがある。図3には示さないが、SYNC1にはデジタル表示信号を転送するためのドットクロックや、デジタル表示信号の有効範囲を判定するためのディスプレイ信号などが含まれる。ここで、第1の映像信号は、垂直同期信号VCLK1の周期であるフレーム周期Tf1、水平同期信号HCLK1の周期である水平周期Th1の速度で出力される信号である。ここで、水平周期Th1はn個の画素に対応したデジタル表示信号を含み、更にフレーム周期Tf1はmライン分のデジタル表示信号を含むこととする。一方、第2の映像信号は、信号の構成（種類）は図3に示すように第1の映像信号と同じである。第2の映像信号においては、垂直同期信号VCLK2の周期であるフレーム周期

10

20

30

40

50

T f 2、水平同期信号 H C L K 2 の周期である水平周期 T h 2 の速度で出力される信号である。ここで、水平周期 T h 2 は n 個の画素に対応したデジタル表示信号を含み、更にフレーム周期 T f 2 は m ライン分のデジタル表示信号を含む。ここで m、n は自然数である。また、本発明における実施例の説明では、第 1 の映像信号と第 2 の映像信号の画素数と水平ライン数が同じ場合について説明するが、異なる場合でもよい。

【0025】

ここで、第 1 の映像信号のフレーム周期 T f 1 (又は水平周期 T h 1) は、第 2 の映像信号のフレーム周期 T f 2 (又は水平周期 T h 2) 以上とする。ここでは、説明を容易にするため水平ライン数 m を 10 とし、第 2 の映像信号のフレーム周期 T f 2 (水平周期 T h 2) を第 1 の映像信号のフレーム周期 T f 1 (水平周期 T h 1) の 2 倍として説明するが、実際はこれに限定されない。また、第 1 の映像信号の位相と、第 2 の映像信号の位相は、図 3 に示した関係に限定されない。

10

【0026】

また、V D C N T 1、V D C N T 2 は、表示制御信号 D C N T に含まれる垂直方向の表示制御信号であり、前者は、第 1 の映像信号で表示装置 103 に表示する水平期間のみ表示レベルとし、その他は非表示レベルとなり、後者は、第 2 の映像信号で表示装置 103 に表示する水平期間のみ表示レベルとし、その他は非表示レベルとなる。図 3 は、例えば、V D C N T 信号の H i レベルを表示レベルとし、L o w レベルを非表示レベルとして示しており、V D C N T 1 は表示レベル (H i レベル) とし、V D C N T 2 は、第 4 水平ラインから第 7 水平ラインに相当する水平期間で表示レベル (H i レベル) とし、それ以外の期間を非表示レベルとしている。

20

【0027】

図 4 は、表示装置 103 が表示する画面を簡易的に示したものである。図 4 に示す画面の垂直方向 (走査方向) の制御は、図 3 に示した垂直方向の表示制御信号 V D C N T 1、V D C N T 2 により制御され、第 1 ~ 3 水平ラインと第 8 ~ 10 水平ラインは、第 1 の映像信号のみが表示される表示領域 (単一表示領域) となり、第 4 ~ 7 水平ラインは、V D C N T 1 と V D C N T 2 が共に表示レベルであるため、第 1 の映像信号と第 2 の映像信号が表示される合成表示領域となる。一方、画面の水平方向 (水平ラインに沿う方向) の制御は、表示制御信号 D C N T に含まれる水平方向の表示制御信号 H D C N T で行う。制御信号 H D C N T は、1 水平ライン上に存在する画素のうち、第 1 の映像信号を表示する画素と、第 2 の映像信号を表示する画素とを区別する信号である。図 3 には、制御信号 H D C N T は図示しないが、第 1 ~ 3、8 ~ 10 水平ラインの単一表示領域では、全画素に第 1 の映像信号を表示する制御を行い、第 4 ~ 7 水平ラインの合成表示領域では、第 1 の映像信号を表示する領域 A と、第 2 の映像信号を表示する領域 B とを区別する制御を行う。以上のように、本発明における表示装置 103 では、表示制御信号 D C N T により指定された領域に第 2 の映像信号を表示させ、それ以外の領域に第 1 の映像信号を表示する。

30

【0028】

次に、図 5 から図 10 を用いて、上述した図 4 ような画面を表示する場合の表示装置 103 の動作について説明する。

【0029】

まず、図 5、第 1 D A 変換回路 104 と、第 2 D A 変換回路 105 と、信号合成回路 107 の動作を示すタイミングチャートである。第 1 D A 変換回路 104 は、第 1 信号源が出力する 1 水平ライン分のデジタル表示信号 D A T A 1 を一旦記憶し、その後に 1 水平ライン分のアナログ表示信号 A N A 1 を出力する。図 5 おいて、第 1 D A 変換回路 104 は、例えば 1 水平周期 T h 1 内に転送される 1 水平ライン分のデジタル表示信号を記憶し、次の水平周期で、その記憶したデジタル表示信号に対応するアナログ表示信号を出力する。これと同様に、第 2 D A 変換回路 105 は、第 2 信号源が出力する 1 水平ライン分のデジタル表示信号 D A T A 2 を一旦記憶し、その後に 1 水平ライン分のアナログ表示信号 A N A 2 を出力する。図 5 おいて、第 2 D A 変換回路 105 は、例えば 1 水平周期 T h 2 内に転送される 1 水平ライン分のデジタル表示信号を記憶し、次の水平周期で、その記憶し

40

50

たデジタル表示信号に対応するアナログ表示信号を出力する。図 5 示す DATA 1、DATA 2、ANA 1、及び ANA 2 の数字は、対応する水平ラインの番号を示す。

【0030】

信号合成回路 107 は、表示制御回路 106 が出力するタイミング信号 111 に含まれる第 1 の映像信号の表示タイミング信号 DTM1 と、タイミング信号 112 に含まれる第 2 の映像信号の表示タイミング信号 DTM2 に基づいて、第 1 DA 変換回路 104 と第 2 DA 変換回路 105 が出力するアナログ表示信号 ANA 1 と ANA 2 を合成し、信号線 D へ印加するアナログ表示信号 ANA を出力する。

【0031】

ここで、表示制御回路 106 が出力する表示タイミング信号 DTM1、及び DTM2 について説明する。表示制御回路 106 は、第 1 の映像信号と第 2 の映像信号のうち水平周期が短いほうの水平周期を複数の期間に時分割する。ここで、第 1 の映像信号と第 2 の映像信号の水平周期が同じ場合は、どちらか一方の映像信号の水平周期を時分割する。従って、本実施例の説明では、例えば Th2 より Th1 が短いため、第 1 の映像信号の水平周期 Th1 を複数の期間 (ThA、ThB) に時分割する。そして、表示制御回路 106 は、各水平期間 Th1 において時分割された期間のどちらか一方の期間 ThA (又は ThB) を、水平周期を時分割した映像信号 (本実施例の説明の場合は、第 1 の映像信号) の表示に割り当て、その期間中は表示タイミング信号 DTM1 の信号レベルを表示レベルとして出力する。図 5 は、例えば、DTM1 の表示レベルを Hi レベルとし、時分割した水平期間 Th1 の前半の期間を第 1 の映像信号の表示に割り当てた場合を示している。一方で、表示制御回路 106 は、先に Th1 を時分割した複数の期間のうち、第 1 の映像信号 (水平周期を時分割した映像信号) の表示に割り当てた期間を除く期間から、第 2 の映像信号の水平周期 Th2 内に 1 つの期間を選択し、第 2 の映像信号 (水平周期を時分割していない映像信号) の表示期間として割り当て、その該当する期間を表示レベルとして第 2 の映像信号の表示タイミング信号 DTM2 を出力する。図 5 では、例えば、DTM2 の表示レベルを Hi レベルとし、第 2 の映像信号の表示期間を、第 1 の映像信号の表示期間となっていない時分割された期間の後半期間の中から、第 2 の水平周期 Th2 内で 1 つ選択し、割り当てた場合を示している。

【0032】

従って、信号合成回路 107 は、表示制御回路 106 が出力するタイミング信号に基づき、第 1 の映像信号の表示タイミング信号 DTM1 が表示レベルの期間に、第 1 の映像信号のアナログ表示信号 ANA 1 を選択して、信号線 D に印加するアナログ信号 ANA として出力し、第 2 の映像信号の表示タイミング信号 DTM2 が表示レベルの期間に、第 2 の映像信号のアナログ信号 ANA 2 を選択して、信号線 D に印加するアナログ信号 ANA として出力する。

【0033】

図 6 は、第 2 の映像信号のフレーム周期 Tf2 が、第 1 の映像信号のフレーム周期 Tf1 の 2 倍の場合における、2 重走査回路 108 の動作を説明するためのタイミングチャートである。以下、図 6 を用いて、2 重走査回路の動作を説明する。VDSP1 及び VDSP2 は、表示制御回路 106 が垂直方向の表示制御信号 VDCNT1 及び VDCNT2 のタイミングを参照して生成する垂直表示期間信号である。VG1、VG2、・・・、VG10 は、それぞれ対応する水平ライン (第 1 水平ライン、第 2 水平ライン、・・・、第 10 水平ライン) のゲート線 (G1、G2、・・・、G10) に、2 重走査回路 108 が印加するゲート線走査電圧を示す。本実施例の説明では、例えば、スイッチング素子 sw とし n 型の MOS トランジスタを使用した場合を引き合いに出すが、これに限定されない。ここでは、ゲート線走査電圧 VG が Hi レベルのときにスイッチング素子 sw がオンし、Low レベルのときにスイッチング素子 sw がオフする。

【0034】

2 重走査回路 108 は、第 1 の映像信号の表示タイミング信号 DTM1 と、第 2 の映像信号の表示タイミング信号 DTM2 との、2 つのタイミングで水平ラインを走査する。ま

ず、第1の映像信号のDTM1に基づく2重走査回路108の動作は、DTM1をクロックとして、順次水平ラインを選択する。その際に、垂直表示期間信号VDSP1が表示レベルの場合だけ、選択した水平ラインのゲート線に選択レベルのゲート線走査電圧を印加する。ここで、2重走査回路がDTM1に基づく動作でゲート線に選択レベルのゲート線走査電圧を印加する期間は、DTM1の表示レベルの期間に対応する。また上述したように、信号合成回路107はDTM1が表示レベルの期間に、第1の映像信号に対応するアナログ表示信号ANA1を信号線Dに印加する。従って、DTM1に基づき2重走査回路108が、ある水平ラインのゲート線に選択レベルのゲート走査電圧を印加する期間には、信号合成回路107から、その水平ラインに対応した第1の映像信号のアナログ表示信号ANA1が信号線Dに印加される。図6では、例えば、VDSP1の表示レベルをHi 10
レベルとし、フレーム期間Th1にわたりVDSP1が表示レベルであるため、全水平ライン（ここでは、第1から第10水平ライン）に選択レベルのゲート走査電圧が印加される。次に、第2の映像信号のDTM2に基づく2重走査回路108の動作は、DTM2をクロックとして、順次水平ラインを選択する。その際に、垂直表示期間信号VDSP2が表示レベルの場合だけ、選択した水平ラインのゲート線に選択レベルのゲート線走査電圧を印加する。ここで、2重走査回路がDTM2に基づく動作でゲート線に選択レベルのゲート線走査電圧を印加する期間は、DTM2の表示レベルの期間に対応する。また上述したように、信号合成回路107はDTM2が表示レベルの期間に、第2の映像信号に対応するアナログ表示信号ANA2を信号線Dに印加する。従って、DTM2に基づき2重走査回路108が、ある水平ラインのゲート線に選択レベルのゲート走査電圧を印加する期間には、信号合成回路107から、その水平ラインに対応した第2の映像信号のアナログ表示信号ANA2が信号線Dに印加される。図6では、例えば、VDSP2の表示レベルをHi 20
レベルとし、第4から第7水平ラインの期間でVDSP2が表示レベルであるため、第4から第7水平ラインに選択レベルのゲート線走査電圧が印加される。また、参考として図7に、第1の映像信号のフレーム周期Tf1と、第2の映像信号のフレーム周期Tf2とが同じ場合の駆動を説明するタイミングチャートを示した。

【0035】

ここで、2重走査回路108は、シフトレジスタを基本として構成される回路でもよいし、デコーダを基本として構成される回路でもよい。シフトレジスタを基本とする回路である場合、タイミング信号111、112には、少なくとも第1及び第2の映像信号において、それぞれのフレームの先頭を規定するスタートパルスが含まれる。また、デコーダを基本として構成される回路の場合、タイミング信号111、112には、少なくとも第1及び第2の映像信号において、それぞれのフレームの先頭を規定するスタートパルス、或いは、水平ラインの位置を指定するアドレス情報が含まれる。2重走査回路108が、デコーダで構成される回路で、タイミング信号111、112に含まれる信号が水平ラインの位置を指定するアドレス情報を含む場合には、任意に水平ラインを選択して表示することも可能である。 30

【0036】

次に、図8から図10を用いて、水平表示制御回路109の動作と、表示装置103の水平方向の表示動作について説明する。 40

【0037】

表示装置103の水平方向の表示動作は、水平表示制御回路109により制御される。表示制御信号DCNTから表示制御回路106が生成する表示領域制御信号113は、2重走査回路108により選択状態となった水平ラインに属する画素の動作状態（信号書込み、又は信号非書込み）を制御する水平方向の表示領域制御信号を含む。水平表示制御回路109は、この水平方向の表示領域制御信号を受け、2重走査回路108が選択状態とした水平ラインの画素の中で、信号書込み動作を行う画素が接続される水平表示制御線CTLには、書込み可能レベルの信号を印加し、信号非書込み動作を行う画素が接続される表示領域制御線CTLには、書込み不可レベルの信号を印加する。（以下では、例えば、水平表示制御線CTLの書込み可能レベルをHiレベルとし、書込み不可レベルをLow 50

レベルとし、画素 114 に含まれるスイッチ素子 cnt を n 型 TFT として説明する。))

ここで、表示装置 103 において、図 4 に示すように、第 1 の映像信号のみ (種類の映像信号のみ) を表示する単一表示領域 (例えば、本実施例の説明における第 1 から第 3 と、第 8 から第 10 水平ライン) の画素 (例えば、第 i 水平ライン、第 j 列の画素 $P I X_{ij}$) の動作について、図 8 を用いて説明する。図 8 において、ゲート線走査信号 $V G_i$ により選択レベルが印加される期間 $T h A$ の間に、信号合成回路 107 は、画素 $P I X_{ij}$ の第 1 の映像信号に対応するアナログ表示信号 $A N A 1_{ij}$ を、第 j 列目の信号線 D_j に印加する。この期間、水平表示制御回路 109 は、画素 $P I X_{ij}$ が接続されている水平表示制御線 $C T L_j$ に $H i$ レベルを印加する。これにより、第 1 の映像信号に対応する $A N A 1_{ij}$ が画素 $P I X_{ij}$ の液晶 $C l c$ に印加され、表示信号に対応した実効電圧が保持される。 10

【 0038 】

次に、表示装置 103 において、図 4 に示すように、第 1 の映像信号を表示する画素と第 2 の映像信号を表示する画素とを含む水平ラインの領域 (合成表示領域、例えば、本実施例の説明における第 4 から第 7 水平ライン) において、第 1 の映像信号を表示する領域 (図中領域 A) の画素 (例えば、第 s 水平ライン、第 t 列の画素 $P I X_{st}$) の動作について、図 9 を用いて説明する。図 9 において、第 1 の映像信号のアナログ表示信号 $A N A 1_{st}$ が信号合成回路 107 から出力され第 t 列の信号線 D_t に印加される期間 $T h A 1$ に、2重走査回路 108 は第 s 水平ラインのゲート線走査信号 $V G_s$ に $H i$ レベルを出力する。この期間、画素 $P I X_{st}$ は第 1 の映像信号を表示するため、水平表示制御回路 109 は画素 $P I X_{st}$ が接続されている第 t 列の水平表示制御線 $C T L_t$ に $H i$ レベルを印加する。これにより、第 1 の映像信号に対応する $A N A 1_{st}$ が画素 $P I X_{st}$ の液晶 $C l c$ に印加され、表示信号に対応した実効電圧が保持される。一方、第 2 の映像信号のアナログ表示信号 $A N A 2_{st}$ が信号合成回路 107 から出力され第 t 列の信号線 D_t に印加される期間 $T h B 2$ に、2重走査回路 108 は第 s 水平ラインのゲート線走査信号 $V G_s$ に $H i$ レベルを出力する。この期間、画素 $P I X_{st}$ は第 2 の映像信号を表示しないため、水平表示制御回路 109 は第 t 列の水平表示制御線 $C T L_t$ に $L o w$ レベルを印加する。これにより、期間 $T h B 2$ で第 t 水平ラインが選択状態となっても、画素 $P I X_{st}$ に第 2 の映像信号のアナログ表示信号 $A N A 2_{st}$ が印加されることなく、液晶 $C l c$ に第 1 の映像信号の $A N A 1_{st}$ に対応する実効電圧が保持される。 20 30

【 0039 】

次に、表示装置 103 において、図 4 に示す合成表示領域において、第 2 の映像信号を表示する領域 (図中領域 B) の画素 (例えば、第 p 水平ライン、第 q 列の画素 $P I X_{pq}$) の動作について、図 10 を用いて説明する。図 10 において、第 2 の映像信号のアナログ表示信号 $A N A 2_{pq}$ が信号合成回路 107 から出力され第 q 列の信号線 D_q に印加される期間 $T h B 1$ に、2重走査回路 108 は第 p 水平ラインのゲート線走査信号 $V G_p$ に $H i$ レベルを出力する。この期間、画素 $P I X_{pq}$ は第 2 の映像信号を表示するため、水平表示制御回路 109 は画素 $P I X_{pq}$ が接続されている第 q 列の水平表示制御線 $C T L_q$ に $H i$ レベルを印加する。これにより、第 2 の映像信号に対応する $A N A 2_{pq}$ が画素 $P I X_{pq}$ の液晶 $C l c$ に印加され、表示信号に対応した実効電圧が保持される。一方、第 1 の映像信号のアナログ表示信号 $A N A 1_{pq}$ が信号合成回路 107 から出力され第 q 列の信号線 D_q に印加される期間 $T h A 2$ に、2重走査回路 108 は第 p 水平ラインのゲート線走査信号 $V G_p$ に $H i$ レベルを出力する。この期間、画素 $P I X_{pq}$ は第 1 の映像信号を表示しないため、水平表示制御回路 109 は第 q 列の水平表示制御線 $C T L_q$ に $L o w$ レベルを印加する。これにより、期間 $T h A 2$ で第 q 水平ラインが選択状態となっても、画素 $P I X_{pq}$ に第 1 の映像信号のアナログ表示信号 $A N A 1_{pq}$ が印加されることなく、液晶 $C l c$ に第 2 の映像信号の $A N A 2_{pq}$ に対応する実効電圧が保持される。 40

【 0040 】

また、上述の例では、合成表示領域において、ある表示信号の表示領域では、その映像信号の書込み動作を行った後で、もう一方の映像信号の書込み動作を停止するように水平 50

表示制御回路 109 は動作する。しかし、入力される 2 つの映像信号のフレーム周波数が異なる場合には、合成表示領域におけるフレーム周波数が高い映像信号を表示させる表示領域においては、フレーム周波数が低い映像信号の非書込み動作は行わず、もう一方のフレーム周波数が高い映像信号を上書きさせる処理を行ってもよい。

【0041】

上述したように、2 つの信号源から供給される 2 つの映像信号と、これら 2 つの映像信号の表示領域を制御する信号とを入力として、本発明実施例 1 における表示装置 103 を用いることで、表示領域を制御する信号で任意に指定したそれぞれの領域に、該当する映像を表示することが出来る。

【0042】

また、1 つの信号源で表示される映像信号において、背景など静止画領域をフレーム周波数が低い背景映像信号として出力し、その他のキャラクターや文字等の動画領域の映像をフレーム周波数の高い動画映像信号として、その動画領域を指定する制御信号と共に出力することにより、本発明第 1 の実施の形態である表示装置 103 においては、駆動周波数を低下させることができ、低電力化が実現できる。

【0043】

また、フレーム周波数の異なる 2 つの映像信号を入力信号源とした場合でも、2 つの映像信号のフレームを同期化することなく、表示領域を制御する信号で指定した表示領域ごとに、非同期で、それぞれ対応した映像信号を表示することが出来る。また、これにより、同期化（画像合成）に必要とされたフレームメモリ（1 画面分の表示データを格納可能な容量をメモリ）が不要となり、低コスト化、周辺回路面積の縮小による狭額縁化などが実現できる。

【実施例 2】

【0044】

次に、本発明における表示装置および駆動方法の実施例 2 について、図 11 を用いて説明する。図 11 は、本発明における実施例 2 である表示装置の構成を示す概略図である。以下、図 11 を用いて表示装置の構成を説明するが、実施例 1 である表示装置と同じ部分は同じ番号、及び記号として説明を省略する。

【0045】

第 1 D A 変換回路 104 と第 2 D A 変換回路 105 は、図 1 に示すように画素アレイ 110 に対して片側のみ（上側のみ）に位置してもよいし、画素アレイ 110 に対して両側（上側と下側）の夫々に位置してもよい（図示なし）。また、第 1 D A 変換回路 104、第 2 D A 変換回路 105、信号合成回路 107、2 重走査回路 108 及び水平表示制御回路 109 の一部又は全部は、画素アレイ 110 の中、即ち、画素アレイ 110 を構成するガラス基板上に位置してもよい。また、第 1 D A 変換回路 104、第 2 D A 変換回路 105、信号合成回路 107 及び水平表示制御回路 109 の一部又は全部は、1 つの L S I（信号回路）で構成されてもよいし、第 2 D A 変換回路 105、信号合成回路 107 及び水平表示制御回路 109 は、別々の L S I で構成されてもよい。第 1 D A 変換回路 104 と第 2 D A 変換回路 105 がインターフェース回路を有する場合は、図 1 に示すように第 1 D A 変換回路 104 と第 2 D A 変換回路 105 は第 1 信号源 101 及び第 2 信号線 102 から直接に D A T A 1、S Y N C 1、D A T A 2、S Y N C 2 を受信し、第 1 D A 変換回路 104 と第 2 D A 変換回路 105 がインターフェース回路を有しない場合は、第 1 D A 変換回路 104 と第 2 D A 変換回路 105 は第 1 信号源 101 及び第 2 信号線 102 から表示制御回路 106 を介して間接的に D A T A 1、S Y N C 1、D A T A 2、S Y N C 2 を受信するのが好ましい。

【0046】

信号合成回路 107 は、図 1 に示すように第 1 D A 変換回路 104 と第 2 D A 変換回路 105 の後段側（画素アレイ 110 側）に位置し、アナログ表示信号 A N A 1 とアナログ表示信号 A N A 2 を合成してもよいし、第 1 D A 変換回路 104 と第 2 D A 変換回路 105 の前段側（第 1 信号源 101 及び第 2 信号源 102 側）に位置し、デジタル表示信号 D

10

20

30

40

50

A T A 1 とデジタル表示信号 D A T A 2 を合成してもよい（図示なし）。

【 0 0 4 7 】

本発明である実施例2の表示装置 1 1 0 3 は、実施例1の表示装置 1 0 3 と比べて、表示信号の処理経路が異なる。表示装置 1 1 0 3 において、第 1 データラッチ回路 1 1 0 4 は、第 1 信号源 1 0 1 から転送される第 1 の映像信号であるデジタル表示信号 D A T A 1 を一旦記憶し、信号合成回路 1 1 0 7 にデジタル表示信号 L D A T A 1 を出力する。また、第 2 データラッチ回路 1 1 0 5 は、第 2 信号源 1 0 2 から転送される第 2 の映像信号であるデジタル表示信号 D A T A 2 を一旦記憶し、信号合成回路 1 1 0 7 にデジタル表示信号 L D A T A 2 を出力する。信号合成回路 1 1 0 7 は、本発明実施例1で説明した表示タイミング信号 D T M 1、及び D T M 2 に基づき、第 1 データラッチ回路 1 1 0 4 から入力されるデジタル表示信号 L D A T A 1 と、第 2 データラッチ回路 1 1 0 5 から入力されるデジタル表示信号 L D A T A 2 との 2 つのデジタル表示信号のうち、どちらか一方を選択して、D A 変換回路 1 1 1 5 に出力する。D A 変換回路 1 1 1 5 は、信号合成回路 1 1 0 7 が出力するデジタル表示信号をアナログ表示信号 A N A に変換して、信号線 D x に出力する。

【 0 0 4 8 】

次に表示装置 1 1 0 3 の回路の動作を説明する。第 1 データラッチ回路 1 1 0 4 は、記憶手段を少なくとも 2 つ有する。一方の記憶手段は、第 1 信号源から転送されるデジタル表示信号 D A T A 1 を順次記憶する働きをし、もう一方の記憶手段は、前者の記憶手段が順次記憶した表示信号を任意の時点で記憶し、外部装置にデジタル表示信号 L D A T A 1 を出力する働きをする。従って、例えば、前者の記憶手段は 1 水平ラインに相当するデジタル表示信号 D A T A 1 を順次記憶し、その後、次の 1 水平ラインの表示信号が転送される前の任意の時点で、前者に記憶されている 1 水平ライン分の表示信号を、後者の記憶手段が記憶しデジタル表示信号 L D A T A 1 として出力する。後者の記憶手段が L D A T A 1 を出力中に、前者の記憶手段は次の 1 水平ラインのデジタル表示信号 D A T A 1 を、また順次記憶する。第 1 データラッチ回路 1 1 0 4 は、この動作を繰り返す。また、第 2 データラッチ回路 1 1 0 5 もまた記憶手段を少なくとも 2 つ有する。一方の記憶手段は、第 2 信号源から転送されるデジタル表示信号 D A T A 2 を順次記憶する働きをし、もう一方の記憶手段は、前者の記憶手段が順次記憶した表示信号を任意の時点で記憶し、外部装置にデジタル表示信号 L D A T A 2 を出力する働きをする。従って、例えば、前者の記憶手段は 1 水平ラインに相当するデジタル表示信号 D A T A 2 を順次記憶し、その後、次の 1 水平ラインの表示信号が転送される前の任意の時点で、前者に記憶されている 1 水平ライン分の表示信号を、後者の記憶手段が記憶しデジタル表示信号 L D A T A 2 として出力する。後者の記憶手段が L D A T A 2 を出力中に、前者の記憶手段は次の 1 水平ラインのデジタル表示信号 D A T A 2 を、また順次記憶する。第 2 データラッチ回路 1 1 0 5 も、この動作を繰り返す。信号合成回路 1 1 0 7 は、表示制御回路 1 0 6 が出力する第 1 の映像信号の表示タイミング信号 D T M 1 が表示レベルの期間内に、第 1 データラッチ回路 L D A T A 1 を選択して D A 変換回路 1 1 1 5 に出力し、表示制御信号 1 0 6 が出力する第 2 の映像信号の表示タイミング信号 D T M 2 が表示レベルの期間内に、第 2 データラッチ回路 L D A T A 2 を選択して D A 変換回路 1 1 1 5 に出力する。D A 変換回路 1 1 1 5 は、信号合成回路 1 1 0 7 が出力するデジタル表示信号に対応するアナログ表示信号 A N A に変換し、信号線 D x に印加する。

【 0 0 4 9 】

上述のように、本発明実施例1である表示装置 1 0 3 に含まれる第 1 D A 変換回路 1 0 4 と、第 2 D A 変換回路と、信号合成回路 1 0 7 とがアナログ表示信号 A N A を生成するのと同様の働きを、本発明実施例2である表示装置 1 1 0 3 に含まれる第 1 データラッチ回路 1 1 0 4 と、第 2 データラッチ回路 1 1 0 5 と、信号合成回路 1 1 0 7 と、D A 変換回路 1 1 1 5 とで行うことが出来る。

【 0 0 5 0 】

従って、2 つの信号源から供給される 2 つの映像信号と、これら 2 つの映像信号の表示

領域を制御する信号とを入力として、本発明実施例2における表示装置 1 1 0 3 を用いることで、表示領域を制御する信号で任意に指定したそれぞれの領域に、該当する映像を表示することが出来る。

【 0 0 5 1 】

また、1つの信号源で表示される映像信号において、背景など静止画領域をフレーム周波数が低い背景映像信号として出力し、その他のキャラクターや文字等の動画領域の映像をフレーム周波数の高い動画映像信号として、その動画領域を指定する制御信号と共に出力することにより、本発明第2の実施の形態である表示装置 1 1 0 3 においては、駆動周波数を低下させることができ、低電力化が実現できる。

【 0 0 5 2 】

また、フレーム周波数の異なる2つの映像信号を入力信号源とした場合でも、2つの映像信号のフレームを同期化することなく、表示領域を制御する信号で指定した表示領域ごとに、非同期で、それぞれ対応した映像信号を表示することが出来る。また、これにより、同期化（画像合成）に必要とされたフレームメモリが不要となり、低コスト化、周辺回路面積の縮小による狭額縁化などが実現できる。

【 実施例 3 】

【 0 0 5 3 】

次に、本発明における表示装置および駆動方法の実施例3について、図 1 2 から図 1 5 を用いて説明する。

【 0 0 5 4 】

図 1 2 は、本発明における実施例3である表示装置の構成を示す概略図である。以下、図 1 2 を用いて表示装置の構成を説明するが、実施例1である表示装置と同じ部分は同じ番号、及び記号として説明を省略する。

【 0 0 5 5 】

本発明である実施例3の表示装置 1 2 0 3 は、各信号源からアナログ表示信号 A N A を生成するまでの方法や、2重走査回路 1 0 8 による垂直方向の表示領域の制御方法に関しては、実施例1の表示装置 1 0 3 と同じであるが、水平方向の表示領域の制御方法が異なる。また、水平方向の表示領域の制御方法が異なることに伴い画素アレイ 1 2 1 0 の構成と、画素 1 2 1 4 も異なる。

【 0 0 5 6 】

まず、画素アレイ 1 2 1 0 は、水平方向に n 個（ n は自然数）、垂直方向に m 個（ m は自然数）マトリックス状に配列された画素 1 2 1 4 と、画素列へ表示信号を供給するため n 本配置された信号線 D 1、D 2、 $\dots$ 、D n と、画素列にコモン電極電圧を供給するために n 本配置されたコモン線 C O M 1、C O M 2、 $\dots$ 、C O M n と、マトリックス状に配置された画素のうち、水平方向の n 個の画素（以下1水平ラインと呼ぶ）を選択するために m 本配置されたゲート線 G 1、G 2、 $\dots$ 、G m とから成る。

【 0 0 5 7 】

この画素アレイ 1 2 1 0 に含まれる画素 1 2 1 4 の構成について説明する。画素 1 2 1 4 は、1つのスイッチング素子 $s w$ と、液晶容量 C l c と、保持容量 C s t とからなる。ここでは、スイッチング素子 $s w$ として n 型の薄膜トランジスタ（T F T）を引き合いに出して説明するが、スイッチング素子はこれに限定されるものではない。図においてスイッチング素子 $s w$ は、ゲート端子がゲート線 G y に接続され、ドレイン端子（又はソース端子）が信号線 D x に接続され、ソース端子（又はドレイン端子）が液晶容量 C l c、及び保持容量 C s t に信号電圧を印加する画素電極に接続される。液晶容量 C l c、及び保持容量 C s t のもう一方の電極であるコモン電極 C O M は、コモン線 C O M x に接続され、コモン電極電圧 V c o m が印加される。画素 1 2 1 4 において、スイッチング素子 $s w$ がオン状態の場合には、信号線 D x に印加されているアナログ表示信号が画素電極に印加される。また、スイッチング素子 $s w$ がオフ状態の場合、画素電極とコモン電極 C O M との電位差が液晶容量 C l c、及び保持容量 C s t に保持される。

【 0 0 5 8 】

一方、図 12 に示す本発明第 3 の実施の形態における表示装置 1203 の構成において、水平方向の表示領域の制御を行う回路は、水平表示制御回路 1215 とコモン駆動回路 1209 である。水平表示制御回路 1215 は、表示制御回路 106 が出力する表示領域制御信号 113 に含まれる水平方向の表示領域制御信号に基づいて、信号合成回路 107 が出力したアナログ表示信号 $A N A$ が、書込み不可レベルのどちらか一方を選択して信号線 $D x$ に印加する。また、コモン駆動回路 1209 も、表示制御回路 106 が出力する表示領域制御信号 113 に含まれる水平方向の表示領域制御信号に基づいて、書込み可能レベルのコモン電極電圧 $V c o m$ と書込み不可レベルのコモン電極電圧 $V c o m_n$ のどちらか一方の電圧を選択してコモン線 $C O M x$ に印加する。

【0059】

10

以下に、図 4 に示す表示装置 1203 の表示画面の簡易図と、図 13 から図 15 に示す各表示領域における画素 1214 の駆動電圧のタイミングチャートにより、水平方向の表示領域制御の方法について説明する。

【0060】

表示装置 1203 において、図 4 に示すように、第 1 の映像信号のみ（一種の映像信号のみ）を表示する単一表示領域（例えば、本実施例の説明における第 1 から第 3 と、第 8 から第 10 水平ライン）の画素（例えば、第 i 水平ライン、第 j 列の画素 $P I X i j$ ）の動作について、図 13 を用いて説明する。表示制御回路 106 は、第 i 水平ラインが第 1 の映像信号のみを表示する単一表示領域であるため、第 1 の映像信号を表示する期間 $T h A$ の間、コモン駆動回路 1209 が、書込み可能レベルのコモン電極電圧 $V c o m$ を選択しコモン線 $C O M$ に印加するように、また、水平表示制御回路 1215 が、信号合成回路 107 の出力するアナログ表示信号 $A N A$ を選択し信号線 D に出力するように、表示領域制御信号 113 に含まれる水平方向の表示領域制御信号を生成して出力する。そのため、図 13 において、期間 $T h A$ の間に、ゲート線走査信号 $V G i$ により第 i 水平ラインのゲート線に選択レベルが印加され、同じ期間内に信号合成回路 107 が出力した画素 $P I X i j$ の第 1 の映像信号に対応するアナログ表示信号 $A N A 1 i j$ を水平表示制御回路 1215 が選択して第 j 列目の信号線 $D j$ に出力し、コモン駆動回路 1209 が書込み可能レベルのコモン電極電圧 $V c o m$ を選択して第 j 列目のコモン線 $C O M j$ に出力する。ここで、例えば、ゲート線走査信号 $V G$ の選択レベルは、画素 1214 のスイッチング素子が n 型の T F T である場合、 $D A$ 変換回路が出力するアナログ表示信号の中で最も高電位 30

20

30

【0061】

次に、表示装置 1203 において、図 4 に示すように、第 1 の映像信号を表示する画素と第 2 の映像信号を表示する画素とを含む水平ラインの領域（合成表示領域、例えば、本実施例の説明における第 4 から第 7 水平ライン）において、第 1 の映像信号を表示する領域（図中領域 A）の画素（例えば、第 s 水平ライン、第 t 列の画素 $P I X s t$ ）の動作について、図 14 を用いて説明する。表示制御回路 106 は、画素 $P I X s t$ が第 1 の映像信号を表示する画素であるため、第 1 の映像信号を表示する期間 $T h A 1$ の間に、コモン駆動回路 1209 が、書込み可能レベルのコモン電極電圧 $V c o m$ を選択し第 t 列のコモン線 $C O M t$ に印加するように、また、水平表示制御回路 1215 が、信号合成回路 107 の出力する第 1 の映像信号に対応したアナログ表示信号 $A N A 1 s t$ を選択し、第 t 列の信号線 $D t$ に出力するようにし、また一方で第 2 の映像信号を表示する期間 $T h B 2$ の間に、コモン駆動回路 1209 が書込み不可レベルのコモン電極電圧 $V c o m_n$ を選択し、第 t 列のコモン線 $C O M t$ に印加するように、また、水平表示制御回路 1215 が書

40

50

込み不可レベルを選択し、第 t 列の信号線 D_t に出力するように、表示領域制御信号 113 に含まれる水平方向の表示領域制御信号を生成して出力する。そのため、図 14 において、期間 $ThA1$ の間に、ゲート線走査信号 VGs により第 s 水平ラインのゲート線に選択レベルが印加され、同じ期間内に信号合成回路 107 が出力した画素 $PIXst$ の第 1 の映像信号に対応するアナログ表示信号 $ANA1st$ を水平表示制御回路 1215 が選択し、第 t 列目の信号線 D_t に出力し、コモン駆動回路 1209 は書込み可能レベルのコモン電極電圧 $Vcom$ を第 t 列目のコモン線 $COMt$ に出力する。これにより、画素 $PIXst$ の画素電極 VSt にアナログ表示信号 $ANA1st$ が印加され、コモン電極 $COMst$ には書込み可能レベルのコモン電極電圧 $Vcomt$ が印加され、表示信号に対応した実効電圧 $VLCD1st$ が液晶容量 $C1c$ 及び保持容量 Cst に保持される。一方、第 2 の映像信号を表示する期間 $ThB2$ の間に、ゲート線走査信号 VGs により第 s 水平ラインのゲート線に選択レベルが印加され、同じ期間内に水平表示制御回路 1215 は書込み不可レベル VD_n を選択し第 t 列目の信号線 D_t に出力し、コモン駆動回路 1209 も書込み不可レベルのコモン電極電圧 $Vcom_n$ を第 t 列目のコモン線 $COMt$ に出力する。ここで、例えば、水平表示制御回路 1209 が選択する書込み不可レベル VD_n の電圧レベルは、ゲート走査信号 VG の選択レベル以上とする。また、ここで、例えば、コモン駆動回路 1215 が選択する書込み不可レベル $Vcom_n$ の電圧レベルは、コモン電極電圧変動後の画素電極電位 VSt' がゲート走査信号 VG の選択レベル以上となるように設定する。これにより、期間 $ThB2$ においても画素 $PIXst$ のスイッチング素子 sw はオフ状態となり、画素 $PIXst$ には期間 $ThA1$ で書入れた実効電圧 $VLCD1st$ が保持される。

【0062】

次に、表示装置 1203 において、図 4 に示すように、第 1 の映像信号を表示する画素と第 2 の映像信号を表示する画素とを含む水平ラインの領域（合成表示領域、例えば、本実施例の説明における第 4 から第 7 水平ライン）において、第 2 の映像信号を表示する領域（図中領域 B ）の画素（例えば、第 p 水平ライン、第 q 列の画素 $PIXpq$ ）の動作について、図 15 を用いて説明する。表示制御回路 106 は、画素 $PIXpq$ が第 2 の映像信号を表示する画素であるため、第 2 の映像信号を表示する期間 $ThB1$ の間に、コモン駆動回路 1209 が、書込み可能レベルのコモン電極電圧 $Vcom$ を選択し第 q 列のコモン線 $COMq$ に印加するように、また、水平表示制御回路 1215 が、信号合成回路 107 の出力する第 2 の映像信号に対応したアナログ表示信号 $ANA2pq$ を選択し、第 q 列の信号線 Dq に出力するようにし、また一方で第 1 の映像信号を表示する期間 $ThA2$ の間に、コモン駆動回路 1209 が書込み不可レベルのコモン電極電圧 $Vcom_n$ を選択し、第 q 列のコモン線 $COMq$ に印加するように、また、水平表示制御回路 1215 が書込み不可レベルを選択し、第 q 列の信号線 D_t に出力するように、表示領域制御信号 113 に含まれる水平方向の表示領域制御信号を生成して出力する。そのため、図 15 において、期間 $ThB1$ の間に、ゲート線走査信号 VGp により第 p 水平ラインのゲート線に選択レベルが印加され、同じ期間内に信号合成回路 107 が出力した画素 $PIXpq$ の第 2 の映像信号に対応するアナログ表示信号 $ANA2pq$ を水平表示制御回路 1215 が選択し、第 q 列目の信号線 Dq に出力し、コモン駆動回路 1209 は書込み可能レベルのコモン電極電圧 $Vcom$ を第 q 列目のコモン線 $COMq$ に出力する。これにより、画素 $PIXpq$ の画素電極 $VSpq$ にアナログ表示信号 $ANA2pq$ が印加され、コモン電極 $COMpq$ には書込み可能レベルのコモン電極電圧 $Vcomq$ が印加され、表示信号に対応した実効電圧 $VLCD2pq$ が液晶容量 $C1c$ 及び保持容量 Cst に保持される。一方、第 1 の映像信号を表示する期間 $ThA2$ の間に、ゲート線走査信号 VGp により第 p 水平ラインのゲート線に選択レベルが印加され、同じ期間内に水平表示制御回路 1215 は書込み不可レベル VD_n を選択し第 q 列目の信号線 Dq に出力し、コモン駆動回路 1209 も書込み不可レベルのコモン電極電圧 $Vcom_n$ を第 q 列目のコモン線 $COMq$ に出力する。これにより、期間 $ThA2$ においても画素 $PIXpq$ のスイッチング素子 sw はオフ状態となり、画素 $PIXpq$ には期間 $ThB1$ で書入れた実効電圧 $VLCD2pq$ が保持

される。

【 0 0 6 3 】

また、上述の例では、合成表示領域において、ある表示信号の表示領域では、その映像信号の書込み動作を行った後で、もう一方の映像信号の書込み動作を停止するように水平表示制御回路 1 2 0 9 とコモン駆動回路 1 2 1 5 は動作する。しかし、入力される 2 つの映像信号のフレーム周波数が異なる場合には、合成表示領域におけるフレーム周波数が高い映像信号を表示させる表示領域においては、フレーム周波数が低い映像信号の非書込み動作は行わず、もう一方のフレーム周波数が高い映像信号を上書きさせる処理を行ってもよい。

【 0 0 6 4 】

上述したように、2 つの信号源から供給される 2 つの映像信号と、これら 2 つの映像信号の表示領域を制御する信号とを入力として、本発明実施例 3 における表示装置 1 2 0 3 を用いることで、表示領域を制御する信号で任意に指定したそれぞれの領域に、該当する映像を表示することが出来る。

【 0 0 6 5 】

また、1 つの信号源で表示される映像信号において、背景など静止画領域をフレーム周波数が低い背景映像信号として出力し、その他のキャラクターや文字等の動画領域の映像をフレーム周波数の高い動画映像信号として、その動画領域を指定する制御信号と共に出力することにより、本発明第 3 の実施の形態である表示装置 1 2 0 3 においては、駆動周波数を低下させることができ、低電力化が実現できる。

【 0 0 6 6 】

また、フレーム周波数の異なる 2 つの映像信号を入力信号源とした場合でも、2 つの映像信号のフレームを同期化することなく、表示領域を制御する信号で指定した表示領域ごとに、非同期で、それぞれ対応した映像信号を表示することが出来る。また、これにより、同期化（画像合成）に必要とされたフレームメモリが不要となり、低コスト化、周辺回路面積の縮小による狭額縁化などが実現できる。

【 0 0 6 7 】

また、本発明第 3 の実施の形態である表示装置 1 2 0 3 に含まれる第 1 D A 変換回路 1 0 4、第 2 D A 変換回路 1 0 5、信号合成回路 1 0 7 を、本発明第 2 の実施の形態である表示装置 1 1 0 3 のように、第 1 データラッチ回路 1 1 0 4、第 2 データラッチ回路 1 1 0 5、信号合成回路 1 1 0 7、D A 変換回路 1 1 1 5 に置換しても、上述と同様の効果が得られる。

【 0 0 6 8 】

本発明の実施例による表示装置及び駆動方法を使用することで、2 つの信号源から供給される 2 つの映像信号と、これら 2 つの映像信号の表示領域を制御する信号とを入力とした場合に、表示領域を制御する信号で任意に指定したそれぞれの領域に、該当する映像を表示することが出来る。言い換えれば、任意の領域を選択して、その領域に任意の映像を表示することが可能になる。また、1 つの信号源で表示される映像信号において、背景など静止画領域をフレーム周波数が低い背景映像信号として出力し、その他のキャラクターや文字等の動画領域の映像をフレーム周波数の高い動画映像信号として、その動画領域を指定する制御信号と共に出力することにより、駆動周波数を低下させることができ、消費電力を抑えた表示装置が実現できる。また、フレーム周波数の異なる 2 つの映像信号を入力信号源とした場合でも、2 つの映像信号のフレームを同期化することなく、表示領域を制御する信号で指定した表示領域ごとに、非同期で、それぞれ対応した映像信号を表示することが出来る。これにより、同期化（画像合成）に必要とされたフレームメモリが不要となり、低コスト化、周辺回路面積の縮小による狭額縁化を実現する表示装置が得られる。

【 産業上の利用可能性 】

【 0 0 6 9 】

本発明は、信号源の異なる複数の映像を 1 画面上に表示する表示装置に適用できる。

【図面の簡単な説明】

【 0 0 7 0 】

【図 1】実施例 1 における表示装置の構成を示す概略図

【図 2】実施例 1 における画素の構成図

【図 3】実施例 1 における映像信号と表示制御信号のタイミングチャート

【図 4】実施例 1 における映像信号と表示制御信号による表示装置の表示画面

【図 5】実施例 1 における D A 変換回路と信号合成回路のタイミングチャート

【図 6】実施例 1 における 2 重走査回路のタイミングチャート

【図 7】実施例 1 における 2 重走査回路のタイミングチャート

【図 8】実施例 1 における各表示領域での画素の駆動のタイミングチャート

10

【図 9】実施例 1 における各表示領域での画素の駆動のタイミングチャート

【図 10】実施例 1 における各表示領域での画素の駆動のタイミングチャート

【図 11】実施例 2 における表示装置の構成を示す概略図

【図 12】実施例 3 における表示装置の構成を示す概略図

【図 13】実施例 3 における各表示領域での画素の駆動のタイミングチャート

【図 14】実施例 3 における各表示領域での画素の駆動のタイミングチャート

【図 15】実施例 3 における各表示領域での画素の駆動のタイミングチャート

【符号の説明】

【 0 0 7 1 】

1 0 1 第 1 信号源

20

1 0 2 第 2 信号源

1 0 3 表示装置

1 0 4 第 1 D A 変換回路

1 0 5 第 2 D A 変換回路

1 0 6 表示制御回路

1 0 7 信号合成回路

1 0 8 2 重走査回路

1 0 9 水平表示制御回路

1 1 0 画素アレイ

1 1 1 第 1 の映像信号のタイミング信号

30

1 1 2 第 2 の映像信号のタイミング信号

1 1 3 表示領域制御信号

1 1 4 画素

1 1 0 3 表示装置

1 1 0 4 第 1 データラッチ回路

1 1 0 5 第 2 データラッチ回路

1 1 0 7 信号合成回路

1 1 1 5 D A 変換回路

1 2 0 3 表示装置

1 2 0 9 コモン駆動回路

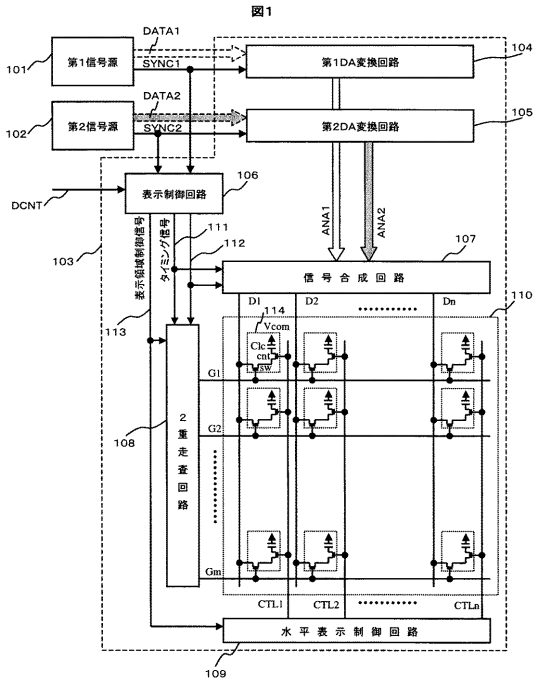
40

1 2 1 0 画素アレイ

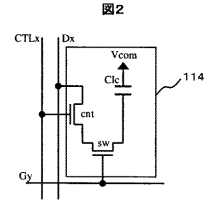
1 2 1 4 画素

1 2 1 5 水平表示制御回路

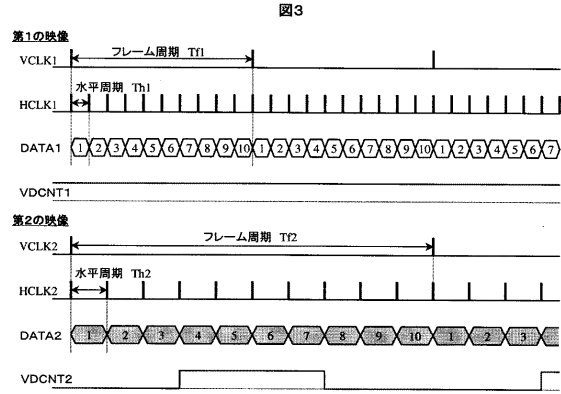
【図1】



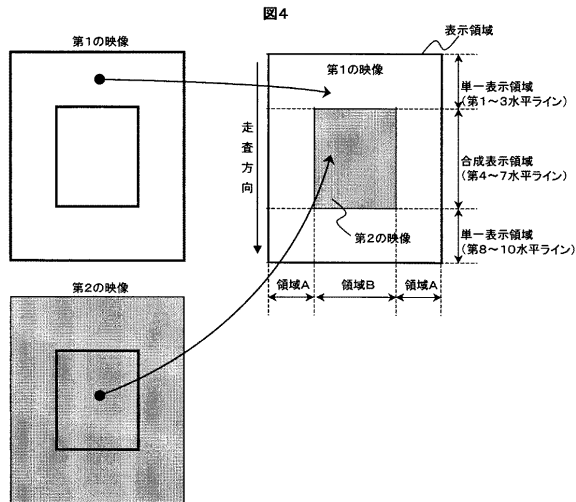
【図2】



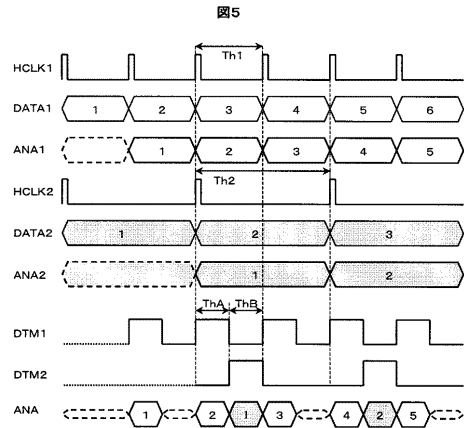
【図3】



【図4】



【図5】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 Y
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 6 0 E
H 0 4 N	5/66	1 0 2 B

(72)発明者 工藤 泰幸

神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所システム開発研究所内

(72)発明者 佐藤 秀夫

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

F ターム(参考) 2H093 NA16 NA43 NA53 NC10 NC11 NC13 NC16 NC21 NC26 NC34
 NC40 NC49 ND49 ND60 NH14
 5C006 AC23 AC25 AF27 AF34 AF42 AF43 AF45 BB16 BC02 BC03
 BC06 BC11 BC20 FA08 FA41
 5C058 AA09 AB02 BA04 BA21 BB05 BB19
 5C080 AA10 BB05 CC07 DD21 DD22 FF07 FF11 JJ02 JJ04

专利名称(译)	表示装置		
公开(公告)号	JP2005091652A	公开(公告)日	2005-04-07
申请号	JP2003323897	申请日	2003-09-17
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所 日立显示器有限公司		
[标]发明人	萬場則夫 工藤泰幸 佐藤秀夫		
发明人	萬場 則夫 工藤 泰幸 佐藤 秀夫		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/3666 G09G3/3659 G09G2300/0809		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.D G09G3/20.622.D G09G3/20.622.Q G09G3/20.623.F G09G3/20.623.G G09G3/20.623.R G09G3/20.623.Y G09G3/20.624.B G09G3/20.624.C G09G3/20.624.D G09G3/20.660.E H04N5/66.102.B		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC10 2H093/NC11 2H093/NC13 2H093/NC16 2H093/NC21 2H093/NC26 2H093/NC34 2H093/NC40 2H093/NC49 2H093/ND49 2H093/ND60 2H093/NH14 5C006/AC23 5C006/AC25 5C006/AF27 5C006/AF34 5C006/AF42 5C006/AF43 5C006/AF45 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/FA08 5C006/FA41 5C058/AA09 5C058/AB02 5C058/BA04 5C058/BA21 5C058/BB05 5C058/BB19 5C080/AA10 5C080/BB05 5C080/CC07 5C080/DD21 5C080/DD22 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZD23 2H193/ZF22		
外部链接	Espacenet		

摘要(译)

[问题] 不使用帧存储器异步显示两个不同的显示信号，并且在水平线上控制两个图像的叠加。[解决方案] 多条水平显示控制线CTL与信号线D平行布置并且连接到像素的开关元件ctl，并且开关信号sw通过来自栅极线G的选择电压而导通。对于未被重写的像素，开关元件ctl截止，并且不对液晶单元施加显示信号；对于被重写的像素，水平显示控制电路109施加重写选择信号。开关元件ctl导通，并且与从信号电路输出的像素相对应的显示信号被施加到液晶单元以重写显示信号。[选型图]图1

