

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-55616

(P2005-55616A)

(43) 公開日 平成17年3月3日(2005.3.3)

(51) Int.Cl.<sup>7</sup>

G09G 3/36  
G02F 1/133  
G09G 3/20

F I

G09G 3/36  
G02F 1/133 550  
G09G 3/20 612J  
G09G 3/20 621A  
G09G 3/20 621M

テーマコード (参考)

2H093  
5C006  
5C080

審査請求 未請求 請求項の数 14 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2003-285384 (P2003-285384)

(22) 出願日 平成15年8月1日 (2003.8.1)

(71) 出願人 000001443

カシオ計算機株式会社  
東京都渋谷区本町1丁目6番2号

(74) 代理人 100096699

弁理士 鹿嶋 英實

(72) 発明者 山内 慎吾

東京都八王子市石川町2951番地の5  
カシオ計算機株式会  
社八王子研究所内

Fターム(参考) 2H093 NA16 NA43 NA53 NC21 NC22  
NC34 NC49 ND39 ND48 ND50  
ND55 ND60 NE01 NE03 NE07  
5C006 AA16 AA22 AC11 AC21 AF42  
AF43 AF83 BB16 BC20 BF03  
BF04 BF24 FA41

最終頁に続く

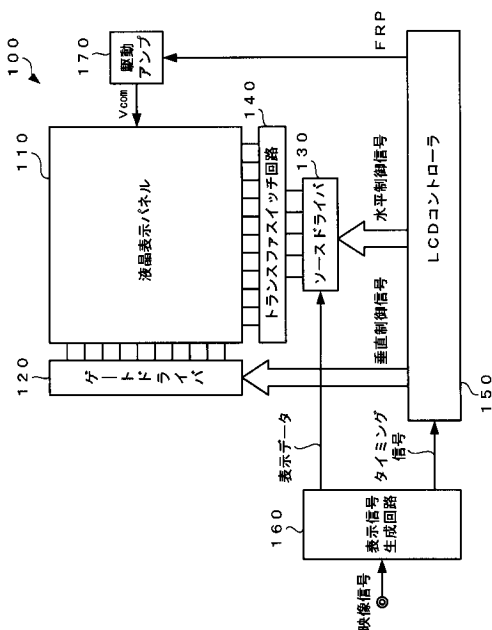
(54) 【発明の名称】 表示装置及びその駆動制御方法

(57) 【要約】

【課題】 表示パネルと周辺回路との接続工数の増加や高い接続精度を必要とすることなく、比較的安価な製造コストで実装面積を縮小することができるとともに、動作特性の向上を図ることができる表示装置及びその駆動制御方法を提供する。

【解決手段】 液晶表示装置100は、少なくとも、複数の表示画素P×が2次元配列された液晶表示パネル110(画素エリアP×A)と、各走査ラインSLに走査信号を順次印加するゲートドライバ120と、各データラインDLに表示データに基づく表示信号電圧を印加するためのソースドライバ130と、液晶表示パネル110とソースドライバ130との間に、ソースドライバ130から出力されるシリアルデータからなる表示信号電圧を、液晶表示パネル110に配設された各データラインDLに分配して印加するトランスファスイッチ回路140と、を備えた構成を有している。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

複数の信号ライン及び複数の走査ラインが相互に直交するように配設され、該信号ライン及び走査ラインの交点近傍に複数の表示画素が 2 次元配列された表示パネルに、表示データに基づく所望の画像情報を表示する表示装置において、

少なくとも、

各行の前記走査ラインに所定のタイミングで走査信号を順次印加して、該行の前記表示画素を選択状態に設定する走査駆動手段と、

外部から供給される前記表示データを取り込み、並列的に保持するデータ保持部と、該記データ保持部に並列的に保持された前記表示データを、所定の数の前記表示データごとに時分割的に配列された画素データに変換するデータ変換部と、を有する信号駆動手段と

、  
前記表示パネルと前記信号駆動手段との間に介在し、前記複数の信号ラインに直接接続され、前記所定の数の前記信号ラインごとに共通に設けられた接続端子を介して、前記信号駆動手段から供給される前記画素データに基づく前記表示信号電圧を、前記所定の数の前記信号ラインに順次印加する複数のスイッチを有し、前記選択状態に設定された行の前記複数の表示画素に前記表示データに基づく表示信号電圧を個別に印加するデータ分配手段と、

を具備することを特徴とする表示装置。

**【請求項 2】**

前記データ保持部は、複数系統の前記表示データを一括して並列的に取り込み、並列的に保持することを特徴とする請求項 1 記載の表示装置。

**【請求項 3】**

前記データ保持部は、一系統の前記表示データを順次取り込み、並列的に保持することを特徴とする請求項 1 記載の表示装置。

**【請求項 4】**

前記複数のスイッチは、前記信号ラインごとに個別に設けられ、前記データ変換部における前記表示データの変換に用いる時分割タイミングに同期して、選択的に導通状態に設定されることを特徴とする請求項 1 乃至 3 のいずれかに記載の表示装置。

**【請求項 5】**

前記表示装置は、所定のタイミング信号に基づいて、前記データ分配手段における前記複数のスイッチの導通状態を制御するためのスイッチ切換信号を生成するスイッチ駆動制御手段を、さらに具備することを特徴とする請求項 1 乃至 4 のいずれかに記載の表示装置。

**【請求項 6】**

前記スイッチ駆動制御手段は、前記走査駆動手段と一体的に構成されていることを特徴とする請求項 5 記載の表示装置。

**【請求項 7】**

前記表示装置は、前記走査駆動手段に供給される垂直制御信号及び前記信号駆動手段に供給される水平制御信号に基づいて、前記タイミング信号を生成する制御信号生成手段を、さらに具備することを特徴とする請求項 5 又は 6 記載の表示装置。

**【請求項 8】**

前記データ分配手段は、前記信号駆動手段と一体的に構成されていることを特徴とする請求項 1 乃至 7 のいずれかに記載の表示装置。

**【請求項 9】**

少なくとも、前記表示パネル、前記走査駆動手段及び前記データ分配手段は、単一の絶縁性基板上に一体的に構成されていることを特徴とする請求項 1 乃至 7 のいずれかに記載の表示装置。

**【請求項 10】**

前記複数の表示画素は、各々、前記走査ラインにゲート電極が接続され、前記信号ラインにドレイン電極が接続され、ソース電極が画素電極に接続された画素トランジスタと、前

10

20

30

40

50

記画素電極及び該画素電極に対向して共通に設けられた共通電極間に液晶分子を充填してなる画素容量と、前記画素容量に並列に接続された補助容量と、を備えて構成され、

前記表示データに応じた前記表示信号電圧を印加することにより、前記表示画素に充填された前記液晶分子の配向状態が制御されることを特徴とする請求項 1 乃至 9 のいずれかに記載の表示装置。

【請求項 1 1】

複数の信号ライン及び複数の走査ラインが相互に直交するように配設され、該信号ライン及び走査ラインの交点近傍に複数の表示画素が 2 次元配列された表示パネルに、表示データに基づく所望の画像情報を表示する表示装置の駆動制御方法において、

少なくとも、

前記表示データを取り込み、並列的に保持するステップと、

該並列的に保持された前記表示データを、所定の数の前記表示データごとに時分割的に配列された画素データに変換するステップと、

前記画素データを、前記所定の数の前記信号ラインごとに共通に設けられた接続端子を介して供給するステップと、

前記画素データに基づく前記表示信号電圧を、前記表示データの変換に用いる時分割タイミングに同期して、前記所定の数の前記信号ラインに選択的に順次印加し、選択状態に設定された行の前記複数の表示画素に前記表示信号電圧を個別に印加するステップと、を含むことを特徴とする表示装置の駆動制御方法。

【請求項 1 2】

前記表示データを取り込み保持するステップは、複数系統の前記表示データを一括して並列的に取り込み、並列的に保持することを特徴とする請求項 1 1 記載の表示装置の駆動制御方法。

【請求項 1 3】

前記表示データを取り込み保持するステップは、一系統の前記表示データを順次取り込み、並列的に保持することを特徴とする請求項 1 1 記載の表示装置の駆動制御方法。

【請求項 1 4】

前記表示データを画素データに変換するステップ、及び、前記表示信号電圧を前記所定の数の前記信号ラインに選択的に順次印加するステップは、前記各行の表示画素を順次選択状態に設定するタイミングを規定する垂直制御信号及び前記表示データを取り込み保持するタイミングを規定する水平制御信号に基づいて実行されることを特徴とする請求項 1 1 乃至 1 3 のいずれかに記載の表示装置の駆動制御方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、表示装置及びその駆動制御方法に関し、特に、アクティブマトリクス型の駆動方式に対応した表示パネルを備えた表示装置及びその駆動制御方法に関する。

【背景技術】

【0 0 0 2】

近年、普及が著しいデジタルビデオカメラやデジタルスチルカメラ等の撮像機器や、携帯電話や携帯情報端末（PDA）等の携帯機器において、画像や文字情報等を表示するための表示装置（ディスプレイ）として、また、コンピュータ等の情報端末やテレビジョン等の映像機器のモニターやディスプレイとしても、薄型軽量で、低消費電力化が可能であり、表示画質にも優れた液晶表示装置（Liquid Crystal Display；LCD）が多用されている。

【0 0 0 3】

以下、従来技術における液晶表示装置について、簡単に説明する。

図 1 3 は、従来技術における薄膜トランジスタ（TFT）型の表示画素を備えた液晶表示装置の概略構成を示すブロック図であり、図 1 4 は、従来技術における液晶表示パネルの要部構成の一例を示す等価回路図である。

10

20

30

40

50

図 1 3、図 1 4 に示すように、従来技術における液晶表示装置 1 0 0 P は、概略、表示画素  $P \times$  が、2 次元配列（例えば、 $n$  行  $\times$   $m$  列に配列）された液晶表示パネル（表示パネル）1 1 0 P と、該液晶表示パネル 1 1 0 P の各行の表示画素  $P \times$  群を順次走査して選択状態に設定するゲートドライバ（走査ドライバ）1 2 0 P と、選択状態に設定された行の表示画素  $P \times$  群に、映像信号に基づく表示信号電圧を一括して出力するソースドライバ（データドライバ）1 3 0 P と、ゲートドライバ 1 2 0 P 及びソースドライバ 1 3 0 P における動作タイミングを制御するための制御信号（水平制御信号、垂直制御信号等）を生成、出力する L C D コントローラ 1 5 0 P と、映像信号から各種タイミング信号（水平同期信号、垂直同期信号、コンポジット同期信号等）を抽出して L C D コントローラ 1 5 0 P に出力するとともに、輝度信号からなる表示データを生成してデータドライバ 1 3 0 P に出力する表示信号生成回路 1 6 0 P と、L C D コントローラ 1 5 0 P により生成される極性反転信号 F R P に基づいて、液晶表示パネル 1 1 0 P の各表示画素  $P \times$  に共通に設けられた共通電極（対向電極）に対して、所定の電圧極性を有するコモン信号電圧  $V_{com}$  を印加するコモン信号駆動アンプ（駆動アンプ）1 7 0 P と、を有して構成されている。

10

20

30

40

50

#### 【0 0 0 4】

ここで、液晶表示パネル 1 1 0 P は、対向する透明基板間に、例えば、図 1 4 に示すように、行列方向に互いに直交するように配設された複数の走査ライン S L 及び複数のデータライン D L と、該走査ライン S L 及びデータライン D L の各交点近傍に配置された複数の表示画素（液晶表示画素） $P \times$  と、を備えて構成されている。また、各表示画素  $P \times$  は、画素電極とデータライン D L 間にソース・ドレイン（電流路）が接続され、走査ライン S L にゲート（制御端子）が接続された薄膜トランジスタからなる画素トランジスタ T F T と、画素電極に対向し、全表示画素  $P \times$  に共通に設けられた上記共通電極と画素電極との間に充填、保持された液晶分子からなる画素容量（液晶容量） $C_{lc}$  と、画素容量  $C_{lc}$  に並列に構成され、該画素容量  $C_{lc}$  に印加された信号電圧を保持するための補助容量（蓄積容量） $C_s$  と、を備えた構成を有している。

#### 【0 0 0 5】

なお、液晶表示パネル 1 1 0 P に配設された走査ライン S L 及びデータライン D L は、各々、接続端子 T M g、T M s を介して、液晶表示パネル 1 1 0 P とは別個に設けられたゲートドライバ 1 2 0 P 及びソースドライバ 1 3 0 P に接続されるように構成されている。また、補助容量  $C_s$  の他端側の電極（補助電極）は、共通の接続ライン C L を介して所定の電圧  $V_{cs}$ （例えば、コモン信号電圧  $V_{com}$ ）が印加されるように構成されている。

#### 【0 0 0 6】

このような構成を有する液晶表示装置において、表示信号生成回路 1 6 0 P から供給される、液晶表示パネル 1 1 0 P の 1 行分の表示画素に対応した表示データが、L C D コントローラ 1 5 0 P から供給される水平制御信号に基づいて、ソースドライバ 1 3 0 P により順次取り込み保持される。一方、L C D コントローラ 1 5 0 P から供給される垂直制御信号に基づいて、ゲートドライバ 1 2 0 P により液晶表示パネル 1 1 0 P に配設された各走査ライン S L に走査信号が順次印加され、各行の表示画素  $P \times$  群が選択状態に設定される。そして、ソースドライバ 1 3 0 P は、各行の表示画素  $P \times$  群の選択タイミングに同期して、上記保持した表示データに基づく表示信号電圧を、各データライン D L を介して各表示画素  $P \times$  に一斉に供給する。このような一連の動作を、1 画面分の各行に対して繰り返し実行することにより、映像信号に基づく所望の画像情報が液晶表示パネル 1 1 0 P に表示される。

#### 【0 0 0 7】

なお、液晶表示装置の実装構造としては、図 1 3、図 1 4 に示したように、液晶表示パネル 1 1 0 P を構成する（表示画素  $P \times$  が形成される）ガラス基板等の絶縁性基板とは別個に、周辺回路であるゲートドライバ 1 2 0 P 及びソースドライバ 1 3 0 P を設け、接続端子 T M g、T M s を介して、液晶表示パネル 1 1 0 P と周辺回路とを電氣的に接続する構成のほか、上記絶縁性基板上に、例えば、ゲートドライバ 1 2 0 P やソースドライバ 1 3 0 P を、ポリシリコントランジスタを適用して、表示画素  $P \times$  と一体的に形成した構成

も知られている。このような液晶表示装置の概略構成や実装構造等については、例えば、特許文献 1 等に示されている。

【 0 0 0 8 】

【特許文献 1】特開 2 0 0 0 - 2 6 7 5 9 0 号公報 （第 3 頁、図 1）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

しかしながら、上述したような液晶表示装置においては、以下に示すような問題を有していた。

すなわち、図 1 3、図 1 4 に示したように、液晶表示パネル 1 1 0 P と周辺回路であるゲートドライバ 1 2 0 P 及びソースドライバ 1 3 0 P を別個に設けた構成においては、表示画質の向上のために液晶表示パネル 1 1 0 P を高精細化した場合、データライン数の増加を招き、これにより、液晶表示パネル 1 1 0 P とゲートドライバ 1 2 0 P 又はソースドライバ 1 3 0 P を接続するための接続端子数が増加するとともに、当該接続端子間のピッチが狭くなるため、液晶表示パネル 1 1 0 P に周辺回路を接続するための接続工程における工数が増加するとともに、高い接続精度を必要とすることになり、製造コストが上昇するとともに、ゲートドライバやソースドライバの実装面積が増大するという問題を有していた。

【 0 0 1 0 】

このような液晶表示パネルと周辺回路との接続に係る工数や接続精度の問題、さらには、実装面積の問題を解決する技術としては、上述した特許文献 1 等にも示されているように、単一の絶縁性基板上に液晶表示パネルとゲートドライバやソースドライバを、ポリシリコントランジスタを適用して一体的に形成した構成が知られている。ここで、周知のように、ポリシリコントランジスタは、既に製造技術が確立され、良好な素子特性（動作特性）が得られるアモルファスシリコントランジスタに比較して、製造プロセスが煩雑で製造コストも高価であり、また、動作特性も不十分であるため、液晶表示装置の製品コストの上昇を招くとともに、安定した表示特性を得ることが難しいという問題を有していた。

【 0 0 1 1 】

そこで、本発明は、上述した課題に鑑み、表示パネルと周辺回路との接続工数の増加や高い接続精度を必要とすることなく、比較的安価な製造コストで実装面積（装置規模）を縮小することができるとともに、動作特性（表示特性）の向上を図ることができる表示装置及びその駆動制御方法を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 2 】

請求項 1 記載の発明は、複数の信号ライン及び複数の走査ラインが相互に直交するように配設され、該信号ライン及び走査ラインの交点近傍に複数の表示画素が 2 次元配列された表示パネルに、表示データに基づく所望の画像情報を表示する表示装置において、少なくとも、各行の前記走査ラインに所定のタイミングで走査信号を順次印加して、該行の前記表示画素を選択状態に設定する走査駆動手段と、外部から供給される前記表示データを取り込み、並列的に保持するデータ保持部と、該記データ保持部に並列的に保持された前記表示データを、所定の数の前記表示データごとに時分割的に配列された画素データに変換するデータ変換部と、を有する信号駆動手段と、前記表示パネルと前記信号駆動手段との間に介在し、前記所定の数の前記信号ラインごとに共通に設けられた接続端子を介して、前記信号駆動手段から供給される前記画素データに基づく前記表示信号電圧を、前記所定の数の前記信号ラインに順次印加する複数のスイッチを有し、前記選択状態に設定された行の前記複数の表示画素に前記表示データに基づく表示信号電圧を個別に印加するデータ分配手段と、を具備することを特徴とする。

【 0 0 1 3 】

請求項 2 記載の発明は、請求項 1 記載の表示装置において、前記データ保持部は、複数系統の前記表示データを一括して並列的に取り込み、並列的に保持することを特徴とする

。

請求項 3 記載の発明は、請求項 1 記載の表示装置において、前記データ保持部は、一系統の前記表示データを順次取り込み、並列的に保持することを特徴とする。

請求項 4 記載の発明は、請求項 1 乃至 3 のいずれかに記載の表示装置において、前記複数のスイッチは、前記信号ラインごとに個別に設けられ、前記データ変換部における前記表示データの変換に用いる時分割タイミングに同期して、選択的に導通状態に設定されることを特徴とする。

【0014】

請求項 5 記載の発明は、請求項 1 乃至 4 のいずれかに記載の表示装置において、前記表示装置は、所定のタイミング信号に基づいて、前記データ分配手段における前記複数のスイッチの導通状態を制御するためのスイッチ切換信号を生成するスイッチ駆動制御手段を、さらに具備することを特徴とする。

10

請求項 6 記載の発明は、請求項 5 記載の表示装置において、前記スイッチ駆動制御手段は、前記走査駆動手段と一体的に構成されていることを特徴とする。

【0015】

請求項 7 記載の発明は、請求項 5 又は 6 記載の表示装置において、前記表示装置は、前記走査駆動手段に供給される垂直制御信号及び前記信号駆動手段に供給される水平制御信号に基づいて、前記タイミング信号を生成する制御信号生成手段を、さらに具備することを特徴とする。

請求項 8 記載の発明は、請求項 1 乃至 7 のいずれかに記載の表示装置において、前記データ分配手段は、前記信号駆動手段と一体的に構成されていることを特徴とする。

20

請求項 9 記載の発明は、請求項 1 乃至 7 のいずれかに記載の表示装置において、少なくとも、前記表示パネル、前記走査駆動手段及び前記データ分配手段は、単一の絶縁性基板上に一体的に構成されていることを特徴とする。

【0016】

請求項 10 記載の発明は、請求項 1 乃至 9 のいずれかに記載の表示装置において、前記複数の表示画素は、各々、前記走査ラインにゲート電極が接続され、前記信号ラインにドレイン電極が接続され、ソース電極が画素電極に接続された画素トランジスタと、前記画素電極及び該画素電極に対向して共通に設けられた共通電極間に液晶分子を充填してなる画素容量と、前記画素容量に並列に接続された補助容量と、を備えて構成され、前記表示データに応じた前記表示信号電圧を印加することにより、前記表示画素に充填された前記液晶分子の配向状態が制御されることを特徴とする。

30

【0017】

請求項 11 記載の発明は、複数の信号ライン及び複数の走査ラインが相互に直交するように配設され、該信号ライン及び走査ラインの交点近傍に複数の表示画素が 2 次元配列された表示パネルに、表示データに基づく所望の画像情報を表示する表示装置の駆動制御方法において、少なくとも、前記表示データを取り込み、並列的に保持するステップと、該並列的に保持された前記表示データを、所定の数の前記表示データごとに時分割的に配列された画素データに変換するステップと、前記画素データを、前記所定の数の前記信号ラインごとに共通に設けられた接続端子を介して供給するステップと、前記画素データに基づく前記表示信号電圧を、前記表示データの変換に用いる時分割タイミングに同期して、前記所定の数の前記信号ラインに選択的に順次印加し、選択状態に設定された行の前記複数の表示画素に前記表示信号電圧を個別に印加するステップと、を含むことを特徴とする。

40

。

【0018】

請求項 12 記載の発明は、請求項 11 記載の表示装置の駆動制御方法において、前記表示データを取り込み保持するステップは、複数系統の前記表示データを一括して並列的に取り込み、並列的に保持することを特徴とする。

請求項 13 記載の発明は、請求項 11 記載の表示装置の駆動制御方法において、前記表示データを取り込み保持するステップは、一系統の前記表示データを順次取り込み、並列

50

的に保持することを特徴とする。

【 0 0 1 9 】

請求項 1 4 記載の発明は、請求項 1 1 乃至 1 3 のいずれかに記載の表示装置の駆動制御方法において、前記表示データを画素データに変換するステップ、及び、前記表示信号電圧を前記所定の数の前記信号ラインに選択的に順次印加するステップは、前記各行の表示画素を順次選択状態に設定するタイミングを規定する垂直制御信号及び前記表示データを取り込み保持するタイミングを規定する水平制御信号に基づいて実行されることを特徴とする。

【 発明の効果 】

【 0 0 2 0 】

すなわち、本発明に係る表示装置及びその駆動制御方法は、相互に直交する複数の走査ライン及び複数の信号ライン（データライン）の各交点近傍に、表示画素をマトリクス状に配列してなる表示パネルを備えた表示装置において、各行の表示画素に所定のタイミングで走査信号を順次印加して、当該行の表示画素を選択状態に設定する走査駆動手段（ゲートドライバ）と、表示データを所定の数の表示データごとに時分割的に配列された画素データに変換する手段を備える信号駆動手段（ソースドライバ）と、表示パネルと信号駆動手段との間に介在し、複数の信号ラインに直接接続され、選択状態に設定された表示画素に表示データに基づく表示信号電圧を印加するデータ分配手段（トランスファスイッチ回路）と、を備えた構成を有している。ここで、少なくとも、上記表示パネルと走査駆動手段、データ分配手段は同一の絶縁性基板上に一体的に形成された構成を有している。

【 0 0 2 1 】

そして、上記信号駆動手段において、データ保持部（ラッチ回路）により、外部から供給される表示データを取り込み、並列的に保持し、データ変換部により、該並列的に保持された表示データ（赤、緑、青の各色成分データ；パラメータデータ）を、時分割的に直列に配列された画素データ（シリアルデータ）に変換して、所定数（3 本又は 2 本）の信号ラインごとに共通に設けられた接続端子を介してデータ分配手段に供給する。そして、データ分配手段において、上記表示データの時分割処理に用いられた処理タイミング（時分割タイミング）に基づいて、各信号ラインごとに設けられたスイッチを選択的に導通制御することにより、上記画素データが各信号ラインごとに分配されて、表示信号電圧として各表示画素に供給される。

【 0 0 2 2 】

このように、本発明に係る表示装置及びその駆動制御方法によれば、表示パネルを構成する各信号ラインに接続された表示画素に供給する表示信号電圧を、信号駆動手段の内部で複数本の信号ラインを一組として所定の時分割タイミングでシリアルデータ（画素データ）に変換して、上記組数に応じた接続端子を介してデータ分配手段に出力し、該データ分配手段により各組のシリアルデータを、上記時分割タイミングに応じて各組の信号ラインに順次分配しつつ供給することができるので、絶縁性基板に設けられたデータ分配手段と、絶縁性基板外部に設けられた信号駆動手段とを、上記信号ライン数よりも少ない接続端子により接続することができる。

【 0 0 2 3 】

したがって、表示パネル（画素エリア）と信号駆動手段間の接続端子の数を大幅に削減して、当該接続端子間のピッチを比較的広く設計することができるので、当該接続工程における工数を削減することができるとともに、比較的低い接続精度であっても良好に接続することができ、製造コストの削減及び周辺回路（ドライバ IC）の実装面積の縮小を図ることができる。

【 0 0 2 4 】

また、本発明に係る表示装置においては、信号駆動手段において表示データをシリアルデータからなる画素データに変換した後、該画素データをアナログ化して所定の信号レベルに増幅する処理を行うことができるので、出力回路（D/A コンバータや出力アンプ等）の構成を大幅に削減することができるので、信号駆動手段（ドライバ IC）の回路規模

10

20

30

40

50

を縮小することができるとともに、上記出力回路において消費する電力を削減することができる。

#### 【0025】

さらに、本発明に係る表示装置においては、少なくとも、表示パネル（画素エリア）を構成する複数の表示画素と、走査駆動手段及びデータ分配手段が、同一の絶縁性基板上に一体的に形成された構成を有しているので、表示画素を構成する画素トランジスタ（薄膜トランジスタ）、及び、走査駆動手段及びデータ分配手段を構成する各機能素子を、例えば、アモルファスシリコンを適用して同一の製造プロセスで形成することができる。これにより、すでに技術的に確立されたアモルファスシリコン製造プロセスを適用して、安価に表示装置を製造することができるとともに、動作特性の安定した機能素子を実現することができるので、表示装置の表示特性を向上させることができる。

#### 【0026】

また、本発明に係る表示装置においては、信号駆動手段において表示データをシリアルデータ（画素データ）に変換する処理、及び、データ分配手段においてシリアルデータを各信号ラインごとに分配して、表示信号電圧として供給する処理を実行するタイミングを、走査駆動手段及び信号駆動手段に供給される既存の垂直制御信号及び水平制御信号に基づいて設定するように構成することができる。これにより、絶縁性基板外から供給する制御信号の数及び種類を減らして接続端子数をさらに削減しつつ、良好な表示駆動動作を実現することができる。

#### 【発明を実施するための最良の形態】

#### 【0027】

以下、本発明に係る表示装置及びその駆動制御方法について、図面を参照しながら説明する。

##### < 第1の実施形態 >

##### （液晶表示装置）

図1は、本発明に係る表示装置の全体構成を示す概略ブロック図であり、図2は、本発明に係る表示装置の第1の実施形態を示す要部構成図である。ここで、上述した従来技術（図13及び図14）と同等の構成については、同等又は同一の符号を付して説明を簡略化する。

#### 【0028】

図1、図2に示すように、本実施形態に係る液晶表示装置100は、概略、上述した従来技術（図13参照）と同様に、複数の走査ラインSL及び複数のデータラインDLの交点近傍に複数の表示画素Pxが2次元（n行×m列）配列された液晶表示パネル110（表示パネル：又は、図2に示すような絶縁性基板SUB上の所定の領域に設けられた画素エリアPXA）と、各走査ラインSLに所定のタイミングで走査信号を順次印加するゲートドライバ（走査信号手段）120と、各データラインDLに表示データに基づく表示信号電圧を印加するためのソースドライバ（信号駆動手段）130と、少なくとも、ゲートドライバ120及びソースドライバ130、後述するトランスファスイッチ回路140の動作状態を制御するための制御信号（垂直制御信号、水平制御信号、トランスファスイッチ制御信号）を生成して出力するLCDコントローラ150と、映像信号に基づいてソースドライバ130に供給する表示データを生成するとともに、LCDコントローラ150に供給するタイミング信号を生成する表示信号生成回路160と、全表示画素Pxに共通に設けられた共通電極に対して、所定の電圧極性を有するコモン信号電圧Vcomを印加するコモン電圧駆動アンプ170と、を備え、さらに、本実施形態特有の構成として、液晶表示パネル110とソースドライバ130との間に、ソースドライバ130から出力されるシリアルデータからなる表示信号電圧を、液晶表示パネル110に配設された各データラインDLに分配して印加するトランスファスイッチ回路（データ分配手段）140を設けた構成を有している。

#### 【0029】

ここで、本実施形態においては、図2に示すように、少なくとも、液晶表示パネル11

0を構成する複数の表示画素 $P \times$ が2次元配列される画素エリア $P \times A$ と、ゲートドライバ120及びトランスファスイッチ回路140が、ガラス基板等の絶縁性基板SUB上に一体的に形成された構成を有している。この場合、表示画素 $P \times$ を構成する画素トランジスタ(図14に示した画素トランジスタTFに相当する)、及び、後述するゲートドライバ120及びトランスファスイッチ回路140を構成する各機能素子(薄膜トランジスタ等)を、例えば、アモルファスシリコンを適用して同一の製造プロセスで形成することができる。これにより、すでに技術的に確立されたアモルファスシリコン製造プロセスを適用して、安価に液晶表示装置を製造することができるとともに、動作特性の安定した機能素子を実現することができるので、液晶表示装置の表示特性を向上させることができる。

10

なお、上述した液晶表示パネル110(画素エリア $P \times A$ )は、従来技術に示した構成(図14に示した液晶表示パネル110P)と同等の構成を有しているので、その詳細な説明を省略する。

#### 【0030】

以下、各構成について具体的に説明する。

図3は、本実施形態に係る液晶表示装置に適用されるゲートドライバ及びスイッチ駆動部の一構成例を示す概略構成図であり、図4は、本実施形態に係る液晶表示装置に適用されるソースドライバ及びトランスファスイッチ回路の一構成例を示す概略構成図である。ここでは、上述した図1、図2に示した構成を適宜参照しながら説明する。

#### 【0031】

20

ゲートドライバ120は、図3に示すように、LCDコントローラ150から供給されるゲートスタート信号GSTRT及びゲートクロック信号GPCK(垂直制御信号)に基づいて、所定のタイミングでシフト信号を順次出力するシフトレジスタ121と、該シフトレジスタ121から出力されるシフト信号を一方の入力とし、LCDコントローラ150から供給されるゲートリセット信号GRES(垂直制御信号)を他方の入力とする2入力論理積演算回路(以下、「AND回路」と略記する)122と、該AND回路122からの出力信号を所定の信号レベルに設定(昇圧)する複数段(2段)のレベルシフタ123、124及び出力アンプ(アンプ)125と、を備えた構成を有している。ここで、レベルシフタ123、124及び出力アンプ125は、主にシフトレジスタ121を低電圧で駆動させるためのものであり、走査ラインSL(表示画素 $P \times$ )に印加する走査信号の信号レベルに応じて、ゲートドライバ120の出力段に適宜設けられる。

30

#### 【0032】

このような構成を有するゲートドライバ120においては、LCDコントローラ150から垂直制御信号としてゲートスタート信号GSTRT、ゲートクロック信号GPCKが供給されると、シフトレジスタ121によりゲートクロック信号GPCKに基づいて、ゲートスタート信号GSTRTを順次シフトしつつ、各走査ラインに対応して設けられた複数のAND回路122の一方の入力接点に該シフト信号が入力される。

#### 【0033】

ここで、ゲートリセット信号GRESをハイレベル(“1”)に設定した状態(ゲートドライバの駆動状態)では、AND回路122の他方の入力接点に常時“1”レベルが入力されるので、上記ゲートスタート信号GSTRT、ゲートクロック信号GPCKに基づいて、シフトレジスタ121からシフト信号が出力されるタイミングで、AND回路122からハイレベル(“1”)の信号が出力され、レベルシフタ123、124及び出力アンプ125を介して、所定のハイレベルを有する走査信号G1、G2、G3、・・・が生成され、各走査ラインSL1、SL2、SL3、・・・に順次印加される。これにより、走査信号G1、G2、G3、・・・が印加された各行の走査ラインSL1、SL2、SL3、・・・に接続された表示画素 $P \times$ が一括して選択状態に設定される。

40

#### 【0034】

一方、ゲートリセット信号GRESをローレベル(“0”)に設定した状態(ゲートドライバのリセット状態)では、AND回路122の他方の入力接点に常時“0”レベルが

50

入力されるので、シフトレジスタ 121 からのシフト信号の出力の有無にかかわらず、AND 122 からローレベル（“0”）の信号が常時出力されることにより、所定のローレベルを有する走査信号 G1、G2、G3、・・・が生成され、各行の走査ライン SL1、SL2、SL3、・・・に接続された表示画素 Px が非選択状態に設定される。

#### 【0035】

また、本実施形態においては、図2、図3に示すように、ゲートドライバ 120 内に、後述するトランスファスイッチ回路 140 を駆動制御するスイッチ駆動部（スイッチ駆動制御手段）SWD が一体的に形成された構成を有している。ここで、スイッチ駆動部 SWD は、図3に示すように、LCD コントローラ 150 から供給されるトランスファスイッチ制御信号（タイミング信号：マルチプレクサコントロール信号 CNmx0、CNmx1 及びス

10

#### 【0036】

このような構成を有するスイッチ駆動部 SWD においては、LCD コントローラ 150 からトランスファスイッチ制御信号として供給されるマルチプレクサ制御信号 CNmx0、CNmx1 及びスイッチリセット信号 SDRES に基づいて、デコーダ 126 により生成されるデコード信号が、後述するトランスファスイッチ回路 140 の各トランスファゲート（スイッチ）に対応して設けられた複数（3個）の AND 回路 127 の一方の入力接点に

20

#### 【0037】

ここで、スイッチ駆動部 SWD においては、上述したゲートリセット信号 GRES をハイレベル（“1”）に設定した状態（ゲートドライバの駆動状態）において、表1に示す信号論理のように、LCD コントローラ 150 からローレベル（“0”）のスイッチリセット信号 SDRES を供給した場合には、マルチプレクサ制御信号 CNmx0、CNmx1 の信号レベルに関わらず、ローレベル（“0”）のデコード信号が AND 回路 127 の一方の入力接点に常時入力されることにより、トランスファスイッチ回路 140 にはローレベル（“0”）のスイッチ切換信号 SD1～SD3 が供給されて、後述するソースドライバ 130 により生成された表示信号電圧の各列のデータライン DL への供給が遮断される。

30

#### 【0038】

また、LCD コントローラ 150 からハイレベル（“1”）のスイッチリセット信号 SDRES を供給した場合には、表1に示すように、マルチプレクサ制御信号 CNmx0、CNmx1 の信号レベルに基づいて、マルチプレクサ制御信号 CNmx0、CNmx1 が共にローレベルのとき、スイッチ切換信号 SD1 のみがハイレベルとなり、マルチプレクサ制御信号 CNmx1 がハイレベルのとき、スイッチ切換信号 SD2 のみがハイレベルとなり、マルチプレクサ制御信号 CNmx0 がハイレベルのとき、スイッチ切換信号 SD3 のみがハイレベルとなり、マルチプレクサ制御信号 CNmx0、CNmx1 が共にハイレベルのとき、スイッチ切換信号 SD1～SD3 がいずれもローレベルとなるように設定されるとともに、上記ゲートドライバ 120 と共通に設けられたレベルシフタ 123、124 及び出力アンプ 128 を介して、該スイッチ切換信号 SD1～SD3 の信号レベルが昇圧されて、個別の信号線を介して、相互に時間的に重ならないように順次トランスファスイッチ回路 140 に印加される。これにより、ハイレベルのスイッチ切換信号 SD1～SD3 が印加されたトランスファゲートが順次（時系列的に）オン動作して、後述するソースドライバ 130 により生成された表示信号電圧が各列のデータライン DL に供給される（信号供給状態）。

40

#### 【0039】

一方、ゲートリセット信号 GRES をローレベル（“0”）に設定した状態（ゲートド

50

ライバ 1 2 0 のリセット状態)においては、AND 回路 1 2 7 の他方の入力接点に常時 “ 0 ” レベルが入力されるため、デコーダ 1 2 6 から出力されるデコード信号の信号レベルに関わらず、AND 回路 1 2 7 からローレベル (“ 0 ”) の信号が常時出力され、トランスファスイッチ回路 1 4 0 の各トランスファゲートはオフ動作して、各列のデータラインへの表示信号電圧の供給が遮断される (信号遮断状態)。

【 0 0 4 0 】

【表 1】

| C Nmx0 | C Nmx1 | SDRES | S D 1 | S D 2 | S D 3 |
|--------|--------|-------|-------|-------|-------|
| L      | L      | L     | L     | L     | L     |
| L      | H      | L     | L     | L     | L     |
| H      | L      | L     | L     | L     | L     |
| H      | H      | L     | L     | L     | L     |
| L      | L      | H     | H     | L     | L     |
| L      | H      | H     | L     | H     | L     |
| H      | L      | H     | L     | L     | H     |
| H      | H      | H     | L     | L     | L     |

10

20

【 0 0 4 1 】

ソースドライバ 1 3 0 は、図 4 に示すように、水平シフトクロック信号 S C K、水平期間スタート信号 S T H に基づいて、所定のタイミングでシフト信号を順次出力するシフトレジスタ 1 3 1 と、該シフトレジスタ 1 3 1 から出力されるシフト信号に応じて、表示信号生成回路 1 6 0 から並列的に供給される複数系統の表示データ、例えば、画像情報を構成する赤色成分 ( R )、緑色成分 ( G )、青色成分 ( B ) からなる 3 系統の表示データ R data、G data、B data を順次取り込むとともに、前の水平期間に取り込まれた表示データを制御信号 S T B に応じて一斉に出力するラッチ回路 (データ保持部) 1 3 2 と、マルチプレクサコントロール信号 C Nmx0、C Nmx1 に基づいて、ラッチ回路 1 3 2 に取り込み保持された各表示データ R data、G data、B data (すなわち、パラレルデータ) を、時分割的に配列された 1 系統のシリアルデータ (画素データ) に変換する 3 入力マルチプレクサ (データ変換部) 1 3 3 A と、該 3 入力マルチプレクサ 1 3 3 A から出力される画素データ ( R、G、B ) をデジタル - アナログ変換し、極性制御信号 P O L に基づいて所定の信号極性のアナログ信号に変換するデジタル - アナログ変換器 (以下、「D / A コンバータ」と略記する) 1 3 4 と、出力イネーブル信号 O E に基づいて、アナログ変換された画素データ ( R、G、B ) を所定の信号レベルに増幅して、接続端子 T M s を介してトランスファスイッチ回路 1 4 0 に、表示信号電圧 V rgb として出力する出力アンプ 1 3 5 と、を備えた構成を有している。ここで、上述した各構成に供給される水平シフトクロック信号 S C K、水平期間スタート信号 S T H、制御信号 S T B、マルチプレクサコントロール信号 C Nmx0、C Nmx1、極性制御信号 P O L、出力イネーブル信号 O E は、いずれも L C D コントローラ 1 5 0 から供給される水平制御信号である。

30

40

【 0 0 4 2 】

50

また、トランスファスイッチ回路 140 は、図 4 に示すように、上述したソースドライバ 130 から、時分割的に構成された表示信号電圧  $V_{rgb}$  が出力される接続端子  $TMs$  に対して並列的に接続され、 $RGB$  の各色に対応した表示画素  $P_x$  に接続された（3 本単位の）各データライン  $DL1 \sim DL3$ 、 $DL4 \sim DL6$ 、 $\dots$  に対して、各々トランスファゲート（スイッチ） $TG1 \sim TG3$  を備えた構成を有し、上述したゲートドライバ 120 内に設けられたスイッチ駆動部  $SWD$  により個別に生成、供給されるスイッチ切換信号  $SD1 \sim SD3$  により各トランスファゲート  $TG1 \sim TG3$  のオン状態を選択的に設定するように制御される。

#### 【0043】

このような構成を有するソースドライバ 130 及びトランスファスイッチ回路 140 においては、表示信号生成回路 160 から 1 行分の  $RGB$  の各色の表示画素  $P_x$  に対応した表示データ  $Rdata$ 、 $Gdata$ 、 $Bdata$  が並列的かつ順次供給され、ラッチ回路により 1 組の  $RGB$  の各色の表示画素に対応した表示データ  $Rdata$ 、 $Gdata$ 、 $Bdata$  が順次取り込み保持された後、3 入力マルチプレクサ 133A により時分割シリアルデータに変換されて、 $D/A$  コンバータ 134、出力アンプ 135 を介して単一の接続端子  $TMs$  を介してトランスファスイッチ回路 140 に出力される。

#### 【0044】

このとき、データドライバ 120 内に設けられたスイッチ駆動部  $SWD$  から、上記 3 入力マルチプレクサ 133A におけるシリアル変換処理を制御するマルチプレクサ制御信号  $CN_{mx0}$ 、 $CN_{mx1}$  に基づいて生成されるスイッチ切換信号  $SD1 \sim SD3$  により、上記時分割シリアルデータからなる表示信号電圧  $V_{rgb}$  の時分割タイミングに同期して、各データライン  $DL1 \sim DL3$ 、 $DL4 \sim DL6$ 、 $\dots$  に設けられたトランスファゲート  $TG1 \sim TG3$  を、時間的に重ならないように選択的にオン動作させる。

#### 【0045】

これにより、時分割シリアルデータのうち、表示データの赤色成分  $Rdata$  に基づく表示信号電圧  $V_r$  がデータライン  $DL1$ 、 $DL4$ 、 $DL7$ 、 $\dots$   $DL(k+1)$  に供給され、緑色成分  $Gdata$  に基づく表示信号電圧  $V_g$  がデータライン  $DL2$ 、 $DL5$ 、 $DL8$ 、 $\dots$   $DL(k+2)$  に供給され、青色成分  $Bdata$  に基づく表示信号電圧  $V_b$  がデータライン  $DL3$ 、 $DL6$ 、 $DL9$ 、 $\dots$   $DL(k+3)$  に供給される。ここで、データライン  $DL$  の列番号を表す  $k$  は、 $k = 0, 1, 2, 3, \dots$  である。

#### 【0046】

表示信号生成回路 160 は、例えば、液晶表示装置 100 の外部から供給される映像信号（コンポジットビデオ信号等）から水平同期信号、垂直同期信号及びコンポジット同期信号を抽出し、タイミング信号として  $LCD$  コントローラ 150 に供給するとともに、所定の表示信号生成処理（ペDESTAL クランプ、クロマ処理等）を実行して、映像信号に含まれる  $R$ 、 $G$ 、 $B$  各色の輝度信号（表示データ）を抽出し、アナログ信号又はデジタル信号としてソースドライバ 130 に出力する。

#### 【0047】

$LCD$  コントローラ 150 は、上記表示信号生成回路 160 から供給される水平同期信号、垂直同期信号及びシステムクロック等の各種タイミング信号に基づいて、水平制御信号及び垂直制御信号を生成して、各々、ゲートドライバ 120 及びソースドライバ 130 に供給するとともに、本実施形態特有の機能として、上記トランスファスイッチ回路 140 の動作状態を制御するトランスファスイッチ制御信号を生成して、ゲートドライバ 120 のスイッチ駆動部  $SWD$  及びソースドライバ 130 に供給し、ソースドライバ 130 からの時分割シリアルデータからなる表示信号電圧  $V_{rgb}$  の供給タイミングに同期して、トランスファスイッチ回路 140 に設けられた各トランスファゲート  $TG1 \sim TG3$  を選択的にオン動作させて、上記表示信号電圧  $V_{rgb}$  を各データライン（表示画素）に分配するように制御する。

#### 【0048】

（液晶表示装置の駆動制御方法）

10

20

30

40

50

次いで、本実施形態に係る液晶表示装置における駆動制御動作について、図面を参照して説明する。

図 5 は、本実施形態に係る液晶表示装置の駆動制御動作を示すタイミングチャートである。

#### 【 0 0 4 9 】

上述したような構成を有する液晶表示装置における駆動制御動作は、図 5 のタイミングチャートに示すように、1 水平期間 ( 1 H ) を 1 サイクルとして、ゲートドライバ 1 2 0 から i 行目の走査ライン S L i ( 1 ≤ i ≤ n ) に走査信号 G i を印加して、当該行の表示画素 P x 群を選択状態に設定し、該選択期間にソースドライバ 1 3 0 及びトランスファスイッチ回路 1 4 0 を介して、各々 3 本のデータライン D L 1 ~ D L 3、D L 4 ~ D L 6、  
10  
・・・を 1 組として、スイッチ切換信号 S D 1 ~ S D 3 の印加タイミング ( トランスファゲート T G 1 ~ T G 3 の導通タイミング ) で、各データライン D L 1 ~ D L 3、D L 4 ~ D L 6、  
D L 6、・・・に接続された表示画素 P x に対応する表示データに応じた表示信号電圧 V r g b を分配して、個別の表示信号電圧 V r、V g、V b として順次印加することにより、当該行の各表示画素 P x に表示データを書き込む動作を実行する。

#### 【 0 0 5 0 】

そして、このような書込み動作を、1 垂直期間 ( 1 V = ( n + 1 ) × H ) に、液晶表示パネル 1 1 0 を構成する各走査ライン S L 1、S L 2、・・・S L n ( 本実施形態では、液晶表示パネル 1 1 0 が 3 2 0 本の走査ライン S L を備えるものとする。n = 3 2 0 ) に対して、順次走査信号 G 1、G 2、G 3、・・・G n を印加することにより、液晶表示パ  
20  
ネル 1 画面分の表示データを各表示画素 P x に書き込む。これにより、各表示画素 P x が表示データに応じた階調状態に設定されるので、液晶表示パネル 1 1 0 に所望の画像情報が表示される。

#### 【 0 0 5 1 】

したがって、本実施形態に係る液晶表示装置及びその駆動制御方法によれば、液晶表示パネル 1 1 0 ( 画素エリア P X A ) を構成する各データライン D L に接続された表示画素 P x に供給する表示信号電圧を、ソースドライバ 1 3 0 内部で複数本のデータライン D L を一組として時分割シリアルデータに変換して、絶縁性基板 S U B 上に画素エリア P X A とともに一体的に形成されたトランスファスイッチ回路 1 4 0 に出力し、該トランスファ  
30  
スイッチ回路 1 4 0 により各組の時分割シリアルデータを、時分割タイミングに応じて分配して各組のデータライン D L に順次供給することにより、絶縁性基板 S U B に設けられたトランスファスイッチ回路 1 4 0 と、該絶縁性基板 1 4 0 とは別個に設けられたソースドライバ 1 3 0 との間を、上記データライン D L の組数分の接続端子 T M s により接続することができる。

#### 【 0 0 5 2 】

これにより、液晶表示パネル 1 1 0 とソースドライバ 1 3 0 間の接続端子の数を数分の 1 ( 各組に含まれるデータラインの本数分の 1 ) に削減して、当該接続端子間のピッチを比較的広く設計することができるので、当該接続工程における工数を削減することができる。また、比較的低い接続精度であっても良好に接続することができ、製造コストの削減及びソースドライバの実装面積の縮小を図ることができる。  
40

#### 【 0 0 5 3 】

また、従来技術に示したような液晶表示パネルに配設された各データラインに対応して、表示信号電圧を並列的に供給する構成においては、デジタル信号として供給される表示データ ( 画素データ ) をアナログ化するための D / A コンバータや、アナログ化された画素データを所定の信号レベルまで増幅する出力アンプ等を、各データラインごとに設ける必要があるが、本実施形態においては、これらの構成を数分の 1 に削減することができるので、ソースドライバの回路規模を縮小することができる。また、上記出力段 ( D / A コンバータ、出力アンプ等 ) で消費する電力を削減することができる。

#### 【 0 0 5 4 】

なお、本実施形態においては、トランスファスイッチ回路 1 4 0 に設けられた各トラン  
50

スファゲートTG1～TG3の導通状態を制御するスイッチ切換信号SD1～SD3を生成するスイッチ駆動部SWDを、ゲートドライバ120の内部に設けた回路構成を示したが、本発明はこれに限定されるものではなく、ゲートドライバ120の外部に設けた構成を適用するものであってもよい。ここで、スイッチ駆動部は、上述したように、ゲートドライバに設けられたAND回路やレベルシフタ、出力アンプと同等の構成を備え、また、ゲートドライバの動作状態を制御するゲートリセット信号GRESに基づいて制御されるので、本実施形態(図3)に示したように、ゲートドライバと一体的に形成した構成を適用した方が、回路規模の縮小や接続端子数の削減を図ることができる利点を有している。

#### 【0055】

また、本実施形態においては、複数系統(jは任意の正の整数; 上述したようにRGBの各色成分に対応させた場合には、3系統(j=3))の平行データとして供給された表示データを、3入力マルチプレクサ133Aによりシリアルデータに変換処理してソースドライバ130から出力し、液晶表示パネル110(画素エリアPXA)に付設されたトランスファスイッチ回路140において、各トランスファゲートTG1～TG3を時分割タイミングに基づいてオン動作することにより、複数(j本)のデータラインDLに分配する構成を有している。単に、表示データを取り込み保持して、表示信号電圧に変換して出力する従来のソースドライバと比較して、ソースドライバ130及びトランスファスイッチ回路140は、j倍の動作速度(j倍のクロック周波数)で信号処理を行うように設定される。

#### 【0056】

##### < 第2の実施形態 >

次に、本発明に係る表示装置の第2の実施形態について、図面を参照しながら説明する。

図6は、第2の実施形態に係る液晶表示装置に適用されるゲートドライバ及びスイッチ駆動部の一構成例を示す概略構成図であり、図7は、本実施形態に係る液晶表示装置に適用されるソースドライバ及びトランスファスイッチ回路の一構成例を示す概略構成図である。また、図8は、本実施形態に係る液晶表示装置の駆動制御動作を示すタイミングチャートである。さらに、図9は、本実施形態に係る液晶表示装置に適用されるソースドライバ及びトランスファスイッチ回路の他の構成例を示す概略構成図である。ここで、上述した第1の実施形態と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

#### 【0057】

本実施形態に係る液晶表示装置は、概略、上述した第1の実施形態と同等の構成(図1、図2参照)を有し、特に、ゲートドライバ120及びソースドライバ130、トランスファスイッチ回路140が次に示すように、2本のデータラインDLを1組として、該データラインDLに接続された2個の表示画素Pxに対応して並列的に供給された表示データを、時分割シリアルデータに変換してトランスファスイッチ回路140に出力した後、時分割タイミングで各組のデータラインに分配するように構成されている。

#### 【0058】

すなわち、本実施形態に係る液晶表示装置に適用されるゲートドライバ120は、図6に示すように、上述した第1の実施形態と同様に、内部にスイッチ駆動部SWDを備えた構成を有し、該スイッチ駆動部SWDは、LCDコントローラ150から供給されるマルチプレクサコントロール信号C<sub>Nmx</sub>及びスイッチリセット信号SDRESに基づいて、デコーダ126から出力されるデコード信号と、LCDコントローラ150からゲートドライバ120に供給されるゲートリセット信号GRESを入力とするAND回路127から出力される信号に基づいて、トランスファスイッチ回路140へ供給する個別の2種類(2系統)のスイッチ切換信号SD1、SD2を生成するように構成されている。ここで、本実施形態に係るゲートドライバ120(スイッチ駆動部SWDを除く構成)は、上述した第1の実施形態に示したゲートドライバと同等の構成を有している。その説明を省略する。

10

20

30

40

50

## 【 0 0 5 9 】

このような構成を有するスイッチ駆動部 S W D において、上述したゲートリセット信号 G R E S をハイレベル（ “ 1 ” ）に設定した状態（ゲートドライバ 1 2 0 の駆動状態）においては、表 2 に示す信号論理のように、L C D コントローラ 1 5 0 からローレベル（ “ 0 ” ）のスイッチリセット信号 S D R E S を供給した場合には、マルチプレクサ制御信号 C N m x の信号レベルに関わらず、トランスファスイッチ回路 1 4 0 にはローレベル（ “ 0 ” ）のスイッチ切換信号 S D 1、S D 2 が供給されて、後述するソースドライバ 1 3 0 により生成された表示信号電圧の各列のデータライン D L への供給が遮断される。

## 【 0 0 6 0 】

また、L C D コントローラ 1 5 0 からハイレベル（ “ 1 ” ）のスイッチリセット信号 S D R E S を供給した場合には、表 2 に示すように、マルチプレクサ制御信号 C N m x の信号レベルに基づいて、マルチプレクサ制御信号 C N m x がローレベルのとき、スイッチ切換信号 S D 1 のみがハイレベルとなり、マルチプレクサ制御信号 C N m x がハイレベルのとき、スイッチ切換信号 S D 2 のみがハイレベルとなるように設定される。これにより、スイッチ切換信号 S D 1、S D 2 が印加されたトランスファゲートが順次（時系列的に）オン動作して、後述するソースドライバ 1 3 0 により生成された表示信号電圧が各列のデータライン D L に供給される。

## 【 0 0 6 1 】

一方、ゲートリセット信号 G R E S をローレベル（ “ 0 ” ）に設定した状態（ゲートドライバ 1 2 0 のリセット状態）においては、A N D 回路 1 2 7 の他方の入力接点に常時 “ 0 ” レベルが入力されるため、デコーダ 1 2 6 から出力されるデコード信号の信号レベル（すなわち、マルチプレクサ制御信号 C N m x 及びスイッチリセット信号 S D R E S の信号レベル）に関わらず、トランスファスイッチ回路 1 4 0 にはローレベル（ “ 0 ” ）のスイッチ切換信号 S D 1、S D 2 が供給されて、後述するソースドライバ 1 3 0 により生成された表示信号電圧の各列のデータライン D L への供給が遮断される。

## 【 0 0 6 2 】

## 【 表 2 】

| C N m x | S D R E S | S D 1 | S D 2 |
|---------|-----------|-------|-------|
| L       | L         | L     | L     |
| H       | L         | L     | L     |
| L       | H         | H     | L     |
| H       | H         | L     | H     |

## 【 0 0 6 3 】

ソースドライバ 1 3 0 は、図 7 に示すように、第 1 の実施形態に示した構成と同様に、シフトレジスタ回路 1 3 1 と、ラッチ回路 1 3 2 と、D / A コンバータ 1 3 4 と、出力アンプ 1 3 5 と、を備え、さらに、本実施形態特有の構成として、ラッチ回路 1 3 2 に順次取り込み保持された複数系統（ 3 系統 ）の表示データ R d a t a、G d a t a、B d a t a のうち、 2

系統の表示データ（R dataとG data、B dataとR data、又は、G dataとB dataのいずれかの組み合わせの平行データ）を、1系統の時分割的に配列されたシリアルデータ（画素データ）に変換する2入力マルチプレクサ133Bを備えた構成を有している。

#### 【0064】

また、トランスファスイッチ回路140は、図7に示すように、上述したソースドライバ130から、時分割シリアルデータとして表示信号電圧V<sub>rg</sub>、V<sub>br</sub>、V<sub>gb</sub>が出力される接続端子TMsに対して並列的に接続され、上述した3系統の表示データのうち、各2系統の表示データに対応した表示画素に接続された各データラインDLに対して、個別にトランスファゲートTG1、TG2を備えた構成を有し、上述したゲートドライバ120内に設けられたスイッチ駆動部SWDから個別に供給されるスイッチ切換信号SD1、SD2により各トランスファゲートTG1、TG2のオン状態を選択的に設定するように制御される。

10

#### 【0065】

このような構成を有するソースドライバ130及びトランスファスイッチ回路140においては、上述した第1の実施形態と同様に、表示信号生成回路160から1行分のRGBの各色の表示画素に対応した3系統の表示データR data、G data、B dataが平行データとして順次供給され、シフトレジスタ131から出力されるシフト信号に応じて、複数のラッチ回路132により順次取り込み保持されるとともに、取り込まれた表示データを制御信号STBに応じて一斉に出力し、画素エリアPXAにおける配列が隣接する表示画素Pxに対応する2系統の表示データ（R dataとG data、B dataとR data、又は、G dataとB data）ごとに、LCDコントローラ150から供給される単一のマルチプレクサコントロール信号CNmxに基づいて、2入力マルチプレクサ133Bにより時分割シリアルデータに変換してD/Aコンバータ134、出力アンプ135、接続端子TMsを介して、表示信号電圧V<sub>rgb</sub>としてトランスファスイッチ回路140に出力される。

20

#### 【0066】

このとき、データドライバ120内に設けられたスイッチ駆動部SWDから、上記マルチプレクサ133Bにおけるシリアル変換処理を制御するマルチプレクサ制御信号CNmxに基づいて生成されるスイッチ切換信号SD1、SD2により、上記画素データ（表示信号電圧）の時分割タイミングに同期して、各データラインDL1、DL3、・・・及びDL2、DL4・・・に設けられた各トランスファゲートTG1、TG2を、時間的に重ならないように選択的にオン動作させる。

30

#### 【0067】

これにより、スイッチ切換信号SD1又はSD2が供給される所定のタイミング（すなわち、マルチプレクサコントロール信号CNmxに基づいて変換される表示データR data、G data、B dataの時分割タイミング）で、時分割シリアルデータからなる表示信号電圧V<sub>rg</sub>のうち、表示データの赤色成分R dataに基づく表示信号電圧V<sub>r</sub>がデータラインDL1、DL4、DL7、・・・DL(k+1)に供給され、緑色成分G dataに基づく表示信号電圧V<sub>g</sub>がデータラインDL2、DL5、DL8、・・・DL(k+2)に供給され、青色成分B dataに基づく表示信号電圧V<sub>b</sub>がデータラインDL3、DL6、DL9、・・・DL(k+3)に供給される。

40

#### 【0068】

そして、本実施形態に係る液晶表示装置における駆動制御動作は、上述した第1の実施形態に示した場合と同様に、1水平期間（1H）を1サイクルとして、ゲートドライバ120から走査ラインSL<sub>i</sub>（1 ≤ i ≤ n）に走査信号G<sub>i</sub>を印加して、当該行の表示画素Pxを選択状態に設定するとともに、図8のタイミングチャートに示すように、該選択期間にソースドライバ130及びトランスファスイッチ回路140を介して、相互に隣り合う2本のデータラインDLを1組として、スイッチ切換信号SD1、SD2の印加タイミング（トランスファゲートTG1、TG2の導通タイミング）で、各表示画素Pxに対応する表示データに応じた表示信号電圧V<sub>r</sub>、V<sub>g</sub>、V<sub>b</sub>を順次印加することにより、当該行の各表示画素Pxに所定の表示データを書き込む動作を実行する。

50

## 【 0 0 6 9 】

このような書込み動作を、液晶表示パネル 1 1 0 を構成する各走査ライン S L 1、S L 2、・・・S L n (本実施形態では、n = 3 2 0) に対して、順次走査信号 G 1、G 2、G 3、・・・G n を印加することにより、液晶表示パネル 1 画面分の表示データを各表示画素 P x に書き込む。これにより、各表示画素 P x が表示データに応じた階調状態に設定されるので、液晶表示パネル 1 1 0 に所望の画像情報が表示される。

## 【 0 0 7 0 】

なお、本実施形態においては、表示信号生成回路 1 6 0 から並列的に (パラレルデータとして) 供給される R G B 各色の色成分の表示データ (3 系統の表示データ) R data、G data、B data を、シフトレジスタ 1 3 1 からのシフト信号の出力タイミングに基づいて、タッチ回路 1 3 2 に一括して取り込んで保持する構成について説明したが、本発明はこれに限定されるものではなく、例えば、図 9 に示すように、表示信号生成回路 1 6 0 から時分割的に (シリアルデータとして) 供給される R G B 各色の色成分の表示データ R data、G data、B data を、シフト信号の出力タイミングに基づいて、個別のラッチ回路 (L C T) 1 3 2 に順次取り込み保持し、後段の 2 入力マルチプレクサ 1 3 3 B (あるいは、第 1 の実施形態に示したように 3 入力マルチプレクサ 1 3 3 A) により時分割シリアルデータに変換するようにした構成を有するものであってもよい。

## 【 0 0 7 1 】

## &lt; 第 3 の実施形態 &gt;

次に、本発明に係る表示装置の第 3 の実施形態について、図面を参照しながら説明する。

図 1 0 は、第 3 の実施形態に係る液晶表示装置を示す要部構成図であり、図 1 1 は、本実施形態に係る液晶表示装置に適用される制御信号生成部の一例を示す概略構成図である。また、図 1 2 は、本実施形態に係る制御信号生成部における信号生成動作を示すタイミングチャートである。ここで、上述した第 1 又は第 2 の実施形態と同等の構成については、同一又は同等の符号を付してその説明を簡略化又は省略する。

## 【 0 0 7 2 】

本実施形態に係る液晶表示装置は、概略、上述した第 1 の実施形態と同等の構成 (図 1、図 2 参照) を有し、特に、ソースドライバ 1 3 0 に設けられるマルチプレクサ及びトランスファスイッチ回路 1 4 0 の動作状態を制御するマルチプレクサコントロール信号 C N m x 0、C N m x 1 及びスイッチリセット信号 S D R E S を、ゲートドライバ 1 2 0 及びソースドライバ 1 3 0 に供給される、既存の垂直制御信号及び水平制御信号に基づいて生成するように構成されている。

## 【 0 0 7 3 】

すなわち、本実施形態に係る液晶表示装置の要部構成は、図 1 0 に示すように、上述した第 1 の実施形態と同様に、液晶表示パネル 1 1 0 (画素エリア P X A) に配設された複数の走査ライン S L に対して順次走査信号を印加するゲートドライバ 1 2 0 と、複数のデータライン D L に対して、表示データに基づく表示信号電圧を一斉に印加するソースドライバ 1 3 0 と、ソースドライバ 1 3 0 と液晶表示パネル 1 1 0 間に設けられ、複数のデータライン D L に直接接続されたトランスファスイッチ回路 1 4 0 と、ゲートドライバ 1 2 0 の内部に設けられ、上記トランスファスイッチ回路 1 4 0 における動作状態を制御するスイッチ切換信号 S D 1 ~ S D 3 を生成するスイッチ駆動部 S W D と、を有し、さらに、本実施形態特有の構成として、L C D コントローラ 1 5 0 から供給される垂直制御信号及び水平制御信号に基づいて、スイッチ駆動部 S W D におけるスイッチ切換信号 S D 1 ~ S D 3 の生成処理、及び、ソースドライバ 1 3 0 における表示データのシリアル変換処理に適用される、マルチプレクサコントロール信号 C N m x 0、C N m x 1 及びスイッチリセット信号 S D R E S を生成する制御信号生成部 (制御信号生成手段) C S G を備えたとともに、上記トランスファスイッチ回路 1 4 0 がソースドライバ 1 3 0 内に一体的に設けられた構成を有している。

## 【 0 0 7 4 】

10

20

30

40

50

ここで、本実施形態においては、少なくとも、図 10 に示す各構成（液晶表示パネル 110（画素エリア P X A）、ゲートドライバ 120、ソースドライバ 130、制御信号生成部 C S G）が同一の絶縁性基板 S U B 上に一体的に形成された構成を有している。なお、本実施形態に係るゲートドライバ 120（スイッチ駆動部 S W D を含む構成）、及び、ソースドライバ 130（トランスファスイッチ回路 140 を含む構成）は、上述した第 1 の実施形態（図 3、図 4）と同等の構成を有しているので、その具体的な説明を省略する。

#### 【0075】

本実施形態に適用される制御信号生成部 C S G は、図 11 に示すように、概略、L C D コントローラ 150 からゲートドライバ 120 に供給される既存の垂直制御信号（ゲート 10  
スタート信号 G S R T、ゲートクロック信号 G P C K）に基づいて、ゲートクロック信号 G P C K のクロック数を計数する垂直カウンタ 141 と、L C D コントローラ 150 からソースドライバ 130 に供給される既存の水平制御信号（水平期間スタート信号 S T H、水平シフトクロック信号 S C K）に基づいて、水平シフトクロック信号 S C K を計数する水平カウンタ 142 と、これらのカウンタ 141、142 からのカウント値及び水平シフトクロック信号 S C K に基づいて、スイッチ駆動部 S W D 及びトランスファスイッチ回路 140 に供給されるマルチプレクサコントロール信号 C N m x 0、C N m x 1 及びスイッチリセット信号 S D R E S を生成するデコーダ 143 と、を備えた構成を有している。

#### 【0076】

これにより、垂直カウンタ 141 は、図 12（a）に示すように、1 垂直期間（1 V = 3 2 1 H）を 1 サイクルとして、該 1 垂直期間内に計数されるゲートクロック信号 G P C K のカウント値 G -count をデコーダ 143 に出力し、水平カウンタ 142 は、図 12（b）に示すように、1 水平期間（1 H = 2 4 0 S C K）を 1 サイクルとして、該 1 水平期間内に計数される水平シフトクロック信号 S C K のカウント値 S -count をデコーダ 143 に出力する。ここで、図 12 においては、上述した実施形態と同様に、液晶表示パネル 110 が 3 2 0 本の走査ライン S L 及び 2 4 0 本のデータラインを備える場合（すなわち、縦 3 2 0 × 横 2 4 0 の画素数を有する場合）のタイミングチャートを示す。また、デコーダ 143 は、これらのカウント値 G -count 及び S -count に基づいて、図 5 に示したような所定のタイミングを有するマルチプレクサコントロール信号 C N m x 0、C N m x 1 及びスイッチリセット信号 S D R E S を生成する。 20

#### 【0077】

なお、本実施形態においては、ソースドライバ 130 として、第 1 の実施形態に示したように、3 入力マルチプレクサ（図 4 参照）を備えた構成を適用した場合について説明したが、本発明はこれに限定されるものではなく、第 2 の実施形態に示したように、3 入力マルチプレクサ（図 7 参照）を備えた構成を適用するものであってもよい。この場合においては、制御信号生成部 C S G により図 8 に示したような所定のタイミングを有する単一のマルチプレクサコントロール信号 C N m x 及びスイッチリセット信号 S D R E S が生成されて、スイッチ駆動部 S W D 及びソースドライバ 130 に供給される。 30

#### 【0078】

したがって、このような構成を有する液晶表示装置においては、ゲートドライバ 120 及びソースドライバ 130 に供給される既存の垂直制御信号及び水平制御信号のみを用いて、液晶表示パネル 110（画素エリア P X A）が形成された絶縁性基板 S U B 内でマルチプレクサコントロール信号 C N m x 0、C N m x 1 及びスイッチリセット信号 S D R E S を生成して、ゲートドライバ 120 内に設けられたスイッチ駆動部 S W D、及び、ソースドライバ 130 内に設けられたトランスファスイッチ回路 140 に供給することができるので、絶縁性基板 S U B 外から供給する制御信号の数を減らして接続端子数をさらに削減しつつ、従来技術における構成と同等の表示駆動動作を実現することができる。 40

#### 【0079】

また、液晶表示パネル 110 を構成する画素エリア P X A が形成される絶縁性基板 S U B 上に、ゲートドライバ（スイッチ駆動部 S W D を含む）120 に加え、ソースドライバ 50

(トランスファスイッチ回路 140を含む) 130 も一体的に形成した構成を有している  
ので、周辺回路(特に、ドライバIC)の実装面積を大幅に縮小することができることに  
、上述したように端子数を削減することにより製造工程を簡略化して製品コストを低減  
することができる。

【図面の簡単な説明】

【0080】

【図1】本発明に係る表示装置の全体構成を示す概略ブロック図である。

【図2】本発明に係る表示装置の第1の実施形態を示す要部構成図である。

【図3】本実施形態に係る液晶表示装置に適用されるゲートドライバ及びスイッチ駆動部  
の一構成例を示す概略構成図である。

10

【図4】本実施形態に係る液晶表示装置に適用されるソースドライバ及びトランスファス  
イッチ回路の一構成例を示す概略構成図である。

【図5】本実施形態に係る液晶表示装置の駆動制御動作を示すタイミングチャートである

。【図6】第2の実施形態に係る液晶表示装置に適用されるゲートドライバ及びスイッチ駆  
動部の一構成例を示す概略構成図である。

【図7】本実施形態に係る液晶表示装置に適用されるソースドライバ及びトランスファス  
イッチ回路の一構成例を示す概略構成図である。

【図8】本実施形態に係る液晶表示装置の駆動制動作を示すタイミングチャートである。

【図9】本実施形態に係る液晶表示装置に適用されるソースドライバ及びトランスファス  
イッチ回路の他の構成例を示す概略構成図である。

20

【図10】第3の実施形態に係る液晶表示装置を示す要部構成図である。

【図11】本実施形態に係る液晶表示装置に適用される制御信号生成部の一例を示す概略  
構成図である。

【図12】本実施形態に係る制御信号生成部における信号生成動作を示すタイミングチャ  
ートである。

【図13】従来技術における薄膜トランジスタ(TFT)型の表示画素を備えた液晶表示  
装置の概略構成を示すブロック図である。

【図14】従来技術における液晶表示パネルの要部構成の一例を示す等価回路図である。

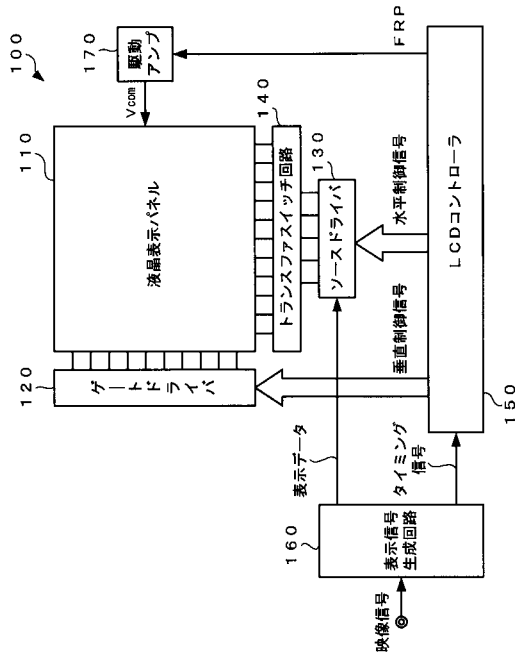
【符号の説明】

30

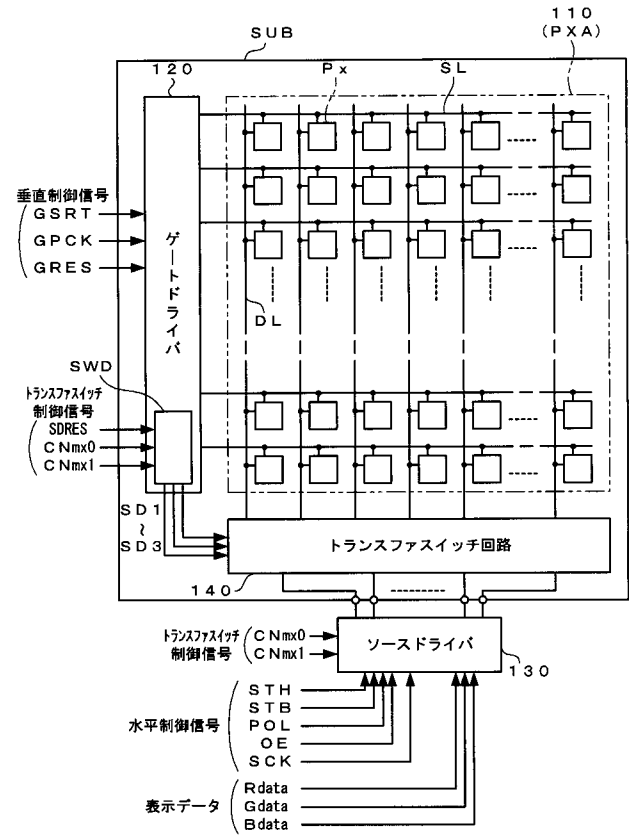
【0081】

|     |              |
|-----|--------------|
| 100 | 液晶表示装置       |
| 110 | 液晶表示パネル      |
| 120 | ゲートドライバ      |
| 130 | ソースドライバ      |
| 140 | トランスファスイッチ回路 |
| 150 | LCDコントローラ    |
| SWD | スイッチ駆動部      |
| CSG | 制御信号生成部      |

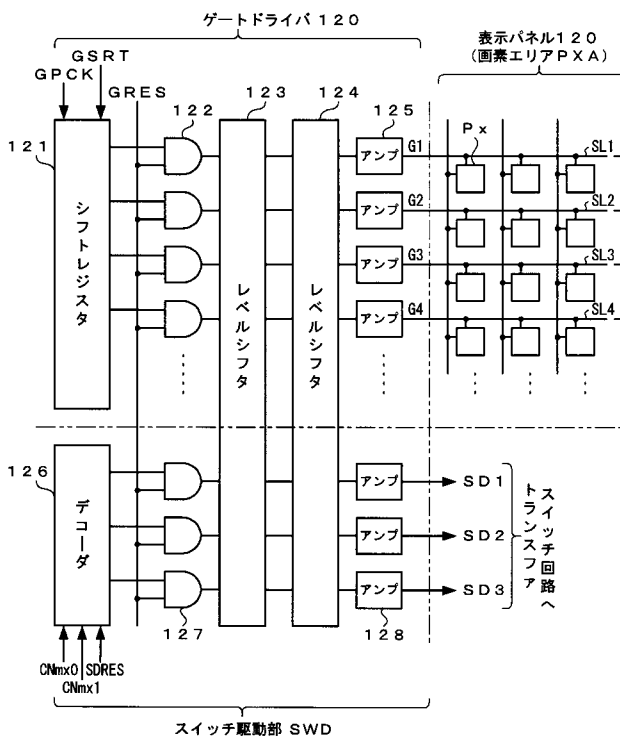
【図 1】



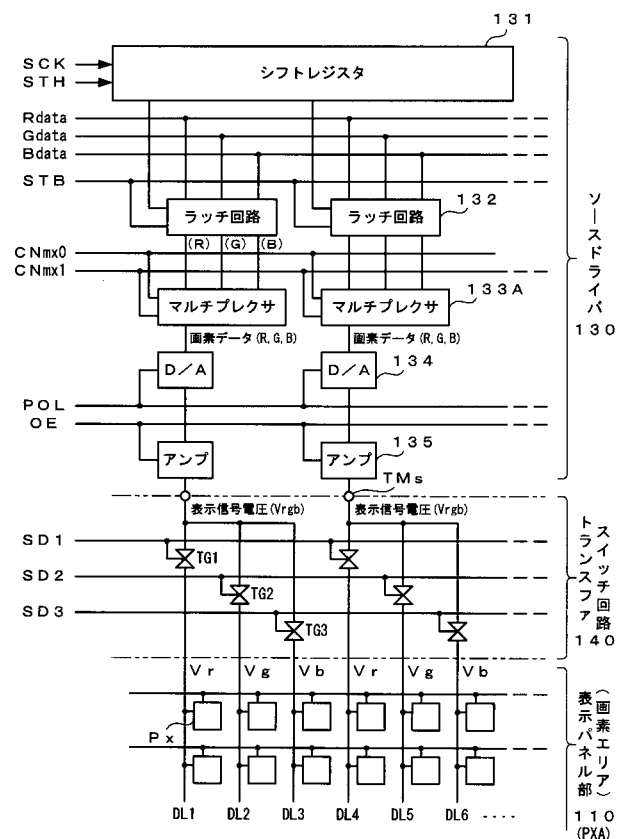
【図 2】



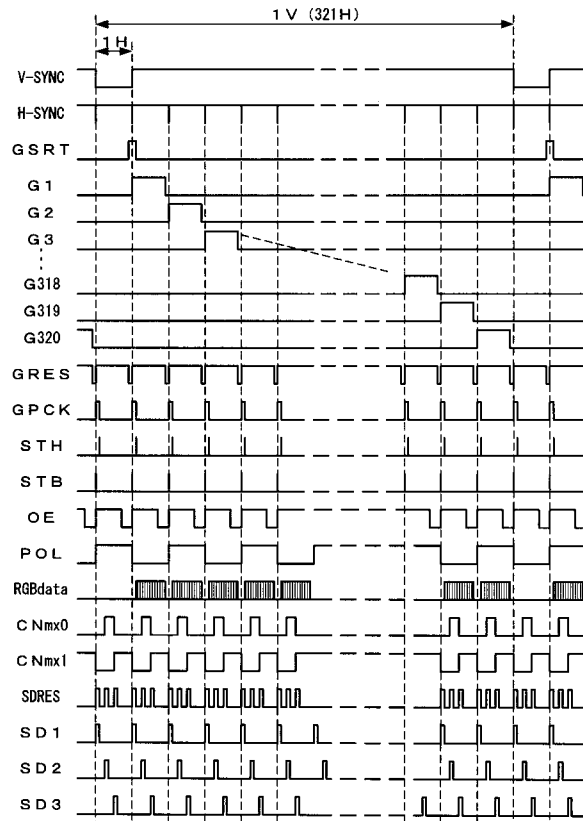
【図 3】



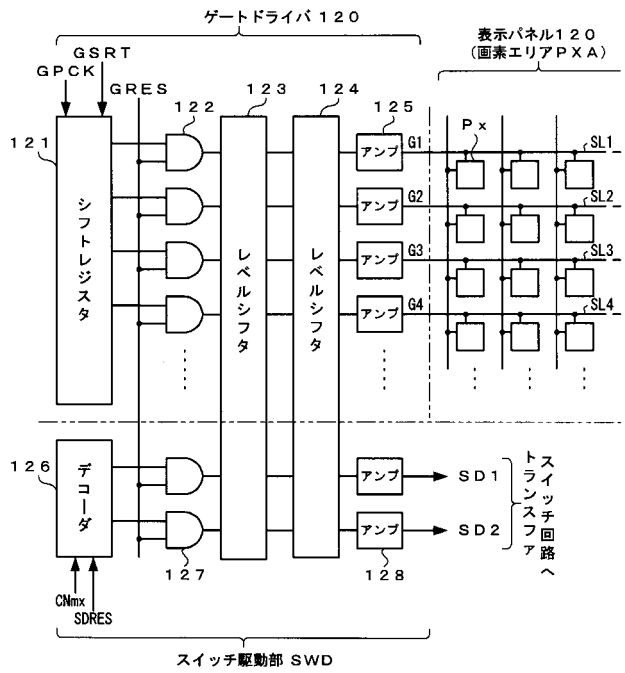
【図 4】



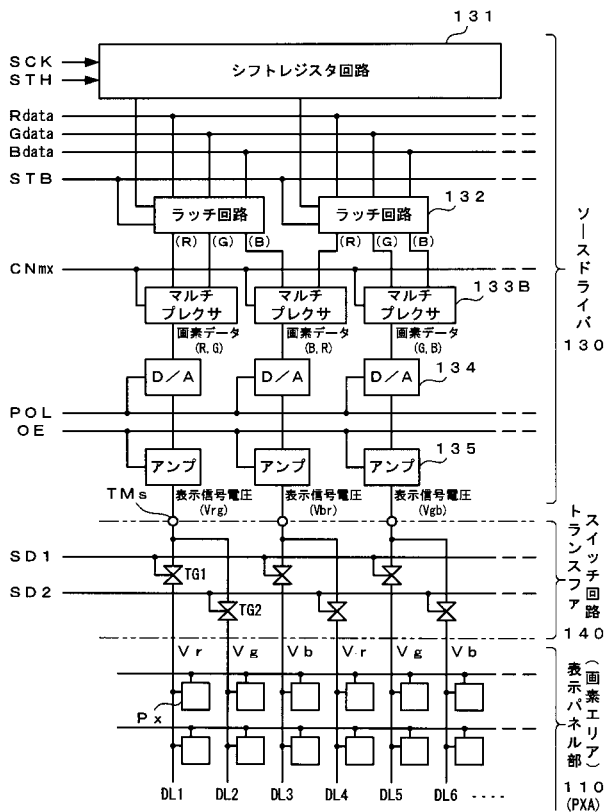
【図 5】



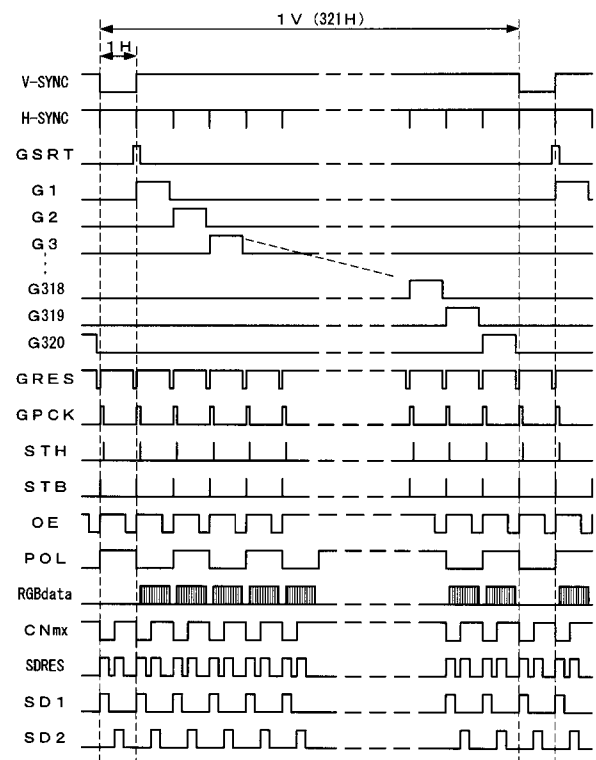
【図 6】



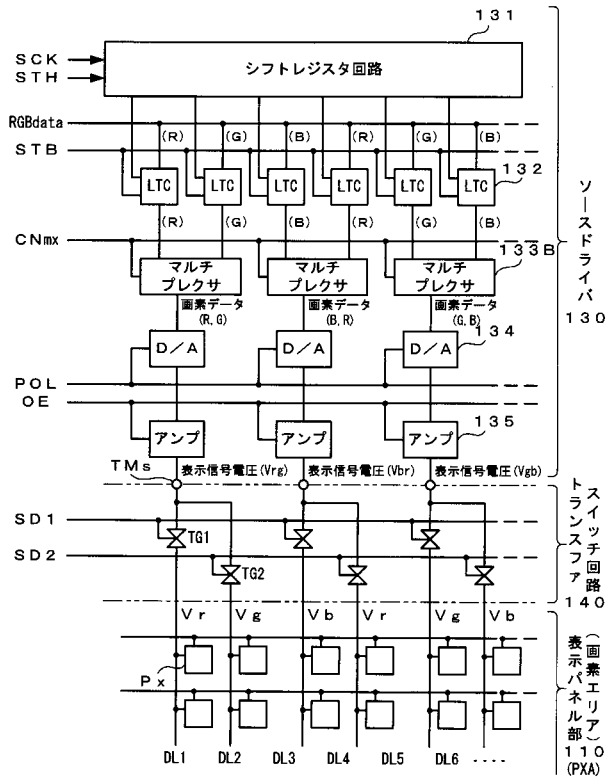
【図 7】



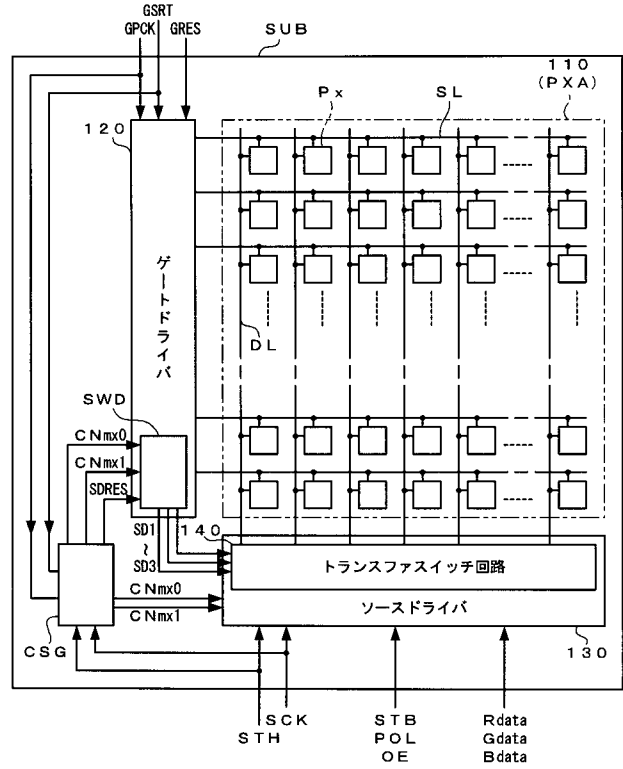
【図 8】



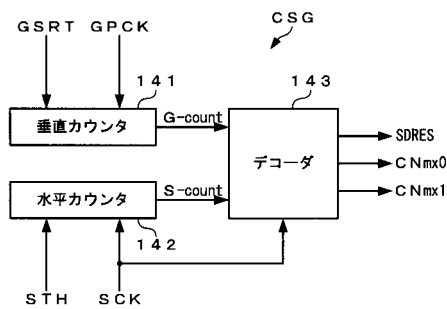
【図 9】



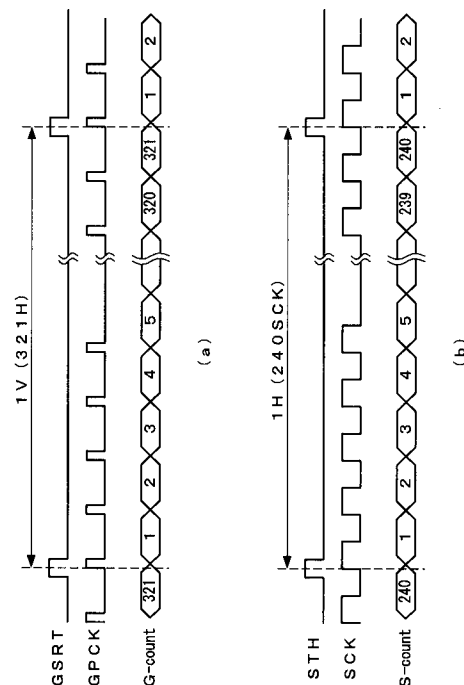
【図 10】



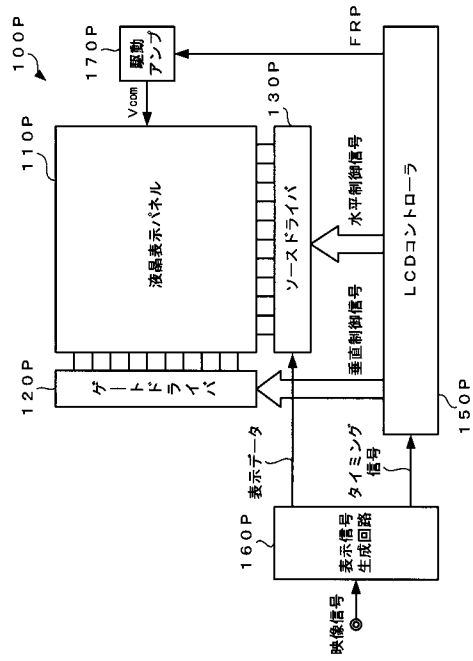
【図 11】



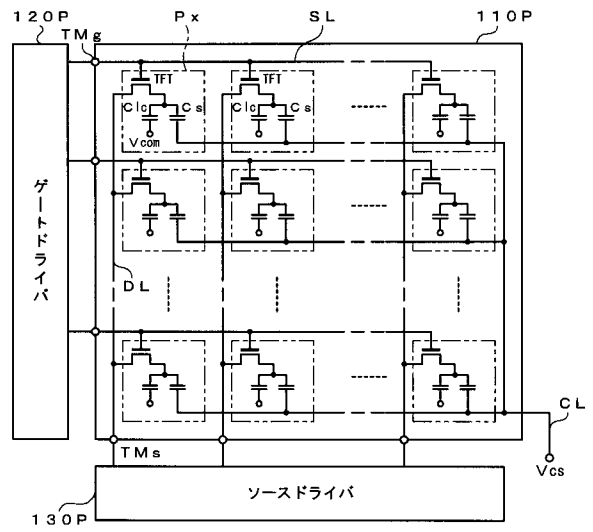
【図 12】



【図 13】



【図 14】



---

フロントページの続き

(51) Int.Cl.<sup>7</sup>

F I

テーマコード (参考)

G 0 9 G 3/20 6 2 3 F

F ターム(参考) 5C080 AA10 BB05 CC03 DD22 EE29 EE30 FF11 JJ02 JJ03 JJ04

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示装置及其驱动控制方法                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| 公开(公告)号        | <a href="#">JP2005055616A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                 | 公开(公告)日 | 2005-03-03 |
| 申请号            | JP2003285384                                                                                                                                                                                                                                                                                                                                                                                                                                                                  | 申请日     | 2003-08-01 |
| [标]申请(专利权)人(译) | 卡西欧计算机株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| 申请(专利权)人(译)    | 卡西欧计算机有限公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| [标]发明人         | 山内慎吾                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 发明人            | 山内 慎吾                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| IPC分类号         | G02F1/133 G09G3/20 G09G3/36                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| FI分类号          | G09G3/36 G02F1/133.550 G09G3/20.612.J G09G3/20.621.A G09G3/20.621.M G09G3/20.623.F                                                                                                                                                                                                                                                                                                                                                                                            |         |            |
| F-TERM分类号      | 2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC21 2H093/NC22 2H093/NC34 2H093/NC49 2H093/ND39 2H093/ND48 2H093/ND50 2H093/ND55 2H093/ND60 2H093/NE01 2H093/NE03 2H093/NE07 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AF42 5C006/AF43 5C006/AF83 5C006/BB16 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF24 5C006/FA41 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZD23 2H193/ZP01 2H193/ZP03 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                     |         |            |

#### 摘要(译)

解决的问题：在不增加用于连接显示面板和外围电路的步骤数且要求高连接精度的情况下，以相对较低的制造成本来减小安装面积并改善操作特性。（EN）提供一种显示装置及其驱动控制方法。液晶显示装置（100）至少包括液晶显示面板（像素区域PXA），在该液晶显示面板中二维地排列有多个显示像素（Px）；以及栅极驱动器（120），该栅极驱动器（120）将扫描信号依次施加到各扫描线（SL）。源极驱动器130，用于将基于显示数据的显示信号电压施加到每条数据线DL，以及由在液晶显示面板110和源极驱动器130之间从源极驱动器130输出的串行数据构成的显示信号电压。转换开关电路140布置在液晶显示面板110上，用于分配和施加到每条数据线DL。[选型图]图1

