

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-37854

(P2004-37854A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl.⁷

G02F 1/1343

G02F 1/1337

G02F 1/137

F I

G02F 1/1343

G02F 1/1337

G02F 1/137

テーマコード (参考)

2H088

2H090

2H092

審査請求 未請求 請求項の数 9 O L (全 15 頁)

(21) 出願番号 特願2002-194932 (P2002-194932)

(22) 出願日 平成14年7月3日(2002.7.3)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100058479

弁理士 鈴江 武彦

(74) 代理人 100084618

弁理士 村松 貞男

(74) 代理人 100068814

弁理士 坪井 淳

(74) 代理人 100092196

弁理士 橋本 良郎

(74) 代理人 100091351

弁理士 河野 哲

(74) 代理人 100088683

弁理士 中村 誠

最終頁に続く

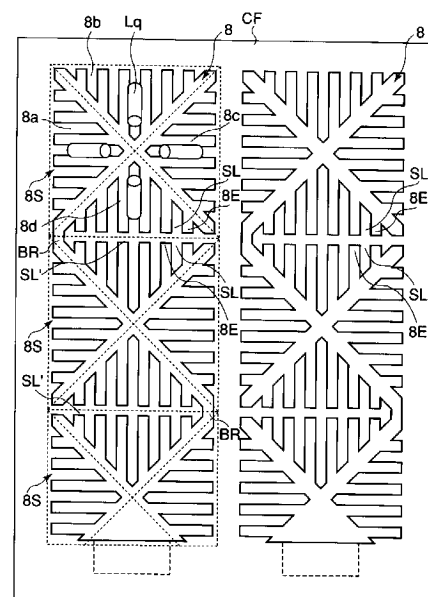
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 MVAモードを採用した場合であっても、アレ
イ基板および対向基板間の位置合わせにおいて高い精度
を必要とせずに光透過率を向上させる。

【解決手段】 画素電極8を含むアレイ基板と、画素電極
8に対向する共通電極を含む対向基板と、これら基板間
に挟持される液晶層とを備える。特に、画素電極8は電
圧印加に伴って電場の揺らぎを画素領域に生成して画素
領域を液晶分子のチルト方向の異なる複数のドメインに
それぞれ分割する複数の副電極部8Sを有し、各副電極
部8Sは副電極部8Sの周縁側から内側に伸びる欠落部
として形成される複数のスリットSLおよびこれらに隣
接した複数の電極ストライプ8Eを含み、各副電極部8
SのスリットSLおよび電極ストライプ8Eは画素電極
8の平面において隣接する他の副電極部8Sの電極スト
ライプ8EおよびスリットSLに間隙を介してそれぞれ
対向する。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

少なくとも 1 つの画素電極を含むアレイ基板と、前記画素電極に対向する共通電極を含む対向基板と、前記アレイ基板および対向基板間に挟持され、前記画素電極および共通電極間の画素領域において各基板に対して略垂直に配向される液晶分子を含み、液晶分子配列が前記画素電極および前記共通電極間の電圧により制御される液晶層とを備え、前記画素電極は前記電圧の印加に伴って電場の揺らぎを前記画素領域に生成して前記画素領域を液晶分子のチルト方向の異なる複数のドメインにそれぞれ分割する複数の副電極部を有し、各副電極部はこの副電極部の周縁側から内側に伸びる欠落部として形成される複数のスリットおよびこれらスリットにそれぞれ隣接して残される複数の電極ストライプを含み、各副電極部のスリットおよび電極ストライプは前記画素電極の平面において隣接する他の副電極部の電極ストライプおよびスリットに間隙を介してそれぞれ対向することを特徴とする液晶表示装置。

【請求項 2】

各副電極部のスリットおよび電極ストライプは前記他の副電極部のスリットおよび電極ストライプに対してそれぞれ正対しないようにこれら副電極部間の境界に沿ってずれて配置されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記複数の副電極部はブリッジ電極により相互接続されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記複数の電極ストライプは前記副電極部の内側に配置される一端において相互に連結されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記電極ストライプによって誘起される強電場域の幅 W_1 と前記スリットによって誘起される弱電場域の幅 W_2 との和 $W_1 + W_2$ は $6 \mu m$ から $20 \mu m$ の範囲内にあることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記弱電場域の幅 W_2 は前記副電極部の周縁側の端からの距離に依存して連続的に減少し、前記強電場域の幅 W_1 は前記副電極部の周縁側の端からの距離に依存して連続的に増加することを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記液晶層は誘電率異方性が負の液晶材料を含有することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 8】

前記画素電極および前記共通電極をそれぞれ覆う一对の垂直配向膜をさらに備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 9】

少なくとも 1 つの画素電極を含むアレイ基板と、前記画素電極に対向する共通電極を含む対向基板と、前記アレイ基板および対向基板間に挟持され、前記画素電極および共通電極間の画素領域において各基板に対して略垂直に配向される液晶分子を含み、液晶分子配列が前記画素電極および前記共通電極間の電圧により制御される液晶層とを備え、前記画素電極は前記電圧の印加に伴って電場の揺らぎを前記画素領域に生成して前記画素領域を液晶分子のチルト方向の異なる複数のドメインにそれぞれ分割する複数の副電極部を有し、各副電極部はこの副電極部の周縁側から内側に伸びるようにして付加される誘電体層または配線層からなる複数の構造体ストライプおよびこれら構造体ストライプにそれぞれ隣接して残される複数の電極ストライプを含み、各副電極部の構造体ストライプおよび電極ストライプは前記画素電極の平面において隣接する他の副電極部の電極ストライプおよび構造体ストライプに間隙を介してそれぞれ対向することを特徴とする液晶表示装置。

【発明の詳細な説明】

10

20

30

40

50

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、各画素領域が複数のドメインに分割される液晶表示装置に関する。

【 0 0 0 2 】

【 従来技術 】

液晶表示装置は、薄型、軽量、低消費電力である等の様々な特徴を有しており、OA機器、情報端末、時計、およびテレビ等の様々な用途に応用されている。特に、薄膜トランジスタ（以下、TFTという）を有する液晶表示装置は、その高い応答性から、携帯テレビやコンピュータなどのように多量の情報を表示するモニタとして用いられている。

【 0 0 0 3 】

近年、情報量の増加に伴い、画像の高精細化や表示速度の高速化に対する要求が高まっている。これら要求のうち画像の高精細化は、例えば、上述したTFTを含むアレイ構造を微細化することによって実現されている。

【 0 0 0 4 】

一方、表示速度の高速化に関しては、従来の表示モードの代わりに、ネマチック液晶を用いたOCBモード、VAN（V e r t i c a l A l i g n e d N e m a t i c）モード、HANモード、および π 配列モードや、スメクチック液晶を用いた界面安定型強誘電性液晶モードおよび反強誘電性液晶モードを採用することが検討されている。

【 0 0 0 5 】

これら表示モードのうち、VANモードでは、従来のTN（T w i s t e d N e m a t i c）モードよりも速い応答速度を得ることができ、しかも、垂直配向のため静電気破壊などの不良を発生させるラビング処理が不要である。なかでも、マルチドメイン型VANモード（以下、MVAモードという）は、視野角の補償設計が比較的容易なことから特に注目を集めている。

【 0 0 0 6 】

しかしながら、従来は、MVAモードを採用した液晶表示装置においてアレイ基板だけでなく、対向基板に対しても畝状の誘電突起を形成するかあるいは対向基板上の共通電極にスリットなどを設けていた。そのため、アレイ基板と対向基板との位置合わせを極めて高い精度で行わなければならない、その結果、コストの上昇や信頼性の低下を生じてしまう。

【 0 0 0 7 】

また、近年では、TNモードの液晶表示装置の製造において、アレイ基板にカラーフィルタ層を形成する技術が実用化され始めている。この技術によると、アレイ基板と対向基板とを貼り合わせてセルを形成する際に、カラーフィルタ層を構成する各色領域と画素電極とを位置合わせする必要がない。従って、このような技術をMVAモードの液晶表示装置の製造にも適用することが望まれるが、従来のMVAモードの液晶表示装置では、アレイ基板と対向基板とを貼り合わせてセルを形成する際に、畝状誘電突起やスリットのような構造体に対応してアレイ基板および対向基板間の位置合わせを行う必要がある。そのため、従来のMVAモードの液晶表示装置では、アレイ基板にカラーフィルタ層を形成したとしても、TNモードの液晶表示装置で得られる利益を享受することはできなかった。

【 0 0 0 8 】

【 発明が解決しようとする課題 】

本発明は、上記問題点に鑑みてなされたものであり、MVAモードを採用した場合であっても、アレイ基板および対向基板間の位置合わせにおいて高い精度を必要とせずに光透過率を向上できる液晶表示装置を提供することを目的とする。

【 0 0 0 9 】

【 課題を解決するための手段 】

本発明によれば、少なくとも1つの画素電極を含むアレイ基板と、この画素電極に対向する共通電極を含む対向基板と、アレイ基板および対向基板間に挟持され、画素電極および共通電極間の画素領域において各基板に対して略垂直に配向される液晶分子を含み、液晶分子配列が画素電極および共通電極間の電圧により制御される液晶層とを備え、画素電極

10

20

30

40

50

はこの電圧の印加に伴って電場の揺らぎを画素領域に生成してこの画素領域を液晶分子のチルト方向の異なる複数のドメインにそれぞれ分割する複数の副電極部を有し、各副電極部はこの副電極部の周縁側から内側に伸びる欠落部として形成される複数のスリットおよびこれらスリットにそれぞれ隣接して残される複数の電極ストライプを含み、各副電極部のスリットおよび電極ストライプは画素電極の平面において隣接する他の副電極部の電極ストライプおよびスリットに間隙を介してそれぞれ対向する液晶表示装置が提供される。

【0010】

この液晶表示装置では、アレイ基板側の画素電極が電圧の印加に伴って電場の揺らぎを画素領域に生成してこの画素領域を液晶分子のチルト方向の異なる複数のドメインにそれぞれ分割する複数の副電極部を有する。各副電極部のスリットはこの副電極部の周縁側から内側に伸びる欠落部として形成されるものであることから、アレイ基板の製造プロセスに組み込むことができる。従って、独立なチルト制御部を対向基板側に配置する場合のように高い精度でアレイ基板および対向基板間の位置合せを行う必要がない。さらに、各副電極部のスリットおよび電極ストライプは画素電極の平面において隣接する他の副電極部の電極ストライプおよびスリットに間隙を介してそれぞれ対向する。この場合、電圧の印加に伴う液晶分子の応答方向を光源光の偏向軸方向からずらすことができ、光透過率の向上に寄与できる。

10

【0011】

【発明の実施の形態】

以下、本発明の実施形態に係る液晶表示装置について添付図面を参照して説明する。

20

【0012】

図1はこの液晶表示装置1の外観を示し、図2は液晶表示装置の回路構造を概略的に示し、図3は液晶表示装置の部分的断面構造を示し、図4は液晶表示装置のアレイ基板の部分的断面構造をさらに詳細に示す。この液晶表示装置はMVAモードで動作するもので、アレイ基板2、対向基板3、およびアレイ基板2と対向基板3との間に挟持される液晶層4を備える。アレイ基板2および対向基板3には、偏光板5が液晶層4とは反対側において貼り付けられる。液晶層4は誘電率異方性が負であるネマチック液晶を含む液晶材料からなり、アレイ基板2および対向基板3間において周辺シール材6により取り囲まれる。アレイ基板2および対向基板3はこの周辺シール材6によって貼り合わされることにより液晶層4と一体化する。アレイ基板2と対向基板3との間隔はスペーサSPによって一定に維持される。

30

【0013】

アレイ基板2は、ガラス板等の光透過性絶縁基板7、マトリクス状に配置され各々液晶分子Lqの配列を制御する電場を液晶層4に印加する複数の画素電極8、これら画素電極8の行に沿って配置される複数の走査線Y(Y1~Ym)、各々対応行の画素電極8を横切るように配置される複数の補助容量線CL、これら画素電極8の列に沿って配置される複数の信号線X(X1~Xn)、各々対応走査線Yおよび対応信号線Xの交差位置近傍に配置される複数のスイッチング素子9、複数の走査線Yを駆動する走査線駆動回路10、および複数の信号線Xを駆動する信号線駆動回路11を含む。複数の補助容量線CLは共通電極駆動回路VCOMによって基準電位に設定される。

40

【0014】

絶縁基板7はアンダーコート表面7Aを有し、複数のスイッチング素子9、複数の画素電極8、並びに信号線X、走査線Y、補助容量線CLのような配線が絶縁してこのアンダーコート表面7Aの上方において積層される。これらの配線はアルミニウム、モリブデン、および銅などからなる。複数の画素電極8はITOのような透明導電材料からなり、例えばスパッタリング法などにより透明導電材料の薄膜を形成した後、フォトリソグラフィ技術およびエッチング技術を用いてその薄膜をパターンングすることにより形成される。この画素電極8は電圧無印加状態で液晶層4の液晶分子Lqをアレイ基板2平面に対して略垂直に配向する垂直配向膜12により覆われる。この垂直配向膜12はポリイミドなどの透明樹脂の薄膜で構成され、ラビング処理せずに垂直配向性が付与されている。各スイッ

50

チング素子 9 はアンダーコート表面 7 A 上に形成されゲート絶縁膜 1 3 により覆われる例えばアモルファスシリコンやポリシリコンの半導体層 M、この半導体層 M 上にゲート絶縁膜 1 3 を介して形成され層間絶縁膜 1 4 で覆われるゲート電極 9 G、並びにゲート絶縁膜 1 3 および層間絶縁膜 1 4 に形成されるコンタクトホールを介して半導体層 M に接続されたソースおよびドレイン電極 9 S、9 D を持つ薄膜トランジスタである。スイッチング素子 9 の電極 9 S、9 D、9 G はアルミニウム、モリブデン、クロム、銅、およびタンタル等の金属材料で構成される。ソース電極 9 S は対応画素電極 8 に接続され、ドレイン電極 9 D は対応信号線 X に接続され、ゲート電極 9 G は対応走査線 Y に接続される。スイッチング素子 9 および層間絶縁膜 1 4 はカラーフィルタ層 C F で覆われ、画素電極 8 はこのカラーフィルタ層 C F 上に形成される。カラーフィルタ層 C F は各列の画素電極 8 に沿ったストライプとして形成される青色の着色層 C F __ B、緑色の着色層 C F __ G、および赤色の着色層 C F __ R により構成される。画素電極 8 はカラーフィルタ C F に形成されるコンタクトホール H を介してスイッチング素子 8 のソース電極 9 S に接続される。補助容量線 C L はゲート電極 9 G と一緒にゲート絶縁膜 1 3 上に形成される。画素電極 8 はカラーフィルタ層 C F および層間絶縁膜 1 4 に形成されるコンタクトホール H を介してコンタクト電極 C E に接続される。このコンタクト電極 C E は補助容量線 C E に形成される開口を貫通してスイッチング素子 8 の半導体層 M と一緒に形成される半導体層 M ' にコンタクトする。補助容量線 C L は、コンタクト電極 C E、半導体層 M '、および画素電極 8 に容量結合して補助容量 S C を構成する。

10

【0015】

20

対向基板 3 は、ガラス板等の光透過性絶縁基板 1 5、複数の画素電極 8 に対向するように絶縁基板 1 5 上に形成される共通電極 1 6、およびこの共通電極 1 6 を覆って形成され電圧無印加状態で液晶層 4 の液晶分子 L q を対向基板 3 平面に対して略垂直に配向する垂直配向膜 1 2 を含む。これら共通電極 1 6 および配向膜 1 2 は、画素電極 8 および配向膜 1 2 と同様の材料からなる。ここで、共通電極 1 6 は複数の画素電極 8 に対向した平坦な連続膜として形成され、アレイ基板 2 の補助容量線 C L と共に共通電極駆動回路 V C O M により基準電位に設定される。

【0016】

上述の液晶表示装置では、アレイ基板 2 がさらに電圧印加に伴って各基板 2、3 に略平行な様々な方向のそれぞれにおいて強電場域および弱電場域を交互に並べた電場の揺らぎを画素電極 8 および共通電極 1 6 間の液晶層 4 からなる画素領域に生成することにより液晶分子 L q のチルト方向を制御して画素領域を液晶分子 L q のチルト方向の異なる複数のドメインに分割するチルト制御部を含む。

30

【0017】

チルト制御部は図 5 に示すように画素電極 8 を例えば 3 個の副電極部 8 S に区分しこれら副電極部 8 S に対してそれぞれ強電場域および弱電場域の異方性分布を規定する構造である 3 つのドメイン分割パターンを有する。これら副電極部 8 S はドメイン分割パターン間の境界毎に一カ所だけ配置されるブリッジ電極 B R により相互接続される。各ドメイン分割パターンは対応副電極部 8 S の周縁側および中央側に両端を持つように伸びた複数の強電場域に対して対応副電極部 8 S の周縁側および中央側に両端を持つように伸びた複数の弱電場域をそれぞれ隣接させるように対応副電極部 8 S からの電場の強さを変化させる構造体を含むことになる。この構造体は図 5 において副電極部 8 S の欠落部として形成される複数のスリット S L で構成される。この場合、各副電極部 8 S はこの副電極部 8 S の周縁側から内側に伸びる欠落部として形成される複数のスリット S L およびこれらスリット S L にそれぞれ隣接して残される複数の電極ストライプ 8 E を含む。これらスリット S L は副電極部 8 S に含まれる 4 つの区画 8 a ~ 8 d、または 3 つの区画 8 a から 8 d の各々で例えば略平行に一定のピッチで並べられる。これらスリット S L は区画 8 a および 8 c で一方向に伸び、区画 8 b および 8 d で一方向に交差する他方向に伸びている。これにより、各副電極部 8 S に対応する画素領域は液晶分子 L q のチルト方向が互いに異なる 4 つまたは 3 つのドメインに分割される。

40

50

【 0 0 1 8 】

ここで、図 5 に示す構造のチルト制御部による液晶分子 L q の配向変化について概略的に説明する。図 6 の (a) および (c) は液晶分子 L q の配向状態をアレイ基板 2 および対向基板 3 の基板平面に平行な平面で示し、図 6 の (b) および (d) は液晶分子 L q の配向状態を基板平面に垂直な断面で示す。尚、液晶分子 L q の周辺構造は簡略化して示されている。

【 0 0 1 9 】

画素電極 8 および共通電極 1 6 間に電圧を印加しない場合、配向膜 1 2 は誘電率異方性が負の液晶分子 L q を垂直配向させるように作用する。すなわち、液晶分子 L q の長軸は配向膜 1 2 の膜面に対してほぼ垂直になる。

10

【 0 0 2 0 】

画素電極 8 および共通電極 1 6 間に比較的低い第 1 電圧を印加すると、画素電極 8 からの漏れ電場がスリット S L の近傍に生じ、これにより電気力線が図 6 (b) に示すように傾く。

【 0 0 2 1 】

画素電極 8 および共通電極 1 6 間の印加電圧は、電気力線に垂直な方向に液晶分子 L q を配向させる電場を生成する。従って、液晶分子 L q は、一对の配向膜 1 2 および電場の作用によって、図 6 の (a) に示すように配向しようとする。

【 0 0 2 2 】

しかしながら、液晶分子 L q の配向状態は図 6 の (a) に示すように一对のスリット S L 間で画素電極 8 の幅方向に隣接していることにより互いに干渉する。このため、液晶分子 L q は、図 6 の (a) に示す矢印 A 1 の向きまたは矢印 A 2 の向きにチルト方向を変化させて、より安定な配向状態をとろうとする。

20

【 0 0 2 3 】

ここで、図 6 の (a) に示すように、スリット S L 間画素電極 8 (すなわち、電極ストライプ 8 E) 上およびその近傍領域の液晶分子 L q がスリット S L に沿った方向において対称的な (あるいは、等方的な) 配向状態であるとする。この場合、液晶分子 L q のチルト方向が矢印 A 1 の向きに変化する確率と、矢印 A 2 の向きに変化する確率とが等しくなる。

【 0 0 2 4 】

これに対し、図 6 の (c) に示すように、スリット S L 間画素電極 8 上およびその近傍の液晶分子 L q がこれらスリット S L に沿った方向において非対称な (あるいは、異方的な) 配向状態である場合、スリット S L 間画素電極 8 の両端間で電気力線が非対称となり、同様に、スリット S L の両端間でも電気力線が非対称になる。そのため、液晶分子 L q が矢印 A 2 の向きに配向した配向状態は、液晶分子 L q が矢印 A 1 で示す向きに配向した配向状態に比べてより安定となる。その結果、液晶分子 L q の平均的なチルト方向 (ディレクタ) は、図 6 の (c) に示す矢印 A 2 の向きとなる。

30

【 0 0 2 5 】

第 1 電圧よりも高い第 2 電圧を画素電極 8 および共通電極 1 6 間に印加すると、一对の配向膜 1 2 が液晶分子 L q を垂直配向させようとする作用に対して、電場が液晶分子 L q をその電気力線に垂直な方向に配向させようとする作用がより大きくなる。従って、液晶分子 L q は、水平配向に近づくようにチルト角を変化させる。

40

【 0 0 2 6 】

ここで、第 2 電圧を画素電極 8 および共通電極 1 6 間に印加した場合でも、第 1 電圧を画素電極 8 および共通電極 1 6 間に印加した場合と同様に、液晶分子 L q が矢印 A 2 の向きに配向した配向状態は、液晶分子 L q が矢印 A 1 で示す向きに配向した配向状態に比べてより安定である。そのため、画素電極 8 および共通電極 1 6 間の印加電圧を第 1 および第 2 電圧間で変化させた場合、液晶分子 L q のディレクタはスリット S L の配列方向に垂直な面内で変化することとなる。すなわち、画素電極 8 および共通電極 1 6 間の印加電圧を第 1 および第 2 電圧間で変化させた場合、液晶分子 L q は、その平均的なチルト方向をス

50

リットＳＬの配列方向に垂直な面内に維持したままチルト角を変化させる。

【００２７】

ところで、各副電極部８ＳのスリットＳＬおよび電極ストライプ８Ｅは画素電極８の平面において隣接する他の副電極部８ＳのスリットＳＬおよび電極ストライプ８Ｅに副電極間スリットＳＬ'を介してそれぞれ正対している。副電極間スリットＳＬ'は隣接する２個の副電極部８Ｓ間の境界に配置されるが、液晶分子は偏光板５により決まる光の偏向軸方向に倒れてしまい、液晶分子の動きが光透過率の向上に寄与しない。

【００２８】

このため、図５に示すように、各副電極部８ＳのスリットＳＬおよび電極ストライプ８Ｅは画素電極８の平面において隣接する他の副電極部８Ｓの電極ストライプ８ＥおよびスリットＳＬに副電極間スリットＳＬ'の間隙を介してそれぞれ対向するか、他の副電極部８ＳのスリットＳＬおよび電極ストライプ８Ｅに対してそれぞれ正対しないようにこれら副電極部間の境界に沿ってずれて配置されることが好ましい。これにより、電圧の印加に伴う液晶分子の応答方向を光源光の偏向軸方向からずらすことができ、光透過率の向上に寄与できる。さらに、各副電極部８ＳのスリットＳＬと他の副電極部８ＳのスリットＳＬとを結ぶ直線は副電極間の境界方向に対して４５°の角度を成すことがより好ましい。尚、画素電極８は図５に示す形状だけでなく、スリットＳＬおよび電極ストライプを例えば図８～図１１に示すように配置した形状であってもよい。

【００２９】

図５に示す複数のスリットＳＬは画素電極８からの電場の強度を減衰させる構造体として利用される。これらスリットＳＬを利用した場合、比較的高い自由度で設計を行うことが可能である。しかしながら、電場の揺らぎはスリットＳＬ以外の構造体ストライプによっても生じさせることができる。これについては、図７を参照して説明する。

【００３０】

図７はチルト制御部の基本構造の変形例を概略的に示す。この変形例では、図７の（ａ）に示すように、複数の誘電体層２１が図５に示す複数のスリットＳＬの代わりにこれらスリットＳＬと同様のパターンで画素電極８上に形成される。この場合、アクリル系樹脂、エポキシ系樹脂、ノボラック系樹脂などのように誘電体層２１の誘電率が液晶材料の誘電率よりも低ければ、液晶層４において誘電体層２１の近傍に電場の強さがより弱い弱電場域を生成することができる。従って、複数のスリットＳＬを形成した場合と同様の効果を得ることができる。

【００３１】

また、図５に示す複数のスリットＳＬの代わりに、図７の（ｂ）に示すように、複数の配線２３が透明絶縁体層２２を介して画素電極８上に形成されてもよい。配線２３は、例えば信号線、ゲート線、補助容量配線などであり、複数のスリットＳＬと同様のパターンで配列している。この場合、液晶層４において配線２３の近傍に電場の強さがより強い強電場域を生成することができる。従って、この場合も、複数のスリットＳＬを形成した場合と同様の効果を得ることができる。

【００３２】

上述の変形例の構成を要約すれば、各副電極部８Ｓがこの副電極部８Ｓの周縁側から内側に伸びるようにして付加される誘電体層２１または配線２３からなる複数の構造体ストライプおよびこれら構造体ストライプにそれぞれ隣接して残される複数の電極ストライプ８Ｅを含み、各副電極部８Ｓの構造体ストライプおよび電極ストライプが画素電極８の平面において隣接する他の副電極部８Ｓの電極ストライプ８Ｅおよび構造体ストライプに間隙を介してそれぞれ対向することになる。また、このような構成に加えて、各副電極部８Ｓの構造体ストライプおよび電極ストライプ８Ｅが他の副電極部８Ｓの構造体ストライプおよび電極ストライプ８Ｅに対してそれぞれ正対しないようにこれら副電極部８Ｓ間の境界に沿ってずれて配置されることが好ましい。

【００３３】

尚、液晶表示装置１が透過型である場合、誘電体層２１および配線２３の材料は、透過率

の観点から、透明な材料であることが好ましい。また、液晶表示装置 1 が反射型である場合、誘電体層 2 1 および配線 2 3 の材料として、透明な材料に加え、金属材料のように不透明な材料を用いてもよい。

【0034】

上述のようなチルト制御部の基本構造では、液晶層 4 において強電場域の幅 W_1 と弱電場域の幅 W_2 との和 W_{12} は $20\ \mu\text{m}$ 以下であることが好ましい。通常、和 W_{12} が $20\ \mu\text{m}$ 以下であれば、液晶分子 Lq の配向を上述したように制御することができ、十分な透過率を実現することができる。また、和 W_{12} は $6\ \mu\text{m}$ 以上であることが好ましい。一般に、和 W_{12} が $6\ \mu\text{m}$ 以上であれば、液晶層 4 において強電場域と弱電場域とを生じさせる構造体を十分に高い精度で形成することができるのに加え、上述した液晶配向を安定に生じさせることができる。 10

【0035】

尚、和 W_{12} は、スリット SL 間の画素電極 8 の幅とスリット SL の幅との和、誘電体層 2 1 間の画素電極 8 の幅と誘電体層 2 1 の幅との和、画素電極 8 上に設けた配線 2 3 の幅と配線 2 3 間の画素電極 8 の幅との和、第 3 電圧印加時にチルト角がより大きな領域の幅とより小さな領域の幅との和、第 3 電圧印加時に透過率がより高い領域の幅とより低い領域の幅との和などとほぼ等しい。従って、これら幅も $20\ \mu\text{m}$ 以下であることおよび $6\ \mu\text{m}$ 以上であることが好ましい。

【0036】

チルト制御部の基本構造において、幅 W_1 および幅 W_2 は、それぞれ、 $8\ \mu\text{m}$ 以下であることが好ましい。また、幅 W_1 および幅 W_2 は、それぞれ、 $4\ \mu\text{m}$ 以上であることが好ましい。この範囲においては、応答速度および透過率に関して実用上十分な性能を期待することができる。 20

【0037】

尚、幅 W_1 と幅 W_2 とは、スリット SL 間の画素電極 8 の幅とスリット SL の幅、画素電極 8 上の誘電体層 2 1 に挟まれた領域の幅と誘電体層 2 1 の幅、画素電極 8 上に設けた配線 2 3 の幅と配線 2 3 間の画素電極 8 の幅、第 3 電圧印加時にチルト角がより大きな領域の幅とより小さな領域の幅、第 3 電圧印加時に透過率がより高い領域の幅とより低い領域の幅などに対応している。従って、これら幅も $8\ \mu\text{m}$ 以下で $4\ \mu\text{m}$ 以上であることが好ましい。 30

【0038】

チルト制御部の基本構造において、液晶層 4 において強電場域の長さおよび弱電場域の長さは、それぞれ、幅 W_1 および幅 W_2 よりも長ければよいが、それらの和である幅 W_{12} に対して 2 倍以上であることが好ましい。この場合、より多くの液晶分子 Lq をそれら電場域の長さ方向に配向させることができる。

【0039】

本実施形態では、強電場域および弱電場域が図 6 の (c) に示すようにスリット SL 間画素電極 8 の長手方向において非対称となるよう配向状態を得るように液晶層 4 に生成されるが、図 6 の (a) に示すようにスリット SL 間画素電極 8 の長手方向において対称な配向状態を得るようにしてもよい。但し、前者の方が応答速度などの点で有利である。本実施形態では、誘電率異方性が負のネマチック液晶を垂直配向させた VAN モードを採用したが、誘電率異方性が正のネマチック液晶を用いることも可能である。特に、高いコントラストが望まれる場合は、 VAN モードを採用し且つノーマリブラックとすることにより、例えば、 $400:1$ 以上の高いコントラストと高透過率設計による明るい画面設計とが可能である。 40

【0040】

本実施形態において、見かけ上、液晶の光学応答を速めるために、偏光板 5 の光透過容易軸あるいは光吸収軸と強電場域と弱電場域との配列方向とが為す角度を 45° から所定の角度 θ だけずらしてもよい。この角度 θ は、視野角などに応じて設定することもできるが、応答時間を短縮するには 22.5° とすることが最も効果的である。 50

【 0 0 4 1 】

本実施形態において、副電極部 8 S の区画 8 a ~ 8 d の形状は特に制限されず、例えば、矩形や扇形とすることができる。

【 0 0 4 2 】

本実施形態では、第 3 電圧印加時に画素領域をドメイン分割するチルト制御部をアレイ基板 2 のみに設けたが、アレイ基板 2 および対向基板 3 の双方に設けてもよい。但し、前者の場合、アレイ基板 2 と対向基板 3 とを貼り合わせてセルを形成する際にアライメントマークなどを利用した高精度な位置合わせが不要となる。

【 0 0 4 3 】

また、本実施形態では、カラーフィルタ層 C F をアレイ基板 2 に設けた構造 (C O A : c o l o r f i l t e r o n a r r a y) を採用したが、カラーフィルタ層 C F は対向基板 3 に設けてもよい。但し、前者の場合、アレイ基板 2 と対向基板 3 とを貼り合わせてセルを形成する際にアライメントマークなどを利用した高精度な位置合わせが不要となる。

【 0 0 4 4 】

以下、上述の実施形態に係る液晶表示装置の製造例 1 から 5 について説明する。画素電極 8 は、製造例 1 において図 5 に示す形状に形成され、製造例 2 において図 8 に示す形状に形成され、製造例 3 において図 9 に示す形状に形成され、製造例 4 において図 10 に示す形状に形成され、製造例 5 において図 11 に示す形状に形成される。また、比較例として、画素電極 8 が図 12 に示す形状に形成される液晶表示装置も製造してみた。製造例 1 ~ 5 では、各副電極部 8 S のスリット S L および電極ストライプ 8 E が画素電極 8 の平面において隣接する他の副電極部 8 S の電極ストライプ 8 E およびスリット S L に間隙を介してそれぞれ対向するか、他の副電極部 8 S のスリット S L および電極ストライプ 8 E に対してそれぞれ正対しないようにこれら副電極部 8 S 間の境界に沿ってずれて配置されている。これに対して比較例では、スリット S L および電極ストライプ 8 E が隣接する 2 個の副電極部間で互いに延長線上に配置されている。

【 0 0 4 5 】

各製造例および比較例の液晶表示装置はいずれも以下の方法により製造した。まず、通常の薄膜トランジスタ形成プロセスと同様に成膜とパターニングとを繰返し、ガラス板である光透過性絶縁基板 7 の一主表面上に走査線 Y および信号線等の配線並びにスイッチング素子 8 の薄膜トランジスタを形成した。次に、薄膜トランジスタを形成した絶縁基板 7 の表面側に常法により光透過性絶縁膜であるカラーフィルタ層 C F を形成した。

【 0 0 4 6 】

次いで、カラーフィルタ層 C F を形成した絶縁基板 7 の表面側に所定パターンのマスクを介して I T O をスパッタリングした。その後、この I T O 膜上にレジストパターンを形成し、このレジストパターンをマスクとして用いて I T O 膜の露出部をエッチングした。以上のようにして、特定形状の画素電極 8 を形成した。尚、ここでは、スリット S L の幅およびスリット S L 間画素電極 8 の幅はいずれも 5 μ m とした。

【 0 0 4 7 】

その後、画素電極 8 を形成した絶縁基板 7 の表面の全面に熱硬化性樹脂を塗布し、この塗膜を焼成することにより、垂直配向性を示す厚さ 70 n m の配向膜 1 2 を形成した。アレイ基板 2 は上述のようにして製作される。

【 0 0 4 8 】

次に、別途用意したガラス板からなる光透過性絶縁基板 1 5 の一主表面上に、共通電極 1 6 として、スパッタリング法を用いて I T O 膜を形成した。続いて、この共通電極 1 6 の全面に、アレイ基板 2 に関して説明したのと同様の方法により配向膜 1 2 を形成した。以上のようにして、対向基板 3 を製作した。

【 0 0 4 9 】

次いで、液晶材料を注入するための注入口を残してアレイ基板 2 と対向基板 3 の周縁部に周辺シール材 6 となる接着剤を塗布し、それぞれの配向膜 1 2 を内側にしてアレイ基板 2

10

20

30

40

50

と対向基板 3 を貼り合わせるることにより液晶注入空間（液晶セル）を形成した。尚、この液晶セルのセルギャップは、アレイ基板 2 に設けられ対向基板 3 に接触する長さ $4\ \mu\text{m}$ の柱状スペーサ SP により一定に維持した。また、アレイ基板 2 および対向基板 3 を貼り合わせる際、これらアレイ基板 2 および対向基板 3 間の位置合わせはそれらの端面を揃えることにより行い、アライメントマークなどを利用する高精度な位置合わせは行わなかった。

【0050】

次いで、この液晶セル内に誘電率異方性が負である液晶材料を通常の方法により注入して液晶層 4 を形成した。次いで、液晶注入口を紫外線硬化樹脂で封止し、液晶セルの両面に偏光板 5 を貼り付けることにより液晶表示装置 1 を得た。

10

【0051】

こうして製造された液晶表示装置 1 は例えば画素電極 8 および共通電極 16 間の印加電圧を約 1 V から約 5 V までの間で変化させて駆動することができる。

【0052】

そこで、実際に画素電極 8 と共通電極 16 との間に 4 V の電圧を印加した状態で観察すると、画素電極 8 の形状にそれぞれ対応した透過率分布が得られた。

【0053】

次に、これら液晶表示装置について、透過率、配向分割均一性および応答時間を測定した。その結果を以下の表に示す。

【0054】

20

【表 1】

	透過率	配向分割均一性	応答時間
製造例 1	19 %	良好	23 ms
製造例 2	19 %	良好	23 ms
製造例 3	17 %	良好	23 ms
製造例 4	19 %	良好	23 ms
製造例 5	19 %	良好	23 ms
比較例	17 %	良好	23 ms

30

【0055】

上記表から明らかなように、製造例 1 から製造例 5 では、アレイ基板 2 および対向基板 3 を貼り合わせる際に高精度な位置合わせを行わなかったのにも拘らず、透過率が高く、配向分割均一性が良好であり、応答時間も短い。すなわち、これら製造例の構成では、アレイ基板 2 および対向基板 3 を高精度に位置合わせすることなく MVA モードの液晶表示装置を製造することができる。さらに、各副電極部 8 S のスリット SL および電極ストライプ 8 E が画素電極 8 の平面において隣接する他の副電極部 8 S の電極ストライプ 8 E およびスリット SL に間隙を介してそれぞれ対向するか、他の副電極部 8 S のスリット SL および電極ストライプ 8 E に対してそれぞれ正対しないようにこれら副電極部 8 S 間の境界に沿ってずれて配置されていることにより、電圧の印加に伴う液晶分子の応答方向を光源光の偏向軸方向からずらすことができ、光透過率の向上に寄与できる。

40

【0056】

【発明の効果】

以上のように本発明によれば、MVA モードを採用した場合であっても、アレイ基板および対向基板間の位置合わせにおいて高い精度を必要とせずに光透過率を向上できる液晶表示装置を提供することができる。

50

【図面の簡単な説明】

【図 1】本発明の一実施形態に係る液晶表示装置の外観を示す斜視図である。

【図 2】図 1 に示す液晶表示装置の回路構造を概略的に示す図である。

【図 3】図 2 に示す液晶表示装置の部分的断面構造を示す図である。

【図 4】図 3 に示すアレイ基板の部分的断面構造をさらに詳細に示す図である。

【図 5】図 2 に示す液晶表示装置のチルト制御部の基本構造を示す平面図である。

【図 6】図 5 に示す液晶分子の配向状態を基板平面に平行な平面および基板平面に垂直な断面において示す図である。

【図 7】図 5 に示すチルト制御部の基本構造の変形例を概略的に示す断面図である。

【図 8】図 5 に示す画素電極の形状に関する第 1 変形例を示す平面図である。

10

【図 9】図 5 に示す画素電極の形状に関する第 2 変形例を示す平面図である。

【図 10】図 5 に示す画素電極の形状に関する第 3 変形例を示す平面図である。

【図 11】図 5 に示す画素電極の形状に関する第 4 変形例を示す平面図である。

【図 12】図 5 および図 8 ~ 図 11 に示す画素電極の形状に対する比較例を示す平面図である。

【符号の説明】

1 ... 液晶表示装置

2 ... アレイ基板

3 ... 対向基板

4 ... 液晶層

20

5 ... 偏光板

7 ... 光透過性絶縁基板

8 ... 画素電極

8 a ~ 8 d ... 区画

8 E ... 電極ストライプ

8 S ... 副電極部

9 ... スイッチング素子

12 ... 配向膜

15 ... 光透過性絶縁基板

16 ... 共通電極

30

21 ... 誘電体層

22 ... 透明絶縁体層

23 ... 配線

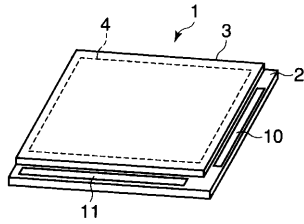
SL ... スリット

Lq ... 液晶分子

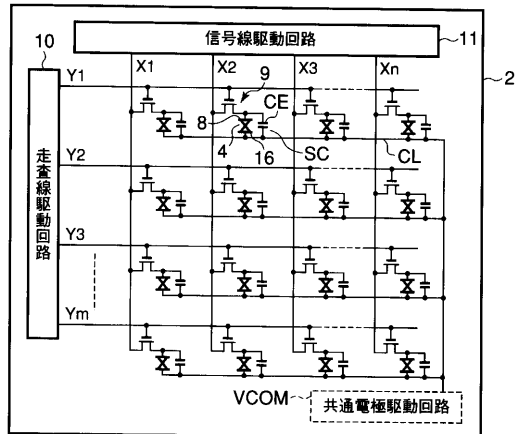
CF ... カラーフィルタ層

CF __ B , CF __ G , CF __ R ... 着色層

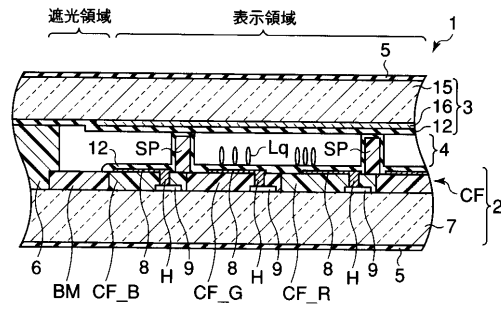
【 図 1 】



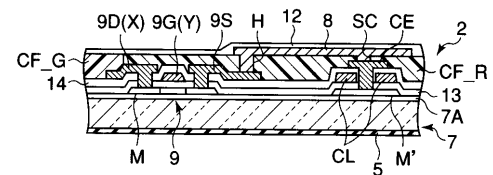
【 図 2 】



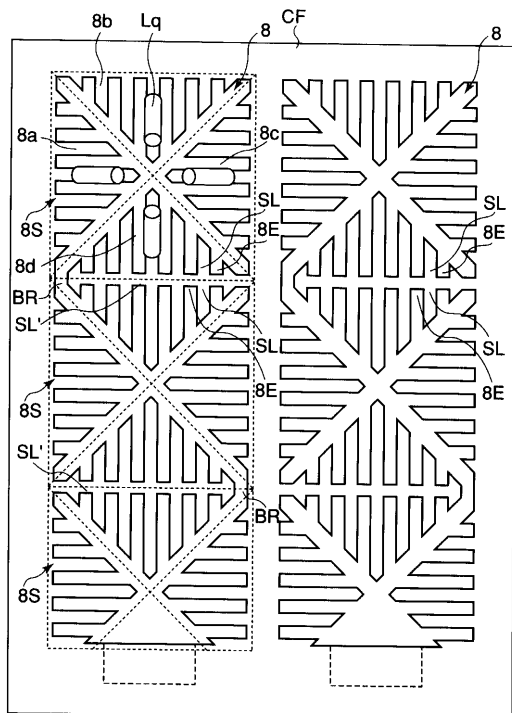
【 図 3 】



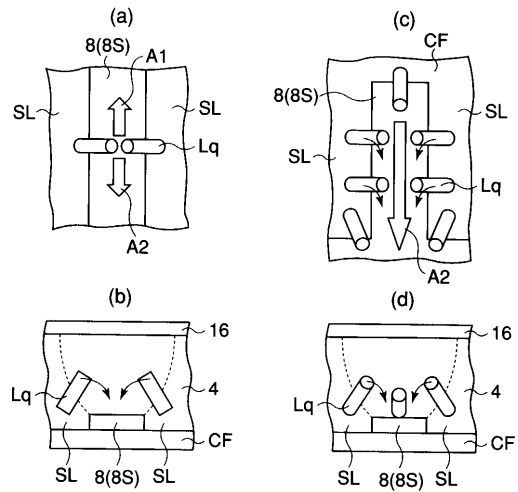
【 図 4 】



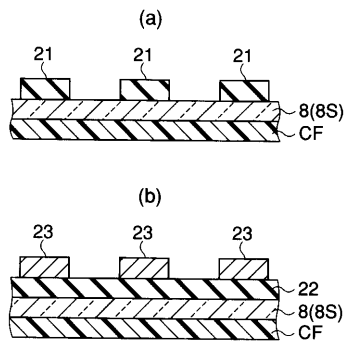
【 図 5 】



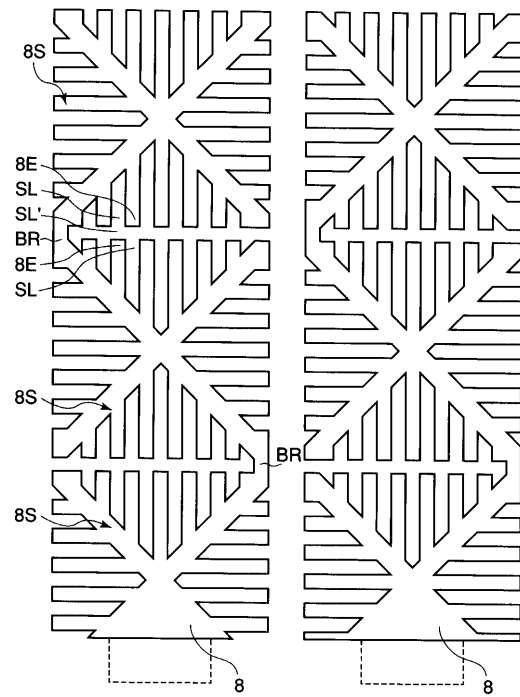
【 図 6 】



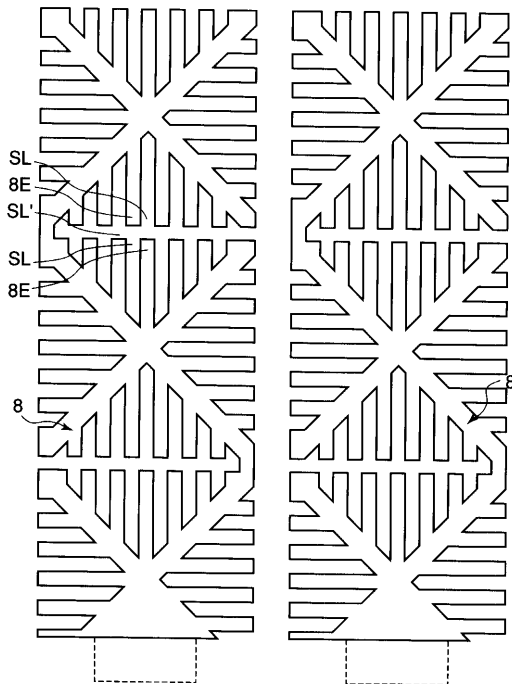
【 図 7 】



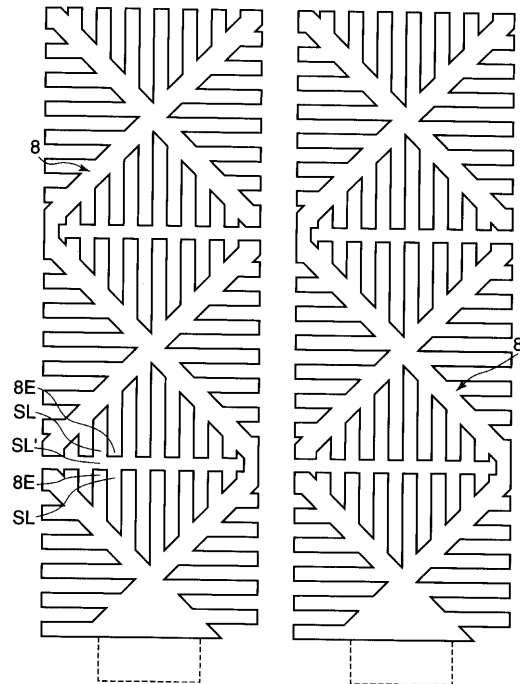
【 図 8 】



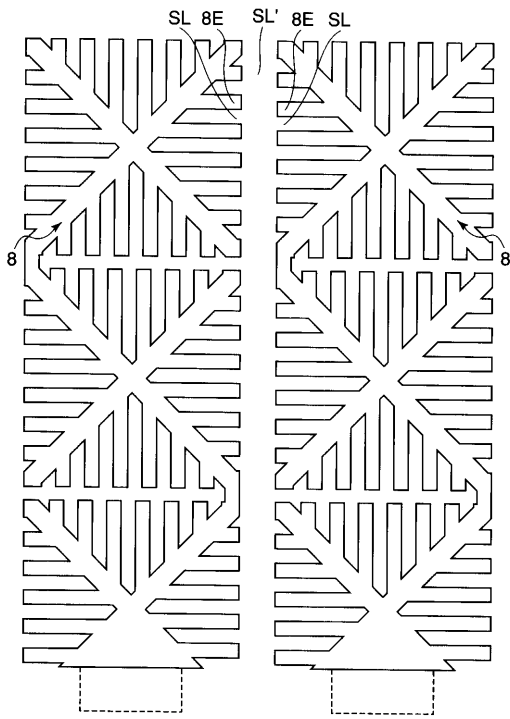
【 図 9 】



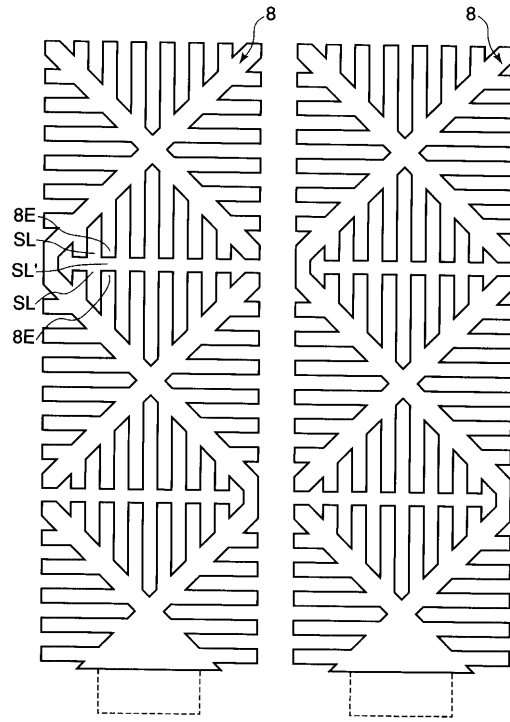
【 図 10 】



【図 1 1】



【図 1 2】



フロントページの続き

- (74)代理人 100070437
弁理士 河井 将次
- (72)発明者 長田 洋之
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内
- (72)発明者 村山 昭夫
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内
- (72)発明者 春原 一之
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内
- (72)発明者 久武 雄三
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内
- (72)発明者 川田 靖
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内
- (72)発明者 山口 剛史
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内
- (72)発明者 二ノ宮 希佐子
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内
- (72)発明者 藤山 奈津子
埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社東芝深谷工場内

F ターム(参考) 2H088 GA02 GA04 HA02 HA03 JA05 JA11 JA12 JA20 JA28 KA27
KA30 MA20
2H090 HA11 KA03 KA18 LA01 MA01 MA03 MA12 MA17
2H092 GA11 GA12 GA13 GA14 JB01 JB05 JB14 NA21 NA24 NA27
NA29 QA05 QA06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2004037854A	公开(公告)日	2004-02-05
申请号	JP2002194932	申请日	2002-07-03
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	長田洋之 村山昭夫 春原一之 久武雄三 川田靖 山口剛史 二ノ宮希佐子 藤山奈津子		
发明人	長田 洋之 村山 昭夫 春原 一之 久武 雄三 川田 靖 山口 剛史 二ノ宮 希佐子 藤山 奈津子		
IPC分类号	G02F1/137 G02F1/1337 G02F1/1343		
FI分类号	G02F1/1343 G02F1/1337 G02F1/137		
F-TERM分类号	2H088/GA02 2H088/GA04 2H088/HA02 2H088/HA03 2H088/JA05 2H088/JA11 2H088/JA12 2H088/JA20 2H088/JA28 2H088/KA27 2H088/KA30 2H088/MA20 2H090/HA11 2H090/KA03 2H090/KA18 2H090/LA01 2H090/MA01 2H090/MA03 2H090/MA12 2H090/MA17 2H092/GA11 2H092/GA12 2H092/GA13 2H092/GA14 2H092/JB01 2H092/JB05 2H092/JB14 2H092/NA21 2H092/NA24 2H092/NA27 2H092/NA29 2H092/QA05 2H092/QA06 2H092/JA25 2H092/KB26 2H290/AA34 2H290/BA07 2H290/BB46 2H290/BB49 2H290/BB75 2H290/BB83 2H290/CA12 2H290/CA46 2H290/CA48 2H290/DA01		
代理人(译)	坪井淳 河野 哲 中村诚		
外部链接	Espacenet		

摘要(译)

解决的问题：即使采用MVA模式，也不需要阵列基板与对置基板之间的高精度对准即可提高透光率。提供了包括像素电极的阵列基板，包括面对像素电极的公共电极的对基板以及夹在这些基板之间的液晶层。特别地，像素电极8具有多个子电极部分8S，这些子电极部分8S响应于施加电压而在像素区域中产生电场波动，并将像素区域在液晶分子的不同倾斜方向上划分为多个畴。电极部8S具有：形成为从子电极部8S的周缘侧向内侧延伸的缺损部的多个狭缝SL；和与这些狭缝SL相邻的多个电极条8E；以及各子电极部8S的狭缝SL和电极条8E。电极条8E和在像素电极8的平面中相邻的另一子电极部8S的狭缝SL在间隙上相对。[选择图]图5

