

(51)Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/133	560	G 0 2 F 1/133	560 2 H 0 9 3
	550		550 5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A 5 C 0 8 0
	624		624 B 5 F 0 4 8
	641		641 E 5 F 1 1 0

審査請求 未請求 請求項の数 34 O L (全 65数) 最終頁に続く

(21)出願番号	特願2001 - 168362(P2001 - 168362)	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成13年6月4日(2001.6.4)	(72)発明者	高取 憲一 東京都港区芝五丁目7番1号 日本電気株式 会社内
		(74)代理人	100099830 弁理士 西村 征生

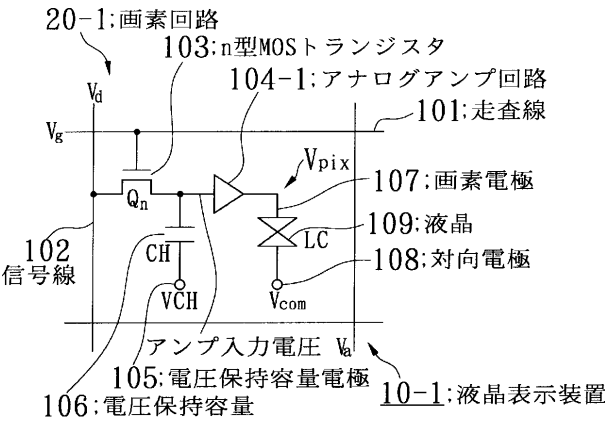
最終頁に続く

(54)【発明の名称】 トランジスタの動作点設定方法及びその回路、信号成分値変更方法並びにアクティブマトリクス型液晶表示装置

(57)【要約】

【課題】 マルチゲート構造のMOSトランジスタの動作点をI d sのV d sへの依存性等の大幅な解消を図り得る動作点に設定する。

【解決手段】 ゲート走査電圧でオンしたn型MOSトランジスタ103を介して信号線102上のデータ信号電圧を電圧保持容量106に保持してアナログアンプ回路104-1に供給する。アナログアンプ回路104-1は、ダブルゲート構造のMOSトランジスタで構成され、その動作点は、I d sのV d sへの依存性がほぼ無くなっている動作範囲に設定されている。液晶109の応答でV d sに変動が生じててもI d sはほぼ一定している。したがって、データ信号電圧にほぼ比例した画素電圧が液晶109に印加される。



【特許請求の範囲】

【請求項 1】 ユニポーラトランジスタの動作点を設定するトランジスタの動作点設定方法であって、シングルゲート構造の複数のユニポーラトランジスタの各ゲートを共通に接続し、該複数のユニポーラトランジスタを直列に接続したものと等価なマルチゲート構造のユニポーラトランジスタにおける前記シングルゲート構造のユニポーラトランジスタ単体の各々の動作点を、ソース - ドレイン電流のソース - ドレイン間電圧への依存性が許容範囲内となる動作点に設定することを特徴とするトランジスタの動作点設定方法。

【請求項 2】 前記マルチゲート構造のユニポーラトランジスタは、マルチゲート構造の絶縁ゲート型トランジスタ又はマルチゲート構造の接合型トランジスタであることを特徴とする請求項 1 記載のトランジスタの動作点設定方法。

【請求項 3】 前記動作点は、前記許容範囲内の最適な動作点及び前記許容範囲内にある最適な動作点以外の動作点のうちのいずれか 1 つに設定されることを特徴とする請求項 1 又は 2 記載のトランジスタの動作点設定方法。

【請求項 4】 前記信号は、増幅信号、変調信号及び復調信号のうちのいずれか 1 つであることを特徴とする請求項 1、2 又は 3 記載のトランジスタの動作点設定方法。

【請求項 5】 ユニポーラトランジスタの動作点を設定するトランジスタの動作点設定回路であって、シングルゲート構造の複数のユニポーラトランジスタの各ゲートを共通に接続し、該複数のユニポーラトランジスタを直列に接続したものと等価なマルチゲート構造のユニポーラトランジスタにおける前記シングルゲート構造のユニポーラトランジスタ単体の各々の動作点を、ソース - ドレイン電流のソース - ドレイン間電圧への依存性が許容範囲内となる動作点に設定したことを特徴とするトランジスタの動作点設定回路。

【請求項 6】 前記マルチゲート構造のユニポーラトランジスタは、マルチゲート構造の絶縁ゲート型トランジスタ又はマルチゲート構造の接合型トランジスタであることを特徴とする請求項 5 記載のトランジスタの動作点設定回路。

【請求項 7】 前記動作点は、前記許容範囲内の最適な動作点及び前記許容範囲内にある最適な動作点以外の動作点のいずれか 1 つに設定されることを特徴とする請求項 5 又は 6 記載のトランジスタの動作点設定回路。

【請求項 8】 ユニポーラトランジスタを用いて入力信号の信号成分値を変更する信号成分値変更方法であって、シングルゲート構造の複数のユニポーラトランジスタの各ゲートを共通に接続し、該複数のユニポーラトランジスタを直列に接続したものと等価なマルチゲート構造の

ユニポーラトランジスタにおける前記シングルゲート構造のユニポーラトランジスタ単体の各々の動作点を、ソース - ドレイン電流のソース - ドレイン間電圧への依存性が許容範囲内となる動作点に設定し、

設定された前記動作点で前記マルチゲート構造のユニポーラトランジスタを動作させて前記入力信号の信号成分値を変更することを特徴とする信号成分値変更方法。

【請求項 9】 前記動作点が設定されるマルチゲート構造のユニポーラトランジスタの数は、単数又は複数であることを特徴とする請求項 8 記載の信号成分値変更方法。

【請求項 10】 前記マルチゲート構造のユニポーラトランジスタは、マルチゲート構造の絶縁ゲート型トランジスタ又はマルチゲート構造の接合型トランジスタであることを特徴とする請求項 8 又は 9 記載の信号成分値変更方法。

【請求項 11】 前記動作点は、前記許容範囲内の最適な動作点及び前記許容範囲内にある最適な動作点以外の動作点のうちのいずれか 1 つに設定されることを特徴とする請求項 8、9 又は 10 記載の信号成分値変更方法。

【請求項 12】 前記信号は、増幅信号、変調信号及び復調信号のうちのいずれか 1 つであることを特徴とする請求項 8、9、10 又は 11 記載の信号成分値変更方法。

【請求項 13】 前記信号の信号成分は、前記信号の振幅、位相及び周波数のうちのいずれか 1 つであることを特徴とする請求項 8 乃至 12 のいずれかに記載の信号成分値変更方法。

【請求項 14】 ゲート回路と、該ゲート回路の出力に接続されたアナログアンプ回路と、該アナログアンプ回路の出力に接続された液晶とを有する画素回路が、マトリクス状に配置された走査線と信号線との交点近傍毎に設けられ、画素回路毎のゲート回路は、当該画素回路に対応する走査線上のゲート走査電圧に基づいて前記画素回路に対応する信号線上のデータ信号電圧を前記アナログアンプ回路へゲートし、前記アナログアンプ回路が画素電圧を前記液晶に供給するとき、前記液晶は前記画素電圧対応の画素を表示するアクティブマトリクス型液晶表示装置であって、

前記アナログアンプ回路は、マルチゲート構造のユニポーラトランジスタを含んで構成されたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 15】 前記アナログアンプ回路は、アンプ回路部と負荷素子とで構成され、前記アンプ回路部及び前記負荷素子のうちの少なくとも一方は、マルチゲート構造のユニポーラトランジスタで構成され、前記アンプ回路部と前記負荷素子との接続点を前記液晶に接続したことを特徴とする請求項 14 記載のアクティブマトリクス型液晶表示装置。

【請求項 16】 前記アナログアンプ回路は、2 つの入

力を有する差動増幅回路と、差動増幅回路の出力を入力に接続した位相補償回路と、該位相補償回路の出力を入力に接続した出力バッファとで構成され、前記差動増幅回路の一方の入力に前記ゲート回路の出力が接続され、かつ、前記差動増幅回路のいずれか他方の入力に前記出力バッファの出力が接続され、前記差動増幅回路の定電流源及び前記出力バッファの電流源は、マルチゲート構造のユニポーラトランジスタで構成され、前記出力バッファの出力を前記液晶に接続したことを特徴とする請求項 14 記載のアクティブマトリクス型液晶表示装置。

【請求項 17】 前記液晶の液晶材料は、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無閾反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴とする請求項 14、15 又は 16 記載のアクティブマトリクス型液晶表示装置。

【請求項 18】 前記マルチゲート構造のユニポーラトランジスタは、マルチゲート構造の絶縁ゲート型トランジスタ又はマルチゲート構造の接合型トランジスタであることを特徴とする請求項 14、15、16 又は 17 記載のアクティブマトリクス型液晶表示装置。

【請求項 19】 前記マルチゲート構造のユニポーラトランジスタの動作点は、シングルゲート構造の複数のユニポーラトランジスタの各ゲートを共通に接続し、該複数のユニポーラトランジスタを直列に接続したものと等価なマルチゲート構造のユニポーラトランジスタにおける前記シングルゲート構造のユニポーラトランジスタ単体の各々の動作点を、ソース・ドレイン電流のソース・ドレイン間電圧への依存性が許容範囲内となる動作点に設定するようにしたものであることを特徴とする請求項 14 乃至 18 のいずれかーに記載のアクティブマトリクス型液晶表示装置。

【請求項 20】 前記動作点は、前記許容範囲内の最適な動作点及び前記許容範囲内にある最適な動作点以外の動作点のうちのいずれか一つに設定されることを特徴とする請求項 19 記載のアクティブマトリクス型液晶表示装置。

【請求項 21】 前記負荷素子は、マルチゲート構造のユニポーラトランジスタで構成され、該ユニポーラトランジスタのソース・ドレイン間抵抗の値を、前記液晶の応答時定数を決めている抵抗成分の値以下に設定することを特徴とする請求項 14、15、17 乃至 20 のいずれかーに記載のアクティブマトリクス型液晶表示装置。

【請求項 22】 前記設定は、前記ユニポーラトランジスタのソース・ドレイン間抵抗の値が前記液晶の応答時定数を決めている抵抗成分の値以下の値となる電圧に、前記負荷素子を構成するマルチゲート構造のユニポーラトランジスタのゲート・ソース間電圧を定めて行われることを特徴とする請求項 21 記載のアクティブマトリクス型液晶表示装置。

【請求項 23】 前記設定は、前記負荷素子を構成するマルチゲート構造のユニポーラトランジスタのゲート電極とソース電極とを接続する場合に、前記ユニポーラトランジスタのソース・ドレイン間抵抗の値が前記液晶の応答時定数を決めている抵抗成分の値以下の値となる電圧に、前記ユニポーラトランジスタの製造時に前記ユニポーラトランジスタのしきい電圧値をチャネルドーズによりシフトさせて行われることを特徴とする請求項 21 記載のアクティブマトリクス型液晶表示装置。

【請求項 24】 前記負荷素子は抵抗であり、該抵抗の値が前記液晶の応答時定数を決めている抵抗成分の値以下の値に設定することを特徴とする請求項 21 記載のアクティブマトリクス型液晶表示装置。

【請求項 25】 前記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されていることを特徴とする請求項 24 記載のアクティブマトリクス型液晶表示装置。

【請求項 26】 前記画素回路の各々の前記アンプ回路部を構成するユニポーラトランジスタの駆動信号は、表示される画像の走査順序上該画素回路の 1 つ前の画素回路の走査に用いられるゲート走査電圧であることを特徴とする請求項 14、15、17 乃至 25 のいずれかーに記載のアクティブマトリクス型液晶表示装置。

【請求項 27】 前記画素回路の各々の前記アンプ回路部を構成する前記ユニポーラトランジスタは、p 型ユニポーラトランジスタ又は n 型ユニポーラトランジスタであり、前記アンプ回路部を構成する前記ユニポーラトランジスタの駆動信号は、表示される画像の走査順序において当該画素回路の走査となるときに、リセットパルス電源から出力されるリセットパルスであることを特徴とする請求項 14、15、17 乃至 25 のいずれかーに記載のアクティブマトリクス型液晶表示装置。

【請求項 28】 前記画素回路の各々の前記ゲート回路及び前記アンプ回路部を構成するユニポーラトランジスタは、すべて p 型ユニポーラトランジスタ又はすべて n 型ユニポーラトランジスタであり、前記アンプ回路部を構成する前記ユニポーラトランジスタの駆動信号は、表示される画像の走査順序において当該画素回路の走査となるときに、リセットパルス電源から出力されるリセットパルスであることを特徴とする請求項 14、15、17 乃至 25 のいずれかーに記載のアクティブマトリクス型液晶表示装置。

【請求項 29】 前記画素回路の各々の前記ゲート回路の動作を生じさせるゲート走査電圧と前記画素回路の各々の前記アンプ回路部の動作を生じさせるリセットパルス電圧とを同時に供給させることを特徴とする請求項 27 又は 28 に記載のアクティブマトリクス型液晶表示装置。

【請求項 30】 前記画素回路の各々の前記ゲート回路及び前記アンプ回路部を構成するユニポーラトランジスタ

タは、薄膜ユニポーラトランジスタであることを特徴とする請求項 27、28 又は 29 に記載のアクティブマトリクス型液晶表示装置。

【請求項 31】 前記画素回路の各々の前記ゲート回路及び前記アンプ回路部を構成するユニポーラトランジスタは、すべてマルチゲート構造であることを特徴とする請求項 14、15、17 乃至 30 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 32】 前記差動増幅回路の定電流源及び又は前記出力バッファの電流源は、マルチゲート構造のユニポーラトランジスタで構成されることを特徴とする請求項 16 乃至 20 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 33】 前記差動増幅回路の定電流源以外の回路各部及び又は前記出力バッファ以外の回路各部は、マルチゲート構造のユニポーラトランジスタで構成されることを特徴とする請求項 16 乃至 20 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【請求項 34】 前記液晶に対して 1 フィールド期間又は 1 フレーム期間に入射する光の色を切り換えて前記液晶を駆動してカラー表示を行うことを特徴とする請求項 14 乃至 33 のいずれかに記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、プロジェクタ、ノート PC、モニタ、ビューワ、PDA、携帯電話、ゲーム機、家電等に用いられるトランジスタの動作点設定方法及びその回路、信号成分値変更方法及びにアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】マルチメディア時代の進展とともに、液晶表示装置は、プロジェクタ装置や携帯電話等に用いられている小型のものから、ノート PC、モニタ、テレビ等に用いられている大型のものまで、急速に普及が進んできている。また、ビューワや PDA 等の電子機器、更には携帯ゲーム機やパチンコ等の遊戯道具でも中型の液晶表示装置が必須となっている。一方で、冷蔵庫や電子レンジ等の家電に至るまで、あらゆる所で液晶表示装置が使用されている。特に、薄膜トランジスタで駆動するアクティブマトリクス型液晶表示装置は、単純マトリクス型液晶表示装置に比べて、高解像度、高画質が得られることから、液晶表示装置の主流となっている。

【0003】図 72 は、従来のアクティブマトリクス型液晶表示装置の 1 画素分の画素回路の例を示したものである。同図に示すように、アクティブマトリクス型液晶表示装置の画素は、ゲート電極が走査線 901 に接続され、ソース電極及びドレイン電極のいずれか一方が信号線 902 に接続され、ソース電極及びドレイン電極のいずれか他方が画素電極 903 に接続された MOS 型トラ

ンジスタ (Qn) (以下トランジスタ (Qn) と記す) 904 と、その画素電極 903 と蓄積容量電極 905 との間に形成された蓄積容量 906 と、画素電極 903 と対向電極 Vcom907 との間に挟まれた液晶 908 とで構成されている。

【0004】現在、液晶表示装置の大きな応用市場を形成しているノート PC では、通常、トランジスタ (Qn) 904 として、アモルファスシリコン薄膜トランジスタ (以下 a-SiTFT と記す。) 又はポリシリコン薄膜トランジスタ (以下 p-SiTFT と記す。) が用いられ、また、液晶材料としては、ツイステッドネマティック液晶 (以下 TN 液晶と記す。) が用いられている。図 73 は、TN 液晶の等価回路を示したものである。図に示すように、TN 液晶の等価回路は、液晶の容量成分 C3 (その静電容量 Cpix) と、抵抗 R1 の値 Rr 及び容量 C1 (その静電容量 Cr) とを並列に接続した回路で表すことができる。ここで、抵抗値 Rr 及び静電容量 Cr は液晶の応答時定数を決定する成分である。

【0005】このような TN 液晶を、図 72 に示した画素回路により駆動した場合の、ゲート走査電圧 Vg、データ信号電圧 Vd、画素電極 903 の電圧 (以下画素電圧と記す。) Vpix のタイミングチャートを図 74 に示す。図 74 に示すように、ゲート走査電圧 Vg が水平走査の期間、ハイレベル VgH となることによって、n 型 MOS トランジスタ (Qn) 904 はオン状態となり、信号線 902 に入力されているデータ信号電圧 Vd がトランジスタ (Qn) 904 を経由して画素電極 903 に転送される。TN 液晶は、通常、電圧無印加時に光が透過するモード、いわゆるノーマリー・ホワイトモードで動作する。

【0006】ここでは、データ信号電圧 Vd として、TN 液晶を通した光透過率が高くなる電圧を数フィールドに渡って印加している。水平走査期間が終了し、ゲート走査電圧 Vg がローレベルとなると、トランジスタ (Qn) 904 はオフ状態となり、画素電極 903 に転送されたデータ信号電圧は蓄積容量 906、及び液晶の容量 Cpix により保持される。この際、画素電圧 Vpix は、トランジスタ (Qn) 904 がオフ状態になる時刻において、トランジスタ (Qn) 904 のゲート - ソース間容量を經由してフィードスルー電圧と呼ばれる電圧シフトを起こす。この電圧シフトは、図 74 には、Vf1、Vf2、Vf3 で示されており、この電圧シフト Vf1 ~ Vf3 の量は、蓄積容量 906 の値を大きく設計することにより小さくすることができる。

【0007】画素電圧 Vpix は、次のフィールド期間において、再びゲート走査電圧 Vg がハイレベルとなり、トランジスタ (Qn) 904 が選択されるまで保持される。保持された画素電圧 Vpix に応じて、TN 液晶がスイッチングし、光透過率 T1 で示したように、液

晶の透過光は暗い状態から明るい状態へ遷移する。この際、図74に示すように、保持期間において、画素電圧 V_{pix} は、各フィールドで、それぞれ V_1 、 V_2 、 V_3 だけ変動する。これは、液晶の応答に従って、液晶の容量が変化することに起因している。通常、この変動をできるだけ小さくするように、蓄積容量906を画素容量 C_{pix} に対し、2～3倍以上の大きな値で設計される。以上説明したようにして、図72に示した画素回路によってTN液晶を駆動することができる。

【0008】しかしながら、図74に示した光透過率の10変化に示すように、TN液晶の応答時間は通常30～100msecと大きく、高速に移動する物体を表示した場合には残像が生じ、鮮明な表示ができないという問題がある。また、TN液晶は、視野角が狭いという問題も有している。そのため、最近では、高速、広視野角を提供できる、分極を有する液晶材料及びそれら液晶材料を用いた液晶表示装置の研究開発が活発に行われている。分極を有する高速液晶の等価回路は、図75に示すように、抵抗 R_2 (その抵抗値 R_{sp}) と容量 C_2 (その静電容量 C_{sp}) を直列に接続した回路と、分極の回転に20によって変化しない高周波画素容量 C_3 (その静電容量 C_{pix}) とを並列に接続した回路で表すことができる。等価回路の構成としては、先に図73で示したTN液晶の等価回路と同様であるが、液晶の応答時間を決める抵抗 R_2 と容量 C_2 が、TN液晶とは異なり、分極の応答に関与した成分であることを区別するため、別の図として示した。

【0009】このような分極を有する液晶材料としては、強誘電性液晶、反強誘電性液晶、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、単安定30強誘電性液晶等があげられる。それら液晶材料の中で、特に、無関反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、単安定強誘電性液晶等を用いた液晶表示装置は、高速、広視野角であるだけでなく、図72に示したようなアクティブマトリクス型の液晶表示装置を用いることにより階調表示も可能であることが、例えば、ジャパン・ジャーナル・オブ・アプライド・フィジックス、36巻、720頁(Japan Journal of Applied Physics、Volume36 p.720、以下参考文献1と記す。)に無関反強誘電性液晶を例として記載され40ていている。

【0010】図76は、無関反強誘電性液晶を、図72に示した従来の画素回路により駆動した場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、画素電圧 V_{pix} のタイミングチャートを示したものである。図75に示すように、ゲート走査電圧 V_g が水平走査の期間、ハイレベル V_{gH} となることによって、トランジスタ(Qn)904はオン状態となり、信号線902に入力されているデータ信号電圧 V_d がトランジスタ(Qn)904を経由して画素電極903に転送される。無関反強誘50

電性液晶は、通常、電圧無印加時に光が透過しないモード、いわゆるノーマリー・ブラックで動作する。

【0011】水平走査期間が終了し、ゲート走査電圧 V_g がローレベルとなると、トランジスタ(Qn)904はオフ状態となり、画素電極903に転送されたデータ信号電圧 V_d は蓄積容量906、及び液晶の高周波画素容量 C_3 により保持される。この際、画素電圧 V_{pix} は、トランジスタ(Qn)904がオフ状態になる時刻において、前述のTN液晶を駆動した場合と同様、トランジスタ(Qn)904のゲート-ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。

【0012】さらに、水平走査期間が終了した後、画素電圧 V_{pix} は、高周波容量 C_3 に保持された電荷と、分極による容量 C_{sp} に保持されている電荷の再分配により、図76に示すように、各フィールドで、それぞれ V_1 、 V_2 、 V_3 だけ変動する。参考文献1に記載された駆動方法では、この電圧変動後の画素電圧 V_{pix} により階調制御する駆動方法が記載されている。この時、図75において、T1で示したように光透過率が変化し、図72に示した画素回路によって無関反強誘電性液晶を駆動することができる。

【0013】また、分極を持たない高速液晶の例として、OCBモードの液晶を用いた液晶表示装置が、アイ・ディー・アール・シー97のL-66頁(IDRC97、p.L-66)に記載されている。OCBモード液晶は、TN液晶のベンド配向を利用したものであり、従来のTN液晶に比べて一桁以上高速にスイッチングすることができる。また、二軸性の位相差補償フィルムを併用することにより、広視野角な表示を得ることができる。また、近年、高速液晶、たとえば強誘電性液晶、又はOCBモード液晶等を用いて、時分割駆動方式のカラー液晶表示装置の研究開発が活発化してきている。

【0014】たとえば、特開平7-64051には、強誘電性液晶を用いた時分割駆動方式の液晶表示装置が開示されている。また、アイ・ディー・アール・シー97の37頁(IDRC97、p.37)には、OCBモード液晶を用いた時分割駆動方式カラー液晶表示装置が報告されている。

【0015】時分割駆動方式の液晶表示装置では、液晶に入射する光を1フィールドの期間に赤色、緑色、青色と順次切り換えることにより、カラー表示を実現する。そのため、少なくとも1フィールド期間の1/3以下で応答する高速液晶が必要となる。時分割駆動方式の液晶表示装置をノートPC、モニタ等の直視型液晶表示装置に適用した場合、カラーフィルタが不要となり、液晶表示装置の低価格化を図ることができる。また、プロジェクタ装置に適用した場合には、3板方式の液晶ライトバルブと同様な高い開口率と、カラー表示を単板の液晶表示装置で実現することができ、小型、軽量、低価格、高

輝度な液晶プロジェクト装置を提供することができる。

【0016】以上説明したような従来の画素回路、駆動方法により、TN液晶、分極を有する強誘電性液晶又は反強誘電性液晶、1フィールド期間内に応答する高速TN液晶を駆動した場合、以下に述べる問題が発生する。前述のように、TN液晶を図72に示した画素回路により駆動した場合、図74に示すように、画素電圧 V_{pix} は、保持期間における液晶容量の変化によって $V_1 \sim V_3$ の電圧変動が生じる。この電圧変動量は、液晶分子の動作する量により変化するため、同じデータ信号電圧を書き込んだ場合においても、前のフィールドで書き込まれたデータ信号電圧に依存するため、液晶に対して本来書き込みたい電圧を保持期間にわたって常に印加することができないという問題が生じる。その結果、液晶の光透過率は、本来、図74のT0で示される曲線になるべきであるが、前述のようにT1で示される曲線となってしまう、正確な階調表示をすることができない。従来、電圧変動 $V_1 \sim V_3$ を小さくするために、蓄積容量を大きく設計する解決方法が為されているが、その場合開口率が小さくなるという問題が生じる。

【0017】また、分極を有する強誘電性液晶又は反強誘電性液晶を駆動した場合には、図76に示すように、画素電圧 V_{pix} は、保持期間における分極のスイッチングによって $V_1 \sim V_3$ に示す電圧変動が生じる。この電圧変動は、前述のように、図75に示した高周波容量 C_3 に保持された電荷と、分極による容量 C_2 に保持された電荷との電荷再分配によるものである。ここで、 C_{sp} は、 C_{pix} に比べて、5～100倍大きな値を持っている。

【0018】そのため、電圧変動 $V_1 \sim V_3$ は、1～2ボルトを越える大きな量となり、データ信号電圧の振幅を大きくする必要がある。その結果、液晶表示装置の消費電力が大きくなり、また、信号処理回路、周辺駆動回路及び画素トランジスタを高耐圧化する必要性が生じ、液晶表示装置の価格が高くなるという問題が生じる。さらに、前のフィールドで書き込んだデータ信号電圧によって、電圧変動 $V_1 \sim V_3$ の量が変化するため、液晶の光透過率は、本来、図76のT0で示される曲線になるべきであるが、前述のようにT1で示される曲線となってしまう、1フィールド毎に正確な階調制御ができなくなる。したがって、時分割駆動方式の液晶表示装置に適用した場合、色再現性の良いカラー表示を行うことはできない。上述の分極を有する液晶材料を用いた液晶表示装置と同様な問題が、OCBモード液晶を用いた液晶表示装置においても発生する。

【0019】特開平7-64051には、これらの問題を解決するために、単結晶シリコントランジスタを用いた液晶表示装置が開示されているが、特開平7-64051の図18に示された構成では、ソースフォロワ型アナログアンプ回路として動作するトランジスタQ2の

セットが為されないという問題がある。そのため、前に書き込んだデータ信号電圧よりも低い電圧のデータ信号電圧が入力されてもトランジスタQ2はオフ状態のままになっており、そのデータ信号電圧に対応した電圧を出力することができない。また、特開平7-64051の図18に示された構成では、トランジスタQ2は、絵素電極10にデータ信号電圧を出力した後はオフ状態となってしまうため、その後、強誘電性液晶の分極電流が流れると、絵素電極の電圧が変動してしまうという前述した問題と同様の問題が発生する。

【0020】このような問題を解決するための液晶表示装置として、特許公報第003042493号（以下、引用特許という）（特開平11-326946号公報）に示される液晶表示装置がある。この液晶表示装置は、複数の走査線と複数の信号線との各交点付近に夫々配設されたMOS型トランジスタ回路によって画素電極が駆動されるアクティブマトリクス型液晶表示装置において、前記MOS型トランジスタ回路は、ゲート電極が前記走査線に接続され、ソース電極及びドレイン電極の一方が前記信号線に接続されたMOSトランジスタと、入力電極が前記MOSトランジスタのソース電極及びドレイン電極のいずれか他方に接続され、出力電極が画素電極に接続されたMOS型アナログアンプ回路と、前記MOS型アナログアンプ回路の入力電極と電圧保持容量電極との間に形成された電圧保持容量とから成ることを特徴としている。

【0021】この引用特許によれば、保持期間中の画素電圧 V_{pix} を一定に保つことができる。図77（引用特許に添付の図52）は、アナログアンプ回路を有する画素回路の一例を示す図である。図77に示すように、スイッチング用MOSトランジスタ（ Q_n ）1101のゲート電極に走査線101を、ソース電極に信号線102を、アナログアンプ回路（ n 型MOSトランジスタ1102及び n 型MOSトランジスタ1103から成る）の入力電極（ n 型MOSトランジスタ1102のゲート電極）にMOS型トランジスタ1101のドレイン電極を、出力電極に液晶素子109の画素電極107をそれぞれ接続し、対向電極108との間で液晶に電圧を印加して駆動する構成になっている。

【0022】アナログアンプ回路を使用しない場合には、図72（引用特許に添付の図59相当）に示すように、画素電極903と蓄積容量電極905との間に蓄積容量906が形成される。上記図77に示すように、アナログアンプ回路を使用する場合には、電圧保持容量106が、スイッチング用MOSトランジスタ（ Q_n ）1101とアナログアンプ回路との接続点と電圧保持容量電極105との間に形成される。

【0023】アナログアンプ回路の電源線は、別に設けたアンプ正電源電極とアンプ負電源電極とに接続するか、或るいは回路構成を簡素にするために、一方を走査

線に接続し、他方を電圧保持容量電極等の既存の電極に接続する構成を取る。図 77 (引用特許に添付の図 52) は、アンプ正電源電極を設け、アンプ負電源電極は電圧保持容量電極 105 に接続して構成する場合を示している。この回路構成によれば、スイッチング用 MOS トランジスタがオフ状態にあるとき、アナログアンプ回路から液晶素子 109 に所定の電圧が印加され続けるから、電圧変動を抑制することができる。

【0024】

【発明が解決しようとする課題】しかしながら、この従来例の MOS 型アナログアンプ回路が poly-Si TFT 等で構成されると、次のような問題が生じる。第 1 の問題点は、アナログアンプ回路のゲインが低い事である。理想的にはアンプのゲインは 1 であるが、本出願人の発明者の試作の中での一例を示すと、抵抗負荷型アナログアンプ回路でゲインが 0.78、TFT 電流源を負荷としたアクティブ負荷型アナログアンプ回路でゲインが 0.84 となっている。

【0025】このようなゲイン低下が発生する理由は、 V_{gs} (ゲート - ソース間電圧) が一定の条件でも、 I_{ds} (ドレイン - ソース電流) が V_{ds} (ドレイン - ソース間電圧) に依存して大きく変化する点である。特に V_{ds} が大きい領域では、 I_{ds} の増大が大きい。これは、キंक効果が大きな原因と考えられる。また、 V_{gs} が低い領域でも I_{ds} の V_{ds} への依存性が見られるため、キंक効果以外にも原因があると考えられる。このような I_{ds} の V_{ds} の依存性が発生すると、アナログアンプ回路の動作点で V_{ds} の変化が生じる。ソースフォロアアンプ回路の出力電圧は、次式

$$V_{out} = V_{in} - V_{gs}$$

で表される。上式の V_{in} はソースフォロアアンプ回路への入力電圧、 V_{out} はソースフォロアアンプ回路からの出力電圧である。したがって、 V_{gs} が変動すると V_{in} と V_{out} の直線性が崩れ、アナログアンプ回路のゲインが低下する。

【0026】この発明は、上述の事情に鑑みてなされたもので、マルチゲート構造のユニポーラトランジスタの特性を有効に活用したトランジスタの動作点設定方法及びその回路、信号成分値変更方法及びにアクティブマトリクス型液晶表示装置を提供することをその目的とする。

【0027】

【課題を解決するための手段】上記目的を達成するために、請求項 1 記載の発明は、ユニポーラトランジスタの動作点を設定するトランジスタの動作点設定方法に係り、シングルゲート構造の複数のユニポーラトランジスタの各ゲートを共通に接続し、該複数のユニポーラトランジスタを直列に接続したものと等価なマルチゲート構造のユニポーラトランジスタにおける上記シングルゲート構造のユニポーラトランジスタ単体の各々の動作点

を、ソース - ドレイン電流のソース - ドレイン間電圧への依存性が許容範囲内となる動作点に設定することを特徴としている。

【0028】請求項 2 記載の発明は、請求項 1 記載のトランジスタの動作点設定方法に係り、上記マルチゲート構造のユニポーラトランジスタは、マルチゲート構造の絶縁ゲート型トランジスタ又はマルチゲート構造の接合型トランジスタであることを特徴としている。

【0029】請求項 3 記載の発明は、請求項 1 又は 2 記載のトランジスタの動作点設定方法に係り、上記動作点は、上記許容範囲内の最適な動作点及び上記許容範囲内にある最適な動作点以外の動作点のうちのいずれか 1 つに設定されることを特徴としている。

【0030】請求項 4 記載の発明は、請求項 1、2 又は 3 記載のトランジスタの動作点設定方法に係り、上記信号は、増幅信号、変調信号及び復調信号のうちのいずれか 1 つであることを特徴としている。

【0031】請求項 5 記載の発明は、ユニポーラトランジスタの動作点を設定するトランジスタの動作点設定回路に係り、シングルゲート構造の複数のユニポーラトランジスタの各ゲートを共通に接続し、該複数のユニポーラトランジスタを直列に接続したものと等価なマルチゲート構造のユニポーラトランジスタにおける上記シングルゲート構造のユニポーラトランジスタ単体の各々の動作点を、ソース - ドレイン電流のソース - ドレイン間電圧への依存性が許容範囲内となる動作点に設定したことを特徴としている。

【0032】請求項 6 記載の発明は、請求項 5 記載のトランジスタの動作点設定回路に係り、上記マルチゲート構造のユニポーラトランジスタは、マルチゲート構造の絶縁ゲート型トランジスタ又はマルチゲート構造の接合型トランジスタであることを特徴としている。

【0033】請求項 7 記載の発明は、請求項 5 又は 6 記載のトランジスタの動作点設定回路に係り、上記動作点は、上記許容範囲内の最適な動作点及び上記許容範囲内にある最適な動作点以外の動作点のいずれか 1 つに設定されることを特徴としている。

【0034】請求項 8 記載の発明は、ユニポーラトランジスタを用いて入力信号の信号成分値を変更する信号成分値変更方法に係り、シングルゲート構造の複数のユニポーラトランジスタの各ゲートを共通に接続し、該複数のユニポーラトランジスタを直列に接続したものと等価なマルチゲート構造のユニポーラトランジスタにおける上記シングルゲート構造のユニポーラトランジスタ単体の各々の動作点を、ソース - ドレイン電流のソース - ドレイン間電圧への依存性が許容範囲内となる動作点に設定し、設定された上記動作点で上記マルチゲート構造のユニポーラトランジスタを動作させて上記入力信号の信号成分値を変更することを特徴としている。

【0035】請求項 9 記載の発明は、請求項 8 記載の信

号成分値変更方法に係り、上記動作点が設定されるマルチゲート構造のユニポーラトランジスタの数は、単数又は複数であることを特徴としている。

【0036】請求項10記載の発明は、請求項8又は9記載の信号成分値変更方法に係り、上記マルチゲート構造のユニポーラトランジスタは、マルチゲート構造の絶縁ゲート型トランジスタ又はマルチゲート構造の接合型トランジスタであることを特徴としている。

【0037】請求項11記載の発明は、請求項8、9又は10記載の信号成分値変更方法に係り、上記動作点は、上記許容範囲内の最適な動作点及び上記許容範囲内にある最適な動作点以外の動作点のうちのいずれか1つに設定されることを特徴としている。

【0038】請求項12記載の発明は、請求項8、9、10又は11記載の信号成分値変更方法に係り、上記信号は、増幅信号、変調信号及び復調信号のうちのいずれか1つであることを特徴としている。

【0039】請求項13記載の発明は、請求項8乃至12のいずれかーに記載の信号成分値変更方法に係り、上記信号の信号成分は、上記信号の振幅、位相及び周波数のうちのいずれか1つであることを特徴としている。

【0040】請求項14記載の発明は、ゲート回路と、該ゲート回路の出力に接続されたアナログアンプ回路と、該アナログアンプ回路の出力に接続された液晶とを有する画素回路が、マトリクス状に配置された走査線と信号線との交点近傍毎に設けられ、画素回路毎のゲート回路は、当該画素回路に対応する走査線上のゲート走査電圧に基づいて上記画素回路に対応する信号線上のデータ信号電圧を上記アナログアンプ回路へゲートし、上記アナログアンプ回路が画素電圧を上記液晶に供給するとき、上記液晶は上記画素電圧対応の画素を表示するアクティブマトリクス型液晶表示装置に係り、上記アナログアンプ回路は、マルチゲート構造のユニポーラトランジスタを含んで構成されたことを特徴としている。

【0041】請求項15記載の発明は、請求項14記載のアクティブマトリクス型液晶表示装置に係り、上記アナログアンプ回路は、アンプ回路部と負荷素子とで構成され、上記アンプ回路部及び上記負荷素子のうちの少なくとも一方は、マルチゲート構造のユニポーラトランジスタで構成され、上記アンプ回路部と上記負荷素子との接続点を上記液晶に接続したことを特徴としている。

【0042】請求項16記載の発明は、請求項14記載のアクティブマトリクス型液晶表示装置に係り、上記アナログアンプ回路は、2つの入力を有する差動増幅回路と、差動増幅回路の出力を入力に接続した位相補償回路と、該位相補償回路の出力を入力に接続した出力バッファとで構成され、上記差動増幅回路の一方の入力に上記ゲート回路の出力が接続され、かつ、上記差動増幅回路のいずれか他方の入力に上記出力バッファの出力が接続され、上記差動増幅回路の定電流源及び上記出力バッ

ファの電流源は、マルチゲート構造のユニポーラトランジスタで構成され、上記出力バッファの出力を上記液晶に接続したことを特徴としている。

【0043】請求項17記載の発明は、請求項14、15又は16記載のアクティブマトリクス型液晶表示装置に係り、上記液晶の液晶材料は、ネマティック液晶、強誘電性液晶、反強誘電性液晶、無閾反強誘電性液晶、歪螺旋強誘電性液晶、ねじれ強誘電性液晶、又は、単安定強誘電性液晶であることを特徴としている。

【0044】請求項18記載の発明は、請求項14、15、16又は17記載のアクティブマトリクス型液晶表示装置に係り、上記マルチゲート構造のユニポーラトランジスタは、マルチゲート構造の絶縁ゲート型トランジスタ又はマルチゲート構造の接合型トランジスタであることを特徴としている。

【0045】請求項19記載の発明は、請求項14乃至18のいずれかーに記載のアクティブマトリクス型液晶表示装置に係り、上記マルチゲート構造のユニポーラトランジスタの動作点は、シングルゲート構造の複数のユニポーラトランジスタの各ゲートを共通に接続し、該複数のユニポーラトランジスタを直列に接続したものと等価なマルチゲート構造のユニポーラトランジスタにおける上記シングルゲート構造のユニポーラトランジスタ単体の各々の動作点を、ソース - ドレイン電流のソース - ドレイン間電圧への依存性が許容範囲内となる動作点に設定するようにしたものであることを特徴としている。

【0046】請求項20記載の発明は、請求項19記載のアクティブマトリクス型液晶表示装置に係り、上記動作点は、上記許容範囲内の最適な動作点及び上記許容範囲内にある最適な動作点以外の動作点のうちのいずれか一つに設定されることを特徴としている。

【0047】請求項21記載の発明は、請求項14、15、17乃至20のいずれかーに記載のアクティブマトリクス型液晶表示装置に係り、上記負荷素子は、マルチゲート構造のユニポーラトランジスタで構成され、該ユニポーラトランジスタのソース - ドレイン間抵抗の値を、上記液晶の応答時定数を決めている抵抗成分の値以下に設定することを特徴としている。

【0048】請求項22記載の発明は、請求項21記載のアクティブマトリクス型液晶表示装置に係り、上記設定は、上記ユニポーラトランジスタのソース - ドレイン間抵抗の値が上記液晶の応答時定数を決めている抵抗成分の値以下の値となる電圧に、上記負荷素子を構成するマルチゲート構造のユニポーラトランジスタのゲート - ソース間電圧を定めて行われることを特徴としている。

【0049】請求項23記載の発明は、請求項21記載のアクティブマトリクス型液晶表示装置に係り、上記設定は、上記負荷素子を構成するマルチゲート構造のユニポーラトランジスタのゲート電極とソース電極とを接続する場合に、上記ユニポーラトランジスタのソース - ド

レイン間抵抗の値が上記液晶の応答時定数を決めている抵抗成分の値以下の値となる電圧に、上記ユニポーラトランジスタの製造時に上記ユニポーラトランジスタのしきい電圧値をチャネルドーズによりシフトさせて行われることを特徴としている。

【0050】請求項 24 記載の発明は、請求項 21 記載のアクティブマトリクス型液晶表示装置に係り、上記負荷素子は抵抗であり、該抵抗の値が上記液晶の応答時定数を決めている抵抗成分の値以下の値に設定することを特徴としている。

【0051】請求項 25 記載の発明は、請求項 24 記載のアクティブマトリクス型液晶表示装置に係り、上記抵抗は、半導体薄膜、又は不純物ドーピングされた半導体薄膜で形成されていることを特徴としている。

【0052】請求項 26 記載の発明は、請求項 14、15、17 乃至 25 のいずれかに記載のアクティブマトリクス型液晶表示装置に係り、上記画素回路の各々の上記アンプ回路部を構成するユニポーラトランジスタの駆動信号は、表示される画像の走査順序上当該画素回路の 1 つ前の画素回路の走査に用いられるゲート走査電圧であることを特徴としている。

【0053】請求項 27 記載の発明は、請求項 14、15、17 乃至 25 のいずれかに記載のアクティブマトリクス型液晶表示装置に係り、上記画素回路の各々の上記アンプ回路部を構成する上記ユニポーラトランジスタは、p 型ユニポーラトランジスタ又は n 型ユニポーラトランジスタであり、上記アンプ回路部を構成する上記ユニポーラトランジスタの駆動信号は、表示される画像の走査順序において当該画素回路の走査となるときに、リセットパルス電源から出力されるリセットパルスであることを特徴としている。

【0054】請求項 28 記載の発明は、請求項請求項 14、15、17 乃至 25 のいずれかに記載のアクティブマトリクス型液晶表示装置に係り、上記画素回路の各々の上記ゲート回路及び上記アンプ回路部を構成するユニポーラトランジスタは、すべて p 型ユニポーラトランジスタ又はすべて n 型ユニポーラトランジスタであり、上記アンプ回路部を構成する上記ユニポーラトランジスタの駆動信号は、表示される画像の走査順序において当該画素回路の走査となるときに、リセットパルス電源から出力されるリセットパルスであることを特徴としている。

【0055】請求項 29 記載の発明は、請求項 27 又は 28 に記載のアクティブマトリクス型液晶表示装置に係り、上記画素回路の各々の上記ゲート回路の動作を生じさせるゲート走査電圧と上記画素回路の各々の上記アンプ回路部の動作を生じさせるリセットパルス電圧とを同時に供給させることを特徴としている。

【0056】請求項 30 記載の発明は、請求項 27、28 又は 29 に記載のアクティブマトリクス型液晶表示装

置に係り、上記画素回路の各々の上記ゲート回路及び上記アンプ回路部を構成するユニポーラトランジスタは、薄膜ユニポーラトランジスタであることを特徴としている。

【0057】請求項 31 記載の発明は、請求項 14、15、17 乃至 30 のいずれかに記載のアクティブマトリクス型液晶表示装置に係り、上記画素回路の各々の上記ゲート回路及び上記アンプ回路部を構成するユニポーラトランジスタは、すべてマルチゲート構造であることを特徴としている。

【0058】請求項 32 記載の発明は、請求項 16 乃至 20 のいずれかに記載のアクティブマトリクス型液晶表示装置に係り、上記差動増幅回路の定電流源及び又は上記出力バッファの電流源は、マルチゲート構造のユニポーラトランジスタで構成されることを特徴としている。

【0059】請求項 33 記載の発明は、請求項 16 乃至 20 のいずれかに記載のアクティブマトリクス型液晶表示装置に係り、上記差動増幅回路の定電流源以外の回路各部及び又は上記出力バッファ以外の回路各部は、マルチゲート構造のユニポーラトランジスタで構成されることを特徴としている。

【0060】請求項 34 記載の発明は、請求項 14 乃至 33 のいずれかに記載のアクティブマトリクス型液晶表示装置に係り、上記液晶に対して 1 フィールド期間又は 1 フレーム期間に入射する光の色を切り換えて上記液晶を駆動してカラー表示を行うことを特徴としている。

【0061】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に行う。

第 1 実施例

図 1 は、この発明の第 1 実施例である液晶表示装置を構成する 1 つの画素回路を示す図、図 2 は、同液晶表示装置を構成する画素回路において高速液晶を駆動させたときのゲート走査電圧 V_g 、データ信号電圧 V_d 、アンプ入力電圧 V_a 及び画素電圧 V_{pix} のタイミングチャート、並びに液晶の光透過率の変化を示す図、図 3 は、シングルゲート構造の MOS 薄膜トランジスタのソース - ドレイン電流 I_{ds} とゲート - ソース電圧 V_{gs} の関係を示す $I_{ds} - V_{gs}$ 特性の測定例を示す図、また、図 4 は、ダブルゲート構造の MOS 薄膜トランジスタのソース - ドレイン電流と I_{gs} とゲート - ソース電圧 V_{gs} の関係を示す $I_{ds} - V_{gs}$ 特性の測定例を示す図である。

【0062】この実施例の液晶表示装置 10 - 1 は、そのアナログアンプ回路 104 - 1 に用いる MOS トランジスタのソース - ドレイン電流 I_{ds} のソース - ドレイン間電圧 V_{ds} への依存性を実質的に除いてアナログアンプ回路を構成し、データ信号電圧 V_d にほぼ比例した画素

電圧 V_{pix} を液晶に印加して一層良好な諧調で液晶を駆動させる装置に係り、その画素回路 20 - 1 は、ゲート電極が走査線 101 に接続され、ソース電極及びドレイン電極のいずれか一方が信号線 102 に接続された n 型 MOS トランジスタ (Q_n) 103 と、入力電極が n 型 MOS トランジスタ (Q_n) 103 のソース電極及びドレイン電極のいずれか他方に接続され、出力電極が画素電極に接続されたアナログアンプ回路 104 - 1 と、アナログアンプ回路 104 - 1 の入力電極と電圧保持容量電極 105 との間に形成された電圧保持容量 106 と、画素電極 107 と対向電極 108 との間でスイッチングさせる液晶 109 とで構成されている。電圧保持容量電極 105 には、電圧保持容量電圧 V_{CH} が供給される。上記「いずれか一方」及び上記「いずれか他方」なる表現は、MOS トランジスタでアナログアンプ回路が構成されることの性質上、電圧の掛かり方に従って、2 つのチャネル端電極が、ソース電極にも、また、ドレイン電極にも成り得ることを表し、記載を簡潔するために用いた表現である。

【0063】なお、液晶表示装置 10 - 1 は、画素回路 20 - 1 と同一構成の画素回路がその表示面上に表示しようとする画素数だけ形成されているが、それらをすべて図示しなくても、この液晶表示装置の理解の妨げとはならないので、図 1 には、1 つの画素回路 20 - 1 のみを示してある。

【0064】画素回路 20 - 1 の n 型 MOS トランジスタ (Q_n) 103 は、p-SiTFT で構成されている。アナログアンプ回路 104 - 1 は、マルチゲート構造の p-SiTFT (MOS トランジスタ) (アンプ回路部) と負荷素子とで構成されている。アナログアンプ回路 104 - 1 のゲインは理想的には 1 倍に設定される。

【0065】次に、図 1 ~ 図 4 を参照して、この実施例の動作について説明する。図 2 は、画素回路 20 - 1 において、その液晶 109 を電圧無印加時に暗い状態となるノーマリー・ブラックモードで駆動させた場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、アンプ入力電圧 V_a 、画素電圧 V_{pix} のタイミングチャート及び液晶の光透過率の変化を示したものである。液晶 109 は、分極を有する強誘電性液晶、反強誘電性液晶、又は 1 フィールド期間内で応答する OCB モード液晶等の高速液晶である。

【0066】図 2 に示すように、ゲート走査電圧 V_g が水平走査の期間、ハイレベル V_{gH} となることによって、n 型 MOS トランジスタ 103 はオン状態となり、信号線 102 に入力されているデータ信号電圧 V_d が n 型 MOS トランジスタ 103 を経由してアナログアンプ回路 104 - 1 の入力電極に転送される。水平走査期間が終了し、ゲート走査電圧 V_g がローレベルとなると、n 型 MOS トランジスタ (Q_n) 103 はオフ状態とな

り、アナログアンプ回路 104 - 1 の入力電極に転送されたデータ信号電圧 V_d は電圧保持容量 106 により保持される。この際、アンプ入力電圧 V_a は、n 型 MOS トランジスタ (Q_n) 103 がオフ状態になる時刻において、n 型 MOS トランジスタ (Q_n) 103 のゲート - ソース間容量を經由してフィードスルー電圧と呼ばれる電圧シフトを起こす。この電圧シフトは、図 2 では、 V_{f1} 、 V_{f2} 、 V_{f3} で示されており、電圧シフト $V_{f1} \sim V_{f3}$ の量は、電圧保持容量 106 の値を大きく設計することにより小さくすることができる。

【0067】アンプ入力電圧 V_a は、次のフィールド期間において、再びゲート走査電圧 V_g がハイレベルとなり、n 型 MOS トランジスタ (Q_n) 103 が選択されるまで保持される。アナログアンプ回路 104 - 1 は、次のフィールドでアンプ入力電圧 V_a が変化するまでの間、その保持されたアンプ入力電圧 V_a に応じたアナログ階調電圧を出力することができる。

【0068】アナログアンプ回路 104 - 1 のアンプ回路部は、マルチゲート構造の MOS トランジスタを含んで構成されているが、そのマルチゲート構造の MOS トランジスタを用いた理由を、図 3 及び図 4 を参照して説明する。これらの図 3 及び図 4 は、チャネル長 4 ミクロン、チャネル幅 4 ミクロンの条件で p-ch の p-SiTFT (p-Si 薄膜トランジスタ) での測定例である。図 3 及び図 4 は、ソース - ドレイン電流 I_{ds} とゲート - ソース電圧 V_{gs} との関係を示す $I_{ds} - V_{gs}$ 特性を示し、縦軸は I_{ds} 、横軸は V_{gs} (図では V_g と表記) であり、ドレイン - ソース電圧 V_{ds} を - 2 V から - 16 V まで 2 V 刻みで変化させながら測定している。図 3 及び図 4 において、- 2 V から - 16 V まで 2 V 刻みで 8 本の曲線が描かれているが、その絶対値が一番小さい値のドレイン - ソース電圧 V_{ds} についての曲線が曲線群のうちの一番下側に位置し、絶対値が一番大きい値のドレイン - ソース電圧 V_{ds} についての曲線が曲線群のうちの一番上側に位置するようにして曲線群は描かれている。

【0069】図 3 は、シングルゲート構造の MOS 薄膜トランジスタ (TFT) での測定結果である。図 3 から判るように、 I_{ds} が V_{ds} に大きく依存している。 I_{ds} が 10 の - 7 乗 (図 3 の $1E - 07$) 近辺を示す $V_{gs} = - 6$ V の条件になる領域を注目してみると、ドレイン・ソース電圧 V_{ds} を 2 V から 16 V まで変化させたとき、 I_{ds} は 2 桁近い変化を見せている。この I_{ds} の変化の少ない動作領域、すなわち、 I_{ds} の V_{ds} への依存性の少ない動作領域にシングルゲート構造の TFT の動作点を設定したとしても、なお依然として、 I_{ds} の V_{ds} への依存性がある。そのため、ゲート - ソース電圧 V_{gs} の変化が生ずる。したがって、アナログアンプ回路にシングルゲート構造の MOS トランジスタを用いると、そのアナログアンプ回路の出力にアンプ入

力電圧の値に応じて一定の割合でなく異なる割合の出力電圧が現れてしまう。

【0070】これに対して、アナログアンプ回路を構成するMOSトランジスタにダブルゲート構造のMOSトランジスタを使用すると、シングルゲート構造のMOSトランジスタに現れて来る不都合は、ほぼ解消し得ると言う知見を得た。すなわち、ダブルゲート構造のMOS薄膜トランジスタ(TFT)は、等価回路で表現すると、複数のサブTFTのゲートを共通に接続して直列に接続したものと言える。このため、マルチゲート構造のTFTを構成する単体TFTのソース・ドレイン間電圧Vdsは見かけ上、複数のサブTFTに分圧される。

【0071】この結果、各サブTFTのソース・ドレイン間には、実際にMOS薄膜トランジスタに印加されるVdsのk分の1の電圧しか印加されない(ここで、kはマルチゲートの数であり、k=2の場合はダブルゲート構造である)。これにより、各単体TFTは、IdsのVdsへの依存性が顕著に現れる高電圧領域での使用を避けることができる。その結果として、図4に示すように、ドレイン・ソース電圧Vdsを2Vから16Vまで変化させても、Idsは殆ど変化せず、IdsのVdsへの依存性が減少される。

【0072】同様の事が、キンク効果に関しても当て嵌まり、分圧によりキンク発生電圧までサブTFTの両端の電圧が上昇しないため、キンク効果も抑えられる。キンク効果は、p-SiTFTやSOI(Silicon on Insulator)の特にnチャネルデバイスで見られるドレイン電流の変化現象であり、ドレイン電流が急激に大きくなり、特性に折れ曲がりが生ずる現象である。この現象は、ドレイン電流が大きくなると、衝突イオン化がドレイン近くの領域で起こる。発生した電子は、ドレイン電極に集められる。発生した正孔は、ソースとアイランドがオンするまでデバイスのアイランドに蓄積される。その結果、ドレイン電流が異常に大きくなることにより発生する。

【0073】これらの作用によりアナログアンプ回路104-1のゲインの一定性の向上、換言すれば、液晶に印加されているアンプ入力電圧(ゲート入力電圧ともいう)Vaが一定でも液晶109の応答においてその静電容量が変化しても、又はフィールド毎乃至複数のフィールド経過時に変更されても、アンプ入力電圧Vaと画素電圧Vpixとの間の直線性の向上が図れる。更には、分圧の結果、高耐圧なMOS薄膜トランジスタを用いなくても、耐圧が上昇する効果も得られる。これにより、通常は耐圧が低くて使用できない構成のMOS型薄膜トランジスタも使用可能となる。また、上記耐圧の向上により、長期に亘る信頼性の向上が得られる。

【0074】上述したように、ダブルゲート構造のMOSトランジスタを用いることにより、IdsのVdsへの依存性が顕著に減少し、キンク効果の発生を防止し得

る。このことは、図3と同様に、Idsが10の-7乗近辺を示す電圧に注目して図4を参照すれば、Vgs=-7V近傍において、Idsはほとんど変化していないことが、図4からはっきり読み取れる。

【0075】上述したところから明かなように、電圧保持容量106に保持されたアンプ入力電圧Vaにほぼ比例したアナログ階調電圧(画素電圧Vpixともいう)が、次のフィールドでアンプ入力電圧Vaが変化するまでの間、アナログアンプ回路104-1から出力され続ける。上記水平走査期間終了後に、当該フィールド期間の間、アナログアンプ回路104-1から出力されている画素電圧Vpixによって画素電極107は駆動される。

【0076】このように、この実施例の構成によれば、ダブルゲート構造のMOSトランジスタをアナログアンプ回路104-1のアンプ回路部に使用したので、IdsのVdsへの依存性が大幅に減少される。そのため、ゲート・ソース電圧Vgsの変化が生じ難くなる。MOS薄膜トランジスタの耐圧の向上を図ることができる。これにより、通常は耐圧が低くて使用できない構成のMOS型薄膜トランジスタも使用可能となる。また、上記耐圧の向上により、長期に亘る信頼性の向上が得られる。

【0077】このような直線性のある画素電圧Vpixによって液晶109が、水平走査期間終了後に当該フィールド期間の間、駆動することになるので、画像表示において、画素電圧Vpixが印加されて液晶109の静電容量に変化が生じ、又はフィールド期間毎に若しくは複数フィールド期間経過時にデータ信号電圧Vdが変更されて液晶109が駆動され、Vdsが変わっても、Idsはほぼ一定しているから、アナログアンプ回路104-1から画素電極107に印加される画素電圧Vpixは、データ信号電圧Vdにほぼ比例しており、画素電圧Vpixの変動は上記特許より一層少なくなり、画素電極107のゲインに低下は現れない。画素電圧Vpixの変動を上記特許より一層少なくすることができ

る。

【0078】また、マルチゲート構造のMOSトランジスタを使用することにより、当該MOSトランジスタに比較的に高い電圧が印加されても、そのMOSトランジスタと等価的な関係で表されるシングルゲート構造のMOSトランジスタ単体に印加される電圧は、分圧された値、すなわち、ゲート数分の1に低い値になるから、耐圧能力が向上する。

【0079】その結果として、図2の画素電圧Vpixの波形に示すように、1フィールド期間に亘って入力・出力電圧特性の直線性が上記特許より一層向上している画素電圧を液晶に印加することができ、液晶の光透過率にも示されるように、1フィールド毎に一層良好な階調を得ることが可能となる。

【0080】また、ダブルゲート構造のMOSトランジスタを使用することにより、チャネル長の短いMOSトランジスタの使用が可能になるから、開口率の向上を達成することができる。また、TN液晶、分極を有する強誘電性液晶又は反強誘電性液晶、及び1フィールド期間内に応答するその他の高速液晶を用いた液晶表示装置において、上述の電圧変動 $V_1 \sim V_3$ を無くすことにより、小型、軽量、高開口率、高速、高視野、高階調、低消費電力、低価格な液晶表示装置を提供することである。

【0081】 第2実施例

図5は、本発明の第2実施例の液晶表示装置を構成する1つの画素回路を示す図、図6は、同液晶表示装置を構成する画素回路のp型MOSトランジスタのドレイン電流 - ゲート入力電圧特性を示す図、図7は、同液晶表示装置を構成する画素回路において高速液晶を駆動させたときのゲート走査電圧 V_g 、データ信号電圧 V_d 、ゲート入力電圧 V_a 及び画素電圧 V_{pix} のタイミングチャート、並びに液晶の光透過率の変化を示す図、図8は、シングルゲート構造のp-Siのp型MOSトランジスタ2個で構成されるアクティブ負荷型アナログアンプ回路のゲート入力電圧 - 画素電圧特性を示す図、図9は、ダブルゲート構造のp-Siのp型MOSトランジスタ2個で構成されるアクティブ負荷型アナログアンプ回路のゲート入力電圧 - 画素電圧特性を示す図、図10は、シングルゲート構造のMOSトランジスタのデータ信号電圧 - 透過率の関係を示す図、また、図11は、ダブルゲート構造のMOSトランジスタのデータ信号電圧 - 透過率の関係を示す図、図12は、シングルゲート構造のp型MOSトランジスタの平面構造図、図13は、ダブルゲート構造のp型MOSトランジスタの平面構造図、図14は、同液晶表示装置を構成する画素回路においてTN液晶を駆動させたときのゲート走査電圧 V_g 、データ信号電圧 V_d 、ゲート入力電圧 V_a 及び画素電圧 V_{pix} のタイミングチャート、並びに液晶の光透過率の変化を示す図である。

【0082】この実施例の構成が、第1実施例のそれと大きく異なる点は、液晶表示装置10-2を構成するいずれの画素回路内のアナログアンプ回路においてもその負荷素子をアクティブ素子で構成した、すなわち、アナログアンプ回路をアクティブ負荷型アナログアンプ回路として構成した点にある。その相違点は、第1実施例のアナログアンプ回路104-1のp型MOSトランジスタを第1のp型MOSトランジスタ(Q_{p1})302とし、負荷素子を第2のp型MOSトランジスタ(Q_{p2})303で構成したことにある。したがって、この実施例のアナログアンプ回路は、ソースホロウ型アナログアンプ回路として動作する。この実施例のアナログアンプ回路は104-2で参照する。

【0083】そして、これら第1のn型MOSトランジ

スタ(Q_{n1})702及び第2のp型MOSトランジスタ(Q_{p2})303のうち少なくとも一方は、マルチゲート構造のMOSトランジスタであり、また、n型MOSトランジスタ(Q_n)103並びに第1のn型MOSトランジスタ(Q_{n1})302及び第2のp型MOSトランジスタ(Q_{p2})303は、p-Si TFTで構成されている。

【0084】すなわち、第1のp型MOSトランジスタ(Q_{p1})302のゲート電極をn型MOSトランジスタ(Q_n)103のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を走査線101に接続し、第2のp型MOSトランジスタ(Q_{p2})303のゲート電極を電圧保持容量電極105に接続し、ソース電極をソース電源304に接続し、ドレイン電極を画素電極107に接続して構成したことにある。

【0085】また、第2のp型MOSトランジスタ(Q_{p2})303のソース電極に供給するソース電源304は、第2のp型MOSトランジスタ(Q_{p2})303のソース - ドレイン間抵抗の値 R_{dsp} が、液晶109の応答時定数を決めている抵抗成分の値以下となるように設定される。すなわち、図73に示した液晶の等価回路における抵抗 R_1 の値 R_r 、図75に示した液晶の等価回路における抵抗 R_2 の値 R_{sp} と、ソース - ドレイン間抵抗の値 R_{dsp} は、

$$R_{dsp} \leq R_r, R_{dsp} \leq R_{sp} \quad (1)$$

上記の式(1)に示された関係となっている。

【0086】たとえば、抵抗 R_2 の値 R_{sp} が $5\text{ G}\Omega$ である場合には、ソース - ドレイン間抵抗の値 R_{dsp} が $1\text{ G}\Omega$ を越えない電圧 V_s がソース電源304から供給される。第2のp型MOSトランジスタ(Q_{p2})303の動作点は、図6に示した動作点である。なお、図6は、理想的に曲線を描いた図である。図6においても、 V_{ds} を -2 V から -14 V までの8通りの曲線が描かれているが、その各曲線が図6中で位置する関係は、図3及び図4と同じである。例えば、図6の例では、第2のp型MOSトランジスタ(Q_{p2})303のゲート - ソース間電圧($V_{CH} - V_S$)を -3 V 程度に設定している。たとえば、電圧保持容量電極105の電圧保持容量電圧 V_{CH} を 17 V 、ソース電源304の電圧 V_S を 20 V に設定する。その結果、第2のp型MOSトランジスタ(Q_{p2})303のドレイン電流はおよそ $1\text{ E} - 8\text{ (A)}$ となり、ソース - ドレイン間電圧 V_{dsp} が -10 V の時、ソース - ドレイン間抵抗の値 R_{dsp} は $1\text{ G}\Omega$ となる。

【0087】そして、式(1)を満たすように、液晶の等価回路における抵抗 R_1 の値 R_r 、抵抗 R_2 の値 R_{sp} と、ソース - ドレイン間抵抗の値 R_{dsp} とを設定することにより、マルチゲート構造のMOSトランジスタで構成した第1のp型MOSトランジスタ(Q_{p1})3

02及び第2のp型MOSトランジスタ(Qp2)303のうち少なくとも一方は、第1実施例で説明したような動作領域、すなわち、マルチゲート構造のMOSトランジスタの等価的な各単体TFTをIdsのVdsへの依存性の僅少な電圧領域(弱反転領域)で動作させるようにして構成される。

【0088】したがって、この構成になる第2のp型MOSトランジスタ(Qp2)303が、少なくとも、弱反転領域で動作し、バイアス電流源として動作する。すなわち、第2のp型MOSトランジスタ(Qp2)303は、ソース・ドレイン間電圧Vdspが-2~-14Vと変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ(Qp2)303は、第1のp型MOSトランジスタ(Qp1)302をアナログアンプ回路104-2として動作させる場合のバイアス電流源として動作する。

【0089】また、第2のp型MOSトランジスタ(Qp2)303の動作状態と同様に、第1のp型MOSトランジスタ(Qp1)302の動作状態を第2のp型MOSトランジスタ(Qp2)303と同様の動作状態に設定させて用いることもできる。また、第1のp型MOSトランジスタ(Qp1)302の動作状態だけを上述の第2のp型MOSトランジスタ(Qp2)303と同様の動作状態に設定させて用いることもできる。これらの構成を除くこの実施例の各部の構成は、第1実施例と同一の構成であるので、それらの各部には第1実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有するこの実施例の液晶表示装置を10-2で参照し、画素回路を20-2で参照する。

【0090】次に、図7~図14を参照して、この実施例の動作について説明する。この実施例の液晶表示装置10-2の駆動方法は、次の通りである。図7は、液晶109を画素回路20-2において電圧無印加時に暗い状態となるノーマリー・ブラックモードで駆動させた場合の、ゲート走査電圧Vg、データ信号電圧Vd、第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Va及び画素電圧Vpixのタイミングチャート並びに液晶の光透過率の変化を示したものである。その液晶109は、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶である。

【0091】図7に示すように、ゲート走査電圧Vgが水平走査の期間、ハイレベルVgHとなることによって、n型MOSトランジスタ(Qn)103はオン状態となり、信号線102に入力されているデータ信号電圧Vdがn型MOSトランジスタ(Qn)103を経由して第1のp型MOSトランジスタ(Qp1)302のゲート電極に転送される。一方、その水平走査期間において、画素電極107は、第1のp型MOSトランジスタ(Qp1)302を経由してゲート走査電圧VgHが転

送されることによりリセット状態となる。すなわち、水平走査期間において画素電圧VpixがVgHとなったとき、第1のp型MOSトランジスタ(Qp1)302のリセット、つまり、ノーマリブラック状態への遷移が同時に行われる。そして、第1のp型MOSトランジスタ(Qp1)302は、水平走査期間が終了した後、ソースフォロワ型のアナログアンプ回路104-2のアンプ回路部として動作する。これを以下に述べる。

【0092】水平走査期間が終了し、ゲート走査電圧Vgがローレベルとなると、n型MOSトランジスタ(Qn)103はオフ状態となり、第1のp型MOSトランジスタ(Qp1)302のゲート電極に転送されたデータ信号電圧Vdは電圧保持容量106に保持される。この際、第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Vaは、n型MOSトランジスタ(Qn)103がオフ状態になる時刻において、n型MOSトランジスタ(Qn)103のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。このシフト電圧は、図7には、Vf1、Vf2、Vf3で示されており、電圧シフトVf1~Vf3の量は、電圧保持容量106の値を大きく設計することにより小さくすることができる。

【0093】第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがハイレベルとなり、n型MOSトランジスタ(Qn)103が選択されるまで電圧保持容量106に保持される。一方、第1のp型MOSトランジスタ(Qp1)302は、水平走査期間にリセットが完了しており、画素電極107をソース電極としたソースフォロワ型アナログアンプ回路104-2のアンプ回路部として動作する。

【0094】このように、第1のp型MOSトランジスタ(Qp1)302をアナログアンプ回路104-2のアンプ回路部として動作させるためには、電圧保持容量電極105に少なくとも(Vdmax-Vtp)よりも高い電圧を供給しておく。ここで、Vdmaxはデータ信号電圧Vdの最大値、Vtpは第1のp型MOSトランジスタ(Qp1)302の閾値電圧である。第1のp型MOSトランジスタ(Qp1)302は、次のフィールドでゲート走査電圧がVgHとなってリセットが行われるまでの間、その保持されたゲート入力電圧Vaに応じたアナログ階調電圧(画素電圧Vpix)を出力することができる。

【0095】このような画素電圧Vpixを出力するアクティブ負荷型アナログアンプ回路104-2について、図8及び図9を参照して、さらに詳しく、説明する。図8は、シングルゲート構造のp-Siのp型MOSトランジスタ2個で構成されるアクティブ負荷型アナログアンプ回路104-2のゲート入力電圧・画素電圧特性の測定結果を示し、図9は、ダブルゲート構造のp

- Siのp型MOSトランジスタ2個で構成されるアクティブ負荷型アナログアンプ回路104-2のゲート入力電圧-画素電圧特性の測定結果を示している。

【0096】また、TFTに流れる電流 I_{ds} も同時に示してある。横軸がゲート入力電圧(V_a)、縦左軸が画素電圧(V_{pix})、縦右軸が電流(I_{ds})であり、電圧は実線のみで、電流はマークつきで示している。また、バイアス電圧 V_b を2つの値、すなわち、バイアス電圧 $V_b = 1.3V$ とバイアス電圧 $V_b = 1.4V$ について測定した。バイアス電圧 V_b は、電圧保持容量 10 電極105に供給される電圧 V_{CH} である。

【0097】図8は、シングルゲート構造のTFT2個で構成したアナログアンプ回路の特性である。TFTのサイズは共にチャネル長が6ミクロン、チャネル幅が3 μm となっている。 $V_b = 1.3V$ の条件では、ゲート入力電圧と画素電圧の関係が直線性を保っている範囲は、ゲート入力電圧 V_a で2.8Vから10.6Vである。このときの画素電圧 V_{pix} は5.8Vから13.2Vであり、ゲインは約0.949である。また、 $V_b = 1.4V$ の条件では、直線性はゲート入力電圧 $V_a = 5.0$ 20 ~ 11.6Vで、画素電圧 $V_{pix} = 7.2 \sim 13V$ で保たれゲインは約0.879となっている。このように直線性を保って出力できる電圧範囲がバイアス電圧 $V_b = 1.3V$ では7.4V、バイアス電圧 $V_b = 1.4V$ では5.8Vとなっている。

【0098】図9は、ダブルゲート構造のTFT2個で構成したアナログアンプ回路104-2の特性である。TFTのサイズは共にチャネル幅が1.5ミクロン、等価回路のサブTFTのチャネル長が3ミクロンとした。 $V_b = 1.4V$ の条件では、ゲート入力電圧と画素電圧の 30 関係が直線性を保っている範囲は、ゲート入力電圧 V_a で0Vから1.3Vである。このときの画素電圧 V_{pix} は2.4Vから14.8Vであり、ゲインは約0.954である。また、ゲート入力電圧 $V_b = 1.5V$ の条件では、直線性はゲート入力電圧 $V_a = 0 \sim 14.8V$ で、画素電圧 $V_{pix} = 1.3 \sim 15.6V$ で保たれゲインは約0.966となっている。このように直線性を保って出力できる電圧範囲がバイアス電圧 $V_b = 1.4V$ では12.4V、バイアス電圧 $V_b = 1.4V$ では14.3Vとなっている。これらの結果から判るように、ゲインも 40 向上し、直線性を保って出力できる電圧範囲も倍程度に広がっている。

【0099】また、図7では読み取り難いデータ信号電圧 V_d と光透過率との関係について、図10及び図11を参照して説明する。図10及び図11においては、いずれも、データ信号電圧 V_d を0Vから10.4Vの範囲の電圧を印加したときの光透過率を表している。図10及び図11において、縦軸は光透過率(%)であり、横軸はデータ信号電圧 V_d とデータ信号電圧 V_d の中間電圧(V_c)との差の絶対値、すなわち、振幅(| V_d 50

- V_c |)である。中間電圧 V_c よりデータ信号電圧 V_d が大きいき正極性とし、小さいとき負極性としてデータ信号電圧 V_d を表してある。そして、光透過率は、図7の光透過率の時間経過において各フィールドで光透過率が安定した状態での値を示している。

【0100】図10は、シングルゲート構造のMOSトランジスタを用いた場合を示し、図11は、ダブルゲート構造のMOSトランジスタを用いた場合を示している。シングルゲート構造の場合は、アナログアンプ回路のゲインが低いため、最大の光透過率が94%弱しか得られず、さらに悪いことには、アナログアンプ回路の入出力特性が悪いため、正極性と負極性とで光透過率が大きく異なっており、その差は最大で9%にもなる。ダブルゲート構造の場合は、アナログアンプ回路104-2のゲインが高いため、最大の光透過率が100%となり、また、アナログアンプ回路104-2の入出力特性の直線性が高く、正極性と負極性との光透過率にほとんど差はなく、その差は0.1%にも達しない。

【0101】上述の説明は、マルチゲート構造の効果としてダブルゲート構造のみを例にあげたが、更に多数のマルチゲート構造を使用しても良好な特性が得られるのは明白である。但し、透過型で使用する場合には、開口率の低下が少ないように設計する必要がある。この実施例に挙げたダブルゲート構造では、通常のシングルゲート構造より開口率が増大できた。

【0102】その理由を図12及び図13を参照して説明する。図12と図13は、各々図8と図9で使用したTFTの単体の構造である。この条件のTFTでは、チャネル長6ミクロンでは16V以上の耐圧があったが、チャネル長3ミクロンでは16V印加で破壊されるTFTも発生した。そのため、シングルゲート構造では、チャネル長3ミクロンを使用することはできなかった。しかし、ダブルゲート構造の採用により、サブTFTにはおよそ8Vしか印加されないため、チャネル長3ミクロン等の小さいTFTが使用可能となる。その結果、図12と同様の機能を果たすTFTを図13のようにチャネル長が小さいサブTFTで構成できる。図12及び図13から明らかなように、TFTが占める面積は、図13のダブルゲート構造の方が小さい。このため、開口率が向上した。

【0103】次に、この実施例の、図5に示した液晶表示装置10-2を構成する画素回路20-2においてTN液晶を電圧無印加時に明るい状態となるノーマリー・ホワイトモードで駆動させる場合について説明する。図14は、その場合のゲート走査電圧 V_g 、データ信号電圧 V_d 、第1のp型MOSトランジスタ(Q_{p1})302のゲート入力電圧 V_a 、画素電圧 V_{pix} のタイミングチャート及び液晶の光透過率の変化を示したものである。また、データ信号電圧 V_d として、数フィールドにわたって、明るい状態にする信号電圧を印加した例を示

している。駆動方法としては、前述の図7で示したものと同様である。TN液晶は、応答時間が数十 μs 程度あるため、図14に示すように数フィールド掛かって明るい状態に遷移していく。その間、TN液晶の分子がスイッチングすることにより液晶容量が変化し、従来の液晶表示装置では、前述の図74に示したように、画素電圧 V_{pix} が変動してしまうため、液晶の本来の光透過率 T_0 を得ることができない。

【0104】それに対し、この実施例の液晶表示装置10-2においては、第1のp型MOSトランジスタ(Qp1)302がアナログアンプ回路104-2のアンプ回路部として動作し、TN液晶の容量の変化に影響されことなく液晶109に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。すなわち、TN液晶を画素回路20-2で駆動させた場合の画素電圧 V_{pix} 、液晶の光透過率は、図14に示した画素電圧 V_{pix} 、液晶の光透過率となる。したがって、TN液晶を画素回路20-2で駆動させた場合にも、高速液晶を画素回路20-2で駆動させた場合とほぼ同等の、上述の効果が得られる。

【0105】このように、この実施例の構成によれば、アナログアンプ回路104-2をアクティブアクティブ負荷型アナログアンプ回路に構成したので、 I_{ds} の V_{ds} への依存性が大幅に減少される。そのため、ゲート-ソース電圧 V_{gs} の変化は僅少となる。したがって、アナログアンプ回路104-2のゲート入力電圧-画素電圧関係に、直線性が得られ、信号線102上のデータ信号電圧 V_d がフィールド毎に変えられても、アナログアンプ回路104-2から画素電極107に印加される画素電圧 V_{pix} は、データ信号電圧 V_d にほぼ比例しており、画素電極107のゲインに低下は現れない。

【0106】上述したように、アナログアンプ回路104-2のゲート入力電圧-画素電圧関係に直線性が得られ、その画素電圧 V_{pix} によって液晶109が水平走査期間終了後に当該フィールド期間の間駆動される。したがって、画像表示において、データ信号電圧 V_d が供給されそのデータ信号電圧 V_d にほぼ比例した画素電圧 V_{pix} が液晶109に印加されて液晶109の静電容量に変化が生ぜしめられる場合であっても、また、フィールド毎に若しくは複数フィールド期間経過時にデータ信号電圧 V_d が変更される場合であったとしても、そのデータ信号電圧 V_d にほぼ比例した画素電圧 V_{pix} が液晶109に印加され、液晶109の静電容量に変化が生ぜしめられて V_{ds} が変わって来たとしても、 I_{ds} はほぼ一定しているから、画素電圧 V_{pix} の変動を上記特許よりも一層少なくすることができる。

【0107】その結果として、図7に示す画素電圧 V_{pix} 、すなわち、アナログアンプ回路104-2から出力される画素電圧 V_{pix} は、図9に示すように、ゲ

ト入力電圧に対する画素電圧の直線性が上記特許よりも一層向上しており、画素電圧 V_{pix} を液晶に印加することができ、図11の液晶の光透過率に示されるように、1フィールド毎に一層良好な階調を得ることが可能となる。また、ダブルゲート構造のp型MOSトランジスタを使用することにより、チャネル長の短いp型MOSトランジスタの使用が可能になるから、開口率の向上を達成することができる。

【0108】そして、この効果を享受しつつこの実施例の液晶表示装置においても、アナログアンプ回路104-2のアンプ回路部として動作する第1のp型MOSトランジスタ(Qp1)302の電源及びリセット電源として走査電圧を利用するとともに、アナログアンプ回路104-2のリセットを第1のp型MOSトランジスタ(Qp1)302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、小面積でアナログアンプ回路104-2を構成できる。

【0109】第3実施例

図15は、本発明の第3実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第1実施例のそれと大きく異なる点は、液晶表示装置を構成するいずれの画素回路内のアナログアンプ回路においてもその負荷素子をアクティブ素子で構成した、すなわち、アナログアンプ回路をアクティブ負荷型アナログアンプ回路として構成した点にある。

【0110】その相違点は、第1実施例のアナログアンプ回路104-1のp型MOS型トランジスタを第1のp型MOS型トランジスタ(Qp1)302とし、負荷素子を第2のp型MOS型トランジスタ(Qp2)303で構成したことにある。

【0111】すなわち、第1のp型MOS型トランジスタ(Qp1)302のゲート電極をn型MOSトランジスタ(Qn)103のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を走査線101に接続し、第2のp型MOSトランジスタ(Qp2)303のゲート電極をバイアス電源305に接続し、ソース電極を電圧保持容量電極05に接続し、ドレイン電極を画素電極107に接続して構成したことにある。

【0112】また、第2のp型MOSトランジスタ(Qp2)303のソース電極に供給するバイアス電源305のバイアス電圧 V_B は、第2のp型MOSトランジスタ(Qp2)303のソース-ドレイン間抵抗の値 R_{dsp} が、液晶109の応答時定数を決めている抵抗成分の値以下にする電圧に設定される。すなわち、図73に示した液晶の等価回路における抵抗 R_1 の値 R_r 、図75に示した液晶の等価回路における抵抗 R_2 の値 R_{sp} と、ソース-ドレイン間抵抗の値 R_{dsp} は、上記の式(1)を満たす値に設定される。

【0113】たとえば、抵抗 R_2 の値 R_{sp} が $5\text{G}\Omega$ である場合には、ソース-ドレイン間抵抗の値 R_{dsp} が $1\text{G}\Omega$ を越えさせないバイアス電圧 V_B がバイアス電源305から供給される。第2のp型MOSトランジスタ(Q_{p2})303のドレイン電流-ゲート入力電圧特性と動作点は、図6に示したものである。図6は、理想的な特性を表すものである。図6に示すように、第2のp型MOSトランジスタ(Q_{p2})303のゲート-ソース間電圧($V_B - V_{CH}$)を -3V 程度に設定している。たとえば、電圧保持容量電圧 V_{CH} を 20V 、バイ

アス電圧 V_B を 17V に設定する。その結果、第2のp型MOSトランジスタ(Q_{p2})303のドレイン電流はおよそ $1\text{E}-8(\text{A})$ となり、ソース-ドレイン間電圧 V_{dsp} が -10V の時、ソース-ドレイン間抵抗 R_{dsp} は $1\text{G}\Omega$ となる。

【0114】上述したように、液晶の等価回路における抵抗 R_1 の値 R_r 、抵抗 R_2 の値 R_{sp} と、ソース-ドレイン間抵抗の値 R_{dsp} とを上述の式(1)を満たす値に設定することにより、マルチゲート構造のMOSトランジスタで構成した第1のp型MOSトランジスタ

(Q_{p1})302及び第2のp型MOSトランジスタ(Q_{p2})303のうち少なくとも一方は、第1実施例で説明したような動作領域、すなわち、マルチゲート構造のMOSトランジスタの等価的な各単体TFTを I_{ds} の V_{ds} への依存性の僅少な電圧領域で動作させるようにして構成される。

【0115】例えば、第2のp型MOSトランジスタ(Q_{p2})303の動作が、弱反転領域で動作させられる。したがって、ソース-ドレイン間電圧 V_{dsp} が $-2\text{V} \sim -14\text{V}$ と変化しても、ドレイン電流はほぼ一定

である。第2のp型MOSトランジスタ(Q_{p2})303は、第1のp型MOSトランジスタ(Q_{p1})302をアナログアンプ回路104-3として動作させる場合の、バイアス電流源として動作する。アナログアンプ回路104-3は、また、弱反転領域乃至バラツキの少ない領域で動作する。

【0116】また、第2のp型MOSトランジスタ(Q_{p2})303の動作状態と同様に、第1のp型MOSトランジスタ(Q_{p1})302の動作状態を第2のp型MOSトランジスタ(Q_{p2})303と同様の動作状態に設定させて用いることもできる。また、第1のp型MOSトランジスタ(Q_{p1})302の動作状態だけを上述の第2のp型MOSトランジスタ(Q_{p2})303と同様の動作状態に設定させて用いることもできる。これらの構成を除くこの実施例の各部の構成は、第1実施例と同一の構成であるので、それらの各部には第1実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-3で参照し、画素回路を20-3で参照する。

【0117】次に、図15を参照して、この実施例の動

作について説明する。この実施例の動作は、図5を用いて上述した第2実施例の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、及び1フィールド期間内に応答するOCBモード液晶のような高速液晶を画素回路20-3において駆動させた場合の画素電圧 V_{pix} 、液晶光透過率は、図7に示したものと同様であり、TN液晶を画素回路20-3において駆動させた場合の画素電圧 V_{pix} 、液晶光透過率は、図14に示したものと同様である。

【0118】このように、この実施例の構成によれば、アナログアンプ回路104-3をアクティブ負荷型アナログアンプ回路に構成したので、 I_{ds} の V_{ds} への依存性が大幅に減少され、ゲート-ソース電圧 V_{gs} の変化は僅少となる。したがって、アナログアンプ回路104-3のゲート入力電圧-画素電圧関係に、直線性が得られ、画素電圧 V_{pix} は、データ信号電圧 V_d にほぼ比例しており、画素電極107のゲインに低下は現れない。

【0119】したがって、画像表示において、データ信号電圧 V_d に対応する画素電圧 v_{pix} が印加されたときに液晶109の静電容量に変化が生ぜしめられる場合ばかりでなく、フィールド期間毎に若しくは数フィールド期間の経過時にデータ信号電圧 V_d が変更され液晶が駆動されて液晶109の静電容量に変化が生じて来る場合にも、 V_{ds} が変わって来るが、 I_{ds} はほぼ一定しているから、画素電圧 V_{pix} の変動を上記特許よりも一層少なくすることができる。

【0120】その結果として、図7の画素電圧 V_{pix} に示すように、1フィールド期間に亘ってゲート入力電圧-画素電圧特性の直線性が上記特許よりも一層向上している画素電圧 V_{pix} (図9)を液晶に印加することができ、図11の液晶の光透過率に示すように、1フィールド毎に一層良好な階調を得ることが可能となる。また、ダブルゲート構造のp型MOSトランジスタを使用することにより、チャネル長の短いp型MOSトランジスタの使用が可能になるから、開口率の向上を達成することができる。

【0121】そして、この効果を享受しつつこの実施例の液晶表示装置においても、アナログアンプ回路104-3のアンプ回路部として動作する第1のp型MOSトランジスタ(Q_{p1})302の電源及びリセット電源として走査電圧を利用するとともに、アナログアンプ回路104-2のリセットを第1のp型MOSトランジスタ(Q_{p1})302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、小面積でアナログアンプを構成できる。

【0122】 第4実施例

図16は、本発明の第4実施例である液晶表示装置を構成する1つの画素回路を示す図、また、図17は、同液

晶表示装置を構成する画素回路のp型MOSトランジスタのドレイン電流 - ゲート入力電圧特性を示す図である。この実施例の構成が、第1実施例のそれと大きく異なる点は、液晶表示装置を構成する画素回路内のアナログアンプ回路においてその負荷素子をアクティブ素子で構成した、すなわち、アナログアンプ回路をアクティブ負荷型アナログアンプ回路として構成した点にある。

【0123】その相違点は、第1実施例のアナログアンプ回路104-4のp型MOSトランジスタを、第2実施例及び第3実施例と同様、第1のp型MOSトランジスタ(Qp1)302とし、負荷素子を第2のMOSトランジスタ(Qp2)303で構成した点にある。

【0124】すなわち、第1のp型MOSトランジスタ(Qp1)302のゲート電極をn型MOSトランジスタ(Qn)103のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を走査線101に接続し、第2のp型MOSトランジスタ(Qp2)303のゲート電極及びソース電極を電圧保持容量電極105に接続し、ドレイン電極を画素電極107に接続して構成した点にある。第1のp型MOSトランジスタ(Qp1)302と第2のp型MOSトランジスタ(Qp2)303とは、ソースホロワ型アナログアンプ回路104-4として動作する。

【0125】そして、第2のp型MOSトランジスタ(Qp2)303のゲート電極とソース電極はともに電圧保持容量電極105に接続されているから、第2のp型MOSトランジスタ(Qp2)303のゲート - ソース間電圧Vgsは0Vとなる。このバイアス条件下で、第2のp型MOSトランジスタ(Qp2)303のソース - ドレイン間抵抗の値Rdsが、前述の式(1)を満たすように、第2のp型MOSトランジスタ(Qp2)303の閾値電圧をチャネル・ドーズにより正側にシフト制御している。

【0126】図17は、第2のp型MOSトランジスタ(Qp2)303のドレイン電流・ゲート入力電圧特性と、動作点を示したものである。なお、図17においても、Vdsを-2Vから-14Vまでの8通りの曲線が描かれているが、その各曲線が図17中で位置する関係は、図3及び図4と同じである。図17に示すように、ゲート - ソース間電圧が0Vの時、ドレイン電流が約1E-8(A)となるように、チャネルドーズにより、閾値電圧が正側にシフト制御されている。その結果、第2のp型MOSトランジスタ(Qp2)303のドレイン電流はおよそ1E-8(A)となり、ソース - ドレイン間電圧Vdsが-10Vの時、ソース - ドレイン間抵抗の値Rdsは1GΩとなる。

【0127】上述したように、液晶の等価回路における抵抗R1の値Rr、抵抗R2の値Rspと、ソース - ドレイン間抵抗の値Rdsとを上述の式(1)を満たす値に設定することにより、マルチゲート構造のMOSト

ランジスタで構成した第1のp型MOSトランジスタ(Qp1)302及び第2のp型MOSトランジスタ(Qp2)303のうち少なくとも一方は、第1実施例で説明したような動作領域、すなわち、マルチゲート構造のMOS型トランジスタの等価的な各単体TFTをIdsのVdsへの依存性の僅少な電圧領域で動作させるようにして構成される。

【0128】例えば、第2のp型MOSトランジスタ(Qp2)303の動作が、弱反転領域での動作となっており、ソース - ドレイン間電圧Vdspが-2V~-14Vと変化しても、ドレイン電流はほぼ一定である。第2のp型MOSトランジスタ(Qp2)303は、第1のp型MOSトランジスタ(Qp1)302をアナログアンプ回路104-4のアンプ回路部として動作させる場合の、バイアス電流源として動作する。

【0129】また、第2のp型MOSトランジスタ(Qp2)303の動作状態と同様に、第1のp型MOSトランジスタ(Qp1)302の動作状態を第2のp型MOSトランジスタ(Qp2)303と同様の動作状態に設定させて用いることもできる。また、第1のp型MOSトランジスタ(Qp1)302の動作状態だけを上述の第2のp型MOSトランジスタ(Qp2)303と同様の動作状態に設定させて用いることもできる。

【0130】この実施例では、第2実施例が必要であったバイアス電源304及び第3実施例が必要であったソース電源305が不要となっているが、チャネルドーズ工程が余分に必要となる。

【0131】これらの構成を除くこの実施例の各部の構成は、第1実施例と同一の構成であるので、それらの各部には第1実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-4で参照し、画素回路を20-4で参照する。

【0132】次に、図16及び図17を参照して、この実施例の動作について説明する。この実施例の動作は、上述した第2実施例及び第3実施例の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、及び1フィールド期間内に応答するOCBモード液晶のような高速液晶を画素回路20-4において駆動させた場合の画素電圧Vpix、液晶光透過率は、図7に示したものと同様であり、TN液晶を画素回路20-4において駆動させた場合の画素電圧Vpix、液晶光透過率は、図14に示したものと同様である。

【0133】このように、この実施例の構成によれば、アナログアンプ回路104-4をアクティブ負荷型アナログアンプ回路に構成したので、IdsのVdsへの依存性が大幅に減少され、ゲート - ソース電圧Vgsの変化は僅少となる。したがって、アナログアンプ回路104-4のゲート入力電圧 - 画素電圧関係に直線性が得られ、画素電圧Vpixは、データ信号電圧Vdにほぼ比

例しており、画素電極107のゲインに低下は現れない。

【0134】上述のように、アナログアンプ回路104-4のゲート入力電圧-画素電圧関係に直線性が得られ、その画素電圧 V_{pix} によって液晶109が水平走査期間終了後に当該フィールド期間の間駆動される、すなわち、アナログアンプ回路104-4から出力されている画素電圧 V_{pix} が画素電極107に印加されて液晶109が駆動されるので、画像表示において、データ信号電圧 V_d に対応する画素電圧 v_{pix} が印加されたときに液晶109の静電容量に変化が生じ、又はフィールド期間毎に若しくは数フィールド期間の経過時にデータ信号電圧 V_d が変更されて液晶が駆動され、液晶109の静電容量に変化が生じて V_{ds} が許容限度内で変わって来たとしても、 I_{ds} がほぼ一定しているから、画素電圧 V_{pix} の変動を上記特許よりも一層少なくすることができる。

【0135】その結果として、図7に示す画素電圧 V_{pix} 、すなわち、アナログアンプ回路104-4から出力される画素電圧 V_{pix} は、図9に示すように、ゲート入力電圧に対する画素電圧の直線性が上記特許よりも一層向上しており、画素電圧 V_{pix} を液晶に印加することができ、図11の液晶の光透過率に示されるように、1フィールド毎に一層良好な階調を得ることが可能となる。また、ダブルゲート構造のp型MOSトランジスタを使用することにより、チャネル長の短いp型MOSトランジスタの使用が可能になるから、開口率の向上を達成することができる。

【0136】そして、この効果を享受しつつこの実施例の液晶表示装置においても、アナログアンプ回路104-4のアンプ回路部として動作する第1の第1のp型MOSトランジスタ(Q_{p1})302の電源及びリセット電源として走査電圧を利用するとともに、アナログアンプ回路104-4のリセットを第1の第1のp型MOSトランジスタ(Q_{p1})302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。その結果、小面積でアナログアンプを構成できる。

【0137】第5実施例

図18は、本発明の第5実施例である液晶表示装置を構成する1つの画素回路を示す図、図19は、同液晶表示装置の画素回路に用いる抵抗の第1の構造例を示す図、図20は、同液晶表示装置の画素回路に用いる抵抗の第2の構造例を示す図、図21は、同液晶表示装置の画素回路に用いる抵抗の第3の構造例を示す図、また、図22は、同液晶表示装置を構成する画素回路の抵抗の値を変えたときのゲート走査電圧 V_g 、データ信号電圧 V_d 、アンプ入力電圧 V_a 及び画素電圧 V_{pix} のタイミングチャート、並びに液晶の光透過率の変化を示す図である。この実施例の構成が、第1実施例のそれと大きく

異なる点は、液晶表示装置を構成するいずれのアナログアンプ回路においてもその負荷素子を抵抗で構成した、すなわち、アナログアンプ回路を受動負荷型アナログアンプ回路として構成した点にある。

【0138】その相違点は、第1実施例のアナログアンプ回路104-1のp型MOSトランジスタをp型MOSトランジスタ302とし、負荷素子を抵抗306で構成したことにある。したがって、p型MOS型トランジスタ(Q_p)302と抵抗306とで構成されるアナログアンプ回路104-4は、ソースホロワ型アナログアンプ回路を構成する。そのp型MOSトランジスタ(Q_p)302は、マルチゲート構造のMOS型トランジスタであり、また、n型MOSトランジスタ(Q_n)103並びにp型MOSトランジスタ(Q_p)302は、p-Si TFTで構成されている。

【0139】すなわち、p型MOS型トランジスタ302のゲート電極をn型MOSトランジスタ(Q_n)103のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を走査線101に接続し、抵抗306の一端を電圧保持容量電極105に接続し、他端を画素電極107に接続して構成したことにある。

【0140】また、抵抗306の値 R_L は、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図73に示す液晶の等価回路内の抵抗 R_1 の値 R_r 、図75に示す液晶の等価回路内の抵抗 R_2 の値 R_{sp} と、抵抗306の値 R_L とは次式(2)

$$R_L \leq R_r, \quad R_L \leq R_{sp} \dots (2)$$

を満たすことが必要である。たとえば、抵抗 R_2 の値 R_{sp} が5GΩである場合には、抵抗306の値 R_L は1GΩ程度の値に設定されている。1GΩという通常の半導体集積回路では用いられない大きな抵抗は、半導体薄膜か、もしくは不純物ドーピングされた半導体薄膜で形成する。

【0141】図19は、抵抗 R_L を、ライトリー・ドーピングされたp型半導体薄膜(p-)で形成した場合の構造例を示したものである。図19には、p型MOSトランジスタ(p型p-Si TFT)302の構造も示してある。図19に示すように、p型p-Si TFT302のソース電極及びドレイン電極のいずれか一方は走査線101に接続されており、他方は画素電極107に接続されている。ここで、抵抗306を形成するp-層404部分は、式(2)で示した条件を満たすように、不純物ドーピングの量、及び長さ、幅が設計されている。また、p型p-Si TFT302は、高耐压化のためにライトリー・ドーフト・ドレイン(以下LDDと記す。)構造となっており、工程を簡略化するために、p-Si TFT402のLDDを形成する工程と、抵抗306(p-)を形成する工程を同時に行っている。なお、図19中の参照番号403は、p+の領域であり、

図19中の左から右へ付されている403、404、404、403が付されている領域が、p型MOSトランジスタ303を構成している。401は、ガラス基板である。

【0142】次に、抵抗306を不純物のドーピングされていない半導体薄膜(i層)501で形成した例を図20に示す。ここで、抵抗306を形成するi層501の長さ、幅は、式(2)を満たすように設計されている。また、i層501を抵抗306として用いる場合には、図20に示すように、p型MOSトランジスタ302の、画素電極107に接続された側のソース電極及びドレイン電極(p+)403のいずれか一方と抵抗306となるi層501との間に、p型にライトリー・ドーピングされたp-層404を形成しておく。p+層とi層を接触させると、極めて高いショットキー抵抗が形成され、式(2)を満たす抵抗を小面積で形成することができなくなってしまうからである。同様に、電圧保持容量電極105に接続されたp+電極403と、i層501との間には、p-層404を形成する。その他の参照番号は、図19と同じである。

【0143】次に、抵抗306を、ライトリー・ドーピングされたn型半導体薄膜(n-)で形成した場合の例を図21に示す。ここで、抵抗306を形成するn-層602の部分は、式(2)で示した条件を満たすように、不純物ドーピングの量、及び長さ、幅が設計されている。p型p-Si TFT 302のソース電極及びドレイン電極(p+層)403のいずれか一方とn-層602とを接続する場合には、図21に示すように、p+層403とn+層601とを金属層408を介して接続し、そのn+層601をn-層602に接触させる。その他の参照番号は、図19と同じである。

【0144】以上、図18に示す抵抗306を半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式(2)を満たす抵抗であれば、他の材料を適用してもよい。

【0145】これらの構成を除くこの実施例の各部の構成は、第1実施例と同一の構成であるので、それらの各部には第1実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-5で参照し、画素回路を20-5で参照する。

【0146】次に、図18~図22を参照して、この実施例の動作について説明する。この実施例の液晶表示装置の駆動方法は、次の通りである。この実施例の駆動方法は、第2実施例、第3実施例及び第4実施例と同じである。分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を画素回路20-5において駆動させた場合の、ゲート走査電圧Vg、データ信号電圧Vd、第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び

液晶の光透過率の変化は、図7について説明したものと同じである。ここで、液晶は、電圧無印加時に暗い状態となるノーマリー・ブラックモードで動作する例を示している。

【0147】NT液晶を画素回路20-5において駆動させた場合のゲート走査電圧Vg、データ信号電圧Vd、第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化は、図14について説明したものと同じである。

【0148】第2実施例~第4実施例と同様、この実施例においても、今回のフィールド期間電圧保持容量106に保持されたゲート入力電圧Vaは、アナログアンプ回路104-5の第1のp型MOSトランジスタ(Qp1)302によって液晶109に印加され、その印加は、次のフィールドでゲート走査電圧がVgHとなってリセットが行われるまでの間続行され、その保持されたゲート入力電圧Vaに応じたアナログ階調電圧を出力することができる。その出力電圧は、p型MOSトランジスタのトランス・コンダクタンスgmpと抵抗306の値によって変わるが、およそ次の式で表される。

$$V_{pix} = V_a - V_{tp} \quad (3)$$

ここで、Vtpは、通常負の値であるので、図7に示すように、VpixはVaよりも第1のp型MOSトランジスタ(Qp1)302の閾値電圧の絶対値だけ高い電圧となる。

【0149】次に、この実施例の液晶表示装置10-5を構成する画素回路20-5の抵抗306を変化させてTN液晶を駆動させた場合の例について説明する。この例については、図22を参照して説明する。図22は、その場合のゲート走査電圧Vg、データ信号電圧Vd、第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示したものである。また、NT液晶は、電圧無印加時に明るい状態となるノーマリー・ホワイトモードで動作される例を示している。また、データ信号電圧Vdとして、数フィールドにわたって、明るい状態にする信号電圧を印加した例を示している。

【0150】駆動方法としては、上述した図7で示したものと同様である。TN液晶は、応答時間が数十ms程度あるため、図22に示すように数フィールド掛かって明るい状態に遷移していく。その間、TN液晶の分子がスイッチングすることにより液晶容量が変化し、従来の液晶表示装置では、前述の図74に示したように、画素電圧Vpixが変動してしまうため、本来の液晶光透過率T0を得ることができない。それに対し、この実施例の液晶表示装置10-5においては、第1のp型MOSトランジスタ(Qp1)302がアナログアンプ回路104-5のアンプ回路部として動

作し、TN液晶の容量の変化に影響されことなく液晶109に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。

【0151】次に、図18に示すこの実施例の液晶表示装置において、抵抗306の値を変化させた時の画素電圧 V_{pix} の変化について説明する。図22は、図18における抵抗306の値 R_L を、図75における液晶の抵抗値 R_2 の値 R_{sp} に対し、 $R_{sp}/4$ 、 R_{sp} 、 $2 \times R_{sp}$ と変えた場合の画素電圧 V_{pix} の変化の様子を示したものである。図22に示すように、抵抗306の値を R_L 液晶の抵抗値 R_{sp} よりも大きくした場合()、正極性の信号を書き込むフィールドにおいて、画素電圧 V_{pix} は大きな変動を示す。これに対し、抵抗306の値 R_L を液晶抵抗 R_{sp} 以下にした場合(、)には、画素電圧 V_{pix} の変動はほとんど無くなる。抵抗306の値 R_L を液晶109の抵抗 R_2 の値 R_{sp} と等しくした場合()において、若干の変動が認められるが、その変動している期間は1フィールド期間に比べて非常に短い期間であり、階調表示制御を行う上で影響は無い。

【0152】以上説明した理由により、この実施例の液晶表示装置10-5において、抵抗303の値 R_L は前述の式(2)で示された条件を満たすように設計される。実際には、画素電圧 V_{pix} の変動量と消費電力を考慮して、抵抗306の値 R_L を決定する。消費電力を小さくするためには、画素電圧 V_{pix} の変動が液晶の光透過率に影響を及ぼさない範囲内で抵抗306の値 R_L はできるだけ大きく設計するのが望ましい。

【0153】このように、この実施例の構成によれば、第2実施例で説明したと同様、ダブルゲート構造の第1のp型MOSトランジスタ(Q_{p1})302をアナログアンプ回路104-5のアンプ回路部に使用したので、 I_{ds} の V_{ds} への依存性が大幅に減少、ゲート-ソース電圧 V_{gs} の変化が生じなくなる。したがって、アナログアンプ回路104-5のゲート入力電圧-画素電圧関係に、直線性が得られ、信号線102上のデータ信号電圧 V_d の変更態様(フィールド毎の、又は複数フィールド経過時の変更)を問わず、画素電圧 V_{pix} が、アナログアンプ回路104-5から画素電極107を介して液晶109に印加されて液晶109の静電容量に変化が生じて、液晶109に印加される画素電圧 V_{pix} は、信号線102上のデータ信号電圧 V_d データにほぼ比例しており、画素電極107に掛かる画素電圧 V_{pix} のゲインに低下は現れない。

【0154】アナログアンプ回路104-5のゲート入力電圧-画素電圧特性に直線性が得られるから、水平走査期間終了後に当該フィールド期間の間、アナログアンプ回路104-5から出力されている画素電圧 V_{pix} が画素電極107に印加されて液晶109が駆動され、

この駆動と同様の駆動が各画素回路で行われて画像が表示される際において、データ信号電圧 V_d の変更乃至はその変更が無い状態における液晶109の応答に伴って V_{ds} が許容限度内で変わっても、 I_{ds} がほぼ一定しているから、画素電圧 V_{pix} の変動を上記特許よりも一層少なくすることができる。液晶109の光透過率も、1フィールド毎の階調も、上記特許よりも一層向上する。

【0155】その結果として、第2実施例で参照した図7及び図14の画素電圧 V_{pix} の波形に示すように、1フィールド期間に亘ってゲート入力電圧-画素電圧特性の直線性が上記特許よりも一層向上している画素電圧を液晶に印加することができ、図11に示すように、液晶109の光透過率にも示されるように、1フィールド毎に一層良好な階調を得ることが可能となる。また、ダブルゲート構造のMOSトランジスタを使用することにより、チャネル長の短いMOSトランジスタの使用が可能になるから、開口率の向上を達成することができる。

【0156】そして、この効果を享受しつつ、この実施例の液晶表示装置においても、アナログアンプ回路104-5のアンプ回路部として動作する第1のp型MOSトランジスタ(Q_{p1})302の電源及びリセット電源として走査電圧を利用するとともに、アナログアンプ回路104-5のリセットを第1のp型MOSトランジスタ(Q_{p1})302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となる。その結果、小面積でアナログアンプ回路104-5を構成でき、高開口率化を図るのに顕著な効果が得られる。

【0157】 第6実施例

図23は、この発明の第6実施例である液晶表示装置を構成する1つの画素回路を示す図、図24は、同液晶表示装置を構成する画素回路の第2のp型MOSトランジスタ(Q_{p2})703のドレイン電流-ゲート入力電圧特性を示す図、図25は、同液晶表示装置を構成する画素回路において高速液晶を駆動させたときのゲート走査電圧 V_g 、データ信号電圧 V_d 、ゲート入力電圧 V_a 及び画素電圧 V_{pix} のタイミングチャート、並びに液晶の光透過率の変化を示す図、また、図26は、同液晶表示装置を構成する画素回路においてNT液晶を駆動させたときのゲート走査電圧 V_g 、データ信号電圧 V_d 、ゲート入力電圧 V_a 及び画素電圧 V_{pix} のタイミングチャート、並びに液晶の光透過率の変化を示す図である。

【0158】この実施例の構成が、第2実施例のそれと大きく異なるところは、第2実施例におけるn型MOSトランジスタ103をp型MOSトランジスタ(Q_p)701とし、第1のp型MOSトランジスタ(Q_{p1})302を第1のn型MOSトランジスタ702とし、第2のp型MOSトランジスタ303を第2のn型MOSトランジスタ(Q_{n2})703として構成した点であ

る。なお、この関係は、後述する第7実施例及び第8実施例においても同じである。

【0159】すなわち、その相違点は、p型MOSトランジスタ(Qp)701のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続し、第1のn型MOSトランジスタ(Qn1)702のゲート電極をp型MOSトランジスタ(Qp)701のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を走査線101に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続し、第2のn型MOSトランジスタ(Qn2)703のゲート電極を電圧保持容量電極105に接続し、ドレイン電極を画素電極107に接続し、ソース電極をソース電源704に接続して構成したことにある。

【0160】そして、第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703のうち少なくとも一方は、マルチゲート構造のn型MOSトランジスタであり、p型MOSトランジスタ(Qp)701並びに第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703は、p-SiTFTで構成されている。

【0161】また、ソース電源704は、第2のn型MOSトランジスタ(Qn2)703のソース-ドレイン間抵抗の値 R_{dsn} が、液晶の応答時定数を決めている抵抗成分の値以下となるソース電圧を第2のn型MOSトランジスタ(Qn2)703のソース電極に供給する。すなわち、図73に示した液晶の等価回路における抵抗 R_1 の値 R_r 、図75に示した液晶の等価回路における抵抗 R_2 の値 R_{sp} と、ソース-ドレイン間抵抗の値 R_{dsn} とが、次式(4)に示す関係となっている。

$R_{dsn} \leq R_r$ 、 $R_{dsn} \leq R_{sp}$ (4)

を満たす電圧がソース電源704から第2のp型MOSトランジスタ(Qp2)703のソース電極に供給される。

【0162】たとえば、抵抗 R_2 の値 R_{sp} が5GΩである場合には、ソース-ドレイン間抵抗の値 R_{dsn} が1GΩを越えさせないソース電圧VSがソース電源704から供給される。第2のn型MOSトランジスタ(Qn2)703の動作点は、図24に示した動作点と同様である。なお、図24は、理想的に曲線を描いた図である。図24においても、Vdsを-2Vから-14Vまでの8通りの曲線が描かれているが、その各曲線が図24中で位置する関係は、図3及び図4と同じである。

【0163】すなわち、この実施例では、第2のn型MOSトランジスタ(Qn2)703のゲート-ソース間電圧(VCH-VS)を3V程度に設定している。たとえば、電圧保持容量電圧VCHを3V、VSを0Vに設定する。その結果、第2のn型MOSトランジスタ(Q

n2)703のドレイン電流はおよそ $1E-8$ (A)となり、ソース-ドレイン間電圧Vdsnが10Vの時、ソース-ドレイン間抵抗の値Rdsnは1GΩとなる。

【0164】また、第2のn型MOSトランジスタ(Qn2)703は、マルチゲート構造のn型MOSトランジスタであり、弱反転領域で動作している。すなわち、第2のn型MOSトランジスタ(Qn2)703に流れる電流Idsは、該n型MOSトランジスタ(Qn2)703に掛かるソース-ドレイン間電圧Vdsnに依存性がほぼ無くなっているから(図24)、ソース-ドレイン間電圧Vdsnが2~14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ(Qn2)703は、第1のn型MOSトランジスタ(Qn1)702をアナログアンプ回路104-6のアンプ回路部として動作させる場合の、バイアス電流源として動作する。

【0165】また、第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703の双方をダブルゲート構造のMOSトランジスタとしてもよい。さらには、第2のn型MOSトランジスタ(Qn2)703のみをダブルゲート構造のMOSトランジスタとしてもよい。

【0166】これらの構成を除くこの実施例の各部の構成は、第2実施例と同一の構成であるので、それらの各部には第2実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-6で参照し、画素回路を20-6で参照する。

【0167】次に、図23~図26を参照して、この実施例の動作について説明する。図25は、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を画素回路20-6において駆動させた場合の、ゲート走査電圧Vg、データ信号電圧Vd、第1のn型MOSトランジスタ(Qn1)702のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示したものである。ここでの液晶の表示態様は、電圧無印加時に暗い状態となるノーマリー・ブラックモードで動作する例を示している。

【0168】図25に示すように、ゲート走査電圧Vgが水平走査の期間、ローレベルVgLとなることによって、p型MOSトランジスタ(Qp)701はオン状態となり、信号線102に入力されているデータ信号電圧Vdがp型MOSトランジスタ(Qp)701を経由して第1のn型MOSトランジスタ(Qn1)702のゲート電極に転送される。一方、その水平走査期間において、画素電極107は、第1のn型MOSトランジスタ(Qn1)702を経由してゲート走査電圧VgLが転送されることによりリセット状態へ遷移される。

【0169】つまり、水平走査期間において画素電圧VpixがVgLとなることで、第1のn型MOSトラン

ジスタ(Qn1)702のリセット、すなわち、ノーマルブラック状態への表示切り換えが同時に行われる。第1のn型MOSトランジスタ(Qn1)702は、水平走査期間が終了した後、ソースフォロワ型アナログアンプ回路104-6のアンプ回路部として動作する。これを以下に述べる。

【0170】水平走査期間が終了し、ゲート走査電圧Vgがハイレベルになると、p型MOSトランジスタ(Qp)701はオフ状態となり、第1のn型MOSトランジスタ(Qn1)702のゲート電極に転送されたデータ信号電圧は電圧保持容量106により保持される。この際、第1のn型MOSトランジスタ(Qn1)702のゲート入力電圧Vaは、p型MOSトランジスタ(Qp)701がオフ状態になる時刻において、p型MOSトランジスタ(Qp)701のゲート-ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。この電圧シフトは、図25には、Vf1、Vf2、Vf3で示されており、電圧シフトVf1~Vf3の量は、電圧保持容量106の値を大きく設計することにより小さくすることができる。

【0171】第1のn型MOSトランジスタ(Qn1)702のゲート入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがローレベルとなり、p型MOSトランジスタ(Qp)701が選択されるまで保持される。

【0172】一方、第1のn型MOSトランジスタ(Qn1)702は、水平走査期間にリセットが完了しており、画素電極107をソース電極としたソースフォロワ型アナログアンプ回路104-6のアンプ回路部として動作する。この動作を生じさせるため、電圧保持容量電極105には、第1のn型MOSトランジスタ(Qn1)702をアナログアンプ回路104-6のアンプ回路部として動作させるための電圧として、少なくとも(Vdmin-Vtn)よりも低い電圧を供給しておく。そのVdminはデータ信号電圧Vdの最小値であり、Vtnは第1のn型MOSトランジスタ(Qn1)702の閾値電圧である。

【0173】第1のn型MOSトランジスタ(Qn1)702は、次のフィールドでゲート走査電圧がVgLとなってリセットが行われるまでの間、その保持されたゲート入力電圧Vaに応じたアナログ階調電圧(画素電圧)を出力することができる。この出力電圧を出力するアクティブ負荷型アナログアンプ回路104-6は、第2実施例において図8~図11を参照して詳しくは説明したと同様の動作するので、ゲート入力電圧Vaとアナログ階調電圧(画素電圧)との間に直線性が得られ、その電圧範囲も広い。データ信号電圧Vdと光透過率との間にも、直線性が得られる。

【0174】次に、TN液晶を液晶表示装置の画素回路20-6の液晶としてTN液晶109を用いた場合の駆

動方法について説明する。図26は、その場合のゲート走査電圧Vg、データ信号電圧Vd、第1のn型MOSトランジスタ(Qn1)702のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示したものである。ここでの液晶109は、電圧無印加時に明るい状態となるノーマリー・ホワイトモードで動作する例を示している。また、データ信号電圧Vdとして、数フィールドにわたって、明るい状態にする信号電圧を印加した例を示している。駆動方法としては、前述の図25で示したものと同様である。

【0175】TN液晶は、応答時間が数十msec~100msec程度あるため、図26に示すように数フィールド掛かって明るい状態に遷移していく。その間、TN液晶の分子がスイッチングすることにより液晶容量が変化し、従来の液晶表示装置では、前述の図74に示したように、画素電圧Vpixが変動してしまうため、本来の液晶光透過率T0を得ることができない。

【0176】それに対し、この実施例の液晶表示装置10-6においては、第1の第1のn型MOSトランジスタ(Qn1)702がアナログアンプ回路104-6のアンプ回路部として動作し、かつ、第2のn型MOSトランジスタ(Qn2)702が上述したようにIdsのVdsへの依存性がほぼ無くなる電圧領域、すなわち、弱反転領域で動作するように設定されているので、TN液晶が駆動され、その容量の変化があってもそれに影響されることなく液晶109にデータ信号電圧Vdにほぼ比例した画素電圧Vpixをフィールド毎に印加することができるので、本来の光透過率が得られ、正確な階調で画像を表示することができる。

【0177】このように、この実施例の構成によれば、第2実施例の第1のp型MOSトランジスタ(Qp1)302及び第2のp型MOSトランジスタ(Qp2)303を第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703に変更してアナログアンプ回路104-6を構成したことに伴って、第1及び第2のn型MOSトランジスタ702、703を動作させるのに必要な電圧の極性を変えることにより、第2実施例と同様の効果、すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0178】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-6のアンプ回路部として動作する第1のn型MOSトランジスタ(Qn1)702の電源及びリセット電源として走査電圧を利用するとともに、アナログアンプ回路104-6のリセットを第1のn型MOSトランジスタ(Qn1)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不

要となっている。また、小面積でアナログアンプ回路104-6を構成でき、第2実施例と同等の高開口率を得ることができる。

【0179】 第7実施例

図27は、この発明の第7実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第3実施例のそれと大きく異なるところは、第3実施例におけるn型MOSトランジスタ(Qn)103をp型MOSトランジスタ(Qp)701とし、第1のp型MOSトランジスタ(Qp1)302を第1のn型MOSトランジスタ(Qn1)702とし、第2のp型MOSトランジスタ(Qp2)303を第2のn型MOSトランジスタ(Qn2)703として構成した点である。

【0180】すなわち、その相違点は、p型MOSトランジスタ(Qp)701のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続し、第1のn型MOSトランジスタ(Qn1)702のゲート電極をp型MOSトランジスタ(Qp)701のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を走査線101に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続し、第2のn型MOSトランジスタ(Qn2)703のゲート電極をバイアス電源705に接続し、ドレイン電極を画素電極107に接続し、ソース電極を電圧保持容量電極105に接続して構成したことにある。

【0181】そして、第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703のうち少なくとも一方は、マルチゲート構造のn型MOSトランジスタであり、p型MOSトランジスタ(Qp)701並びに第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703は、p-SiTFETで構成されている。

【0182】第2のn型MOSトランジスタ(Qn2)703のゲート電極に供給するバイアス電源705は、第2のn型MOSトランジスタ(Qn2)703のソース-ドレイン間抵抗Rdsnが、液晶の応答時定数を決めている抵抗成分の値以下となるように設定されている。すなわち、図73に示した液晶の等価回路における抵抗R1の値Rr、図75に示した液晶の等価回路における抵抗R2の値Rspと、ソース-ドレイン間抵抗の値Rdsnは次式(5)に示す関係となっている。

$$R_{dsn} \leq R_r, R_{dsn} \leq R_{sp} \quad (5)$$

【0183】たとえば、抵抗R2の値Rspが5GΩである場合には、ソース-ドレイン間抵抗の値Rdsnが1GΩを越えさせないバイアス電圧VBがバイアス電源705から第2のn型MOSトランジスタ(Qn2)703のゲート電極に供給される。図24は、第2のn型

MOSトランジスタ(Qn2)703のドレイン電流-ゲート入力電圧特性と動作点を示したものである。図24の例では、第2のn型MOSトランジスタ(Qn2)703のゲート-ソース間電圧(VB-VCH)を3V程度に設定している。

【0184】たとえば、電圧保持容量電圧VCHを0V、ゲート電極の電圧VBを3Vに設定する。その結果、第2のn型MOSトランジスタ(Qn2)703のドレイン電流はおよそ1E-8(A)となり、ソース-ドレイン間電圧Vdsnが10Vの時、ソース-ドレイン間抵抗の値Rdsnは1GΩとなる。また、第2のn型MOSトランジスタ(Qn2)703は、弱反転領域で動作している。

【0185】すなわち、第2のn型MOSトランジスタ(Qn2)703に流れる電流Idsは、該n型MOSトランジスタ(Qn2)703に掛かるソース-ドレイン間電圧Vdsnに依存性がほぼ無くなっているから(図24)、ソース-ドレイン間電圧Vdsnが2~14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ(Qn2)703は、第1のn型MOSトランジスタ(Qn1)702をアナログアンプ回路のアンプ回路部として動作させる場合の、バイアス電流源として動作している。

【0186】これらの構成を除くこの実施例の各部の構成は、第3実施例と同一の構成であるので、それらの各部には第3実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-7で参照し、画素回路を20-7で参照する。

【0187】次に、図27を参照して、この実施例の動作について説明する。その動作は、上述した第7実施例の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、及び1フィールド期間内に応答するOCBモード液晶のような高速液晶を画素回路20-7において駆動させた場合の画素電圧Vpix、液晶の光透過率は、図25に示したものと同様であり、TN液晶を画素回路20-7において駆動させた場合の画素電圧Vpix、液晶の光透過率は、図26に示したものと同様である。

【0188】このように、この実施例の構成によれば、第3実施例の第1のp型MOSトランジスタ(Qp1)302及び第2のp型MOSトランジスタ(Qp2)303を第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703に変更してアナログアンプ回路104-7を構成したことに伴って、第1及び第2のn型MOSトランジスタ702、703を動作させるのに必要な電圧の極性を変えることにより、第3実施例と同様の効果、すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層

向上させ得ること等の効果が得られる。

【0189】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-7のアンプ回路部として動作する第1のn型MOSトランジスタ(Qn1)702の電源及びリセット電源として走査電圧を利用するとともに、アナログアンプ回路104-7のリセットを第1のn型MOSトランジスタ(Qn1)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-7を構成でき、第3実施例と同等の高開口率を得ることができる。

【0190】第8実施例

図28は、この発明の第8実施例である液晶表示装置を構成する1つの画素回路を示す図、また、図29は、同液晶表示装置を構成する画素回路の第2のn型MOSトランジスタ(Qn2)703のドレイン電流-ゲート入力電圧特性を示す図である。この実施例の構成が、第4実施例のそれと大きく異なる点は、第4実施例におけるn型MOSトランジスタ(Qn)103をp型MOSトランジスタ(Qp)701とし、第1のp型MOSトランジスタ(Qp1)302を第1のn型MOSトランジスタ(Qn1)702とし、第2のp型MOSトランジスタ(Qp2)303を第2のn型MOSトランジスタ(Qn2)703として構成した点である。

【0191】すなわち、その相違点は、p型MOSトランジスタ(Qp)701のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続し、第1のn型MOSトランジスタ(Qn1)702のゲート電極をp型MOSトランジスタ(Qp)701のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を走査線101に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続し、第2のn型MOSトランジスタ(Qn2)703のドレイン電極を画素電極107に接続し、ゲート電極及びソース電極を電圧保持容量電極105に接続して構成したことにある。

【0192】そして、第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703のうち少なくとも一方は、マルチゲート構造のn型MOSトランジスタであり、p型MOSトランジスタ(Qp)701並びに第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703は、p-Si TFTで構成されている。

【0193】また、第2のn型MOSトランジスタ(Qn2)703のゲート電極とソース電極はともに電圧保持容量電極105に接続されているため、第2のn型MOSトランジスタ(Qn2)703のゲート-ソース間

電圧 V_{gsn} は0Vとなる。このバイアス条件下で、第2のn型MOSトランジスタ(Qn2)703のソース-ドレイン間抵抗の値 R_{dsn} が前述の式(4)を満たすように、第2のn型MOSトランジスタ(Qn2)703の閾値電圧をチャネル・ドーズにより負側にシフト制御している。図29は、第2のn型MOSトランジスタ(Qn2)703のドレイン電流・ゲート入力電圧特性と、動作点を示したものである。なお、図29は、理想的に曲線を描いた図である。図29においても、 V_{ds} を-2Vから-14Vまでの8通りの曲線が描かれているが、その各曲線が図29中で位置する関係は、図3及び図4と同じである。

【0194】図29に示すように、ゲート-ソース間電圧が0Vの時、ドレイン電流が約 $1E-8$ (A)となるように、チャネルドーズにより、閾値電圧が負側にシフト制御されている。その結果、第2のn型MOSトランジスタ(Qn2)703のドレイン電流はおよそ $1E-8$ (A)となり、ソース-ドレイン間電圧 V_{dsn} が10Vの時、ソース-ドレイン間抵抗の値 R_{dsn} は1G Ω となる。また、第2のn型MOSトランジスタ(Qn2)703は、弱反転領域で動作している。

【0195】すなわち、第2のn型MOSトランジスタ(Qn2)703に流れる電流 I_{ds} は、該n型MOSトランジスタ(Qn2)703に掛かるソース-ドレイン間電圧 V_{dsn} に依存性がほぼ無くなっているから(図29)、ソース-ドレイン間電圧 V_{dsn} が2~14Vと変化しても、ドレイン電流はほぼ一定である。第2のn型MOSトランジスタ(Qn2)703は、第1のn型MOSトランジスタ(Qn1)702をアナログアンプ回路1104-8のアンプ回路部として動作させる場合の、バイアス電流源として動作している。第8実施例では、第6実施例で必要であったバイアス電源704、第7実施例で必要であったソース電源705が不要となっているが、チャネルドーズ工程が余分に必要となる。これらの構成を除くこの実施例の各部の構成は、第4実施例と同一の構成であるので、それらの各部には第4実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-8で参照し、画素回路を20-8で参照する。

【0196】次に、図28及び図29を参照して、この実施例の動作について説明する。この実施例の液晶表示装置の駆動方法は、上述した第6実施例及び第7実施例の液晶表示装置の駆動方法と同様である。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、及び1フィールド期間内に応答するOCBモード液晶のような高速液晶を画素回路20-8において駆動させた場合の画素電圧 V_{pix} 、液晶光透過率は、図25に示したものと同様であり、NT液晶を画素回路20-8において駆動させた場合の画素電圧 V_{pix} 、液晶光透過率は、図26に示したものと同様である。

【0197】このように、この実施例の構成によれば、第4実施例の第1のp型MOSトランジスタ(Qp1)302及び第2のp型MOSトランジスタ(Qp2)303を第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ703に変更してアナログアンプ回路104-8を構成したことに伴って、第1のn型MOSトランジスタ(Qn1)702及び第2のn型MOSトランジスタ(Qn2)703を動作させるのに必要な電圧の極性を変えることにより、第4実施例と同様の効果、すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0198】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-8のアンプ回路部として動作する第1のn型MOSトランジスタ(Qn1)702の電源及びリセット電源として走査電圧を利用するとともに、アナログアンプ回路104-8のリセットを第1のn型MOSトランジスタ(Qn1)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-8を構成でき、第4実施例と同等の高開口率を得ることができる。

【0199】 第9実施例

図30は、この発明の第9実施例の液晶表示装置を構成する1つの画素回路を示す図、図31は、同液晶表示装置の画素回路に用いる抵抗の第1の構造例を示す図、図32は、同液晶表示装置の画素回路に用いる抵抗の第2の構造例を示す図、図33は、同液晶表示装置の画素回路に用いる抵抗の第3の構造例を示す図、また、図34は、同液晶表示装置を構成する画素回路において高速液晶の駆動を抵抗の値を変えて駆動させたときのゲート走査電圧Vg、データ信号電圧Vd、アンプ入力電圧Va及び画素電圧Vpixのタイミングチャート、並びに液晶の光透過率の変化を示す図である。この実施例の構成が、第5実施例のそれと大きく異なる点は、第5実施例における画素回路10-5のp型MOSトランジスタ(Qp)103をp型MOSトランジスタ(Qp)701、第1のp型MOSトランジスタ(Qp1)302をn型MOSトランジスタ(Qn)702として構成した点にある。

【0200】そして、n型MOSトランジスタ(Qn)702は、マルチゲート構造のMOS型トランジスタであり、また、p型MOS型トランジスタ(Qp)701並びにn型MOSトランジスタ(Qn1)702は、p-Si TFTで構成されている。

【0201】すなわち、n型MOS型トランジスタ702のゲート電極をp型MOSトランジスタ(Qn)70

1のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を走査線101に接続し、いずれか他方を抵抗306に接続し、抵抗306の一端を電圧保持容量電極105に接続し、他端を画素電極107に接続して構成したことにあ

る。
【0202】また、抵抗306の値RLは、液晶の応答時定数を決めている抵抗成分の値以下に設定されている。すなわち、図72に示した液晶等価回路における抵抗R1の値Rr、図74に示した液晶等価回路における抵抗R2の値Rspと、抵抗306の値RLは上記式(4)に示す関係となっている。たとえば、抵抗R2の値Rspが5GΩである場合には、抵抗306の値RLは1GΩ程度の値に設定されている。1GΩという通常の半導体集積回路では用いられない大きな抵抗は、半導体薄膜か、もしくは不純物ドーピングされた半導体薄膜で形成する。

【0203】図31は、抵抗306を、ライトリー・ドーピングされたn型半導体薄膜(n-)で形成した場合の構造例を示したものである。図31には、n型p-Si TFT1(n型MOSトランジスタ)702の構造も示してある。図31に示すように、n型p-Si TFT702のソース電極及びドレイン電極のいずれか一方(左側のn+層部分601)は金属406を介して走査線101に接続されており、他方(右側のn+層部分601)は画素電極107に接続されている。ここで、抵抗306を形成するn-層部分602(電圧保持電極105に接続されるn+層部分601と画素電極107に接続されるn+層部分601との間のn-層部分)は、式(4)で示した条件を満たすように、不純物ドーピングの量、及び長さ、幅が設計されている。また、n型p-Si TFT702は、高耐圧化のためにライトリー・ドープト・ドレイン(以下LDDと記す。)構造となっており、工程を簡略化するために、p-Si TFTのLDDを形成する工程と、抵抗RL(n-)を形成する工程を同時に行っている。なお、画素電極107に接続されるn+層部分601と走査線101に接続されるn+層部分601との間に第1のn型MOSトランジスタ(Qn2)702が形成される。第1のn型MOSトランジスタ(Qn2)702が形成される層部分中の参照番号602は、n+層部分である。401は、ガラス基板である。

【0204】次に、抵抗306を不純物のドーピングされていない半導体薄膜(i層)501で形成した例を図32に示す。ここで、抵抗306を形成するi層501の長さ、幅は、式(4)を満たすように設計されている。また、i層501を抵抗306として用いる場合には、図32に示すように、n型p-Si TFT702の、画素電極107に接続された側のソース電極及びドレイン電極のいずれか一方の電極(n+)601と抵抗

306 (i 層 501) の間に、n 型にライトリー・ドーピングされた n-層 602 を形成しておく。n+層と i 層を接触させると、極めて高い抵抗値のショットキー抵抗が形成され、式 (4) を満たす抵抗を小面積で形成することができなくなってしまうからである。同様に、電圧保持容量電極 105 に接続された n+電極 601 と、i 層 501 との間にも、n-層 602 が形成されている。その他の参照番号は、図 31 と同じである。

【0205】次に、抵抗 306 を、ライトリー・ドーピングされた p 型半導体薄膜 (p-) で形成した場合の例を図 33 に示す。図 33 において、抵抗 306 を形成する p-層 404 の部分は、式 (4) で示した条件を満たすように、不純物ドーピングの量、及び長さ、幅が設計されている。n 型 p-Si TFT 1601 のソース・ドレイン電極 (n+層) 601 と、p-層 404 とを接続する場合には、図 33 に示すように、n+層 601 と p+層 403 とを金属層 408 を介して接続し、その p+層 403 を p-層 404 に接触させる。その他の参照番号は、図 31 と同じである。

【0206】以上、抵抗 306 を半導体薄膜、不純物ドーピングされた半導体薄膜で形成する場合について説明したが、式 (4) を満たす抵抗であれば、他の材料を適用してもよい。

【0207】次に、図 30 に示した本発明の液晶表示装置 10-9 において、抵抗 306 の値 R_L を変化させた時の画素電圧 V_{pix} の変化について説明する。図 34 は、図 30 における抵抗 306 の値 R_L を、図 75 における液晶 109 の抵抗値 R_{sp} に対し、 $R_{sp}/4$ 、 R_{sp} 、 $2 \times R_{sp}$ と変えた場合の画素電圧 V_{pix} の変化の様子を示したものである。図 34 に示すように、抵抗 306 の値 R_L を液晶 109 の抵抗値 R_{sp} よりも大きくした場合 ()、負極性の信号を書き込むフィールドにおいて、画素電圧 V_{pix} は大きな変動を示す。これに対し、抵抗 306 の値 R_L を液晶 109 の抵抗値 R_{sp} 以下にした場合 (、) には、画素電圧 V_{pix} の変動はほとんど無くなる。抵抗 306 の値 R_L を液晶 109 の抵抗値 R_{sp} と等しくした場合 () において、若干の変動が認められるが、その変動している期間は 1 フィールド期間に比べて非常に短い期間であり、階調表示制御を行う上で影響は無い。

【0208】以上説明した理由により、図 30 に示す液晶表示装置において、抵抗 306 の値 R_L は前述の式 (4) で示された条件を満たすように設計される。実際には、画素電圧 V_{pix} の変動量と消費電力を考慮して、抵抗 306 の値 R_L を決定する。消費電力を小さくするためには、画素電圧 V_{pix} の変動が液晶の光透過率に影響を及ぼさない範囲内で抵抗 306 の値 R_L はできるだけ大きく設計するのが望ましい。

【0209】これらの構成を除くこの実施例の各部の構成は、第 5 実施例と同一の構成であるので、それらの各

部には第 5 実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を 10-9 で参照し、画素回路を 20-9 で参照する。

【0210】次に、図 30 及び図 34 を参照してこの実施例の動作について説明する。この実施例の液晶表示装置の駆動方法は、第 6 実施例～第 8 実施例の液晶表示装置の駆動方法と同じである。すなわち、分極を有する強誘電性液晶、反強誘電性液晶、及び 1 フィールド期間内に応答する OCB モード液晶のような高速液晶を画素回路 20-9 において駆動させた場合の画素電圧 V_{pix} 、液晶光透過率は、図 25 に示したものと同様であり、NT 液晶を画素回路 20-9 の液晶において駆動させた場合の画素電圧 V_{pix} 、液晶の光透過率は、図 26 に示したものと同様である。

【0211】このように、この実施例の構成によれば、第 5 実施例の p 型 MOS トランジスタ 302 を n 型 MOS トランジスタ 702 に変更してアナログアンプ回路 104-9 を構成したことに伴って、n 型 MOS トランジスタ 702 を動作させるのに必要な電圧の極性を変えることにより、第 5 実施例と同様の効果、すなわち、データ信号電圧 V_d にほぼ比例した画素電圧 V_{pix} を液晶 109 に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0212】そして、上述した効果を楽しむつ、この実施例においても、アナログアンプ回路 104-8 のアンプ回路部として動作する第 1 の n 型 MOS トランジスタ (Q_{n1}) 702 の電源及びリセット電源として走査電圧を利用するとともに、アナログアンプ回路 104-8 のリセットを第 1 の n 型 MOS トランジスタ (Q_{n1}) 702 自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路 104-9 を構成でき、第 5 実施例と同等の高開口率を得ることができる。

【0213】 第 10 実施例

図 35 は、この発明の第 10 実施例である液晶表示装置を構成する 1 つの画素回路を示す図、また、図 36 は、分極を有する強誘電性液晶、反強誘電性液晶、又は 1 フィールド期間内で応答する OCB モード液晶等の高速液晶を画素回路において駆動させた場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、第 1 の p 型 MOS トランジスタ (Q_{p1}) 302 のゲート入力電圧 V_a 、画素電圧 V_{pix} のタイミングチャート、及び液晶の光透過率の変化を示す図である。

【0214】この実施例の構成が、第 2 実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路においてもそのアンプ回路部を構成する p 型 MOS トランジスタのソース電極及びドレイン電極のいずれか一方を 1 つ前の走査線で駆動するようにした点で

ある。すなわち、その相違点は、 n 型MOS型トランジスタ(Q_n)103(N)のゲート電極を N 番目の走査線101(N)に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続したことと、第1の p 型MOSトランジスタ(Q_p)1302(N)のゲート電極を n 型MOSトランジスタ(Q_n)103(N)のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を($N-1$)番目の走査線101($N-1$)に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107(N)に接続して構成したことにある。

【0215】これらの構成を除くこの実施例の各部の構成は、第2実施例と同一の構成であるので、それらの各部には第2実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-10で参照し、画素回路を20-10($N-1$)、20-10(N)で参照する。

【0216】次に、図35及び図36を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-10の駆動方法は、アナログアンプ回路104-10(N)の第1の p 型MOSトランジスタ(Q_p)1302(N)が走査線101($N-1$)によって駆動されることを除き、第2実施例の液晶表示装置10-2の駆動方法とほぼ同じで、その駆動方法は下記の通りである。図36は、図7と同様、高速液晶を電圧無印加時に暗い状態となるノーマリー・ブラックモードで駆動させた場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、第1の p 型MOSトランジスタ(Q_p)1302のゲート入力電圧 V_a 、画素電圧 V_{pix} のタイミングチャート、及び液晶の光透過率の変化を示したものである。

【0217】図36に示すように、($N-1$)番目のゲート走査電圧 $V_g(N-1)$ がハイレベル V_{gH} となる期間においては、画素電極107(N)は、第1の p 型MOSトランジスタ(Q_p)1302(N)を経由してゲート走査電圧 V_{gH} が転送されることによりリセット状態となる。この($N-1$)番目の走査線の選択期間において画素電圧 V_{pix} が V_{gH} となることで、第1の p 型MOSトランジスタ(Q_p)1302(N)のリセットも行われ、第1の p 型MOSトランジスタ(Q_p)1302(N)は、($N-1$)番目の走査線101($N-1$)の選択期間が終了した後、ソースフォロワ型のアナログアンプ回路104-10(N)として動作する。それを以下に説明する。

【0218】 N 番目のゲート走査電圧 $V_g(N)$ がハイレベル V_{gH} となる期間において、 n 型MOSトランジスタ(Q_n)103(N)はオン状態となり、信号線102に入力されているデータ信号電圧 V_d が n 型MOSトランジスタ(Q_n)103(N)を経由して第1の p 型MOSトランジスタ(Q_p)1302(N)のゲート

電極に転送される。水平走査期間が終了し、ゲート走査電圧 V_g がローレベルとなると、 n 型MOSトランジスタ(Q_n)103(N)はオフ状態となり、第1の p 型MOSトランジスタ(Q_p)1302(N)のゲート電極に転送されたデータ信号電圧 V_d は電圧保持容量106(N)により保持される。

【0219】そのとき、第1の p 型MOSトランジスタ(Q_p)1302(N)のゲート入力電圧 V_a は、 n 型MOSトランジスタ(Q_n)103(N)がオフ状態になる時刻において、 n 型MOSトランジスタ(Q_n)103(N)のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。この電圧シフトは、図36には、 V_{f1} 、 V_{f2} 、 V_{f3} で示されており、電圧シフト $V_{f1} \sim V_{f3}$ の量は、電圧保持容量106(N)の値を大きく設計することにより小さくすることができる。第1の p 型MOSトランジスタ(Q_p)1302(N)のゲート入力電圧 V_a は、次のフィールド期間において、再び N 番目のゲート走査電圧 V_g がハイレベルとなり、 n 型MOSトランジスタ(Q_n)103(N)が選択されるまで保持される。

【0220】一方、第1の p 型MOSトランジスタ(Q_p)1302(N)は、($N-1$)番目の水平走査期間にリセットが完了しており、 N 番目の水平走査期間以降は、画素電極107(N)をソース電極としたソースフォロワ型アナログアンプ回路104-10(N)のアンプ回路部として動作する。この際、電圧保持容量電極105(N)には、第1の p 型MOSトランジスタ(Q_p)1302(N)をアナログアンプ回路104-10(N)として動作させるために、少なくとも($V_{dmax} - V_{tp}$)よりも高い電圧を供給しておく。ここで、 V_{dmax} はデータ信号電圧 V_d の最大値、 V_{tp} は第1の p 型MOSトランジスタ(Q_p)1302(N)の閾値電圧である。第1の p 型MOSトランジスタ(Q_p)1302(N)は、次のフィールドで($N-1$)番目のゲート走査電圧が V_{gH} となったりリセットが行われるまでの間、その保持されたゲート入力電圧 V_a に応じたアナログ階調電圧を出力することができる。

【0221】また、この実施例の画素回路20-10によってTN液晶を駆動することも当然可能である。従来の液晶表示装置では、TN液晶の分子がスイッチングすることにより液晶容量が変化し、前述の図74に示したように、画素電圧 V_{pix} が変動してしまい、本来の液晶光透過率 T_0 を得ることができない。それに対し、この実施例の液晶表示装置10-10においては、第1の p 型MOSトランジスタ(Q_p)1302(N)がアナログアンプ回路104-10(N)のアンプ回路部として動作し、TN液晶の容量の変化に影響されことなく液晶109(N)に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。

【0222】このように、この実施例の構成によれば、第1のp型MOSトランジスタ(Qp1)302(N)の駆動が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって行われることを除き、第2実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109(N)に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0223】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-10(N)のアンプ回路部として動作する第1のp型MOSトランジスタ(Qp1)302(N)の電源及びリセット電源として走査線(N-1)走査電圧を利用するとともに、アナログアンプ回路104-10(N)のリセットを第1のp型MOSトランジスタ(Qp1)302(N)自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-10(N)を構成でき、第2実施例と同等の高開口率を得ることができる。

【0224】 第11実施例

図37は、この発明の第11実施例である液晶表示装置を構成する画素回路を示す図である。この実施例の構成が、第3実施例のそれと大きく異なるところは、液晶表示装置10-11を構成するいずれの画素回路においてもそのアンプ回路部を構成するp型MOSトランジスタのソース電極及びドレイン電極のいずれか一方を1つ前の走査線で駆動するようにした点である。すなわち、その相違点は、n型MOS型トランジスタ(Qn)103(N)のゲート電極をN番目の走査線101(N)に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続したことで、第1のp型MOSトランジスタ(Qp1)302(N)のゲート電極をn型MOSトランジスタ(Qn)103(N)のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を(N-1)番目の走査線101(N-1)に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107(N)に接続して構成したことにある。

【0225】これらの構成を除くこの実施例の各部の構成は、第3実施例と同一の構成であるので、それらの各部には第3実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-11で参照し、画素回路を20-11(N-1)、20-11(N)で参照する。

【0226】次に、図37を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-11の駆動方法は、アナログアンプ回路104-11

(N)の第1のp型MOSトランジスタ(Qp1)30

2(N)が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって駆動されることを除き、第3実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第10実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-11(N)の第1のp型MOSトランジスタ(Qp1)302(N)が走査線101(N-1)によって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0227】このように、この実施例の構成によれば、第1のp型MOSトランジスタ(Qp1)302(N)の駆動が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって行われることを除き、第3実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109(N)に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0228】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-11(N)のアンプ回路部として動作する第1のp型MOSトランジスタ(Qp1)302(N)の電源及びリセット電源として走査線(N-1)走査電圧を利用するとともに、アナログアンプ回路104-11(N)のリセットを第1のp型MOSトランジスタ(Qp1)302(N)自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-11(N)等を構成でき、第3実施例と同等の高開口率を得ることができる。

【0229】 第12実施例

図38は、この発明の第12実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第4実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路においてもそのアンプ回路部を構成するp型MOSトランジスタのソース電極及びドレイン電極のいずれか一方を1つ前の走査線で駆動するようにした点である。すなわち、その相違点は、n型MOS型トランジスタ(Qn)103

(N)のゲート電極をN番目の走査線101(N)に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続したことで、第1のp型MOSトランジスタ(Qp1)302(N)のゲート電極をn型MOSトランジスタ(Qn)103(N)のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を(N-1)番目の走査線101(N-1)に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107(N)に接続して構成したことにある。

【0230】これらの構成を除くこの実施例の各部の構

成は、第4実施例と同一の構成であるので、それらの各部には第4実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-12で参照し、画素回路を20-12で参照する。

【0231】次に、図38を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-12の駆動方法は、アナログアンプ回路104-12

(N)の第1のp型MOSトランジスタ(Qp1)302(N)が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって駆動されることを除き、第4実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第10実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-11(N)の第1のp型MOSトランジスタ(Qp1)302(N)が走査線101(N-1)によって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0232】このように、この実施例の構成によれば、第1のp型MOSトランジスタ(Qp1)302(N)の駆動が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって行われることを除き、第4実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109(N)に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0233】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-12の2のアンプ回路部として動作する第1のp型MOSトランジスタ(Qp1)302(N)の電源及びリセット電源として走査線(N-1)の走査電圧を利用するとともに、アナログアンプ回路104-12のリセットを第1のp型MOSトランジスタ(Qp1)302(N)自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-12を構成でき、第4実施例と同等の高開口率を得ることができる。

【0234】 第13実施例

図39は、この発明の第13実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第5実施例のそれと異なるところは、液晶表示装置を構成するいずれの画素回路においてもそのアンプ回路部を構成するp型MOSトランジスタのソース電極及びドレイン電極のいずれか一方を1つ前の走査線で駆動するようにした点である。すなわち、その相違点は、n型MOS型トランジスタ(Qn)103(N)のゲート電極をN番目の走査線101(N)に接続し、ソース電極及びドレイン電極のいずれか一方を信号線10

2に接続したことで、p型MOSトランジスタ(Qp)302(N)のゲート電極をn型MOSトランジスタ(Qn)103(N)のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を(N-1)番目の走査線101(N-1)に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107(N)に接続して構成したことにある。

【0235】これらの構成を除くこの実施例の各部の構成は、第5実施例と同一の構成であるので、それらの各部には第5実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-13で参照し、画素回路を20-13で参照する。

【0236】次に、図39を参照してこの実施例の動作について説明する。この実施例の液晶表示装置の駆動方法は、アナログアンプ回路104-13(N)の第1のp型MOSトランジスタ(Qp1)302(N)が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって駆動されることを除き、第5実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第10実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-13(N)のp型MOSトランジスタ(Qp)302(N)が走査線101(N-1)によって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0237】このように、この実施例の構成によれば、p型MOSトランジスタ(Qp)302(N)の駆動が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって行われることを除き、第5実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0238】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-13の3のアンプ回路部として動作するp型MOSトランジスタ(Qp)302(N)の電源及びリセット電源として走査線(N-1)の走査電圧を利用するとともに、アナログアンプ回路104-13のリセットをp型MOSトランジスタ(Qp)302(N)自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-13を構成でき、第5実施例と同等の高開口率を得ることができる。

【0239】 第14実施例

図40は、この発明の第14実施例である液晶表示装置を構成する1つの画素回路を示す図、図41は、分極を

有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を画素回路において駆動させた場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、第1のn型MOSトランジスタ(Q_{n1})702のゲート入力電圧 V_a 、画素電圧 V_{pix} のタイミングチャート及び液晶の光透過率の変化を示す図、図42は、シングルゲート構造のMOS型トランジスタのデータ信号電圧-透過率の関係を示す図、また、図43は、ダブルゲート構造のMOS型トランジスタのデータ信号電圧-透過率の関係を示す図である。

【0240】この実施例の構成が、第6実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路においてもそのアンプ回路部を構成するn型MOSトランジスタのソース電極及びドレイン電極のいずれか一方を1つ前の走査線で駆動するようにした点である。すなわち、その相違点は、p型MOSトランジスタ(Q_p)701(N)のゲート電極をN番目の走査線101(N)に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続したことと、第1のn型MOSトランジスタ(Q_{n1})702(N)のゲート電極をp型MOSトランジスタ(Q_p)701(N)のソース電極及びドレイン電極のいずれか一方に接続し、ソース電極及びドレイン電極のいずれか一方を(N-1)番目の走査線101(N-1)に接続し、ソース電極及びドレイン電極のいずれか一方を画素電極107に接続して構成したことにある。

【0241】これらの構成を除くこの実施例の各部の構成は、第6実施例と同一の構成であるので、それらの各部には第6実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-14で参照し、画素回路を20-14で参照する。

【0242】次に、図40～図43を参照して、この実施例の動作について説明する。この実施例の液晶表示装置10-14の駆動方法は、アナログアンプ回路20-14(N)の第1のn型MOSトランジスタ(Q_{n1})702(N)が走査線101(N-1)によって駆動されることを除き、第6実施例の液晶表示装置の駆動方法とほぼ同じであるが、その駆動方法を以下に説明する。図41は、図25と同様、高速液晶を電圧無印加時に暗い状態となるノーマリー・ブラックモードで駆動させた場合の、ゲート走査電圧 V_g 、データ信号電圧 V_d 、第1のn型MOSトランジスタ(Q_{n1})702のゲート入力電圧 V_a 、画素電圧 V_{pix} のタイミングチャート及び液晶の光透過率の変化を示したものである。

【0243】図41に示すように、(N-1)番目のゲート走査電圧 $V_g(N-1)$ がハイレベル V_{gH} となる期間においては、画素電極107(N)は、第1のn型MOSトランジスタ(Q_{n1})702(N)を経由してゲート走査電圧 V_{gH} が転送されることによりリセット

状態へ遷移される。この(N-1)番目の走査線101(N-1)の選択期間において画素電圧 V_{pix} が V_{gH} となることで、第1のn型MOSトランジスタ(Q_{n1})702(N)のリセットも行われ、第1のn型MOSトランジスタ(Q_{n1})702(N)は、(N-1)番目の走査線101(N-1)の選択期間が終了した後、ソースフォロワ型のアナログアンプ回路104(N)のアンプ回路部として動作する。それを以下に説明する。

【0244】次に、N番目のゲート走査電圧 $V_g(N)$ がハイレベル V_{gH} となる期間において、p型MOSトランジスタ(Q_p)701(N)はオン状態となり、信号線102に入力されているデータ信号電圧 V_d がp型MOSトランジスタ(Q_p)701(N)を経由して第1のn型MOSトランジスタ(Q_{n1})702(N)のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧 V_g がローレベルとなると、p型MOSトランジスタ(Q_p)701(N)はオフ状態となり、第1のn型MOSトランジスタ(Q_{n1})702(N)のゲート電極に転送されたデータ信号電圧 V_d は電圧保持容量106により保持される。

【0245】そのとき、第1のn型MOSトランジスタ(Q_{n1})702(N)のゲート入力電圧 V_a は、p型MOSトランジスタ(Q_p)701(N)がオフ状態になる時刻において、p型MOSトランジスタ(Q_p)701(N)のゲート-ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。この電圧シフトは、図41には、 V_{f1} 、 V_{f2} 、 V_{f3} で示されており、電圧シフト $V_{f1} \sim V_{f3}$ の量は、電圧保持容量106の値を大きく設計することにより小さくすることができる。第1のn型MOSトランジスタ(Q_{n1})702(N)のゲート入力電圧 V_a は、次のフィールド期間において、再びN番目のゲート走査電圧 V_g がハイレベルとなり、p型MOSトランジスタ(Q_p)701(N)が選択されるまで保持される。

【0246】一方、第1のn型MOSトランジスタ(Q_{n1})702(N)は、(N-1)番目の水平走査期間にリセットが完了しており、N番目の水平走査期間において、画素電極107(N)をソース電極としたソースフォロワ型アナログアンプ回路104-14(N)として動作する。この際、電圧保持容量電極105には、第1のn型MOSトランジスタ(Q_{n1})702(N)をアナログアンプ回路104-14(N)として動作させるために、少なくとも($V_{dmax} - V_{tp}$)よりも高い電圧を供給しておく。ここで、 V_{dmax} はデータ信号電圧 V_d の最大値、 V_{tp} は第1のn型MOSトランジスタ(Q_{n1})702(N)の閾値電圧である。第1のn型MOSトランジスタ(Q_{n1})702(N)は、次のフィールドで(N-1)番目のゲート走査電圧が V_{gH} となってリセットが行われるまでの間、その保持さ

れたゲート入力電圧 V_a に応じたアナログ階調電圧を出力することができる。

【0247】また、図41では、読み取り難いデータ信号電圧 V_d と光透過率との関係について、図42及び図43を参照して説明する。図42及び図43においては、いずれも、データ信号電圧 V_d を5.6Vから16Vの範囲の電圧を印加したときの光透過率を表している。図42及び図43において、縦軸は光透過率(%)であり、横軸はデータ信号電圧 V_d とデータ入力電圧の中間電圧($V_c = 10.8V$)との差の絶対値、すなわち、振幅($|V_d - V_c|$) (図42及び図43ではデータ電圧の振幅として表してある)である。そして、中間電圧 V_c よりデータ信号電圧 V_d が大きいとき正極性とし、小さいとき負極性としてデータ信号電圧 V_d を表してある。また、光透過率は、図41の光透過率の時間経過において各フィールドで光透過率が安定した状態での値を示している。図42は、シングルゲート構造のMOSトランジスタを用いた場合を示し、図43は、ダブルゲート構造のMOSトランジスタを用いた場合を示している。シングルゲート構造の場合は、アナログアンプ回路のゲインが低いため、最大の光透過率が94%弱しか得られず、さらに悪いことには、アナログアンプ回路の入出力特性が悪いため、正極性と負極性とで光透過率が大きく異なっており、その差は最大で9%にもなる。ダブルゲート構造の場合は、アナログアンプ回路104-14のゲインが高いため、最大の光透過率が100%となり、また、アナログアンプ回路104-14の入出力特性の直線性が高く、正極性と負極性との光透過率にほとんど差はなく、その差は0.1%にも達しない。

【0248】また、この実施例の画素回路20-14によってTN液晶を駆動することも当然可能である。従来の液晶表示装置では、TN液晶の分子がスイッチングすることにより液晶容量が変化し、前述の図74に示したように、画素電圧 V_{pix} が変動してしまい、本来の液晶光透過率 T_0 を得ることができない。それに対し、この実施例の液晶表示装置においては、第1のn型MOSトランジスタ(Q_{n1})702がアナログアンプ回路104-14のアンプ回路部として動作し、TN液晶の容量の変化に影響されことなく液晶109(N)に一定の電圧を印加し続けることができるので、本来の光透過率が得られ、正確な階調表示を行うことができる。

【0249】このように、この実施例の構成によれば、第1のn型MOSトランジスタ(Q_{n1})702(N)の駆動が走査線101(N-1)に印加されるゲート走査電圧 V_g (N-1)によって行われることを除き、第6実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧 V_d にほぼ比例した画素電圧 V_{pix} を液晶109(N)に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0250】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-14(N)のアンプ回路部として動作する第1のn型MOSトランジスタ(Q_{n1})302(N)の電源及びリセット電源として走査線(N-1)の走査電圧を利用するとともに、アナログアンプ回路104-14(N)のリセットを第1のn型MOSトランジスタ(Q_{n1})302(N)自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-14(N)を構成でき、第6実施例と同等の高開口率を得ることができる。

【0251】 第15実施例

図44は、この発明の第15実施例である液晶表示装置を構成する画素回路を示す図である。この実施例の構成が、第7実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路においてもそのアンプ回路部を構成するn型MOSトランジスタのソース電極及びドレイン電極のいずれか一方を1つ前の走査線で駆動するようにした点である。すなわち、その相違点は、p型MOS型トランジスタ(Q_p)701(N)のゲート電極をN番目の走査線101(N)に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続したことと、第1のn型MOSトランジスタ(Q_{n1})702(N)のゲート電極をp型MOSトランジスタ(Q_p)701(N)のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を(N-1)番目の走査線101(N-1)に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107(N)に接続して構成したことにある。

【0252】これらの構成を除くこの実施例の各部の構成は、第7実施例と同一の構成であるので、それらの各部には第7実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-15で参照し、画素回路を20-15で参照する。

【0253】次に、図44を参照してこの実施例の動作について説明する。この実施例の液晶表示装置の駆動方法は、アナログアンプ回路104-15(N)の第1のn型MOSトランジスタ(Q_{n1})302(N)が走査線101(N-1)に印加されるゲート走査電圧 V_g (N-1)によって駆動されることを除き、第7実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第14実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-15(N)の第1のn型MOSトランジスタ(Q_{n1})302(N)が走査線101(N-1)によって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0254】このように、この実施例の構成によれば、

第1のn型MOSトランジスタ(Qn1)702(N)の駆動が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって行われることを除き、第7実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0255】そして、上述した効果を楽しむつ、この実施例においても、アナログアンプ回路104-15(N)のアンプ回路部として動作する第1のn型MOSトランジスタ(Qn1)702(N)の電源及びリセット電源として走査線101(N-1)の走査電圧を利用するとともに、アナログアンプ回路104-15のリセットを第1のn型MOSトランジスタ(Qn1)702(N)自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-15(N)等を構成でき、第7実施例と同等の高開口率を得ることができる。

【0256】 第16実施例

図45は、この発明の第16実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第8実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路においてもそのアンプ回路部を構成するn型MOSトランジスタのソース電極及びドレイン電極のいずれか一方を1つ前の走査線で駆動するようにした点である。すなわち、その相違点は、p型MOS型トランジスタ(Qp)701(N)のゲート電極をN番目の走査線101(N)に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続したことと、第1のn型MOSトランジスタ(Qn1)702(N)のゲート電極をp型MOSトランジスタ(Qp)701(N)のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を(N-1)番目の走査線101(N-1)に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0257】これらの構成を除くこの実施例の各部の構成は、第8実施例と同一の構成であるので、それらの各部には第8実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-16で参照し、画素回路を20-16で参照する。

【0258】次に、図45を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-16の駆動方法は、アナログアンプ回路104-16(N)の第1のn型MOSトランジスタ(Qn1)702(N)が走査線101(N-1)に印加されるゲート

走査電圧Vg(N-1)によって駆動されることを除き、第8実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第14実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-16(N)の第1のn型MOSトランジスタ(Qn1)702(N)が走査線101(N-1)によって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0259】このように、この実施例の構成によれば、第1のn型MOSトランジスタ(Qn1)702(N)の駆動が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって行われることを除き、第8実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109(N)に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0260】そして、上述した効果を楽しむつ、この実施例においても、アナログアンプ回路104-16(N)のアンプ回路部として動作する第1のn型MOSトランジスタ(Qn1)702(N)の電源及びリセット電源として走査線101(N-1)の走査電圧を利用するとともに、アナログアンプ回路104-16のリセットを第1のn型MOSトランジスタ(Qn1)702(N)自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-16を構成でき、第8実施例と同等の高開口率を得ることができる。

【0261】 第17実施例

図46は、この発明の第17実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第9実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路においてもそのアンプ回路部を構成する第1のn型MOSトランジスタのソース電極及びドレイン電極のいずれか一方を1つ前の走査線で駆動するようにした点である。すなわち、その相違点は、p型MOS型トランジスタ(Qp)701(N)のゲート電極をN番目の走査線101(N)に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続したことと、第1のn型MOSトランジスタ(Qn1)702(N)のゲート電極をp型MOSトランジスタ(Qp)701(N)のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方を(N-1)番目の走査線101(N-1)に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107(N)に接続して構成したことにある。

【0262】これらの構成を除くこの実施例の各部の構成は、第9実施例と同一の構成であるので、それらの各

部には第9実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-17で参照し、画素回路を20-17で参照する。

【0263】次に、図46を参照してこの実施例の動作について説明する。この実施例の液晶表示装置の駆動方法は、アナログアンプ回路104-17(N)の第1のn型MOSトランジスタ(Qn1)702(N)が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって駆動されることを除き、第9実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第14実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-17(N)の第1のn型MOSトランジスタ(Qn1)702(N)が走査線101(N-1)によって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0264】このように、この実施例の構成によれば、第1のn型MOSトランジスタ(Qn1)702(N)の駆動が走査線101(N-1)に印加されるゲート走査電圧Vg(N-1)によって行われることを除き、第9実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0265】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-17(N)のアンプ回路部として動作する第1のn型MOSトランジスタ(Qn1)702(N)の電源及びリセット電源として走査線101(N-1)の走査電圧を利用するとともに、アナログアンプ回路104-17(N)のリセットを第1のn型MOSトランジスタ(Qn1)702(N)自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-17(N)を構成でき、第9実施例と同等の高開口率を得ることができる。

【0266】第18実施例
図47は、この発明の第18実施例である液晶表示装置を構成する1つの画素回路を示す図、また、図48は、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を画素回路において駆動させた場合の、ゲート走査電圧Vg、データ信号電圧Vd、第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示す図である。

【0267】この実施例の構成が、第2実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれ

の画素回路においてもそのアンプ回路部を構成するp型MOSトランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。すなわち、その相違点は、第1のp型MOSトランジスタ(Qp1)302のソース電極及びドレイン電極のいずれか一方をリセットパルス電源307に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0268】これらの構成を除くこの実施例の各部の構成は、第2実施例と同一の構成であるので、それらの各部には第2実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-18で参照し、画素回路を20-18で参照する。

【0269】次に、図47及び図48を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-18の駆動方法は、アナログアンプ回路20-18の第1のp型MOSトランジスタ(Qp1)302がリセットパルス電源307によって駆動されることを除き、第2実施例の液晶表示装置10-2の駆動方法とほぼ同じであるが、その駆動方法を以下に説明する。図48は、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を画素回路において電圧無印加時に暗い状態となるノーマリー・ブラックモードで駆動させた場合の、リセットパルス電圧VR、ゲート走査電圧Vg、データ信号電圧Vd、第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示したものである。

【0270】図48に示すように、リセットパルス電圧VRがハイレベルVgHとなる期間においては、画素電極107は、第1のp型MOSトランジスタ(Qp1)302を経由してゲート走査電圧VgHが転送されることによりリセット状態となる。リセットパルス電圧VRがハイレベルの期間に、画素電圧VpixがVgHとなることで、第1のp型MOSトランジスタ(Qp1)302のリセットが行われ、第1のp型MOSトランジスタ(Qp1)302は、リセットパルスVRがローレベルになった後、ソースフォロワ型のアナログアンプ回路104-18として動作する。それを以下に説明する。

【0271】リセットパルス電圧VRがハイレベルVgHとなるリセット期間に続いて、ゲート走査電圧VgがハイレベルVgHとなる期間において、n型MOSトランジスタ(Qn)103はオン状態となり、信号線102に入力されているデータ信号電圧Vdがn型MOSトランジスタ(Qn)103を経由して第1のp型MOSトランジスタ(Qp1)302のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧Vgがローレベルとなると、n型MOSトランジスタ(Qn)10

3はオフ状態となり、第1のp型MOSトランジスタ(Qp1)302のゲート電極に転送されたデータ信号電圧は電圧保持容量106により保持される。

【0272】この際、第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Vaは、n型MOSトランジスタ(Qn)103がオフ状態になる時刻において、n型MOSトランジスタ(Qn)103のゲート-ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。この電圧シフトは、図48には、Vf1、Vf2、Vf3で示されており、電圧シフトVf1~Vf3の量は、電圧保持容量106の値を大きく設計することにより小さくすることができる。第1のp型MOSトランジスタ(Qp1)302のゲート入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがハイレベルとなり、n型MOSトランジスタ(Qn)103が選択されるまで保持される。一方、第1のp型MOSトランジスタ(Qp1)302は、リセットパルス電圧VRがハイレベルVgHとなるリセット期間にリセットが完了しており、水平走査期間以降は、画素電極107をソース電極としたソースフォロワ型アナログアンプ回路104-18として動作する。

【0273】この際、電圧保持容量電極105には、第1のp型MOSトランジスタ(Qp1)302をアナログアンプ回路104-18として動作させるために、少なくとも(Vdmax-Vtp)よりも高い電圧を供給しておく。ここで、Vdmaxはデータ信号電圧Vdの最大値、Vtpは第1のp型MOSトランジスタ(Qp1)302の閾値電圧である。第1のp型MOSトランジスタ(Qp1)302は、次のフィールドでリセットパルス電圧VRがVgHとなってリセットが行われるまでの間、その保持されたゲート入力電圧Vaに応じたアナログ階調電圧を出力することができる。

【0274】また、上述の駆動方法においては、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-18の選択と第1のp型MOSトランジスタ(Qn1)302のリセットが同時に行われることになる。

【0275】このように、この実施例の構成によれば、第1のp型MOSトランジスタ(Qp1)302(N)の駆動がリセットパルス電源307から供給されるリセットパルス電圧VRによって行われることを除き、第2実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0276】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-18の

アンプ回路部として動作する第1の第1のp型MOSトランジスタ(Qp1)302の電源及びリセット電源として走査線101の走査電圧を利用するとともに、アナログアンプ回路104-18のリセットを第1の第1のp型MOSトランジスタ(Qp1)302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-18を構成でき、第2実施例と同等の高開口率を得ることができる。

【0277】また、リセットパルス電源VRを別途設けているので、第2実施例及び第10実施例で説明した液晶表示装置に比べて、アナログアンプ回路のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。

【0278】 第19実施例

図49は、この発明の第19実施例である液晶表示装置を構成する画素回路を示す図である。この実施例の構成が、第3実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路内のアナログアンプ回路においてもそのアンプ回路部を構成するp型MOSトランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。すなわち、その相違点は、第1のp型MOSトランジスタ(Qp1)302(N)のソース電極及びドレイン電極のいずれか一方をリセットパルス電源307に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0279】これらの構成を除くこの実施例の各部の構成は、第3実施例と同一の構成であるので、それらの各部には第3実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-19で参照し、画素回路を20-19で参照する。

【0280】次に、図49を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-19の駆動方法は、アナログアンプ回路104-19の第1のp型MOSトランジスタ(Qp1)302がリセットパルス電源307から供給されるリセットパルス電圧VRによって駆動されることを除き、第3実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第18実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路20-19の第1のp型MOSトランジスタ(Qp1)302がリセットパルス電源307から供給されるリセットパルス電圧VRによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0281】また、この実施例の駆動方法においても、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画

素回路 20-19 の選択と第 1 の p 型 MOS トランジスタ (Qp1) 302 のリセットが同時に行われる。

【0282】このように、この実施例の構成によれば、第 1 の p 型 MOS トランジスタ (Qp1) 302 の駆動がリセットパルス電源 307 から供給されるリセットパルス電圧 VR によって行われることを除き、第 3 実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧 Vd にほぼ比例した画素電圧 Vpix を液晶 109 に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0283】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路 104-19 のアンプ回路部として動作する第 1 の p 型 MOS トランジスタ (Qp1) 302 の電源及びリセットにリセットパルス電源を共用するとともに、アナログアンプ回路 104-19 のリセットを第 1 の p 型 MOS トランジスタ (Qp1) 302 自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路 104-19 を構成でき、第 3 実施例と同等の高開口率を得ることができる。

【0284】また、リセットパルス電源 VR を別途設けているので、第 3 実施例及び第 11 実施例で説明した液晶表示装置に比べて、アナログアンプ回路 104-19 のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。

【0285】 第 20 実施例

図 50 は、この発明の第 20 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。この実施例の構成が、第 4 実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路内のアナログアンプ回路においてもそのアンプ回路部を構成する p 型 MOS トランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。すなわち、その相違点は、第 1 の p 型 MOS トランジスタ (Qp1) 302 のソース電極及びドレイン電極のいずれか一方をリセットパルス電源 307 に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極 107 に接続して構成したことにある。

【0286】これらの構成を除くこの実施例の各部の構成は、第 4 実施例と同一の構成であるので、それらの各部には第 4 実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を 10-20 で参照し、画素回路を 20-20 で参照する。

【0287】次に、図 50 を参照してこの実施例の動作について説明する。この実施例の液晶表示装置 10-20 の駆動方法は、アナログアンプ回路 104-20 の第 1 の p 型 MOS トランジスタ (Qp1) 302 がリセッ

トパルス電源 307 から供給されるリセットパルス電圧 VR によって駆動されることを除き、第 4 実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第 18 実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路 104-20 の第 1 の p 型 MOS トランジスタ (Qp1) 302 がリセットパルス電源 307 から供給されることによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0288】また、この実施例の駆動方法においても、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路 104-20 の選択と第 1 の n 型 MOS トランジスタ (Qn1) 302 のリセットが同時に行われる。

【0289】このように、この実施例の構成によれば、第 1 の p 型 MOS トランジスタ (Qp1) 302 の駆動がリセットパルス電源 307 から供給されるリセットパルス電圧 VR によって行われることを除き、第 4 実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧 Vd にほぼ比例した画素電圧 Vpix を液晶 109 に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0290】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路 104-20 のアンプ回路部として動作する第 1 の p 型 MOS トランジスタ (Qp1) 302 の電源及びリセットにリセットパルス電源 307 を共用するとともに、アナログアンプ回路 104-20 のリセットを第 1 の p 型 MOS トランジスタ (Qp1) 302 自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路 104-20 を構成でき、第 4 実施例と同等の高開口率を得ることができる。

【0291】また、リセットパルス電源 VR を別途設けているので、第 4 実施例及び第 12 実施例で説明した液晶表示装置に比べて、アナログアンプ回路のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。

【0292】 第 21 実施例

図 51 は、この本発明の第 21 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。この実施例の構成が、第 5 実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路においてもそのアンプ回路部を構成する p 型 MOS トランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。すなわち、その相違点は、p 型 MOS トランジスタ (Qp) 302 のソース電極及びドレイン電極のいずれか一方をリ

セットパルス電源307に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0293】これらの構成を除くこの実施例の各部の構成は、第5実施例と同一の構成であるので、それらの各部には第5実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-21で参照し、画素回路を20-21で参照する。

【0294】次に、図51を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-21の駆動方法は、アナログアンプ回路104-21のp型MOSトランジスタ(Qp)302がリセットパルス電源307から供給されるリセットパルス電圧VRによって駆動されることを除き、第5実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第18実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-21のp型MOSトランジスタ(Qp)302がリセットパルス電源307から供給されるリセットパルス電圧VRによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0295】また、この実施例の駆動方法においても、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-21の選択とn型MOSトランジスタ(Qn)302のリセットが同時に行われる。

【0296】このように、この実施例の構成によれば、p型MOSトランジスタ(Qp)302の駆動がリセットパルス電源307から供給されるリセットパルス電圧VRによって行われることを除き、第5実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0297】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-21のアンプ回路部として動作するp型MOSトランジスタ(Qp)302の電源及びリセットをリセットパルス電源307を共用するとともに、アナログアンプ回路104-21のリセットをp型MOSトランジスタ(Qp)302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-21を構成でき、第5実施例と同等の高開口率を得ることができる。

【0298】また、リセットパルス電源VRを別途設けているので、第5実施例及び第13実施例で説明した液

晶表示装置に比べて、アナログアンプ回路のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。

【0299】第22実施例

図52は、この発明の第22実施例である液晶表示装置を構成する1つの画素回路を示す図、また、図53は、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等の高速液晶を画素回路において駆動させた場合の、ゲート走査電圧Vg、データ信号電圧Vd、n型MOSトランジスタ(Qn)702のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示す図である。

【0300】この実施例の構成が、第6実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路内のアナログアンプ回路もn型MOSトランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。すなわち、その相違点は、第1のn型MOSトランジスタ(Qn1)702のゲート電極をp型MOSトランジスタ(Qp)701のソース電極及びドレイン電極のいずれか他方に接続し、ソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0301】これらの構成を除くこの実施例の各部の構成は、第6実施例と同一の構成であるので、それらの各部には第6実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-22で参照し、画素回路を20-22で参照する。

【0302】次に、図52及び図53を参照して、この実施例の動作について説明する。この実施例の液晶表示装置10-22の駆動方法は、アナログアンプ回路104-22の第1のn型MOSトランジスタ(Qn1)702がリセットパルス電源307によって駆動されることを除き、第6実施例の液晶表示装置の駆動方法とほぼ同じであるが、その駆動方法を以下に説明する。図53は、図25と同様、高速液晶を電圧無印加時に暗い状態となるノーマリー・ブラックモードで駆動した場合の、ゲート走査電圧Vg、データ信号電圧Vd、第1のn型MOSトランジスタ(Qn1)702のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示したものである。

【0303】図53に示すように、リセットパルス電圧VRがローレベルVgLとなる期間においては、画素電極107は、第1のn型MOSトランジスタ(Qn1)702を経由してゲート走査電圧VgLが転送されることによりリセット状態となる。すなわち、リセットパルス電圧VRがローレベルの期間に、画素電圧Vpixが

V_{gL}となることで、第1のn型MOSトランジスタ(Q_{n1})702のリセットが行われる。そして、第1のn型MOSトランジスタ(Q_{n1})702は、リセットパルス電圧V_Rがハイレベルになった後、ソースフォロワ型アナログアンプ回路104-22のアンプ回路部として動作する。これを以下に説明する。

【0304】リセットパルス電圧V_RがローレベルV_{gL}となるリセット期間に続いて、ゲート走査電圧V_gがローレベルV_{gL}となる期間において、p型MOSトランジスタ(Q_p)701はオン状態となり、信号線102 10に10入力されているデータ信号電圧V_dがp型MOSトランジスタ(Q_p)701を経由して第1のn型MOSトランジスタ(Q_{n1})702のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧V_gがハイレベルとなると、p型MOSトランジスタ(Q_p)701はオフ状態となり、第1のn型MOSトランジスタ(Q_{n1})702のゲート電極に転送されたデータ信号電圧は電圧保持容量106により保持される。

【0305】この保持が行われた後の、第1のn型MOSトランジスタ(Q_{n1})702のゲート入力電圧V_a 20は、p型MOSトランジスタ(Q_p)701がオフ状態になる時刻において、p型MOSトランジスタ(Q_n)701のゲート・ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。この電圧シフトは、図53には、V_{f1}、V_{f2}、V_{f3}で示されており、電圧シフトV_{f1}~V_{f3}の量は、電圧保持容量106の値を大きく設計することにより小さくすることができる。

【0306】第1のn型MOSトランジスタ(Q_{n1})702のゲート入力電圧V_aは、次のフィールド期間に 30において、再びゲート走査電圧V_gがローレベルとなり、p型MOSトランジスタ(Q_p)701が選択されるまで保持される。一方、第1のn型MOSトランジスタ(Q_{n1})702は、リセットパルス電圧V_RがローレベルV_{gL}となるリセット期間にリセットが完了しており、水平走査期間以降は、画素電極107をソース電極としたソースフォロワ型アナログアンプ回路104-22として動作する。

【0307】この際、電圧保持容量電極105には、第1のn型MOSトランジスタ(Q_{n1})702をアナロ 40グアンプ回路104-22のアンプ回路部として動作させるために、少なくとも(V_{dmin}-V_{tn})よりも低い電圧を供給しておく。今、説明したV_{dmin}はデータ信号電圧V_dの最小値、V_{tn}は第1のn型MOSトランジスタ(Q_{n1})702の閾値電圧である。第1のn型MOSトランジスタ(Q_{n1})702は、次のフィールドでリセットパルス電圧V_RがV_{gL}となってリセットが行われるまでの間、その保持されたゲート入力電圧V_aに応じたアナログ階調電圧を出力することができる。

【0308】また、この実施例の駆動方法においても、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-22の選択と第1のn型MOSトランジスタ(Q_{n1})702のリセットが同時に行われる。

【0309】このように、この実施例の構成によれば、第1のn型MOSトランジスタ(Q_{n1})702の駆動がリセットパルス電源707から供給されるリセットパルス電圧V_Rによって行われることを除き、第6実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧V_dにほぼ比例した画素電圧V_{pix}を液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0310】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-22のアンプ回路部として動作する第1のn型MOSトランジスタ(Q_{n1})702の電源及びリセットにリセットパルス電源707を共用するとともに、アナログアンプ回路104-22のリセットを第1のn型MOSトランジスタ(Q_{n1})702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-22を構成でき、第6実施例と同等の高開口率を得ることができる。

【0311】また、リセットパルス電源V_Rを別途設けているので、第6実施例及び第14実施例で説明した液晶表示装置に比べて、アナログアンプ回路104-22のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。

【0312】 第23実施例

図54は、この発明の第23実施例である液晶表示装置を構成する画素回路を示す図である。この実施例の構成が、第7実施例のそれと異なるところは、液晶表示装置を構成するいずれの画素回路内のアナログアンプ回路もn型MOSトランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。すなわち、その相違点は、第1のn型MOSトランジスタ(Q_{n1})702のソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0313】これらの構成を除くこの実施例の各部の構成は、第7実施例と同一の構成であるので、それらの各部には第7実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-23で参照し、画素回路を20-23で参照する。

50 【0314】次に、図54を参照してこの実施例の動作

について説明する。この実施例の液晶表示装置10-23の駆動方法は、アナログアンプ回路104-23の第1のn型MOSトランジスタ(Qn1)702がリセットパルス電源707から供給されるリセットパルス電圧VRによって駆動されることを除き、第7実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第22実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-23の第1のn型MOSトランジスタ(Qn1)702がリセットパルス電源から供給されるリセットパルス電圧VRによ

って駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。
【0315】また、この実施例の駆動方法においても、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-23の選択と第1のn型MOSトランジスタ(Qn1)302のリセットが同時に行われる。

【0316】このように、この実施例の構成によれば、第1のn型MOSトランジスタ(Qn1)702の駆動がリセットパルス電源707から供給されるリセットパルス電圧によって行われることを除き、第7実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0317】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-23のアンプ回路部として動作する第1のn型MOSトランジスタ(Qn1)702の電源及びリセットにリセットパルス電源707を共用するとともに、アナログアンプ回路104-23のリセットを第1のn型MOSトランジスタ(Qn1)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-23を構成でき、第7実施例と同等の高開口率を得ることができる。

【0318】また、リセットパルス電源VRを別途設けているので、第7実施例及び第15実施例で説明した液晶表示装置に比べて、アナログアンプ回路104-23のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。

【0319】 第24実施例

図55は、この発明の第24実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第8実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路内のアナログアンプ回路もn型MOSトランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆

動するようにした点である。すなわち、その相違点は、第1のn型MOSトランジスタ(Qn1)702のソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0320】これらの構成を除くこの実施例の各部の構成は、第8実施例と同一の構成であるので、それらの各部には第8実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-24で参照し、画素回路を20-24で参照する。

【0321】次に、図55を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-24の駆動方法は、アナログアンプ回路104-24の第1のn型MOSトランジスタ(Qn1)702がリセットパルス電源707から供給されるリセットパルス電圧VRによって駆動されることを除き、第8実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第22実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-24の第1のn型MOSトランジスタ(Qn1)702がリセットパルス電源707から供給されるリセットパルス電圧VRによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0322】また、この実施例の駆動方法においても、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-24の選択と第1のn型MOSトランジスタ(Qn1)702のリセットが同時に行われる。

【0323】このように、この実施例の構成によれば、第1のn型MOSトランジスタ(Qn1)702の駆動がリセットパルス電源707から供給されるリセットパルス電圧VRによって行われることを除き、第8実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0324】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-24のアンプ回路部として動作する第1のn型MOSトランジスタ(Qn1)702の電源及びリセットにリセットパルス電源707を共用するとともに、アナログアンプ回路104-24のリセットを第1のn型MOSトランジスタ(Qn1)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-24を構成でき、第8実施例と同等

の高開口率を得ることができる。

【0325】また、リセットパルス電源VRを別途設けているので、第8実施例及び第16実施例で説明した液晶表示装置に比べて、アナログアンプ回路104-24のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。

【0326】 第25実施例

図56は、この発明の第25実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第9実施例のそれと大きく異なるところは、液晶表示装置を構成するいずれの画素回路内のアナログアンプ回路もn型MOSトランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。すなわち、その相違点は、n型MOSトランジスタ(Qn)702のソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0327】これらの構成を除くこの実施例の各部の構成は、第9実施例と同一の構成であるので、それらの各部には第9実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-25で参照し、画素回路を20-25で参照する。

【0328】次に、図56を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-25の駆動方法は、アナログアンプ回路104-25のn型MOSトランジスタ(Qn)702がリセットパルス電源707から供給されるリセットパルス電圧VRによって駆動されることを除き、第9実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第22実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-25のn型MOSトランジスタ(Qn)702がリセットパルス電源707から供給されるリセットパルス電圧VRによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0329】また、この実施例の駆動方法においても、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-25の選択とn型MOSトランジスタ(Qn)702のリセットが同時に行われる。

【0330】このように、この実施例の構成によれば、n型MOSトランジスタ(Qn)702の駆動がリセットパルス電源707から供給されるリセットパルス電圧VRによって行われることを除き、第9実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層

良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0331】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-25のアンプ回路部として動作するn型MOSトランジスタ(Qn)702の電源及びリセットをリセットパルス電源707を共用するとともに、アナログアンプ回路104-25のリセットをn型MOSトランジスタ(Qn)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-25を構成でき、第9実施例と同等の高開口率を得ることができる。

【0332】また、リセットパルス電源VRを別途設けているので、第9実施例及び第17実施例で説明した液晶表示装置に比べて、アナログアンプ回路のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。

【0333】 第26実施例

図57は、この発明の第26実施例である液晶表示装置を構成する1つの画素回路を示す図、図58は、画素回路においてリセット期間経過時に水平走査期間が来るようにして高速液晶をノーマルブラックモードで駆動させた場合の、ゲート走査電圧Vg、データ信号電圧Vd、n型MOSトランジスタ(Qn)702のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示す図、また、図59は、画素回路20-26においてリセット期間と水平走査期間とを同時に設定して高速液晶をノーマルブラックモードで駆動させた場合の、ゲート走査電圧Vg、データ信号電圧Vd、第2のn型MOSトランジスタ(Qn2)702のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示す図である。上記の高速液晶は、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等である。

【0334】この実施例の構成が、第6実施例のそれと異なるところは、第6実施例のp型MOSトランジスタ(Qn)701の第1のn型MOSトランジスタ(Qn1)708への変更、第1のn型MOSトランジスタ(Qn1)702の第2のn型MOSトランジスタ(Qn2)702への変更及び第2のn型MOSトランジスタ(Qn2)703の第3のn型MOSトランジスタ(Qn2)703への変更を行い、かつ、画素回路内のアナログアンプ回路を構成する第2のn型MOSトランジスタ(Qn2)702のソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。すなわち、その相違点は、第1のn型MOSトランジスタ(Qn1)708のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のい

れか一方を信号線102に接続し、第2のn型MOSトランジスタ(Qn2)702のゲート電極にn型MOSトランジスタ(Qn)708のソース電極及びドレイン電極のいずれか他方を接続し、ソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、ソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0335】これらの構成を除くこの実施例の各部の構成は、第6実施例と同一の構成であるので、それらの各部には第6実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-26で参照し、画素回路を20-26で参照する。

【0336】次に、図57及び図58を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-26の駆動方法は、アナログアンプ回路20-26の第2のn型MOSトランジスタ(Qn2)702がリセットパルス電源707によって駆動されることを除き、第6実施例の液晶表示装置10-6の駆動方法とほぼ同じであるが、その駆動方法を以下に説明する。

【0337】図57に示すように、リセットパルス電圧VRがハイレベルVgHとなる期間においては、画素電極107は、第2のn型MOSトランジスタ(Qn2)702を経由してゲート走査電圧VgHが転送されることによりリセット状態となる。リセットパルス電圧VRがハイレベルの期間に、画素電圧VpixがVgHとなることで、第2のn型MOSトランジスタ(Qn2)702のリセットが行われ、第2のn型MOSトランジスタ(Qn2)702は、リセットパルスVRがローレベルになった後、ソースフォロワ型アナログアンプ回路104-26として動作する。それを以下に説明する。

【0338】リセットパルス電圧VRがハイレベルVgHとなるリセット期間に続いて、ゲート走査電圧VgがハイレベルVgHとなる期間において、第1のn型MOSトランジスタ(Qn1)708はオン状態となり、信号線102に入力されているデータ信号電圧Vdが第1のn型MOSトランジスタ(Qn1)708を経由して第2のn型MOSトランジスタ(Qn2)702のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧Vgがローレベルとなると、第1のn型MOSトランジスタ(Qn1)708はオフ状態となり、第2のn型MOSトランジスタ(Qn2)702のゲート電極に転送されたデータ信号電圧は電圧保持容量106により保持される。

【0339】この際、第2のn型MOSトランジスタ(Qn2)702のゲート入力電圧Vaは、第1のn型MOSトランジスタ(Qn1)708がオフ状態になる時刻において、第1のn型MOSトランジスタ(Qn1)708のゲート-ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。この電圧シ

フトは、図58には、Vf1、Vf2、Vf3で示されており、電圧シフトVf1~Vf3の量は、電圧保持容量106の値を大きく設計することにより小さくすることができる。第2のn型MOSトランジスタ(Qn2)702のゲート入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがハイレベルとなり、第1のn型MOSトランジスタ(Qn)708が選択されるまで保持される。一方、第2のn型MOSトランジスタ(Qn2)702は、リセットパルス電圧VRがハイレベルVgHとなるリセット期間にリセットが完了しており、水平走査期間以降は、画素電極107をソース電極としたソースフォロワ型アナログアンプ回路104-26として動作する。

【0340】この際、電圧保持容量電極105には、第2のn型MOSトランジスタ(Qn2)702をアナログアンプ回路104-26のアンプ回路部として動作させるために、少なくとも(Vdmax-Vtp)よりも高い電圧を供給しておく。ここで、Vdmaxはデータ信号電圧Vdの最大値、Vtpは第2のn型MOSトランジスタ(Qn2)702の閾値電圧である。第2のn型MOSトランジスタ(Qn2)702は、次のフィールドでリセットパルス電圧VRがVgHとなってリセットが行われるまでの間、その保持されたゲート入力電圧Vaに応じたアナログ階調電圧を出力することができる。

【0341】また、上述の駆動方法においては、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-26の選択と第2のn型MOSトランジスタ(Qn2)702のリセットが同時に行われることになる。その時のタイミングチャートを図59に示す。

【0342】このように、この実施例の構成によれば、第2のn型MOSトランジスタ(Qn2)702(N)の駆動がリセットパルス電源707から供給されるリセットパルス電圧VRによって行われることを除き、第6実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0343】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-26のアンプ回路部として動作する第2のn型MOSトランジスタ(Qn2)702の電源及びリセットにリセットパルス電源707を共用するとともに、アナログアンプ回路104-26のリセットを第2のn型MOSトランジスタ(Qn2)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログ

アンプ回路104-26を構成でき、第6実施例と同等の高開口率を得ることができる。

【0344】また、リセットパルス電源VRを別途設けているので、第6実施例及び第14実施例で説明した液晶表示装置に比べて、アナログアンプ回路104-26のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。また、この実施例によれば、画素回路20-26がn型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

【0345】 第27実施例

図60は、この発明の第27実施例である液晶表示装置を構成する画素回路を示す図である。この実施例の構成が、第7実施例のそれと異なるところは、画素回路を構成するMOSトランジスタをすべてn型MOSトランジスタとし、アナログアンプ回路のアンプ回路部を構成するn型MOSトランジスタのリセットをリセットパルス電源で行うようにした点である。すなわち、その相違点は、第7実施例のp型MOSトランジスタ(Qn)701の第1のn型MOSトランジスタ(Qn1)708への変更、第1のn型MOSトランジスタ(Qn1)702の第2のn型MOSトランジスタ(Qn2)702への変更及び第2のn型MOSトランジスタ(Qn2)703の第3のn型MOSトランジスタ(Qn2)703への変更を行い、かつ、第1のn型MOSトランジスタ(Qn1)708のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続し、第2のn型MOSトランジスタ(Qn2)702のゲート電極に第1のn型MOSトランジスタ(Qn1)708のソース電極及びドレイン電極のいずれか他方を接続し、そのソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、そのソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0346】これらの構成を除くこの実施例の各部の構成は、第7実施例と同一の構成であるので、それらの各部には第7実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-27で参照し、画素回路を20-27で参照する。

【0347】次に、図60を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-27の駆動方法は、アナログアンプ回路104-27の第2のn型MOSトランジスタ(Qn2)702がリセットパルス電源707から供給されるリセットパルス電圧VRによって駆動されることを除き、第7実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第26実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路20-27の第2のn型MOSトランジスタ(Qn2)702がリセットパルス

ス電源707から供給されるリセットパルス電圧VRによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0348】また、上述の駆動方法においては、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-27の選択と第2のn型MOSトランジスタ(Qn2)702のリセットが同時に行われることになる。

10 【0349】このように、この実施例の構成によれば、第2のn型MOSトランジスタ(Qn2)702の駆動がリセットパルス電源707から供給されるリセットパルス電圧VRによって行われることを除き、第7実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0350】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-27のアンプ回路部として動作する第2のn型MOSトランジスタ(Qn2)702の電源及びリセットにリセットパルス電源707を共用するとともに、アナログアンプ回路104-27のリセットを第2のn型MOSトランジスタ(Qn2)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-27を構成でき、第7実施例と同等の高開口率を得ることができる。

【0351】また、リセットパルス電源VRを別途設けているので、第7実施例及び第15実施例で説明した液晶表示装置に比べて、アナログアンプ回路104-27のリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。また、この実施例においても、画素回路104-27がn型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

【0352】 第28実施例

40 図61は、この発明の第28実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第8実施例のそれと異なるところは、すべてのMOSトランジスタをn型MOSトランジスタで構成し、かつ、画素回路内のアナログアンプ回路を構成するn型MOSトランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。すなわち、その相違点は、第8実施例のp型MOSトランジスタ(Qn)701の第1のn型MOSトランジスタ(Qn1)708への変更、第1のn型MOSトランジスタ(Qn1)702の第2のn型MOSトランジスタ(Qn2)702への変更及び第2の

n型MOSトランジスタ(Qn2)703の第3のn型MOSトランジスタ(Qn2)703への変更を行い、かつ、第1のn型MOSトランジスタ(Qn)708のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続し、第2のn型MOSトランジスタ(Qn2)702のゲート電極に第1のn型MOSトランジスタ(Qn)708のソース電極及びドレイン電極のいずれか他方を接続し、そのソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、そのソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0353】これらの構成を除くこの実施例の各部の構成は、第8実施例と同一の構成であるので、それらの各部には第8実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-28で参照し、画素回路を20-28で参照する。

【0354】次に、図61を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-28の駆動方法は、アナログアンプ回路104-28の第2のn型MOSトランジスタ(Qn2)702がリセットパルス電源707から供給されるリセットパルス電圧VRによって駆動されることを除き、第8実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第26実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-28の第2のn型MOSトランジスタ(Qn2)702がリセットパルス電源707から供給されることによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0355】このように、この実施例の構成によれば、第2のn型MOSトランジスタ(Qn2)702の駆動がリセットパルス電源707から供給されるリセットパルス電圧VRによって行われることを除き、第8実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0356】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-28のアンプ回路部として動作する第2のn型MOSトランジスタ(Qn2)702の電源及びリセットにリセットパルス電源707を共用するとともに、アナログアンプ回路104-28のリセットを第2のn型MOSトランジスタ(Qn2)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-28を構成でき、第8実施例と同等

の高開口率を得ることができる。また、リセットパルス電源VRを別途設けているので、第8実施例及び第16実施例で説明した液晶表示装置に比べて、アナログアンプ回路20-28のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。また、この実施例によれば、画素回路20-28がn型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

【0357】第29実施例

図62は、この本発明の第29実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第5実施例のそれと異なるところは、画素回路28-29を構成するすべてのMOSトランジスタをn型MOSトランジスタで構成したことある。

【0358】その相違点は、第9実施例のp型MOSトランジスタ(Qn)701の第1のn型MOSトランジスタ(Qn1)708への変更、第1のn型MOSトランジスタ(Qn1)702の第2のn型MOSトランジスタ(Qn2)702への変更及び第2のn型MOSトランジスタ(Qn2)703の第3のn型MOSトランジスタ(Qn2)703への変更を行い、かつ、第1のn型MOSトランジスタ(Qn1)708のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続し、第2のn型MOSトランジスタ(Qn2)702のゲート電極に第1のn型MOSトランジスタ(Qn1)708のソース電極及びドレイン電極のいずれか他方を接続し、そのソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、そのソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0359】これらの構成を除くこの実施例の各部の構成は、第5実施例と同一の構成であるので、それらの各部には第5実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-29で参照し、画素回路を20-29で参照する。

【0360】次に、図62を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-29の駆動方法は、アナログアンプ回路104-29の第2のn型MOSトランジスタ(Qn2)702がリセットパルス電源707から供給されるリセットパルス電圧VRによって駆動されることを除き、第5実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第26実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-29の第2のn型MOSトランジスタ(Qn2)702がリセットパルス電源707から供給されるリセットパルス電圧VRによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0361】このように、この実施例の構成によれば、第2のn型MOSトランジスタ(Qn2)702の駆動がリセットパルス電源707から供給されるリセットパルス電圧VRによって行われることを除き、第9実施例とほぼ同じ効果が得られる。。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0362】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-29の10 アンプ回路部として動作する第2のn型MOSトランジスタ(Qn2)702の電源及びリセットをリセットパルス電源707を共用するとともに、アナログアンプ回路104-29のリセットを第2のn型MOSトランジスタ(Qn2)702自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-29を構成でき、第5実施例と同等の高開口率を得ることができる。また、リセットパルス20 電源VRを別途設けているので、第9実施例及び第17実施例で説明した液晶表示装置に比べて、アナログアンプ回路104-29のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。また、この実施例によれば、画素回路20-29がn型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

【0363】 第30実施例

図63は、この発明の第30実施例である液晶表示装置を構成する1つの画素回路を示す図、図64は、画素回路30 においてリセット期間経過時に水平走査期間が来るようにして高速液晶をノーマルブラックモードで駆動させた場合の、ゲート走査電圧Vg、データ信号電圧Vd、第2のp型MOSトランジスタ(Qp2)702のゲート入力電圧Va、画素電圧Vpixのタイミングチャート、及び液晶の光透過率の変化を示す図、また、図65は、画素回路においてリセット期間と水平走査期間とを同時に設定して高速液晶をノーマルブラックモードで駆動させた場合の、ゲート走査電圧Vg、データ信号電圧Vd、第2のp型MOSトランジスタ(Qp2)302 40 のゲート入力電圧Va、画素電圧Vpixのタイミングチャート及び液晶の光透過率の変化を示す図である。上記の高速液晶は、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド期間内で応答するOCBモード液晶等である。

【0364】この実施例の構成が、第2実施例のそれと大きく異なるところは、画素回路を構成するすべてのMOSトランジスタをp型MOSトランジスタとし、かつ、画素回路内のアナログアンプ回路を構成する第2のp型MOSトランジスタ(Qp2)302のソース電極 50

及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。

【0365】すなわち、その相違点は、第2実施例のn型MOSトランジスタ(Qn)103を第1のp型MOSトランジスタ(Qp1)308とし、第1のp型MOSトランジスタ(Qp1)308のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続する。これに加えて、第2実施例の第1のp型MOSトランジスタ(Qp1)302を第2のp型MOSトランジスタ(Qp2)302とし、第2のp型MOSトランジスタ(Qp2)302のゲート電極にp型MOSトランジスタ(Qp)308のソース電極及びドレイン電極のいずれか他方を接続し、そのソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、そのソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。また、第2実施例の第2のp型MOSトランジスタ(Qp2)303を第3のp型MOSトランジスタ(Qp3)303とする。

【0366】これらの構成を除くこの実施例の各部の構成は、第2実施例と同一の構成であるので、それらの各部には第2実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-30で参照し、画素回路を20-30で参照する。

【0367】次に、図62～図64を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-30の駆動方法は、アナログアンプ回路104-30の第2のp型MOSトランジスタ(Qp2)302がリセットパルス電源307によって駆動されることを除き、第2実施例の液晶表示装置10-2の駆動方法とほぼ同じであるが、その駆動方法を以下に説明する。

【0368】図63に示すように、リセットパルス電圧VRがハイレベルVgHとなる期間においては、画素電極107は、第2のp型MOSトランジスタ(Qp2)302を経由してゲート走査電圧VgHが転送されることによりリセット状態へ遷移される。リセットパルス電圧VRがハイレベルの期間に、画素電圧VpixがVgHとなることで、第2のp型MOSトランジスタ(Qp2)302のリセットが行われ、第2のp型MOSトランジスタ(Qp2)302は、リセットパルスVRがローレベルになった後、ソースフォロワ型アナログアンプ回路104-30のアンプ回路部として動作する。それを以下に説明する。

【0369】リセットパルス電圧VRがハイレベルVgHとなるリセット期間に続いて、ゲート走査電圧VgがハイレベルVgHとなる期間において、第1のp型MOSトランジスタ(Qp1)308はオン状態となり、信号線102に入力されているデータ信号電圧Vdが第1のp型MOSトランジスタ(Qp1)308を経由して

第2のp型MOSトランジスタ(Qp2)302のゲート電極に転送される。水平走査期間が終了し、ゲート走査電圧Vgがローレベルとなると、第1のp型MOSトランジスタ(Qp1)308はオフ状態となり、第2のp型MOSトランジスタ(Qp2)302のゲート電極に転送されたデータ信号電圧は電圧保持容量106により保持される。

【0370】この際、第2のp型MOSトランジスタ(Qp2)302のゲート入力電圧Vaは、第1のp型MOSトランジスタ(Qp1)308がオフ状態になる時刻において、第1のp型MOSトランジスタ(Qp1)308のゲート-ソース間容量を経由してフィードスルー電圧と呼ばれる電圧シフトを起こす。この電圧シフトは、図64には、Vf1、Vf2、Vf3で示されており、電圧シフトVf1~Vf3の量は、電圧保持容量106の値を大きく設計することにより小さくすることができる。第2のp型MOSトランジスタ(Qp2)302のゲート入力電圧Vaは、次のフィールド期間において、再びゲート走査電圧Vgがハイレベルとなり、第1のp型MOSトランジスタ(Qp1)308が選択されるまで保持される。一方、第2のp型MOSトランジスタ(Qp2)302は、リセットパルス電圧VRがハイレベルVgHとなるリセット期間にリセットが完了しており、水平走査期間以降は、画素電極107をソース電極としたソースフォロワ型アナログアンプ回路104-30のアンプ回路部として動作する。

【0371】この際、電圧保持容量電極105には、第2のp型MOSトランジスタ(Qp2)302をアナログアンプ回路104-30のアンプ回路部として動作させるために、少なくとも(Vdmax-Vtp)よりも高い電圧を供給しておく。ここで、Vdmaxはデータ信号電圧Vdの最大値、Vtpは第2のp型MOSトランジスタ(Qp2)302の閾値電圧である。第2のp型MOSトランジスタ(Qp2)302は、次のフィールドでリセットパルス電圧VRがVgHとなってリセットが行われるまでの間、その保持されたゲート入力電圧Vaに応じたアナログ階調電圧を出力することができる。

【0372】また、上述の駆動方法においては、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-30の選択と第2のp型MOSトランジスタ(Qp2)302のリセットが同時に行われることになる。その時のタイミングチャートを図65に示す。

【0373】このように、この実施例の構成によれば、第2のp型MOSトランジスタ(Qp2)302の駆動がリセットパルス電源307から供給されるリセットパルス電圧VRによって行われることを除き、第2実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧

Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0374】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-30のアンプ回路部として動作する第2のp型MOSトランジスタ(Qp2)302の電源及びリセットにリセットパルス電源307を共用するとともに、アナログアンプ回路104-30のリセットを第2のp型MOSトランジスタ(Qp2)302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-30を構成でき、第2実施例と同等の高開口率を得ることができる。

【0375】また、リセットパルス電源VRを別途設けているので、第2実施例及び第10実施例で説明した液晶表示装置に比べて、アナログアンプ回路104-30のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。また、画素回路20-30がp型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

【0376】 第31実施例

図66は、この発明の第31実施例である液晶表示装置を構成する画素回路を示す図である。この実施例の構成が、第3実施例のそれと大きく異なるところは、画素回路を構成するMOSトランジスタをすべてp型MOSトランジスタとし、アナログアンプ回路のアンプ回路部を構成するp型MOSトランジスタのリセットをリセットパルス電源で行うようにした点である。

【0377】すなわち、その相違点は、第3実施例のp型MOSトランジスタ(Qp)701を第1のp型MOSトランジスタ(Qp1)308とし、第1のp型MOSトランジスタ(Qp1)308のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続する。これに加えて、第2実施例の第1のp型MOSトランジスタ(Qp1)302を第2のp型MOSトランジスタ(Qp2)302とし、かつ、第2のp型MOSトランジスタ(Qp2)302のゲート電極に第1のp型MOSトランジスタ(Qp1)308のソース電極及びドレイン電極のいずれか他方を接続し、そのソース電極及びドレイン電極のいずれか一方をリセットパルス電源307に接続し、そのソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。また、第2実施例の第2のp型MOSトランジスタ(Qp2)303を第3のp型MOSトランジスタ(Qp3)303とする。

【0378】これらの構成を除くこの実施例の各部の構成は、第3実施例と同一の構成であるので、それらの各

部には第3実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-31で参照し、画素回路を20-31で参照する。

【0379】次に、図66を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-31の駆動方法は、アナログアンプ回路104-31の第2のp型MOSトランジスタ(Qp2)302がリセットパルス電源307から供給されるリセットパルス電圧VRによって駆動されることを除き、第3実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第30実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路20-31の第2のp型MOSトランジスタ(Qp2)302がリセットパルス電源307から供給されるリセットパルス電圧VRによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0380】また、上述の駆動方法においては、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにして駆動することも可能である。その場合には、画素回路20-31の選択と第2のp型MOSトランジスタ(Qp2)302のリセットが同時に行われることになる。

【0381】このように、この実施例の構成によれば、第2のp型MOSトランジスタ(Qp2)302の駆動がリセットパルス電源307から供給されるリセットパルス電圧VRによって行われることを除き、第3実施例とほぼ同じ効果が得られる。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許よりも一層良好な階調を得ること、開口率を一層向上させること等の効果が得られる。

【0382】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-31のアンプ回路部として動作する第2のp型MOSトランジスタ(Qp2)302の電源及びリセットにリセットパルス電源307を共用するとともに、アナログアンプ回路104-31のリセットを第2のp型MOSトランジスタ(Qp2)302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-31を構成でき、第3実施例と同等の高開口率を得ることができる。

【0383】また、リセットパルス電源VRを別途設けているので、第3実施例及び第11実施例で説明した液晶表示装置に比べて、アナログアンプ回路104-31のリセットに伴う走査パルス信号の遅延を無くすることができるという利点を持っている。また、この実施例においては、画素回路20-31がp型MOSトランジスタだけで構成されているので、作製プロセスが簡略になる

という利点もある。

【0384】 第32実施例

図67は、この本発明の第32実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第4実施例のそれと異なるところは、すべてのMOSトランジスタをp型MOSトランジスタで構成し、かつ、画素回路内のアナログアンプ回路を構成するp型MOSトランジスタのソース電極及びドレイン電極のいずれか一方をリセットパルス電源で駆動するようにした点である。

【0385】すなわち、その相違点は、第4実施例のp型MOSトランジスタ(Qp)103を第1のp型MOSトランジスタ(Qp1)308とし、第1の第1のp型MOSトランジスタ(Qp1)308のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続する。これに加えて、第2実施例の第1のp型MOSトランジスタ(Qp1)302を第2のp型MOSトランジスタ(Qp2)302とし、かつ、第2のp型MOSトランジスタ(Qp2)302のゲート電極に第1のp型MOSトランジスタ(Qp1)308のソース電極及びドレイン電極のいずれか他方を接続し、そのソース電極及びドレイン電極のいずれか一方をリセットパルス電源707に接続し、そのソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。また、第4実施例の第2のp型MOSトランジスタ(Qp2)303を第3のp型MOSトランジスタ(Qp3)とする。

【0386】これらの構成を除くこの実施例の各部の構成は、第4実施例と同一の構成であるので、それらの各部には第4実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-32で参照し、画素回路を20-32で参照する。

【0387】次に、図67を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-32の駆動方法は、アナログアンプ回路104-32の第2のp型MOSトランジスタ(Qp2)302がリセットパルス電源307から供給されるリセットパルス電圧VRによって駆動されることを除き、第4実施例の液晶表示装置の駆動方法とほぼ同じである。そして、第30実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-32の第2のp型MOSトランジスタ(Qp2)302がリセットパルス電源307から供給されることによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0388】また、上述の駆動方法においては、リセット期間の後に水平走査期間が来るようにしたが、リセット期間と水平走査期間と同じタイミングとなるようにし

て駆動することも可能である。その場合には、画素回路20-32の選択と第2のp型MOSトランジスタ(Qp2)302のリセットが同時に行われることになる。

【0389】このように、この実施例の構成によれば、第2のp型MOSトランジスタ(Qp2)302の駆動がリセットパルス電源707から供給されるリセットパルス電圧VRによって行われることを除き、第8実施例とほぼ同じ効果が得られる。。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許より一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0390】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-32のアンプ回路部として動作する第2のp型MOSトランジスタ(Qp2)302の電源及びリセットにリセットパルス電源307を共用するとともに、アナログアンプ回路104-28のリセットを第2のp型MOSトランジスタ(Qp2)302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-28を構成でき、第4実施例と同等の高開口率を得ることができる。また、リセットパルス電源VRを別途設けているので、第4実施例及び第12実施例で説明した液晶表示装置に比べて、アナログアンプ回路20-28のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。また、画素回路20-28がp型MOSトランジスタだけで構成されているので、作製プロセスが簡略になるという利点もある。

【0391】 第33実施例

図68は、この本発明の第33実施例である液晶表示装置を構成する1つの画素回路を示す図である。この実施例の構成が、第5実施例のそれと異なるところは、画素回路を構成するすべてのMOSトランジスタをp型MOSトランジスタで構成したことある。

【0392】すなわち、その相違点は、第5実施例のp型MOSトランジスタ(Qp)103を第1のp型MOSトランジスタ(Qp1)308とし、第1のp型MOSトランジスタ(Qp1)308のゲート電極を走査線101に接続し、ソース電極及びドレイン電極のいずれか一方を信号線102に接続する。そして、第2のp型MOSトランジスタ(Qp2)302のゲート電極に第1のp型MOSトランジスタ(Qp1)308のソース電極及びドレイン電極のいずれか他方を接続し、そのソース電極及びドレイン電極のいずれか一方をリセットパルス電源307に接続し、そのソース電極及びドレイン電極のいずれか他方を画素電極107に接続して構成したことにある。

【0393】これらの構成を除くこの実施例の各部の構

成は、第5実施例と同一の構成であるので、それらの各部には第5実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-33で参照し、画素回路を20-33で参照する。

【0394】これらの構成を除くこの実施例の各部の構成は、第1実施例～第34実施例と同一の構成であるので、それらの各部には第1実施例～第34実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-35で参照し、画素回路を20-35で参照する。

【0395】次に、図67を参照してこの実施例の動作について説明する。この実施例の液晶表示装置10-33の駆動方法は、アナログアンプ回路104-33の第2のp型MOSトランジスタ(Qp2)302がリセットパルス電源307から供給されるリセットパルス電圧VRによって駆動されることを除き、第5実施例の液晶表示装置10-5の駆動方法とほぼ同じである。そして、第30実施例で説明したところを参照すれば、一層良く理解されるので、アナログアンプ回路104-32の第2のp型MOSトランジスタ(Qp2)302がリセットパルス電源307から供給されるリセットパルス電圧VRによって駆動されることを指摘するに留め、その逐一の動作を繰り返して説明しない。

【0396】このように、この実施例の構成によれば、第2のp型MOSトランジスタ(Qp2)302の駆動がリセットパルス電源307から供給されるリセットパルス電圧VRによって行われることを除き、第5実施例とほぼ同じ効果が得られる。。すなわち、データ信号電圧Vdにほぼ比例した画素電圧Vpixを液晶109に印加し得ること、これによりフィールド毎に上記特許より一層良好な階調を得ること、開口率を一層向上させ得ること等の効果が得られる。

【0397】そして、上述した効果を享受しつつ、この実施例においても、アナログアンプ回路104-32のアンプ回路部として動作する第2のp型MOSトランジスタ(Qp2)302の電源及びリセットにリセットパルス電源を共用するとともに、アナログアンプ回路104-32のリセットを第2のp型MOSトランジスタ(Qp2)302自身で行う構成となっているため、電源線、リセット電源線、リセットスイッチ等の配線、回路が不要となっている。また、小面積でアナログアンプ回路104-32を構成でき、第5実施例と同等の高開口率を得ることができる。

【0398】また、リセットパルス電源VRを別途設けているので、第5実施例及び第13実施例で説明した液晶表示装置に比べて、アナログアンプ回路104-33のリセットに用いられる走査パルス信号の遅延を無くすることができるという利点を持っている。また、画素回路20-33がp型MOSトランジスタだけで構成されて

いるので、作製プロセスが簡略になるという利点もある。

【0399】 第34実施例

この実施例の構成は、上述した第1実施例～第33実施例のそれと大きく異なるところは、第1実施例～第33実施例の駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカラー表示を行うようにした点である。すなわち、上述した第1実施例～第33実施例の液晶表示装置及びその駆動方法を、1フィールド(1フレーム)期間に入射する光の色を切り換えてカ

ラー表示を行う時分割駆動方式の液晶表示装置に適用したものである。これらの構成を除くこの実施例の各部の構成は、第1実施例～第33実施例と同一の構成であるので、それらの各部には第1実施例～第33実施例と同一の符号を用いる。したがって、上記相違点を有する液晶表示装置を10-34で参照する。

【0400】次に、この実施例の動作について説明する。液晶表示装置10-34において、分極を有する強誘電性液晶、反強誘電性液晶、又は1フィールド(1フレーム)期間内に応答するOCBモード液晶のような高速液晶を第1実施例～第33実施例のそれぞれの画素回路20-1～20-33で駆動させた場合と同様、 I_{ds} の V_{ds} への依存性がほぼ生じない状態で液晶の駆動を行うことができる。この際、液晶材料として、無関反強誘電性液晶を用いた。

【0401】このように、この実施例の構成によれば、 I_{ds} の V_{ds} への依存性をほぼ除き、アナログアンプ回路でのゲート入力電圧-画素電圧間の直線性がほぼ得られるので、その画素電圧が液晶に印加されて該液晶の静電容量に変化が生じ、アナログアンプ回路のアンプ回路部を構成するMOSトランジスタの V_{ds} に変化が生じても該MOSトランジスタの V_{gs} はほぼ一定しており、したがって、液晶に印加される画素電圧の変動が発生せず、1フィールド(1フレーム)期間毎に所望の階調表示を行うことができるという効果が得られる。

【0402】 第35実施例

図69は、この発明の第35実施例である液晶表示装置を構成する画素回路内のアナログアンプ回路のみを示す図である。この実施例の構成が、第1実施例乃至第33実施例のそれと大きく異なるところは、そのソースワ

ロ型アナログアンプ回路の代わりに演算増幅回路を用いた点にある。すなわち、演算増幅回路104-35は、差動増幅回路810と、位相補償回路830と、出力バッファ840とから概略構成される。

【0403】差動増幅回路810は、後述する出力バッファ840の出力から出力される画素電圧 V_{pix} のフ

ィードバックを受けて差動増幅回路810の出力から差動増幅回路810に入力されるアンプ入力電圧 V_a にほぼ比例した電圧を該電圧に到達するまでの時間経過後に出力する。位相補償回路830は、差動増幅回路810

から出力される電圧の位相ずれを補償する。その位相補償は、バイアス電源802の電圧及び/又は走査線101に供給される電圧の電圧変動によって生ずる差動増幅回路810から出力される電圧の位相ずれの補償にある。出力バッファ840は、位相補償された電圧を十分な給電能力のある画素電圧 V_{pix} にして出力する。

【0404】差動増幅回路810は、定電流源812と、差動増幅枝路814、818とから構成されている。定電流源812は、 n 型MOSトランジスタ813から構成される。この n 型MOSトランジスタ813は、ダブルゲート構造のMOSトランジスタである。 n 型MOSトランジスタ813のゲート電極はバイアス電源804と n 型MOSトランジスタ811のドレイン電極に接続されている。 n 型MOSトランジスタ811のソース電極は走査線101に接続されている。バイアス電源804の電圧は V_B であり、走査線101に供給される電圧は V_g である。 n 型MOSトランジスタ811は、保護用トランジスタで、バイアス電源804の電圧及び/又は走査線101の電圧に生ずる電圧変動により、過大の電圧が供給されるときにこれを抑圧するためのものである。

【0405】差動増幅枝路814は、2つのMOSトランジスタがソース電源802と、 n 型MOSトランジスタ813のドレイン電極との間に直列に接続されている。2つのMOSトランジスタのうちの1つは、 p 型MOSトランジスタ815Lであり、もう1つは、 p 型MOSトランジスタ816Lである。 p 型MOSトランジスタ815Lのソース電極はソース電源802に接続され、 n 型MOSトランジスタ815Lのソース電極は n 型MOSトランジスタ816Lのドレイン電極に接続されている。

【0406】差動増幅枝路818は、2つのMOSトランジスタがソース電源802と、 n 型MOSトランジスタ813のドレイン電極との間に直列に接続されている。2つのMOSトランジスタのうちの1つは、 p 型MOSトランジスタ815Rであり、もう1つは、 p 型MOSトランジスタ816Rである。 p 型MOSトランジスタ815Rのソース電極はソース電源802に接続され、 n 型MOSトランジスタ815Rのドレイン電極は p 型MOSトランジスタ816Rのドレイン電極に接続されている。 n 型MOSトランジスタ816Lのゲート電極には一方の差動入力電圧(後述)が印加され、また、 n 型MOSトランジスタ816Rのゲート電極に印加される他方の差動入力電圧は、第1実施例～第33実施例で説明したゲート入力電圧 V_a である。

【0407】位相補償回路830は、コンデンサ832と、ゲート電極をソース電源802に接続した n 型MOSトランジスタ834と、ゲート電極を走査線101に接続した p 型MOSトランジスタ836とから構成されている。 p 型MOSトランジスタ842のドレイン電極

とn型MOSトランジスタ844のソース電極とは接続されている。

【0408】そして、コンデンサ832の一方の電極は、p型MOSトランジスタ815Rのドレイン電極とn型MOSトランジスタ816Rのドレイン電極との接続点に接続される共にp型MOSトランジスタ842のゲート電極に接続され、かつ、コンデンサ832の他方の電極は、n型MOSトランジスタ834のソース電極及びドレイン電極のいずれか一方とp型MOSトランジスタ836のソース電極及びドレイン電極のいずれか一方とに接続されると共に上述したp型MOSトランジスタ842のドレイン電極とn型MOSトランジスタ84nのドレイン電極との接続点に接続されて位相補償回路830の全体が構成されている。なお、MOSトランジスタの2つのチャネル端電極は、両チャネル端電極の各々に印加される電圧によってソース電極にも、また、ドレイン電極にも成り得る電極であるので、この実施例においても、ソース電極及びドレイン電極のいずれか一方又はソース電極及びドレイン電極のいずれか他方と表している。

【0409】出力バッファ840は、上述したp型MOSトランジスタ842とn型MOSトランジスタ844とで構成されている。n型MOSトランジスタ844は、ダブルゲート構造のMOSトランジスタである。n型MOSトランジスタ844のゲート電極は、上述したバイアス電源804に接続されている。また、n型MOSトランジスタ844nのソース電極は、上述した走査線101に接続されている。n型MOSトランジスタ844は電流源を構成している。出力バッファ840の出力、すなわち、演算増幅回路104-35の出力は、p型MOSトランジスタ842のソース電極とn型MOSトランジスタ844のソース電極との接続点であり、液晶109の画素電極107に接続される。

【0410】また、出力バッファ840の出力電圧、すなわち、上述の画像データVpixは、差動増幅回路の差動増幅枝路814を構成するn型MOSトランジスタ816Lのゲート電極に、上述した一方の差動入力電圧として供給されている。上述した画素電圧Vpixの給電により、演算増幅回路810は、その全体としてボルテージホロワを構成している。

【0411】これらの構成を除くこの実施例の各部の構成は、第1実施例～第33実施例と同一の構成であるので、以下の説明において、それらの各部には第1実施例～第33実施例と同一の符号を付してその説明を省略する。したがって、上記相違点を有する液晶表示装置を10-35で参照し、画素回路を20-35で参照する。

【0412】次に、図69を参照して、この実施例の動作について説明する。この実施例の液晶表示装置10-35の動作説明の都合上、この実施例の画素回路20-35において、第2実施例におけるアナログアンプ回路

としてこの実施例のアナログアンプ回路104-35が用いられた場合について説明する。n型MOSトランジスタ103(図5)から出力されたアンプ入力電圧Vaは、差動増幅回路810のn型MOSトランジスタ816Rのゲート電極に印加される。一方、n型MOSトランジスタ816Lのゲート電極には、画素電圧Vpixが印加されている。

【0413】したがって、新たなフィールド期間に入ったときに変更されたアンプ入力電圧Vaが入力されると、差動増幅回路810の出力電圧(右側の差動増幅枝路818の出力電圧、すなわち、n型MOSトランジスタ816Rのドレイン電極に現れる電圧)は、アンプ入力電圧Vaと画素電圧Vpixとの差が無くなる方向への収斂作用が、差動増幅回路810、位相補償回路830及び出力バッファ840内に形成されているフィードバック系の中で生じる。

【0414】その結果、差動増幅回路810の出力電圧は、ほぼアンプ入力電圧Vaと一定の関係で定まる電圧、すなわち、その定電流源812を構成するダブルゲート構造のn型MOSトランジスタ813の働きによる上記出力電圧のアンプ入力電圧に対する一定性(両電圧間の直線性)のある電圧となる。

【0415】そして、この電圧は、位相補償回路830に供給される。その位相補償回路830において、バイアス電源802の電圧及び/又は走査線101に供給される電圧の電圧変動によって生ずる差動増幅回路810から出力される電圧の位相ずれの補償が行われる。その位相補償は、バイアス電源802の電圧及び/又は走査線101に供給される電圧自体が当該位相補償のための制御信号として位相補償回路830で用いられる。位相補償回路830から出力された信号は、出力バッファ840で液晶109への給電能力が十分ある画素電圧Vpixにされて液晶109に給電される。その出力バッファ840においても、その電流源にダブルゲート構造のMOSトランジスタが用いられているから、画素電圧Vpixのアンプ入力電圧に対する直線性が良くなっており、この出力バッファ840においても、液晶109での画素表示上、その階調の向上に寄与している。

【0416】このように、この実施例の構成によれば、その差動増幅回路810においても、また、出力バッファ840においても、第2実施例で述べたように、ダブルゲート構造のMOSトランジスタを使用し、かつ、そのMOSトランジスタの動作領域をIdsのVdsへの依存性がほぼ無くなる動作点乃至は許容限度内でその近傍の動作点としているから、上述のようにして、アナログアンプ回路としての演算増幅回路104-35から出力される画素電圧Vpixは、アンプ入力電圧Vaにほぼ比例した電圧、乃至は該電圧からの許容限度内の偏差で表される電圧となる。したがって、フィールド毎に上記特許よりも一層良好な階調を得ることができる。この

効果を享受しつつ、上記構成の演算増幅回路が本来有する特徴である電源電圧の変動に対する耐性（電圧変動に強い性質）も具有している。

【0417】 第36実施例

図70は、この発明の第36実施例である液晶表示装置を構成する画素回路内のアナログアンプ回路のみを示す図である。この実施例の構成が、第35実施例のそれと大きく異なるところは、第35実施例の演算増幅回路を構成しているn型MOSトランジスタをp型MOSトランジスタで置換した点にある。

【0418】すなわち、演算増幅回路104-36が、差動増幅回路910と、位相補償回路930と、出力バッファ940とから概略構成されることは、第35実施例と同じである。差動増幅回路910も、位相補償回路930も、出力バッファ940も、第35実施例において用いられるn型MOSトランジスタのいずれのMOSトランジスタも、p型MOSトランジスタに置換し、p型MOSトランジスタのいずれのMOSトランジスタも、n型MOSトランジスタに置換して構成されている。このMOSトランジスタの形式の置換に伴って、定電流源912及び電流源944は、高電位側に配置されている。したがって、各MOSトランジスタには、8百番台の代わりに、9百番台の参照番号を付してその各々についての説明は省略する。

【0419】次に、図70を参照してこの実施例の動作について説明する。上述したように、第35実施例でのMOSトランジスタの形式をn型からp型に置換し、p型からn型に置換し、電圧極性を逆にしている点を除き、この実施例の動作に、本質的な違いはなく、したがって、第35実施例の動作説明を参照すれば、その動作も自ずから明らかになると考えられるので、その逐一の説明は省略する。このように、この実施例によれば、第35実施例で用いるn型MOSトランジスタをp型MOSトランジスタに置換し、また、p型MOSトランジスタをn型MOSトランジスタに置換し、そして電圧極性を逆にしているだけであるので、第35実施例と同じ効果が得られる。

【0420】 第37実施例

図71は、この発明の第37実施例である液晶表示装置を構成する画素回路内のアナログアンプ回路のみを示す図である。この実施例の構成が、第35実施例及び第36実施例のそれと大きく異なるところは、第35実施例の演算増幅回路104-35と第36実施例の演算増幅回路104-36とを併用した点にある。

【0421】すなわち、演算増幅回路104-37は、差動増幅回路810のMOSトランジスタ815Lのゲート電極及び差動増幅回路910のMOSトランジスタ915Lのゲート電極をアンプ入力電圧 V_a の供給入力としている。差動増幅回路810のMOSトランジスタ816Rのドレイン電極は、出力バッファ1040のp

型MOSトランジスタ1042のゲート電極に接続され、差動増幅回路910のMOSトランジスタ916Rのドレイン電極は、出力バッファ1040のn型MOSトランジスタ1044のゲート電極に接続されている。

【0422】また、差動増幅回路810のMOSトランジスタ816L及び差動増幅回路910のMOSトランジスタ916Lは、出力バッファ1040の出力、すなわち、p型MOSトランジスタ1042のドレイン電極とn型MOSトランジスタ1044のドレイン電極とに接続されている。差動増幅回路810のn型MOSトランジスタ813のソース電極は、走査線101に接続され、差動増幅回路910のn型MOSトランジスタ913のソース電極は、ソース電極802に接続されている。また、n型MOSトランジスタ813のゲート電極には、バイアス電源1014が接続され、n型MOSトランジスタ913のゲート電極には、バイアス電源1024が接続されている。バイアス電源1014の電圧 V_{B1} は、バイアス電源1024の電圧 V_{B2} より所定の値だけ高い。

【0423】ソース電極が走査線101に接続されたn型MOSトランジスタ813と、ソース電極がソース電源802に接続されたp型MOSトランジスタ913と、ゲート電極が出力バッファ1040の出力に接続されたMOSトランジスタ816L及びMOSトランジスタ916Lと、ドレイン電極がp型MOSトランジスタ1044のゲート電極に接続されたn型MOSトランジスタ816Rと、ドレイン電極がn型MOSトランジスタ1044のゲート電極に接続されたp型MOSトランジスタ916Rとにより、位相補償回路1030を構成している。

【0424】次に、図70を参照してこの実施例の動作について説明する。上述したように、この実施例の構成は、第35実施例の構成と第36実施例の構成とを併合した構成となっている。したがって、これら両実施例の説明を参照すれば、その動作も自ずから明らかになると考えられるので、その逐一の説明は省略する。このように、この実施例によれば、第35実施例の構成と第36実施例の構成とを併合して構成されているので、第35実施例及び第36と同じ効果が得られる。

【0425】以上、この発明の実施例を、図面を参照して詳述してきたが、この発明の具体的に構成は、これらの実施例に限られるものではなく、この発明の趣旨を逸脱しない範囲の設計の変更等があってもそれらはこの発明に含まれる。例えば、各実施例に内在するこの発明の特徴、すなわち、 I_{ds} の V_{ds} への依存性をほぼ解消し得るという特徴を液晶表示装置以外の装置に適用してその装置でこの発明を実施することができる。したがって、上記各実施例のアンプ入力電圧をその他の被増幅信号とすることは言うまでもなく、ユニポーラトランジスタによって構成される変調回路、復調回路における変調

信号、復調信号等としてもよい。さらには、信号の振幅だけでなく、信号内の位相、周波数等のずれの補償にこの発明を適用することも可能である。

【0426】また、上記各実施例において、アナログアンプ回路を構成するMOSトランジスタのみでなく、データ信号電圧をアナログアンプ回路へスイッチさせるMOSトランジスタをもマルチゲート構造のMOSトランジスタを使用してもよい。この時、条件によっては、すべてのMOSトランジスタがマルチゲート構造で作製される場合もある。

【0427】また、上記各実施例において、n型MOS型トランジスタ103、n型MOSトランジスタ701、第1のp型MOSトランジスタ302、第2のp型MOSトランジスタ303、第1のn型MOSトランジスタ702、第2のn型MOSトランジスタ703は、p-Si TFTで形成すると述べたが、a-Si TFT、CdSe TFT等の他の薄膜トランジスタで形成しても良いし、単結晶シリコントランジスタで形成しても良い。さらには、上述したMOSトランジスタのような絶縁ゲート型トランジスタだけでなく、ユニポーラ

【0428】

【発明の効果】以上説明したように、この発明の構成によれば、マルチゲート構造のユニポーラトランジスタのIdsのVdsへの依存性をほぼ解消し得る動作領域でユニポーラトランジスタを動作させるようにしたので、液晶等の応答に伴う液晶等を駆動するに際してその電圧に変動を生じさせてしまうのを無くすことができると同時に、使用するトランジスタの耐圧を格段に向上させることができる。

【0429】その結果として、上記機能により入出力電圧範囲の広い信号で回路を駆動することができる。例えば、アナログアンプ回路のゲインが広い入力電圧範囲に亘ってほぼ一定である、ダイナミックレンジの広いアナログアンプ回路を実現できる。また、上述のユニポーラトランジスタにおける耐圧の向上により、各サブユニポーラトランジスタにおいて必要とされる面積は縮小させることができる。その結果として、高開口率が実現できる。

【0430】したがって、上述した効果を活用した、例えば、液晶表示装置においては、従来よりも正確な階調表示を実現することができるようになる。特に、分極を有する強誘電性液晶、反強誘電性液晶、及び1フィールド期間内に応答するOCBモード液晶のような高速液晶であっても、画素電圧に変動を生じさせることなく高速液晶を駆動することができる。その結果、1フィールド（フレーム）毎により一層正確な階調表示を行うことができる。この特性を応用して液晶表示装置を時分割駆動方式で駆動した場合に、その液晶表示装置での色再現性*

*が良くなり、高階調表示を実現することができる。

【0431】また、この発明の液晶表示装置によれば、アナログアンプ回路として動作するユニポーラトランジスタの電源及びリセット電源として走査電圧を利用するとともに、アナログアンプ回路のリセットを上記ユニポーラトランジスタ自身で行う構成を採用しているので、上記効果を達成しつつ、電源線、リセット電源線、リセットスイッチ等の配線、回路を不要とし、小面積でアナログアンプ回路を構成でき、高開口率化も達成し得るという顕著な効果も享受し得る。画素回路をすべて同一形式のユニポーラトランジスタで作製することができるので、作製プロセスを簡略化することができる。

【0432】さらに、この発明の液晶表示装置におけるソースフォロワ型アナログアンプの負荷抵抗、もしくはアクティブ負荷トランジスタの抵抗は、たとえば1GΩという高いから、上記効果を達成しつつ、定常的に流れる消費電流を低く抑えることができ消費電力の節減となる。

【0433】上記特徴により、小型、軽量、高開口率、高速、高視野、高階調、低消費電力、低価格なプロジェクタ装置、ノートPC、モニタ液晶表示装置を提供することができるようになる。

【図面の簡単な説明】

【図1】この発明の第1実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図2】同液晶表示装置を駆動する1つのタイミングチャートである。

【図3】同液晶表示装置の説明のためのシングルゲート構造のMOSトランジスタについて測定したIds-Vgs特性曲線図である。

【図4】同液晶表示装置に用いるダブルゲート構造のMOSトランジスタについて測定したIds-Vgs特性曲線図である。

【図5】この発明の第2実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図6】同液晶表示装置で用いるダブルゲート構造のp型MOSトランジスタのドレイン電流-ゲート入力電圧特性曲線図である。

【図7】同液晶表示装置において高速液晶を駆動する場合の1つのタイミングチャートである。

【図8】同液晶表示装置の説明のためにシングルゲート構造のMOSトランジスタで構成したアクティブ負荷型アナログアンプ回路のゲート入力電圧-画素電圧特性曲線図である。

【図9】同液晶表示装置においてダブルゲート構造のMOSトランジスタで構成したアクティブ負荷型アナログアンプ回路のゲート入力電圧-画素電圧特性曲線図である。

【図10】同液晶表示装置の説明のためにシングルゲート構造のMOSトランジスタで構成した画素回路のゲ-

ト入力電圧 - 透過率特性曲線図である。

【図 11】同液晶表示装置においてダブルゲート構造の MOS トランジスタで構成した画素回路のゲート入力電圧 - 透過率特性曲線図である。

【図 12】同液晶表示装置の説明のために画素回路をシングルゲート構造の MOS トランジスタで構成した場合の該 MOS トランジスタの平面構造図である。

【図 13】同液晶表示装置において画素回路をダブルゲート構造の MOS トランジスタで構成した場合の該 MOS トランジスタの平面構造図である。

【図 14】同液晶表示装置において TN 液晶を駆動する場合の 1 つのタイミングチャートである。

【図 15】この発明の第 3 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 16】この発明の第 4 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 17】同液晶表示装置で用いるダブルゲート構造の p 型 MOS トランジスタのドレイン電流 - ゲート入力電圧特性曲線図である。

【図 18】この発明の第 5 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 19】同液晶表示装置の画素回路を構成する抵抗の第 1 の構造例を示す図である。

【図 20】同液晶表示装置の画素回路を構成する抵抗の第 2 の構造例を示す図である。

【図 21】同液晶表示装置の画素回路を構成する抵抗の第 3 の構造例を示す図である。

【図 22】同液晶表示装置を駆動する 1 つのタイミングチャートである。

【図 23】この発明の第 6 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 24】同液晶表示装置で用いるダブルゲート構造の n 型 MOS トランジスタのドレイン電流 - ゲート入力電圧特性曲線図である。

【図 25】同液晶表示装置において高速液晶を駆動する場合の 1 つのタイミングチャートである。

【図 26】同液晶表示装置において TN 液晶を駆動する場合の 1 つのタイミングチャートである。

【図 27】この発明の第 7 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 28】この発明の第 8 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 29】同液晶表示装置で用いるダブルゲート構造の n 型 MOS トランジスタのドレイン電流 - ゲート入力電圧特性曲線図である。

【図 30】この発明の第 9 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 31】同液晶表示装置の画素回路を構成する抵抗の第 1 の構造例を示す図である。

【図 32】同液晶表示装置の画素回路を構成する抵抗の

第 2 の構造例を示す図である。

【図 33】同液晶表示装置の画素回路を構成する抵抗の第 3 の構造例を示す図である。

【図 34】同液晶表示装置において抵抗の値を変えて駆動する場合の 1 つのタイミングチャートである。

【図 35】この発明の第 10 実施例である液晶表示装置を構成する 2 つの画素回路を示す図である。

【図 36】同液晶表示装置において液晶を駆動する場合の 1 つのタイミングチャートである。

【図 37】この発明の第 11 実施例である液晶表示装置を構成する 2 つの画素回路を示す図である。

【図 38】この発明の第 12 実施例である液晶表示装置を構成する 2 つの画素回路を示す図である。

【図 39】この発明の第 13 実施例である液晶表示装置を構成する 2 つの画素回路を示す図である。

【図 40】この発明の第 14 実施例である液晶表示装置を構成する 2 つの画素回路を示す図である。

【図 41】同液晶表示装置において液晶を駆動する場合の 1 つのタイミングチャートである。

【図 42】同液晶表示装置の説明のためにシングルゲート構造の MOS トランジスタで構成した画素回路のデータ電圧の振幅 - 透過率特性曲線図である。

【図 43】同液晶表示装置においてダブルゲート構造の MOS トランジスタで構成した画素回路のデータ電圧の振幅 - 透過率特性曲線図である。

【図 44】この発明の第 15 実施例である液晶表示装置を構成する 2 つの画素回路を示す図である。

【図 45】この発明の第 16 実施例である液晶表示装置を構成する 2 つの画素回路を示す図である。

【図 46】この発明の第 17 実施例である液晶表示装置を構成する 2 つの画素回路を示す図である。

【図 47】この発明の第 18 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 48】同液晶表示装置において液晶を駆動する場合の 1 つのタイミングチャートである。

【図 49】この発明の第 19 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 50】この発明の第 20 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 51】この発明の第 21 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 52】この発明の第 22 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 53】同液晶表示装置において液晶を駆動する場合の 1 つのタイミングチャートである。

【図 54】この発明の第 23 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 55】この発明の第 24 実施例である液晶表示装置を構成する 1 つの画素回路を示す図である。

【図 56】この発明の第 25 実施例である液晶表示装置

を構成する1つの画素回路を示す図である。

【図57】この発明の第26実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図58】同液晶表示装置において液晶を駆動する場合の1つのタイミングチャートである。

【図59】同液晶表示装置において液晶を駆動するに際して水平走査期間とリセット期間とを同一の期間とした場合の1つのタイミングチャートである。

【図60】この発明の第27実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図61】この発明の第28実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図62】この発明の第29実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図63】この発明の第30実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図64】同液晶表示装置において液晶を駆動する場合の1つのタイミングチャートである。

【図65】同液晶表示装置において液晶を駆動するに際して水平走査期間とリセット期間とを同一の期間とした場合の1つのタイミングチャートである。

【図66】この発明の第31実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図67】この発明の第32実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図68】この発明の第33実施例である液晶表示装置を構成する1つの画素回路を示す図である。

【図69】この発明の第35実施例である液晶表示装置を構成する1つの画素回路内の演算増幅回路を示す図である。

【図70】この発明の第36実施例である液晶表示装置を構成する1つの画素回路内の演算増幅回路を示す図である。

【図71】この発明の第37実施例である液晶表示装置を構成する1つの画素回路内の演算増幅回路を示す図である。

【図72】従来の液晶表示装置を構成する画素回路の第1の例を示す図である。

【図73】TN液晶の等価回路を示す図である。

【図74】従来の液晶表示装置でTN液晶を駆動する場合のタイミングチャートである。

【図75】高速液晶の等価回路を示す図である。

【図76】従来の液晶表示装置でTN液晶を駆動する場合のタイミングチャートである。

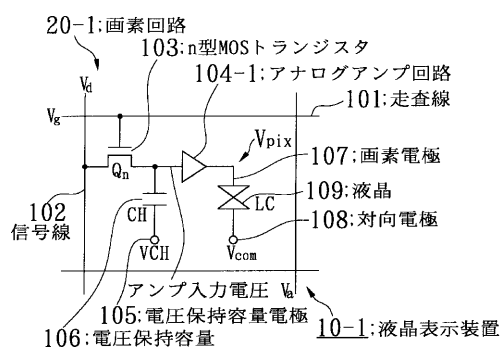
【図77】従来の液晶表示装置を構成する画素回路の第

2の例を示す図である。

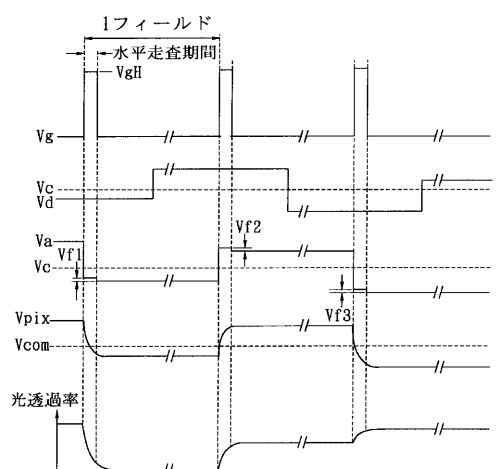
【符号の説明】

10 - 1 ~ 10 - 37	液晶表示装置
20 - 1 ~ 20 - 37	画素回路
101、101(N - 1) ~ 101(N + 1)	走査線
102	信号線
103	n型MOSトランジスタ(ゲート回路)
104 - 1 ~ 104 - 37	アナログアンプ回路
105	電圧保持容量電極
106	電圧保持容量
107	画素電極
108	対向電極
109	液晶
301	n型MOSトランジスタ(ゲート回路)
302	第1のp型MOSトランジスタ、第2のp型MOSトランジスタ
303	第2のp型MOSトランジスタ、第3のp型MOSトランジスタ
304	ソース電極
305	バイアス電源
306	抵抗
307	リセットパルス電源
308	第1のp型MOSトランジスタ(ゲート回路)
401	ガラス基板
403	p+層
404	p-層
405	第1層間膜
406	金属
407	第2層間膜
408	金属
501	i層
601	n+層
602	n-層
701	p型MOSトランジスタ(ゲート回路)
702	第1のn型MOSトランジスタ、第2のn型MOSトランジスタ
703	第2のn型MOSトランジスタ、第3のn型MOSトランジスタ
704	ソース電源
705	バイアス電源
708	第1のn型MOSトランジスタ(ゲート回路)

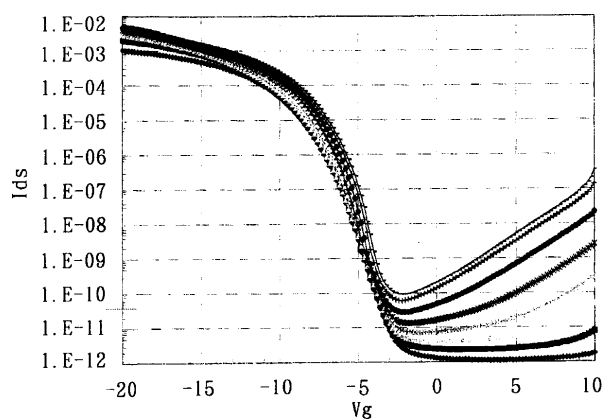
【図1】



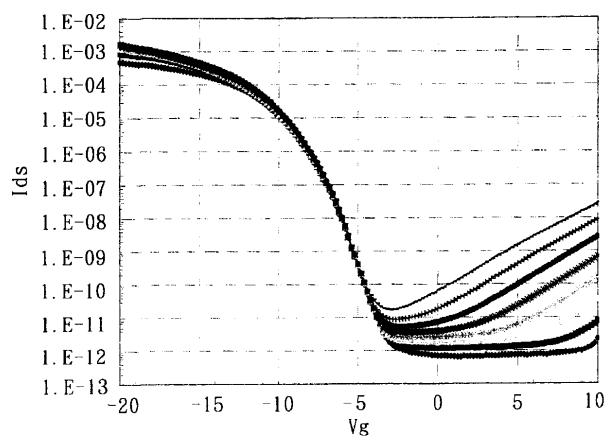
【図2】



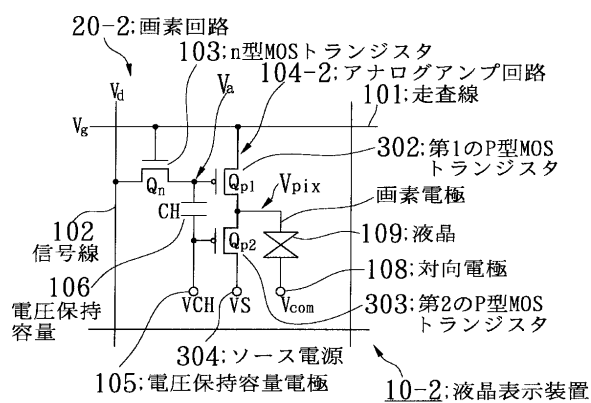
【図3】



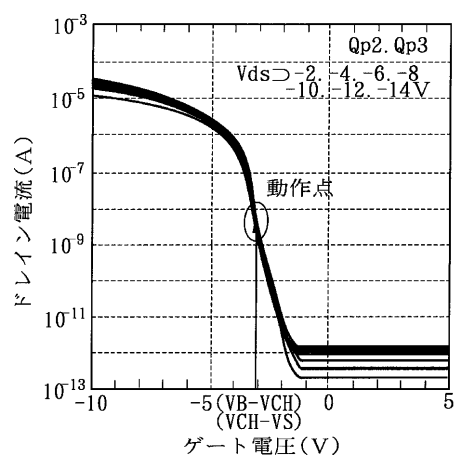
【図4】



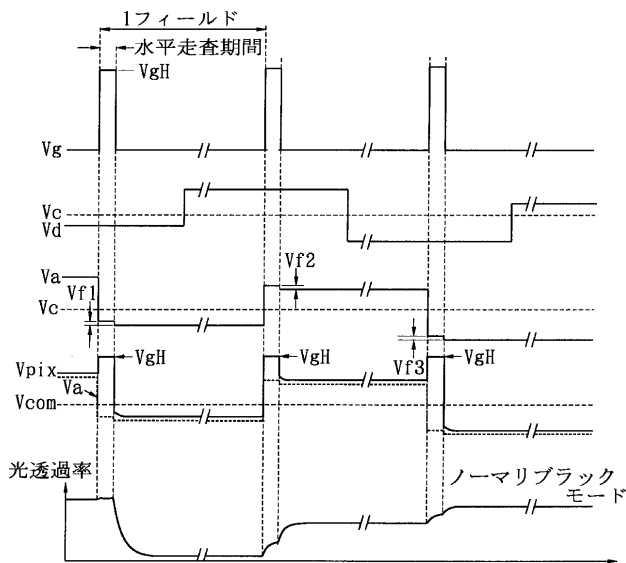
【図5】



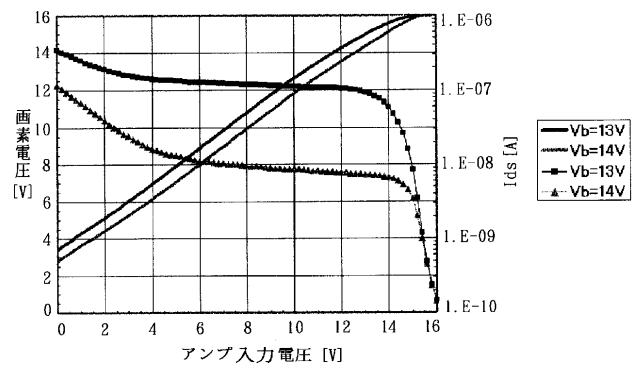
【図6】



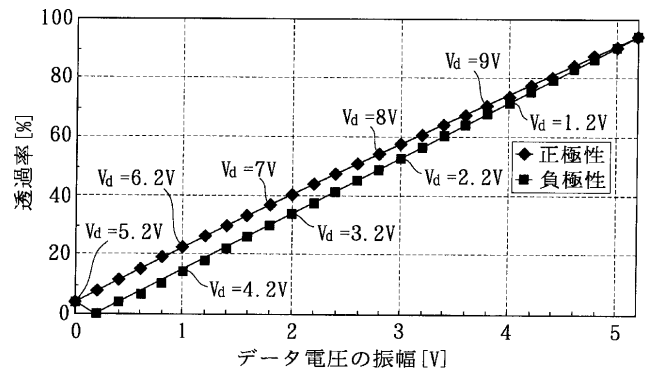
【図7】



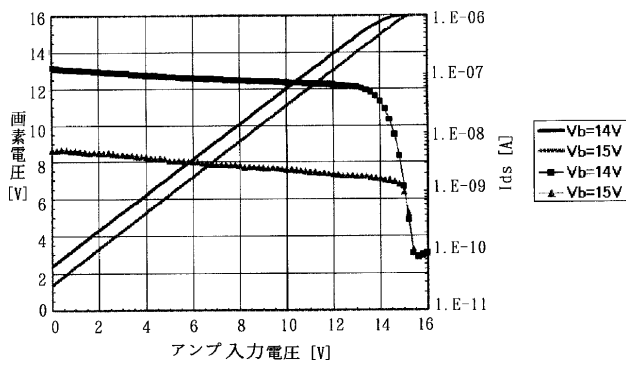
【図8】



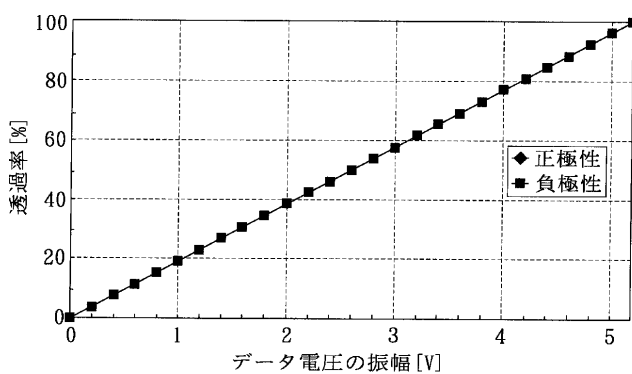
【図10】



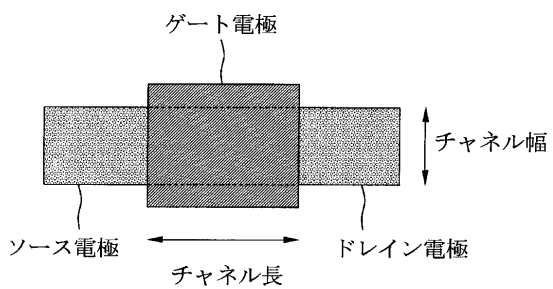
【図9】



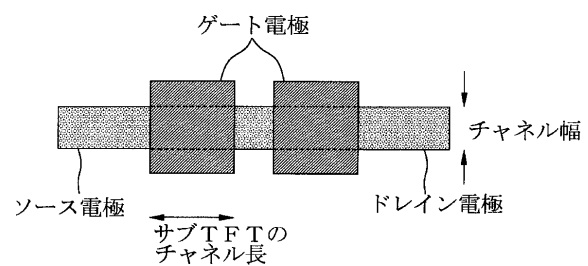
【図11】



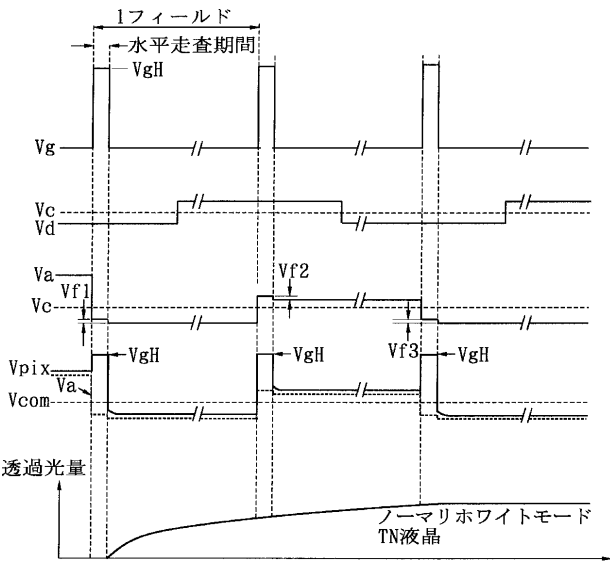
【図12】



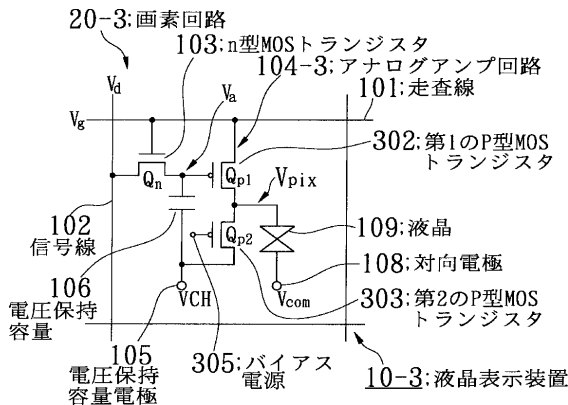
【図13】



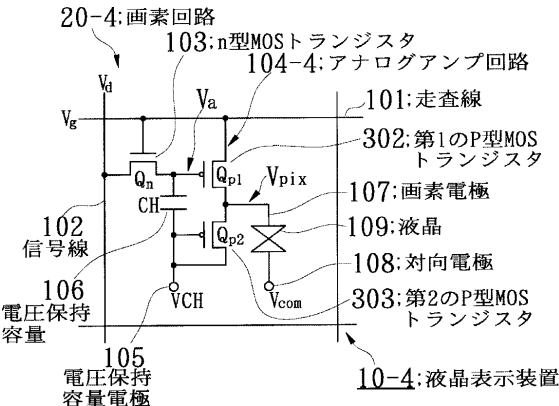
【図14】



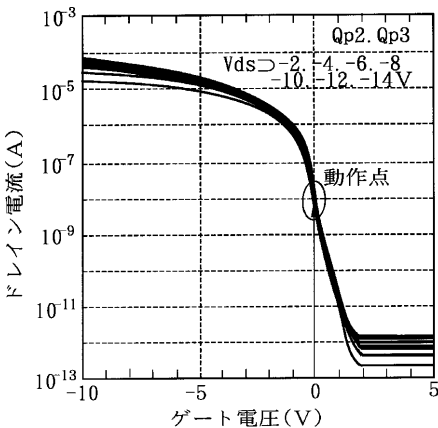
【図15】



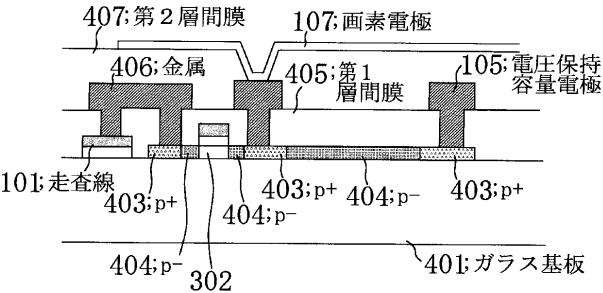
【図16】



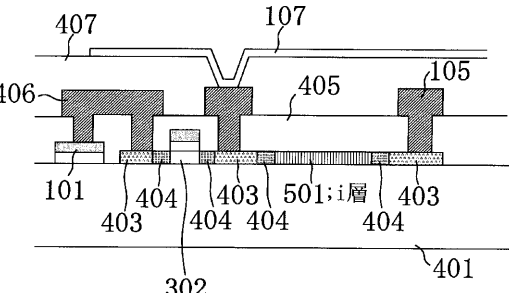
【図17】



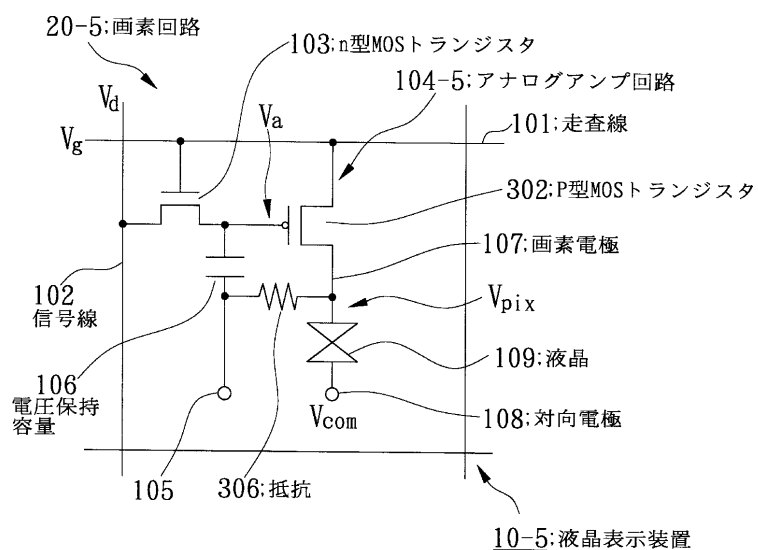
【図19】



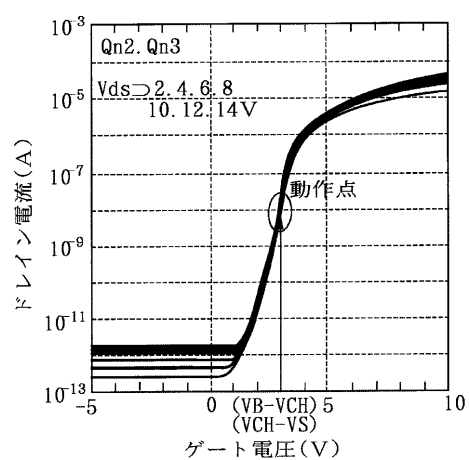
【図20】



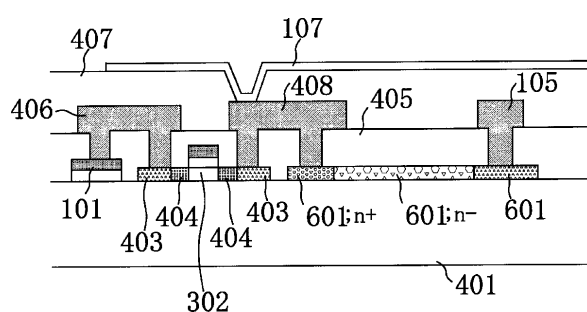
【図18】



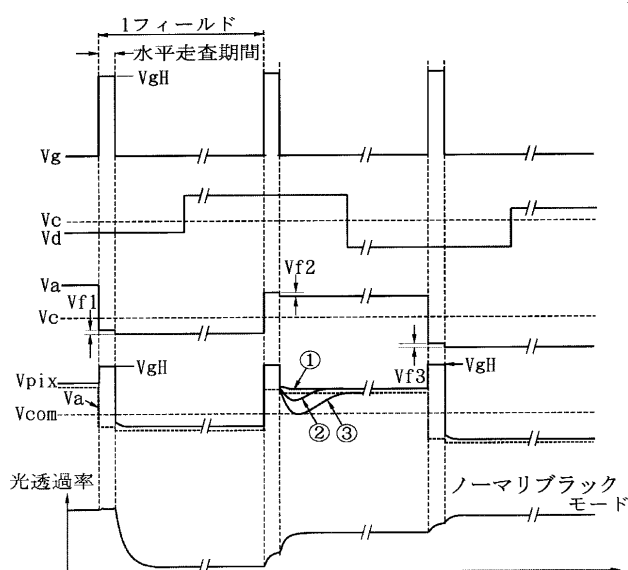
【図24】



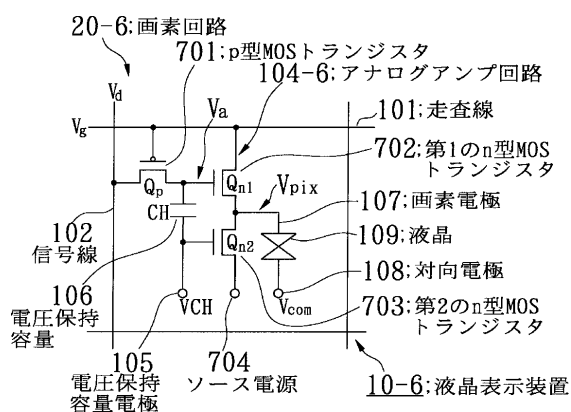
【図21】



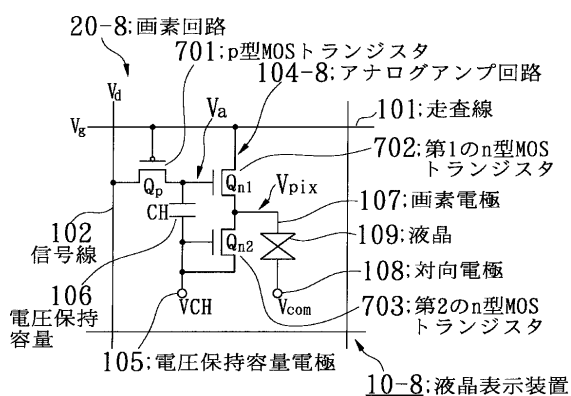
【図22】



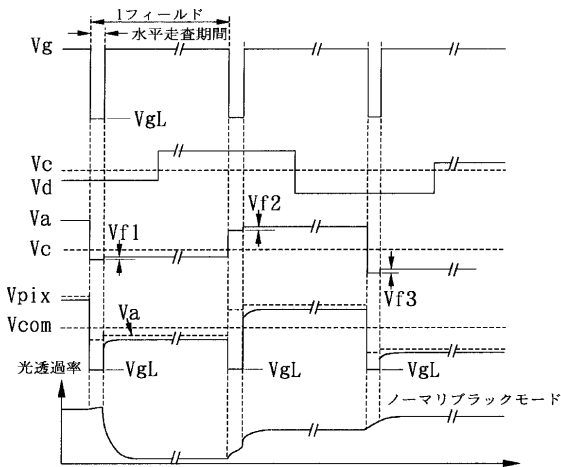
【図23】



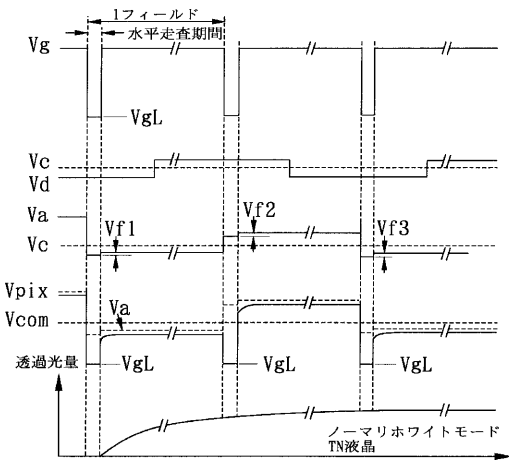
【図28】



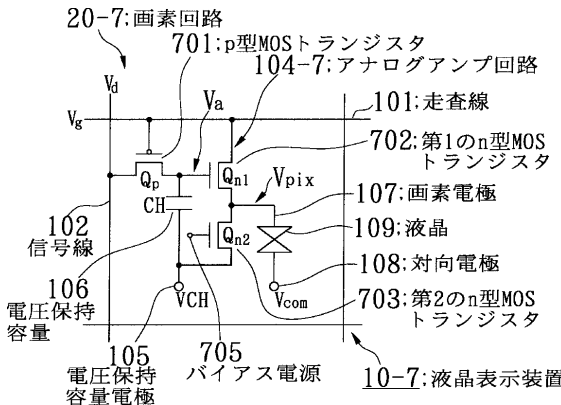
【図25】



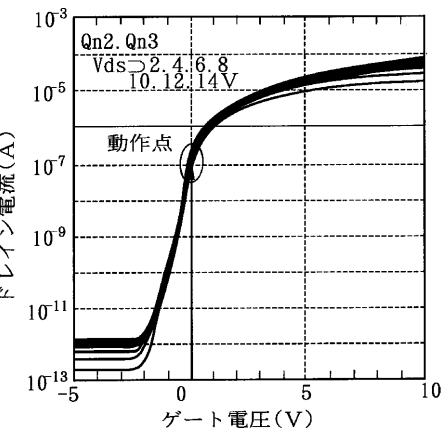
【図26】



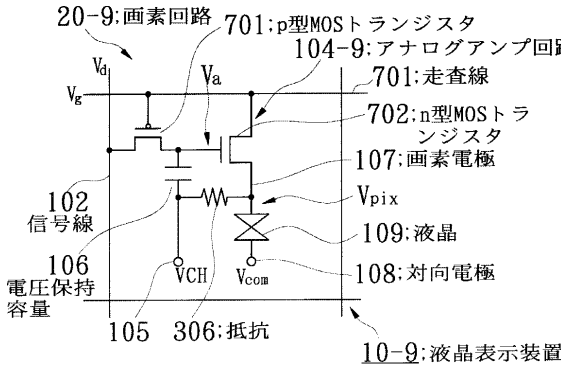
【図27】



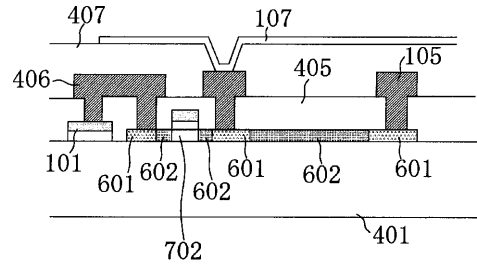
【図29】



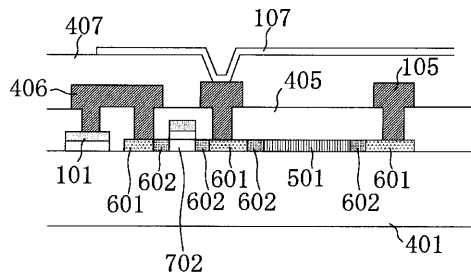
【図30】



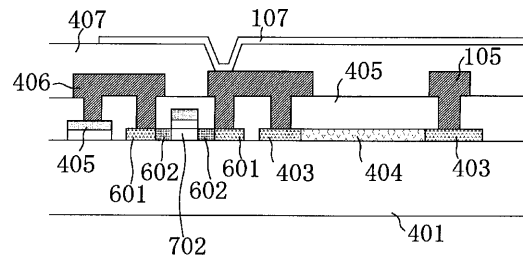
【図31】



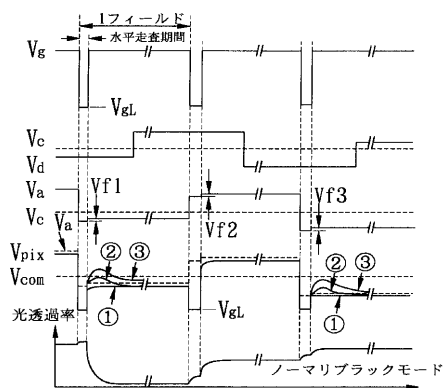
【図 3 2】



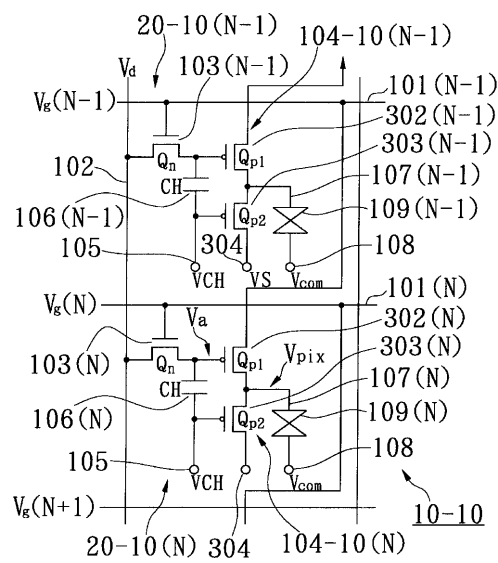
【図 3 3】



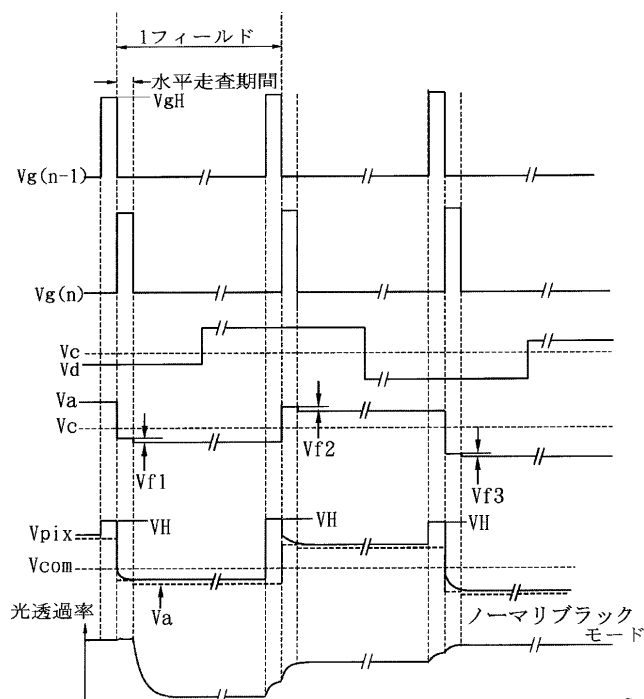
【圖 3 4】



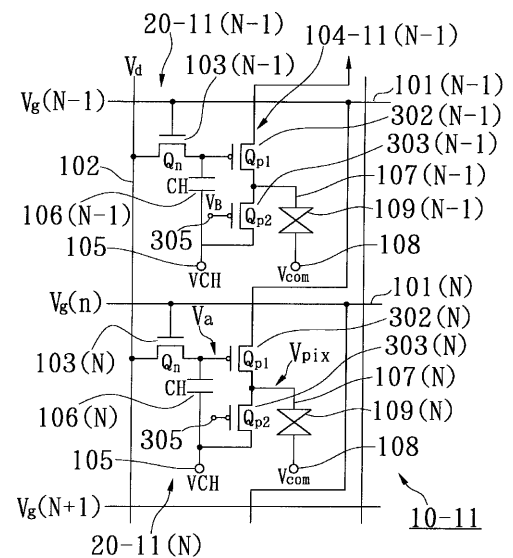
【図 3 5】



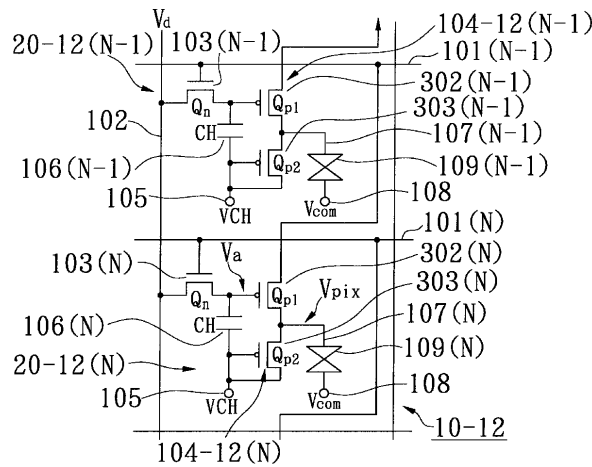
【図 3 6】



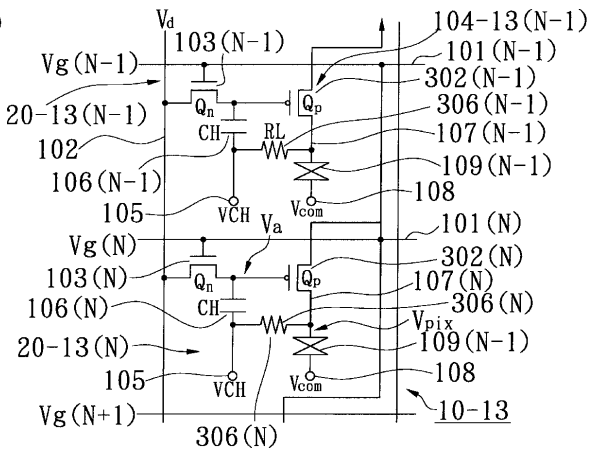
【図 3 7】



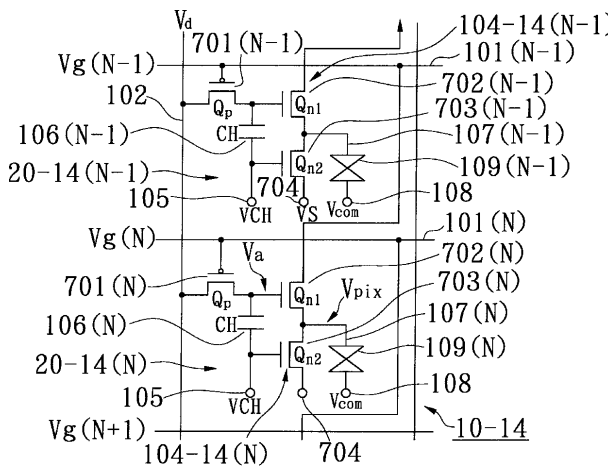
【図38】



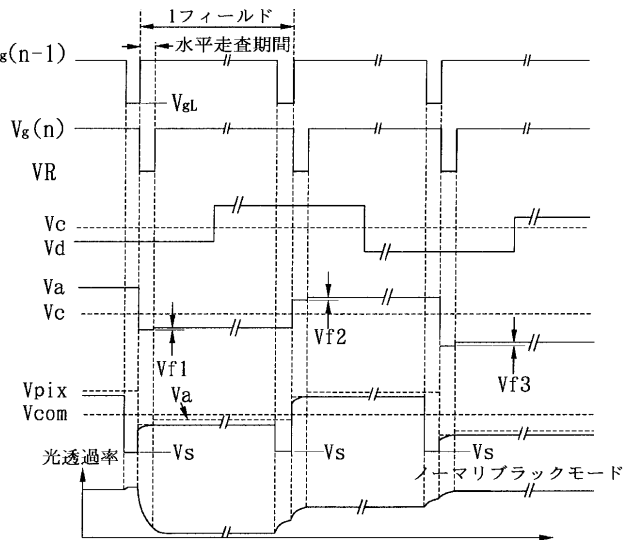
【図39】



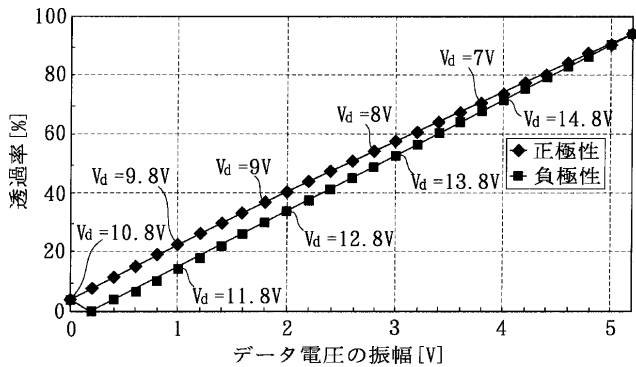
【図40】



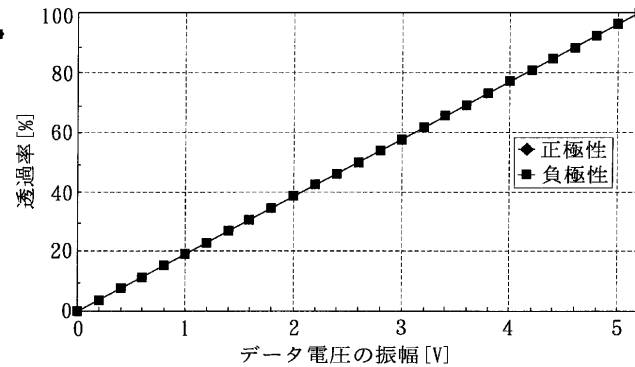
【図41】



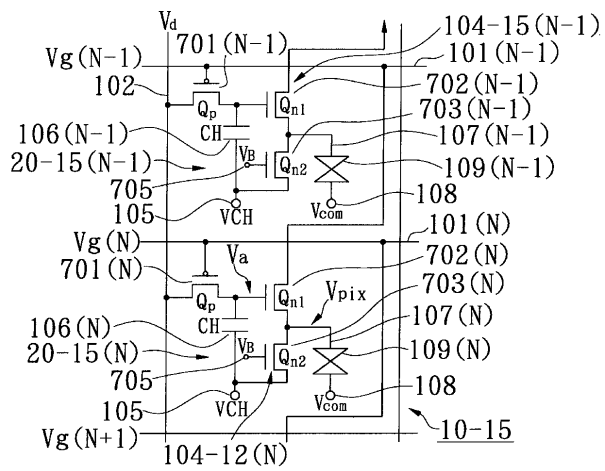
【図42】



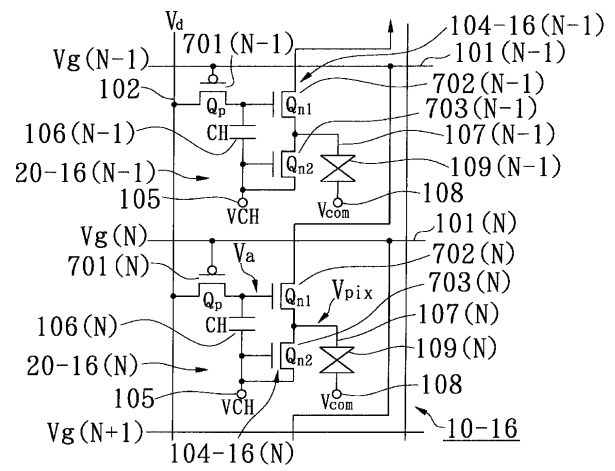
【図43】



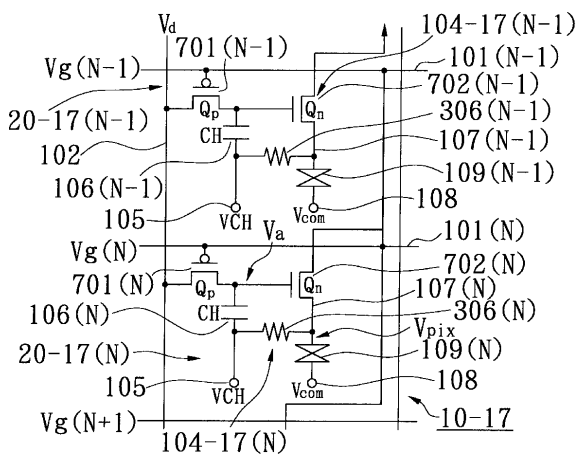
【図44】



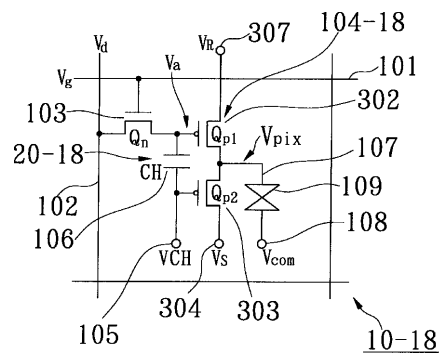
【図45】



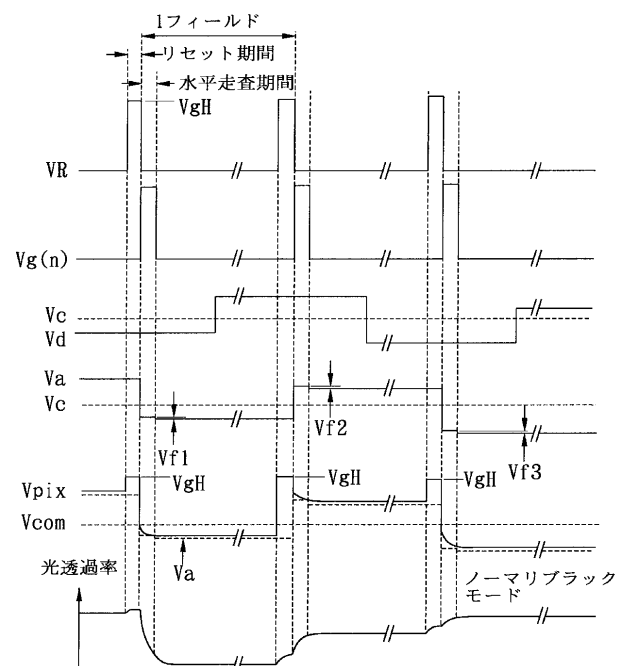
【図46】



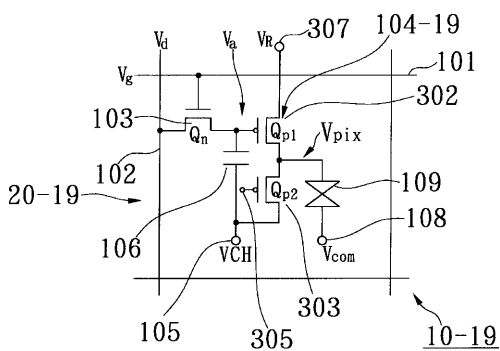
【図47】



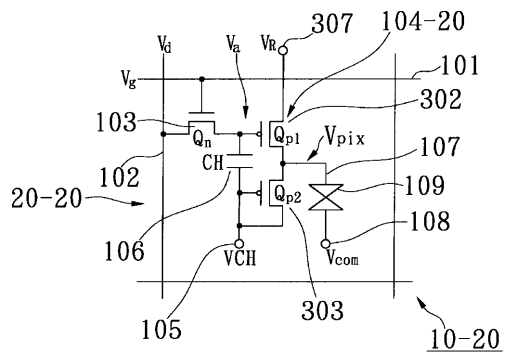
【図48】



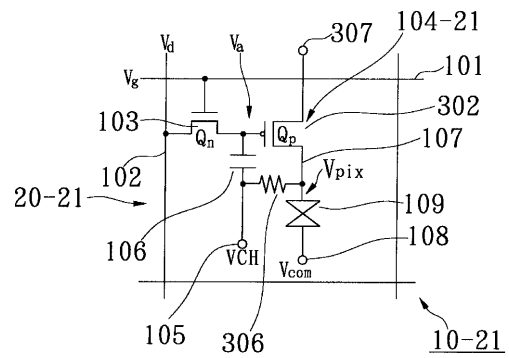
【図49】



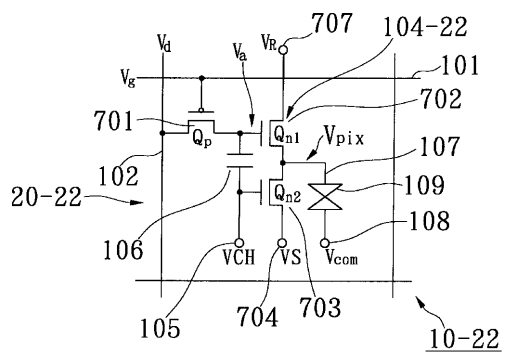
【図50】



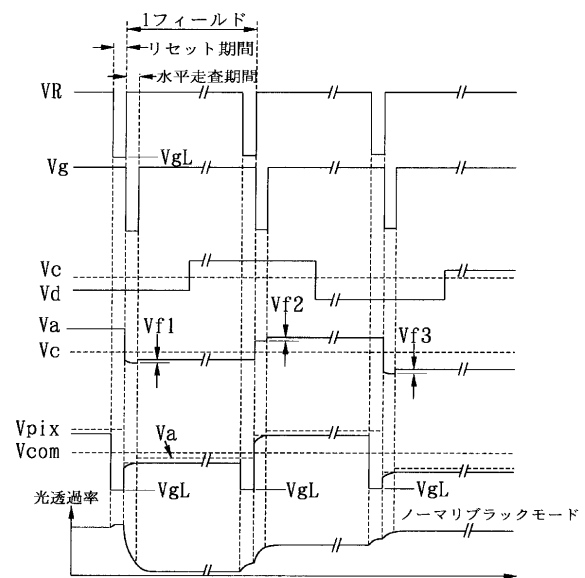
【図51】



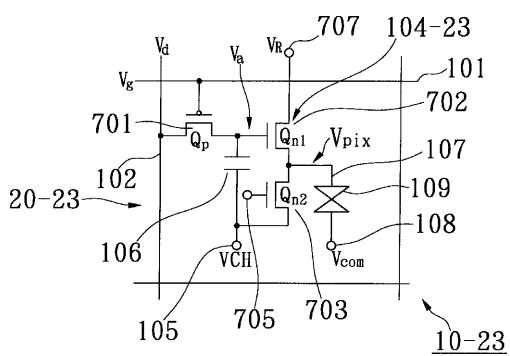
【図52】



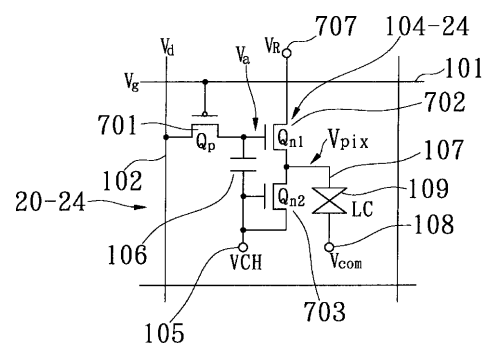
【図53】



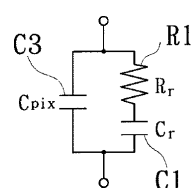
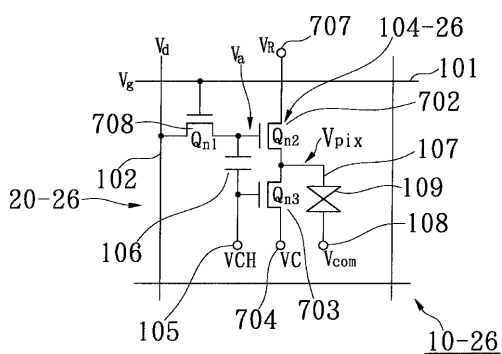
【図54】



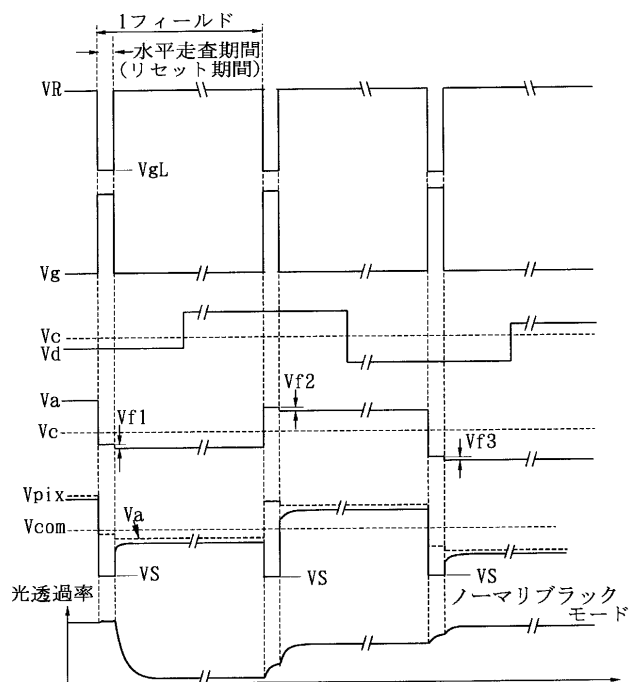
【図55】



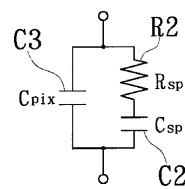
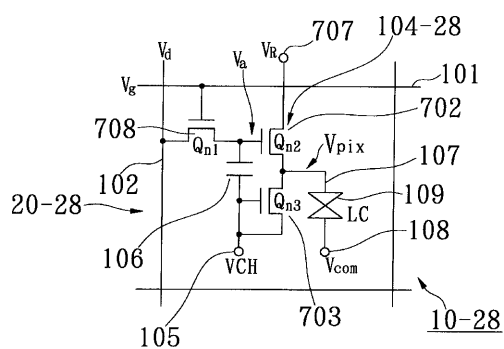
【図 7 3】



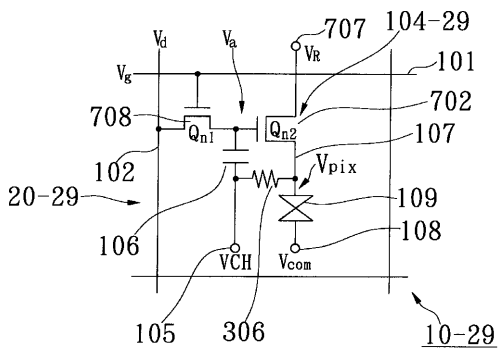
【图 5 9】



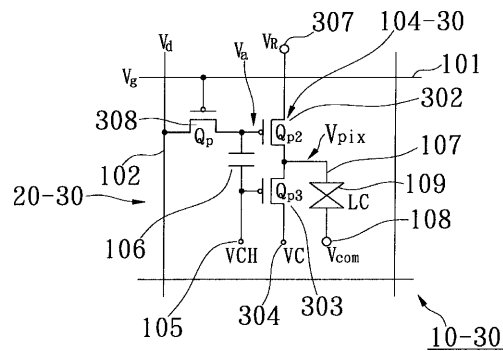
【図 7 5】



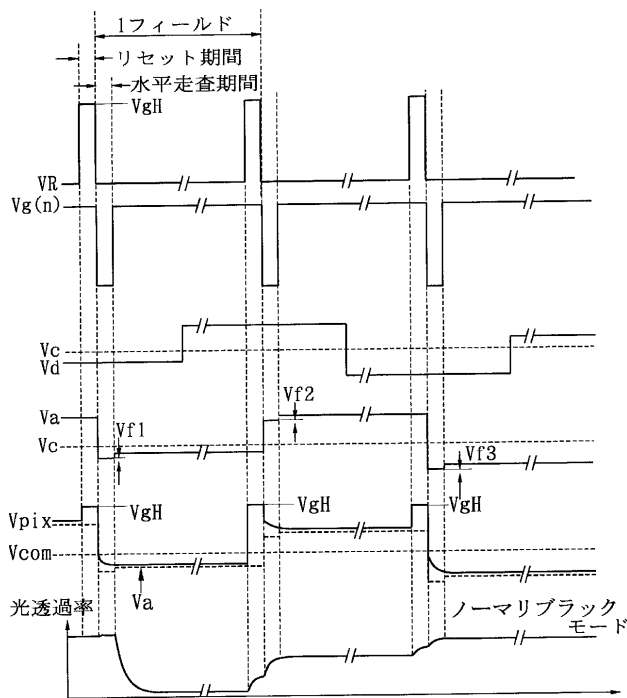
【図62】



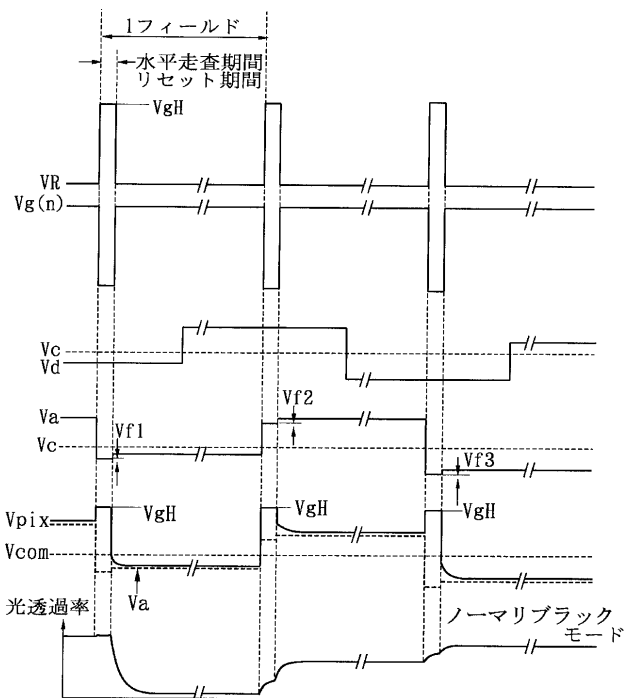
【図63】



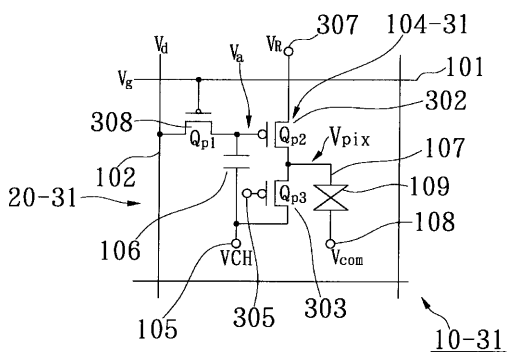
【図64】



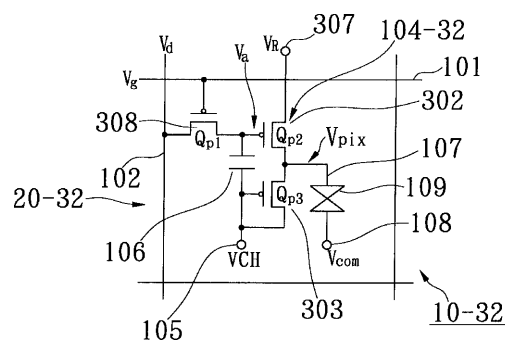
【図65】



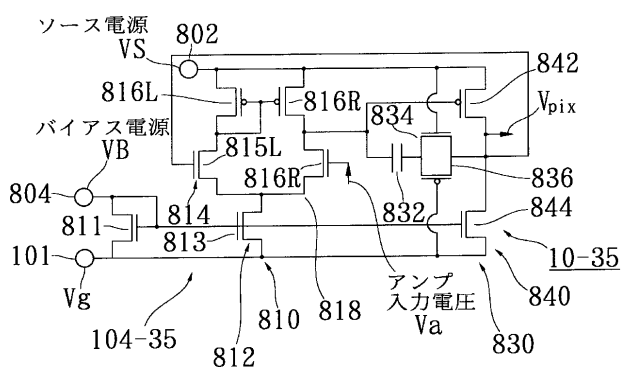
【図66】



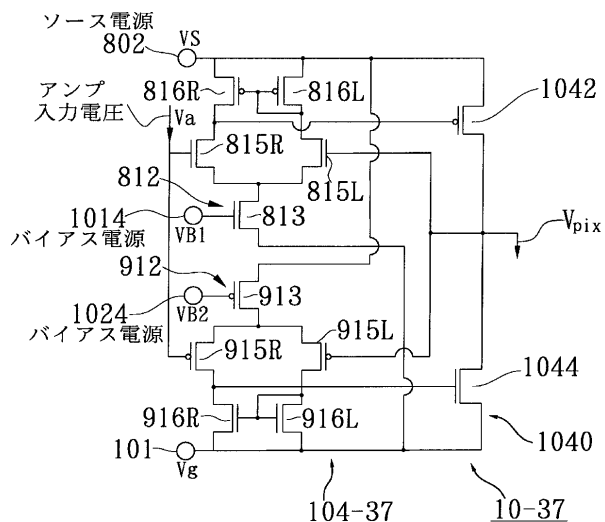
【図67】



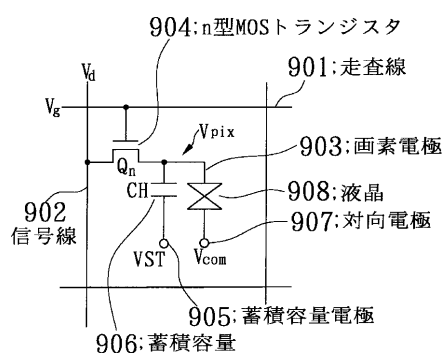
【圖 6 9】



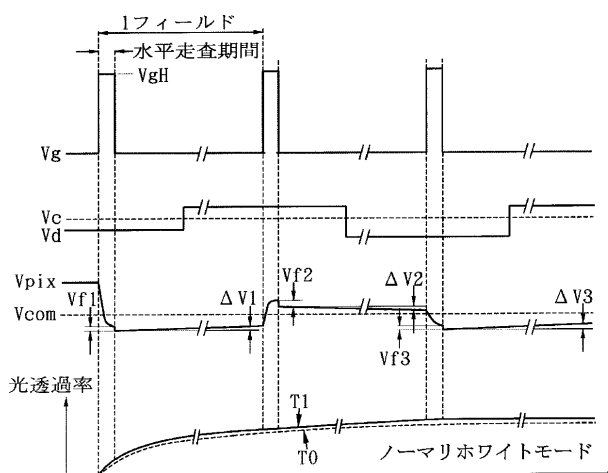
【图 7-1】



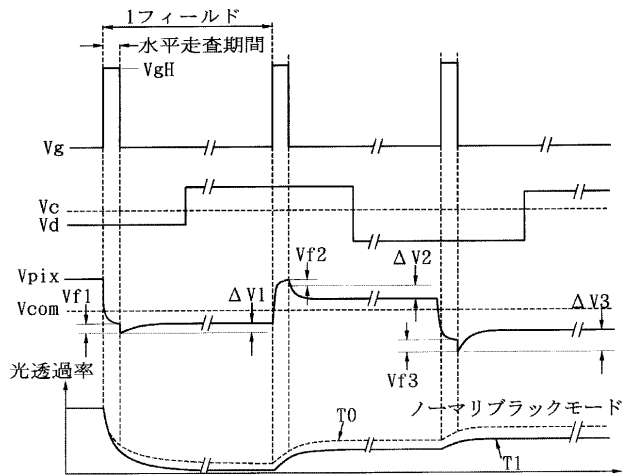
【图 7 2】



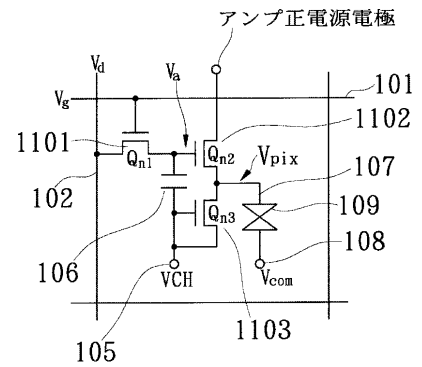
【图 7 4】



【圖 7 6】



【圖 77】



フロントページの続き

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	
H 0 1 L 27/08	3 3 1	H 0 1 L 27/08	3 3 1 E
29/786		29/78	6 1 4

Fターム(参考)	2H093	NA65	NA79	NC09	NC21	NF05
		NF17	NF20			
	5C006	AA22	AC24	AC25	AC28	AF44
		AF46	AF69	BA12	BA13	BB16
		BF25	BF34	EC05	EC08	EC11
		EC13	FA18	FA47	FA56	
	5C080	AA10	BB05	CC03	DD26	DD30
		EE29	JJ03	JJ04	JJ05	JJ06
		KK02	KK07	KK42	KK50	
	5F048	AC04	BA16			
5F110	AA04	BB01	BB04	CC02	DD02	
	HM15	NN71	NN72	NN73		

专利名称(译)	设定晶体管工作点的方法，电路，信号分量值改变方法和有源矩阵液晶显示装置		
公开(公告)号	JP2002365609A	公开(公告)日	2002-12-18
申请号	JP2001168362	申请日	2001-06-04
申请(专利权)人(译)	NEC公司		
[标]发明人	高取憲一		
发明人	高取 憲一		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H01L27/08 H01L29/786		
CPC分类号	H03K17/102 G02F1/13306 G02F1/136209 G02F1/1368 G09G3/3648 G09G2300/0833 G09G2300/0842 G09G2320/02 G09G2320/0219 G09G2320/0257 G09G2320/0261 H03K17/693		
FI分类号	G02F1/133.560 G02F1/133.550 G09G3/20.611.A G09G3/20.624.B G09G3/20.641.E G09G3/36 H01L27/08.331.E H01L29/78.614 H01L27/088.331.E		
F-TERM分类号	2H093/NA65 2H093/NA79 2H093/NC09 2H093/NC21 2H093/NF05 2H093/NF17 2H093/NF20 5C006/AA22 5C006/AC24 5C006/AC25 5C006/AC28 5C006/AF44 5C006/AF46 5C006/AF69 5C006/BA12 5C006/BA13 5C006/BB16 5C006/BF25 5C006/BF34 5C006/EC05 5C006/EC08 5C006/EC11 5C006/EC13 5C006/FA18 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD30 5C080/EE29 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK42 5C080/KK50 5F048/AC04 5F048/BA16 5F110/AA04 5F110/BB01 5F110/BB04 5F110/CC02 5F110/DD02 5F110/HM15 5F110/NN71 5F110/NN72 5F110/NN73 2H093/NC34 2H093/NC40 2H193/ZA04 2H193/ZA19 2H193/ZQ06 2H193/ZQ26		
代理人(译)	西村 征生		
其他公开文献	JP4269542B2		
外部链接	Espacenet		

摘要(译)

解决的问题：将具有多栅极结构的MOS晶体管的工作点设置为能够在很大程度上消除 I_{ds} 对 V_{ds} 的依赖性的工作点。信号线102上的数据信号电压经由通过栅极扫描电压而导通的n型MOS晶体管103保持在电压保持电容器106中，并被提供给模拟放大器电路104-1。模拟放大器电路104-1由具有双栅极结构的MOS晶体管构成，并且其工作点被设置为几乎消除了 I_{ds} 对 V_{ds} 的依赖性的工作范围。即使 V_{ds} 由于液晶109的响应而改变， I_{ds} 也几乎恒定。因此，将基本上与数据信号电压成比例的像素电压施加到液晶109。

