

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 296617

(P2002 - 296617A)

(43)公開日 平成14年10月9日(2002.10.9)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 9 2
1/133	550	1/133	2 H 0 9 3
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 0 6
	624	624	5 C 0 8 0
3/36		3/36	5 F 1 1 0
審査請求 未請求 請求項の数 3 O L (全 5 数) 最終頁に続く			

(21)出願番号 特願2001 - 94911(P2001 - 94911)

(22)出願日 平成13年3月29日(2001.3.29)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 青 木 良 朗

埼玉県深谷市幡羅町1 - 9 - 2 株式会社東芝

深谷工場内

(74)代理人 100075812

弁理士 吉武 賢次 (外 4 名)

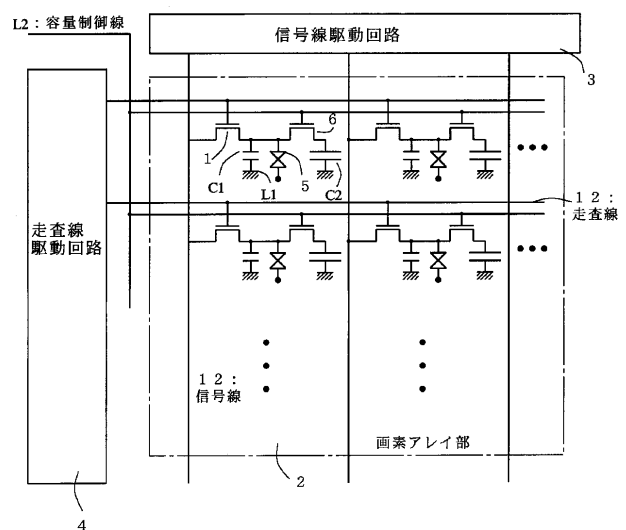
最終頁に続く

(54)【発明の名称】 表示装置および液晶表示装置

(57)【要約】

【課題】 構造を複雑にすることなく、表示品質を向上できて低消費電力化も可能な表示装置および液晶表示装置を提供する。

【解決手段】 画素アレイ部2と、信号線11を駆動する信号線駆動回路3と、走査線12を駆動する走査線駆動回路4とを備えている。画素TFT1のドレイン端子には信号線11が接続され、ソース端子と補助容量線L1との間には第1の補助容量C1が接続されている。画素TFT1のソース端子と第1の補助容量C1との接続経路には、容量制御TFT6を介して第2の補助容量C2が接続される。画素TFT1の駆動周波数が所定周波数以下になると、容量制御TFT6をオンして信号線電圧に応じた電荷を第2の補助容量C2にも蓄積するようにしたため、第1の補助容量C1に蓄積された電荷が放電してしまっても、画素電極5の電圧が変動しなくなり、表示品質の向上が図れる。



【特許請求の範囲】

【請求項 1】信号線および走査線の各交点付近にそれぞれ配設される複数のスイッチング素子を備えた表示装置において、

前記スイッチング素子を通る電流経路上に接続され、信号線電圧に応じた電荷を蓄積する第 1 および第 2 のキャパシタ素子と、

前記第 1 および第 2 のキャパシタの各一端の間の前記電流経路を遮断するか否かを切り替える切替回路と、を備えることを特徴とする表示装置。

【請求項 2】前記切替回路は、前記スイッチング素子の駆動周波数が所定の周波数以下の場合のみオンして、前記信号線の電圧に応じた電荷を対応する前記第 2 のキャパシタ素子に蓄積することを特徴とする請求項 1 に記載の表示装置。

【請求項 3】信号線および走査線の各交点付近にそれぞれ配設される複数のスイッチング素子を有するアレイ基板と、このアレイ基板に液晶材料を挟んで対向配置される対向基板と、を備えた液晶表示装置において、

前記アレイ基板は、

前記スイッチング素子を通る電流経路上に接続され、信号線電圧に応じた電荷を蓄積する第 1 および第 2 のキャパシタ素子と、

前記スイッチング素子の駆動周波数が所定の周波数より高い場合には前記第 1 および第 2 のキャパシタ素子の各一端の間の前記電流経路を遮断し、該駆動周波数が前記所定の周波数以下の場合には前記第 1 および第 2 のキャパシタ素子の各一端の間の前記電流経路を導通させる切替回路と、を備えることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号線および走査線の各交点付近に配設されたスイッチング素子を介して補助容量に電荷を蓄積する表示装置および液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、信号線および走査線が列設されたアレイ基板と、このアレイ基板に液晶材料を挟んで対向配置される対向基板とを備えている。アレイ基板内の信号線 11 および走査線 12 の各交点付近には、図 5 に示すように画素 TFT 1 (Thin Film Transistor) が配設されている。画素 TFT 1 のゲート端子は走査線 12 に接続され、ドレイン端子は信号線 11 に接続され、ソース端子と補助容量線 L1 との間には補助容量 C1 が接続されている。

【0003】画素 TFT 1 はそれぞれ予め定めた所定の周波数で順に駆動され、画素 TFT 1 がオンすると、信号線電圧に応じた電荷が補助容量 C1 に蓄積され、蓄積された電荷量に応じて液晶の輝度が変化する。

【0004】

【発明が解決しようとする課題】

通常、画素 TFT 1 は、60 Hz 程度の周波数で駆動されるが、いったん画素 TFT 1 を駆動すると、次に同じ画素 TFT 1 を駆動するまでの間、補助容量 C1 に蓄積された電荷により画素表示を行うことになる。

【0005】ところが、補助容量 C1 に蓄積された電荷は、徐々に放電するため、駆動周波数を遅くするほど、補助容量 C1 と画素電極との接続経路の電圧が低くなり、色のにじみ等が起こって表示品質が悪くなってしまう。

【0006】一方、表示品質を向上させる目的で画素 TFT 1 の駆動周波数を高くすると、消費電力が増えるという問題がある。携帯電話等のモバイル環境で使用される電子機器の場合、バッテリー駆動時間をできるだけ長くするため、液晶表示装置で消費する電力もできるだけ少ない方が望ましい。

【0007】画素 TFT 1 の駆動周波数を低くした場合の表示品質の低下を抑制する一手法として、各画素ごとに画素情報を記憶する SRAM を設ける手法が提案されている。このような SRAM を設ければ、補助容量 C1 の蓄積電荷が放電してしまっても、SRAM から画素情報を継続して読み出せるため、表示品質の低下は起きないが、SRAM を構成するトランジスタが余計に必要なため小型化が困難になるとともに製造時の歩留まりが悪くなる。また、SRAM では階調表示を実現するのが難しいという問題がある。

【0008】本発明は、このような点に鑑みてなされたものであり、その目的は、構造を複雑にすることなく、表示品質を向上できて低消費電力化も可能な表示装置および液晶表示装置を提供することにある。

【0009】

【課題を解決するための手段】上述した課題を解決するために、本発明は、信号線および走査線の各交点付近にそれぞれ配設される複数のスイッチング素子を備えた表示装置において、前記スイッチング素子を通る電流経路上に接続され、信号線電圧に応じた電荷を蓄積する第 1 および第 2 のキャパシタ素子と、前記第 1 および第 2 キャパシタの各一端の間の前記電流経路を遮断するか否かを切り替える切替回路と、を備えている。

【0010】本発明では、通常の補助容量である第 1 のキャパシタ素子の他に、大容量の第 2 キャパシタ素子を設けるため、第 1 のキャパシタ素子が放電してしまっても、第 1 のキャパシタ素子の一端の電圧低下を抑制でき、表示品質の向上が図れる。

【0011】また、信号線および走査線の各交点付近にそれぞれ配設される複数のスイッチング素子を有するアレイ基板と、このアレイ基板に液晶材料を挟んで対向配置される対向基板と、を備えた液晶表示装置において、前記アレイ基板は、前記スイッチング素子を通る電流経路上に接続され、信号線電圧に応じた電荷を蓄積する第

1 および第 2 のキャパシタ素子と、前記スイッチング素子の駆動周波数が所定の周波数より高い場合には前記第 1 および第 2 のキャパシタ素子の各一端の間の前記電流経路を遮断し、該駆動周波数が前記所定の周波数以下の場合には前記第 1 および第 2 のキャパシタ素子の各一端の間の前記電流経路を導通させる切替回路と、を備えている。

【0012】

【発明の実施の形態】以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。以下で 10 は、表示装置の一例としてポリシリコン型の液晶表示装置について説明する。

【0013】図 1 は液晶表示装置を構成するアレイ基板内の画素 TFT 周辺の回路構成を示す図、図 2 は液晶表示装置の全体構成を示すブロック図である。図 1 に示すように、本実施形態の液晶表示装置は、信号線 11 および走査線 12 が列設され信号線 11 および走査線 12 の交点付近に画素 TFT (スイッチング素子) 1 が配設された画素アレイ部 2 と、信号線 11 を駆動する信号線駆動回路 3 と、走査線 12 を駆動する走査線駆動回路 4 と 20 を備えている。画素 TFT 1 のドレイン端子には信号線 11 が接続され、ソース端子と補助容量線 L1 との間には第 1 の補助容量 (第 1 のキャパシタ素子) C1 が接続されている。この第 1 の補助容量 C1 は、従来の補助容量 Cs と同様の容量値をもつ。

【0014】図 1 中の画素アレイ部 2、信号線駆動回路 3 および走査線駆動回路 4 はいずれも、ガラス基板上にポリシリコンを材料とする TFT で形成される。

【0015】本実施形態は、画素 TFT 1 のソース端子と第 1 の補助容量 C1 との接続経路 (画素電極 5 との接 30 続経路) に、容量制御 TFT 6 を介して第 2 の補助容量 (第 2 のキャパシタ素子) C2 を接続する点に特徴がある。第 1 の補助容量 C1 は従来の補助容量と同程度の容量をもつのにに対し、第 2 の補助容量 C2 は第 1 の補助容量 C1 よりも大きい容量をもつ。

【0016】容量制御 TFT 6 のゲート端子は、容量制御線 (切替回路) L2 に接続されている。この容量制御線 L2 には、例えば不図示のホスト装置からの信号が供給される。あるいは、容量制御 TFT 6 を制御する信号をアレイ基板内で生成してもよい。

【0017】容量制御線 L2 の論理により、容量制御 TFT 6 は、画素 TFT 1 の駆動周波数が所定の周波数 (例えば、60 Hz) 以下の場合のみ、オンするように制御される。

【0018】容量制御 TFT 6 がオフの間、すなわち画素 TFT 1 の駆動周波数が所定の周波数を超えるときは、第 1 の補助容量 C1 のみに信号線電圧に応じた電荷が蓄積される。また、容量制御 TFT 6 がオンの間、すなわち画素 TFT 1 の駆動周波数が所定の周波数以下のときは、第 1 および第 2 の補助容量 C1, C2 に信号線 50

電圧に応じた電荷が蓄積される。

【0019】第 2 の補助容量 C2 は、第 1 の補助容量 C1 よりも容量値が大きいいため、画素 TFT 1 の駆動周波数が遅くても、次に同じ画素 TFT 1 を駆動するまでの間に第 2 の補助容量 C2 に蓄積された電荷が放電しきってしまうおそれはない。したがって、画素電極 5 の電圧が変動しなくなり、表示品質の向上が図れる。

【0020】図 3 は本実施形態のアレイ基板の平面レイアウト図である。図 3 の太実線で囲まれた部分が一画素分の領域 10 を示している。この領域 10 の図示左右方向境界位置には信号線 11 が配設され、図示上下方向には補助容量線 L1 が配設されている。

【0021】一画素領域内の画素 TFT 1 のゲート端子は走査線 12 に接続され、ドレイン端子は信号線 11 に接続され、ソース端子は第 1 の補助容量 C1 の一端と容量制御 TFT 6 のドレイン端子に接続されるとともに、コンタクトホール (C/H) 13 を介して画素電極 5 に接続されている。

【0022】容量制御 TFT 6 のソース端子は、第 2 の補助容量 C2 の一端に接続されている。第 1 および第 2 の補助容量 C1, C2 の他端はいずれも補助容量線 L1 に接続されている。

【0023】一方、図 4 は容量制御 TFT と第 2 の補助容量を持たない従来のアレイ基板の平面レイアウト図である。従来のアレイ基板の場合、一画素領域内の走査線 12 よりも下側のほとんどの領域には画素電極 5 が配置されている。本実施形態は、従来画素電極 5 を配置していた領域の一部を利用して容量制御 TFT 6 と第 2 の補助容量 C2 を形成するため、一画素領域のサイズを変更しなくても、従来と同様の表示解像度が得られる。また、画素 TFT 1 や第 1 の補助容量 C1 等は従来と同様に構成されるため、従来と同様の製造プロセス技術を用いることができる。

【0024】このように、本実施形態では、従来と同構造の第 1 の補助容量 C1 の他に、大容量の第 2 の補助容量 C2 を設け、画素 TFT 1 の駆動周波数が所定周波数以下になると、容量制御 TFT 6 をオンして信号線電圧に応じた電荷を第 2 の補助容量 C2 にも蓄積するようにしたため、第 1 の補助容量 C1 に蓄積された電荷が放電してしまっても、画素電極 5 の電圧が変動しなくなり、表示品質の向上が図れる。

【0025】また、第 2 の補助容量 C2 は、従来画素電極 5 を形成していた領域に形成されるため、一画素分の領域は従来と変わりがなく、従来と同様の製造プロセスで製造可能である。

【0026】さらに、補助容量の電荷放電を補うために一画素領域内に SRAM を設ける方式と比較すると、一画素領域の構造を大幅に簡略化できるため、表示解像度を高くすることができるとともに、SRAM では技術的に困難な多階調表示も容易に実現できる。また、SRAM を用いるよ

りも、さらに消費電力を低減できる。

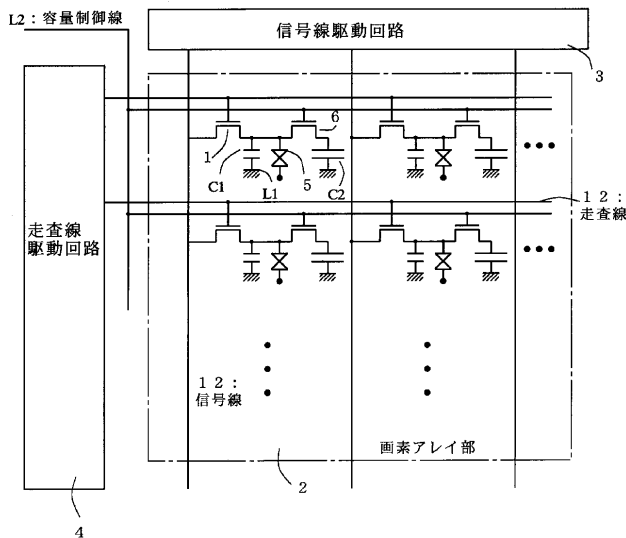
【0027】上述した実施形態において、第2の補助容量C2のサイズや形成場所は図3に示した例に限定されない。また、上述した実施形態では、ガラス基板上にポリシリコン型のTFTを形成する例を説明したが、本発明は他のプロセスで形成したTFT（例えば、アモルファスシリコン型のTFT）にも同様に適用可能である。

【0028】

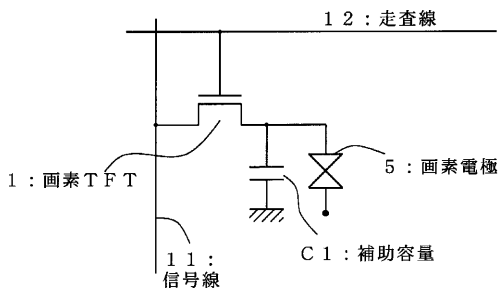
【発明の効果】以上詳細に説明したように、本発明によれば、通常の補助容量である第1のキャパシタ素子の他に、第2のキャパシタ素子を設けるため、スイッチング素子の駆動周波数が低くて第1のキャパシタ素子が放電してしまっても、第1のキャパシタ素子の一端の電圧が低下しなくなり、表示品質を向上できる。

【0029】また、本発明は、一画素領域内にSRAMを設けて第1のキャパシタ素子の電荷放電を補う場合に比べて、構造を簡略化できるため、その分表示解像度を高くできるとともに、消費電力も低減できる。また、SRAMでは技術的に困難であった多階調表示も容易に実現できる。

【図1】



【図5】



*【図面の簡単な説明】

【図1】液晶表示装置を構成するアレイ基板内の画素TFT周辺の回路構成を示す図。

【図2】液晶表示装置の全体構成を示すブロック図。

【図3】本実施形態のアレイ基板の平面レイアウト図。

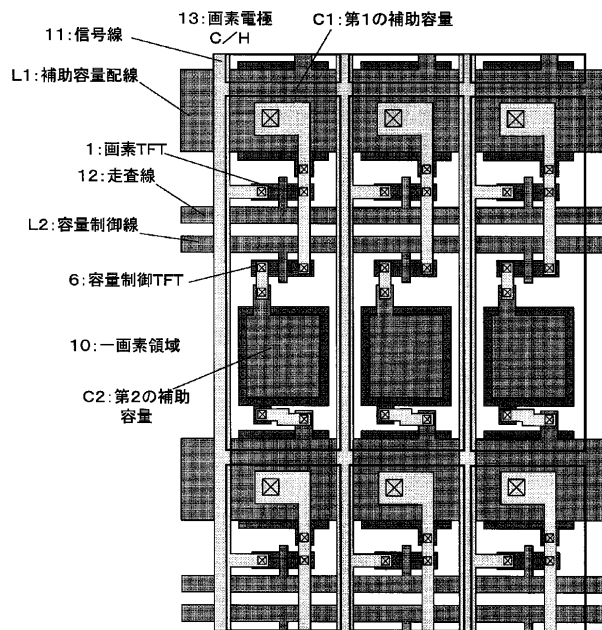
【図4】容量制御TFTと第2の補助容量を持たない従来のアレイ基板の平面レイアウト図。

【図5】従来の液晶表示装置の画素TFT周辺の回路構成を示す図。

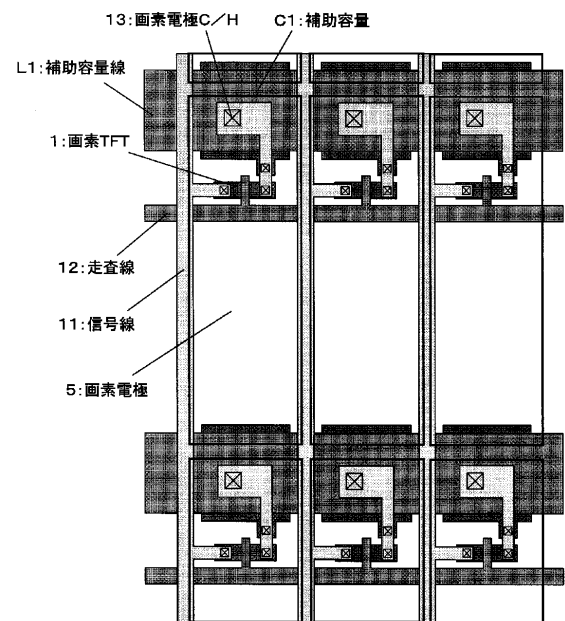
【符号の説明】

- 1 画素TFT
- 2 画素アレイ部
- 3 信号線駆動回路
- 4 走査線駆動回路
- 5 画素電極
- 6 容量制御TFT
- 11 信号線
- 12 走査線
- L1 補助容量線
- L2 容量制御線

【図3】



【図4】



フロントページの続き

(51)Int.Cl.⁷

H 0 1 L 29/786
21/336

識別記号

F I

H 0 1 L 29/78

テ-マコード^{*}(参考)

6 1 2 Z
6 1 4

F タ-ム(参考) 2H092 GA12 JA24 JB42 JB62 JB67
JB69 NA01 NA26
2H093 NA16 NA51 NC34 NC35 NC40
NC90 ND06 ND39 ND60 NH16
5C006 AC25 AF51 BB16 BC02 BC03
BC06 FA18 FA26 FA36 FA47
FA54 FA56
5C080 AA10 BB05 DD01 DD26 FF12
JJ02 JJ03 JJ06
5F110 AA09 AA30 BB01 DD02 GG02
GG13 GG15 NN72 NN73

专利名称(译)	显示装置和液晶显示装置		
公开(公告)号	JP2002296617A	公开(公告)日	2002-10-09
申请号	JP2001094911	申请日	2001-03-29
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	青木良朗		
发明人	青 木 良 朗		
IPC分类号	G02F1/1368 G02F1/133 G09G3/20 G09G3/36 H01L21/336 H01L29/786		
FI分类号	G02F1/1368 G02F1/133.550 G09G3/20.611.A G09G3/20.624.B G09G3/36 H01L29/78.612.Z H01L29/78.614		
F-TERM分类号	2H092/GA12 2H092/JA24 2H092/JB42 2H092/JB62 2H092/JB67 2H092/JB69 2H092/NA01 2H092/NA26 2H093/NA16 2H093/NA51 2H093/NC34 2H093/NC35 2H093/NC40 2H093/NC90 2H093/ND06 2H093/ND39 2H093/ND60 2H093/NH16 5C006/AC25 5C006/AF51 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/FA18 5C006/FA26 5C006/FA36 5C006/FA47 5C006/FA54 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD26 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ06 5F110/AA09 5F110/AA30 5F110/BB01 5F110/DD02 5F110/GG02 5F110/GG13 5F110/GG15 5F110/NN72 5F110/NN73 2H192/AA24 2H192/BC31 2H192/CB22 2H192/DA12 2H192/DA65 2H192/FB02 2H192/GD61 2H193/ZA04 2H193/ZA19 2H193/ZD21		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种显示装置和液晶显示装置，该显示装置和液晶显示装置能够在不使结构复杂的情况下提高显示质量并减少功耗。提供像素阵列部分（2），驱动信号线（11）的信号线驱动电路（3）和驱动扫描线（12）的扫描线驱动电路（4）。信号线11连接到像素TFT1的漏极端子，并且第一辅助电容C1连接在源极端子和辅助电容线L1之间。第二辅助电容C2经由电容控制TFT6连接至像素TFT1的源极端子与第一辅助电容C1之间的连接路径。当像素TFT1的驱动频率变得等于或低于预定频率时，电容控制TFT6导通，使得与信号线电压相对应的电荷也被存储在第二辅助电容C2中。即使放电，像素电极5的电压也不会变动，能够提高显示质量。

