

(19)日本国特許庁（ J P ）

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 140045

(P2002 - 140045A)

(43)公開日 平成14年5月17日(2002.5.17)

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト* (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	525	G 0 2 F 1/133	5 C 0 0 6
	550		5 C 0 8 0
	575		
G 0 9 G 3/20	611	G 0 9 G 3/20	611 A

審査請求 未請求 請求項の数 8 O L (全 9 数) 最終頁に続く

(21)出願番号 特願2000 - 333517(P2000 - 333517)

(22)出願日 平成12年10月31日(2000.10.31)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(72)発明者 鷗戸 真也

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(72)発明者 國分 政利

神奈川県川崎市中原区上小田中4丁目1番1号

富士通株式会社内

(74)代理人 100092587

弁理士 松本 眞吉

最終頁に続く

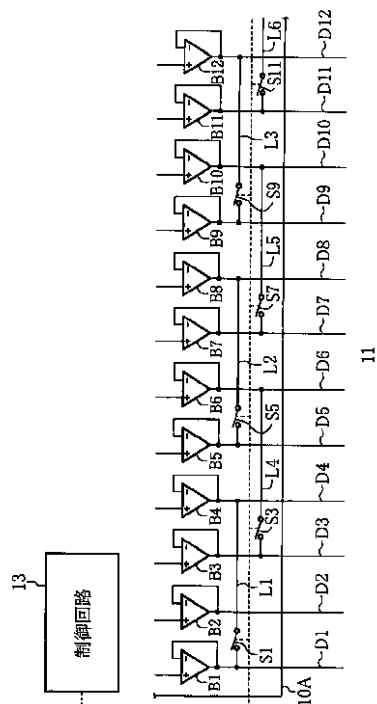
(54)【発明の名称】 液晶表示装置用データドライバ

(57)【要約】

【課題】回路面積の増大を抑制する。

【解決手段】ドット反転駆動方式のデータドライバ10Aにおいて、電圧バッファアンプB1～B12の出力端がそれぞれ液晶表示パネルのデータバスラインD1～D12に接続され、同一表示色に関する隣り合うデータバスライン間の1つおきに短絡スイッチ素子S1、S3、S5、S7、S9及びS11が接続され、その第1行の配線と第2行の配線とが交互に配置されている。これら短絡スイッチ素子は、データラインの1つおきにその一方側に形成されている。電圧バッファアンプの出力がハイインピーダンス状態の時に該短絡スイッチ素子が制御回路13によりオンにされる。

本発明の第2実施形態のデータドライバの出力段を示す回路図



【特許請求の範囲】

【請求項 1】 アナログ階調電圧を出力する電圧バッファ増幅回路を備え、同一表示色に関する隣り合うデータバスライン間で極性が逆になるように該アナログ階調電圧を該データバスラインに印加する液晶表示装置用データドライバにおいて、同一表示色に関する隣り合うデータバスライン間に間欠的に接続された短絡スイッチ素子と、該電圧バッファ増幅回路の出力又は該電圧バッファ増幅回路と該データバスラインとの間がハイインピーダンス状態の時に該短絡スイッチ素子をオンにする制御回路と、を有することを特徴とする液晶表示装置用データドライバ。

【請求項 2】 上記短絡スイッチ素子は、上記同一表示色に関する隣り合うデータバスライン間の 1 つおきに接続されていることを特徴とする請求項 1 記載の液晶表示装置用データドライバ。

【請求項 3】 上記短絡スイッチ素子を接続する第 1 行の配線と第 2 行の配線とが交互に配置されていることを特徴とする請求項 2 記載の液晶表示装置用データドライバ。

【請求項 4】 上記短絡スイッチ素子は、上記第 1 行と上記第 2 行の各々について、隣り合う第 1 及び第 2 の短絡スイッチ素子の一端がそれぞれ隣り合う第 1 及び第 2 のデータラインに接続されていることを特徴とする請求項 3 記載の液晶表示装置用データドライバ。

【請求項 5】 上記短絡スイッチ素子は、上記データラインの 1 つおきにその一方側に形成されていることを特徴とする請求項 4 記載の液晶表示装置用データドライバ。

【請求項 6】 上記短絡スイッチ素子の各々は、第 3 行に形成された NMOS トランジスタと第 4 行に形成された PMOS トランジスタとが並列接続されたものであることを特徴とする請求項 5 記載の液晶表示装置用データドライバ。

【請求項 7】 上記第 1 及び第 2 行の配線は、上記第 3 及び第 4 行のトランジスタの間の領域であることを特徴とする請求項 6 記載の液晶表示装置用データドライバ。

【請求項 8】 複数のデータラインと複数の走査ラインとを有する液晶表示パネルと、該複数のデータラインに接続された請求項 1 乃至 7 のいずれか 1 つに記載の液晶表示装置用データドライバと、該複数の走査ラインに接続された走査駆動回路と、を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アナログ階調電圧を出力する電圧バッファ増幅回路を備え、同一表示色に関する隣り合うデータバスライン間で極性が逆になるよ

うに該アナログ階調電圧を該データバスラインに印加する液晶表示装置用データドライバに係り、特にドット反転駆動方式の液晶表示装置に用いられるデータドライバに関する。

【0002】

【従来の技術】図 8 は、液晶表示パネルのデータバスラインに接続される従来のデータドライバ 10X の出力段を示す。

【0003】データドライバ 10X の電圧バッファアンプ B1 ~ B12 は、電圧ホロアであり、これらの出力端はそれぞれ液晶表示パネルのデータバスライン D1 ~ D12 に接続されている。データドライバ 10X は、ドットライン駆動方式である。すなわち、隣り合うデータバスライン間で極性が逆になり、かつ、各データバスラインについて 1 水平期間毎に極性が逆になるように、表示データに応じたアナログ階調電圧が電圧バッファアンプ B1 ~ B12 から出力される。ドット反転駆動方式によれば、データバスラインと走査バスラインのクロス容量に起因する画素電極の電位変動が相殺され、また、対向電極のコモン電位が安定するので、フリッカが軽減される。

【0004】しかし、電圧バッファアンプ B1 ~ B12 の充放電電流が大きいので、消費電力が増大する。

【0005】そこで、データバスラインに蓄積された電荷を有効利用して消費電力を低減するために、データバスライン D1 ~ D12 とコモンライン CL との間にそれぞれ短絡スイッチ素子 S1 ~ S12 が接続されている。水平ブランキング期間において電圧バッファアンプ B1 ~ B12 の出力がハイインピーダンス状態にされ、この時、短絡スイッチ素子 S1 ~ S12 が同時にオンにされる。これにより、データバスライン D1 ~ D12 の電位が、液晶表示パネルの対向電極のコモン電位にほぼ等しくなるので、電圧バッファアンプ B1 ~ B12 の消費電流を半減することができる。

【0006】しかしながら、電圧バッファアンプの各々に短絡スイッチ素子を備える必要があるため、データドライバ 10X の面積が増大し、データバスラインの高密度化が妨げられる。

【0007】図 9 は、特開平 10 - 282940 に開示されたドット反転駆動方式のデータドライバ 10Y を示す。

【0008】この回路では、隣り合うバスライン間の 1 つおきに短絡スイッチ素子 S1 ~ S9 が接続されている。この回路によれば、短絡スイッチ素子の数が図 8 のその半分になるので、上記問題が解決される。

【0009】

【発明が解決しようとする課題】しかし、隣り合うバスラインには異なる色信号が供給されるので、相関がなく、データバスラインに蓄積された電荷の利用効率が良くない。例えば、ある水平期間においてデータバスライ

ン D 1 ~ D 6 の電位が図 10 に示すようになり、次の水平ブランキング期間で短絡スイッチ素子 S 1、S 3 及び S 5 がオンになると、これらの電位は図 11 に示す如くになって、対向電極のコモン電位 VCOM との間に差が生じ、図 8 の場合よりもデータドライバ 10 Y の消費電力が増大する。また、コモン電位 VCOM が変動してフリッカが生ずる原因となる。

【0010】本発明の目的は、上記問題点に鑑み、回路面積の増大を抑制することができると共に、消費電力を低減し且つフリッカを軽減することが可能な液晶表示装置用データドライバを提供することにある。

【0011】

【課題を解決するための手段及びその作用効果】本発明による液晶表示装置用データドライバの第 1 態様では、同一表示色に関する隣り合うデータバスライン間に間欠的に短絡スイッチ素子が接続され、電圧バッファ増幅回路の出力又は該電圧バッファ増幅回路と該データバスラインとの間がハイインピーダンス状態の時に該短絡スイッチ素子がオンにされる。

【0012】隣り合う同一色の画素データ信号は、逆極性であり、絶対値がほぼ同一である確率が高い。特に背景画像の領域でこの確率が高い。したがって、この液晶表示装置用データドライバによれば、短絡スイッチ素子のオンによりデータバスラインの電位が液晶表示パネルの対向電極のコモン電位にほぼ等しくなり、電圧バッファアンプの消費電流を、隣り合うデータバスライン間に間欠的に短絡スイッチ素子を接続した場合よりも低減することができる。

【0013】また、該コモン電位が安定するので、隣り合うデータバスライン間に間欠的に短絡スイッチ素子を接続した場合よりもフリッカが軽減して画質が向上する。

【0014】さらに、短絡スイッチ素子の数が、隣り合うデータバスライン間の全てに短絡スイッチ素子を接続した場合よりも少ないので、データドライバの回路面積を低減することができる。

【0015】本発明による液晶表示装置用データドライバの第 2 態様では、上記第 1 態様において、上記短絡スイッチ素子を接続する第 1 行の配線と第 2 行の配線とが交互に配置されている。

【0016】この液晶表示装置用データドライバによれば、短絡スイッチ素子及びその配線の密度がほぼ一樣になるように配置されるので、データドライバの回路面積をさらに狭くし、且つ、データバスラインをより高密度化することができる。

【0017】本発明による液晶表示装置用データドライバの第 3 態様では、上記第 2 態様において、上記短絡スイッチ素子が上記データラインの 1 つおきにその一方側に形成されている。

【0018】この液晶表示装置用データドライバによれ

ば、上記効果がさらに高められる。

【0019】本発明の他の目的、構成及び効果は以下の説明から明らかになる。

【0020】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。

【0021】[第 1 実施形態] 図 1 は、本発明の第 1 実施形態の液晶表示装置の概略構成を示す。図 1 では簡単化のために、液晶表示パネル 11 の画素配列が 4 行 6 列の場合を示している。

【0022】液晶表示パネル 11 では、不図示の 1 対のガラス基板が対向して配置され、その間に液晶が封入されている。その一方のガラス基板上には、画素電極がマトリックス状に配列され、各画素について薄膜トランジスタが形成され、第 1 ~ 4 行の薄膜トランジスタに対しそれぞれ走査バスライン（ゲートライン）G 1 ~ G 4 が形成され、第 1 ~ 6 列の薄膜トランジスタに対しそれぞれデータバスライン D 1 ~ D 6 が形成され、走査バスライン G 1 ~ G 4 とデータバスライン D 1 ~ D 6 とが絶縁膜を介し交差している。他方のガラス基板上には、全画素に共通の透明べた電極が形成され、これにコモン電位 VCOM が印加される。例えば第 1 行第 1 列の液晶画素 C 11 については、その画素電極とデータバスライン D 1 との間に薄膜トランジスタ T 11 が接続され、薄膜トランジスタ T 11 のゲートが走査バスライン G 1 に接続され、液晶画素 C 11 の対向電極にコモン電位 VCOM が印加される。

【0023】液晶表示パネル 11 のデータバスライン D 1 ~ D 6 はデータドライバ 10 の出力端子に接続され、液晶表示パネル 11 の走査バスライン G 1 ~ G 4 は走査ドライバ 12 の出力端子に接続されている。

【0024】制御回路 13 は、供給されるビデオ信号 VS、ピクセルクロック CLK、水平同期信号 HSYNC 及び垂直同期信号 VSYNC に基づき、タイミング信号を生成してデータドライバ 10 及び走査ドライバ 12 に供給すると共に、データドライバ 10 にビデオ信号を供給する。

【0025】走査ドライバ 12 により走査バスライン G 1 ~ G 4 が線順次に活性化され、選択行の画素の信号電荷がデータドライバ 10 により更新される。データドライバ 10 は、データバスライン D 1 ~ D 6 へ表示データ信号を同時に供給し、これを 1 水平期間毎に更新する。

【0026】データドライバ 10 は、ドット反転駆動方式である。すなわち、隣り合うデータバスライン間で極性が逆になり、かつ、各データバスラインについて 1 水平期間毎に極性が逆になるように、表示データに応じたアナログ階調電圧がデータドライバ 10 から出力される。図 2 (A) 及び図 2 (B) はそれぞれ、奇数フレーム及び偶数フレームの画素電圧極性分布を示す。

【0027】図 3 は、データドライバ 10 の出力段の構

成を示す。データバスラインの本数は実際には、例えば $1024 \times 3 = 3072$ であり、図 3 ではそのうちデータバスライン D1 ~ D12 のみ示す。

【0028】液晶表示パネル 11 上のデータバスライン D1 ~ D12 はそれぞれ、データドライバ 10 の、電圧ホロアで構成された電圧バッファアンプ B1 ~ B12 の出力端子に接続されている。赤 (R)、緑 (G) 及び青 (B) 色信号のデータバスラインはいずれも、3 つおきに配置されている。

【0029】短絡スイッチ素子 S1 は、同一表示色に関する隣合うデータバスライン間の 1 つおきに接続されている。すなわち、隣り合う R のデータバスライン D1 と D4 との間に短絡スイッチ素子 S1 が接続され、その次に隣り合う R のデータバスライン D4 と D7 との間には短絡スイッチ素子が接続されず、次に隣り合う R のデータバスライン D7 と D10 との間に短絡スイッチ素子 S7 が接続されている。同様に、隣り合う G のデータバスライン D2 と D5 との間に短絡スイッチ素子 S2 が接続され、隣り合う G のデータバスライン D8 と D11 との間に短絡スイッチ素子 S8 が接続されている。また、隣り合う B のデータバスライン D3 と D6 との間に短絡スイッチ素子 S3 が接続され、隣り合う B のデータバスライン D9 と D12 との間に短絡スイッチ素子 S9 が接続されている。

【0030】制御回路 13 は、各水平ブランキング期間において、電圧バッファアンプ B1 ~ B12 の出力をハイインピーダンス状態にし、この時、短絡スイッチ素子 S1 ~ S3 及び S7 ~ S9 を同時にオンにする。

【0031】隣り合う同一色の画素データ信号は、逆極性であり、絶対値がほぼ同一である確率が高い。特に背景画像の領域でこの確率が高い。これにより、データバスライン D1 ~ D12 の電位がほぼコモン電位 VCOM となるので、電圧バッファアンプ B1 ~ B12 の消費電流を、短絡スイッチ素子が無い場合のほぼ半分に減ずることができる。また、対向電極のコモン電位 VCOM が安定して、フリッカが図 9 の場合よりも軽減する。さらに、短絡スイッチ素子の数が図 8 の場合の半分であるので、データドライバ 10 の回路面積を低減することができる。

【0032】[第 2 実施形態] 図 4 は、本発明の第 2 実施形態のデータドライバ 10 A の出力段構成を示す。

【0033】この回路では、短絡スイッチ素子を接続する第 1 行の配線 L1 ~ L3 と第 2 行の配線 L4 ~ L6 とが交互に配置されている。

【0034】また、第 1 行と第 2 行の各々について、隣り合う短絡スイッチ素子 S1 の一端がそれぞれ隣り合うデータラインに接続されている。すなわち、短絡スイッチ素子 S1 と S5 の一端がそれぞれデータバスライン D4 と D5 に接続され、短絡スイッチ素子 S5 と S9 の一端がそれぞれデータバスライン D8 と D9 に接続され、

短絡スイッチ素子 S3 と S7 の一端がそれぞれデータバスライン D6 と D7 に接続され、短絡スイッチ素子 S7 と S11 の一端がそれぞれデータバスライン D10 と D11 に接続されている。

【0035】短絡スイッチ素子 S1、S3、S5、S7、S9 及び S11 は、制御回路 13 により上記第 1 実施形態と同様に制御される。

【0036】本第 2 実施形態によれば、上記第 1 実施形態と同じ効果が得られる。さらに、短絡スイッチ素子の配線が第 1 行と第 2 行のみに、配線密度がほぼ一樣になるように配置され、短絡スイッチ素子の配置密度もほぼ一樣であるので、データドライバ 10 A の面積を図 3 の場合よりも狭くし、且つ、データバスライン D1 ~ D12 をより高密度化することができる。

【0037】[第 3 実施形態] 図 5 は、本発明の第 3 実施形態のデータドライバ 10 B の一部を示す。

【0038】正極性電圧バッファアンプ PB1 ~ PB3 は、コモン電位 VCOM (例えば 5V) よりも高い (H 側) 電圧を出力するためのものであり、負極性電圧バッファアンプ NB1 ~ NB3 はコモン電位 VCOM よりも低い (L 側) 電圧を出力するためのものである。このように電圧バッファアンプを H 側用と L 側用とに分けているのは、出力振幅を狭くしてその構成を簡単化するためである。

【0039】正極性電圧バッファアンプ PB1 と負極性電圧バッファアンプ NB1 の出力を水平期間 (1H) 毎に切り換えて出力端子 T1 と T2 に供給するために、正極性電圧バッファアンプ PB1 の出力端と出力端子 T1 及び T2 との間にそれぞれ転送ゲート P1 及び P2 が接続され、負極性電圧バッファアンプ NB1 の出力端と出力端子 T1 及び T2 との間にそれぞれ転送ゲート N1 及び N2 が接続されている。転送ゲート P1、P2、N1 及び N2 が 1 組の切換スイッチを構成している。他の電圧バッファアンプと出力端子との間の切換スイッチについても同様である。これら切換スイッチと出力端子 T1 ~ T6 との間の配線には、図 4 の場合と同様に、短絡スイッチ素子 S1、S4 及び S5 が接続されている。

【0040】図 5 中の点線より下側の回路 20 のパターンを図 6 に示す。図 6 中の電極 A ~ F、I ~ T 及び U ~ W は、図 5 中の同じ符号の位置に対応している。

【0041】図 5 中の各転送ゲートは、PMOS トランジスタと NMOS トランジスタとが並列接続された構成であり、PMOS トランジスタは領域 21 に形成され、NMOS トランジスタは領域 22 に形成されている。

【0042】例えば転送ゲート P1 の PMOS トランジスタは、電極 A と I とその間の黒線で示すゲートとを有し、転送ゲート N1 の PMOS トランジスタは、電極 A と J とその間の黒線で示すゲートとを有している。転送ゲート P1 及び N1 の NMOS トランジスタは、NMOS トランジスタ領域 22 のこれらに対応する部分を有す

る。

【0043】短絡スイッチ素子S1のPMOSTランジスタは、電極AとUとその間の黒線で示すゲートとを有し、短絡スイッチ素子S3のPMOSTランジスタは、電極CとVとその間の黒線で示すゲートとを有し、短絡スイッチ素子S5のPMOSTランジスタは、電極EとWとその間の黒線で示すゲートとを有し、短絡スイッチ素子S1、S3及びS5のNMOSTランジスタは、NMOSTランジスタ領域22のこれらに対応する部分を有する。電極Uは、第1行の配線L1により、電極Dに接続され、電極Vは、第2行の配線L4により電極Fに接続され、電極Wは、第1行の配線L5に接続されている。

【0044】短絡スイッチ素子がデータラインの1つおきにその一方側に形成され、短絡スイッチ素子を接続する配線L1、L4及びL5が、PMOSTランジスタ領域21とNMOSTランジスタ領域22の間の第1行と第2行のみに、配線密度がほぼ一樣になるように配置されているので、回路20の面積を狭くし且つデータバスラインの一部である出力端子T1～T6を高密度化することができる。

【0045】図5に戻って、正極性電圧セクタPS1～PS3はそれぞれ、レジスタR1、R3及びレジスタR5の出力値に応じて正極性階調電圧VP31～VP0の1つを選択し、正極性電圧バッファアンプPB1～PB3に供給する。同様に、負極性電圧セクタNS1～NS3はそれぞれ、レジスタR2、R4及びレジスタR6の出力値に応じて負極性階調電圧VN31～VN0の1つを選択し、負極性電圧バッファアンプNB1～NB3に供給する。レジスタR1～R6のクロック入力端には、ラッチ信号LTが供給される。

【0046】図7は、図5の出力段の動作を示す波形図である。

【0047】ラッチ信号LTは1H毎のパルスであり、このパルスの立ち上がりでレジスタR1～R6に画素データがラッチされる。ラッチ信号LTのパルス期間では、転送ゲートP1～P6及びN1～N6がオフであり、電圧バッファアンプと出力端子との間がハイインピーダンス状態になる。この時、短絡スイッチ素子S1、S3及びS5がオンになって、短絡スイッチ素子で接続された端子の電圧が平均化される。

【0048】なお、本発明には外にも種々の変形例が含まれる。例えば、電圧バッファアンプはソースホロア回路であってもよい。また、データドライバは、薄膜トランジスタを用いて液晶表示パネルと一体的に形成したものであってもよい。

【図面の簡単な説明】

【図1】本発明の第1実施形態の液晶表示装置の概略構

成を示す回路図である。

【図2】(A)及び(B)はそれぞれ奇数フレーム及び偶数フレームの画素電圧極性分布を示す図である。

【図3】図1中のデータドライバの出力段を示す回路図である。

【図4】本発明の第2実施形態のデータドライバの出力段を示す回路図である。

【図5】本発明の第3実施形態のデータドライバの一部を示す回路図である。

【図6】図5中の点線より下側の回路のレイアウト図である。

【図7】図5の出力段の動作を示す波形図である。

【図8】液晶表示パネルのデータバスラインに接続される従来のデータドライバの出力段を示す回路図である。

【図9】従来の他のデータドライバの出力段を示す回路図である。

【図10】ある水平期間における図9中のデータバスラインD1～D6の電位説明図である。

【図11】図10の状態からデータバスライン間短絡スイッチ素子がオンになった後のデータバスラインD1～D6の電位説明図である。

【符号の説明】

10、10A、10B、10X、10Y データドライバ

11 液晶表示パネル

12 走査ドライバ

13 制御回路

20 回路

21 PMOSTランジスタ領域

22 NMOSTランジスタ領域

T11 薄膜トランジスタ

C11 液晶画素

D1～D6 データバスライン

G1～G4 走査バスライン

VCOM コモン電位

B1～B9、B10～B12 電圧バッファアンプ

S1～S9、S10～S12 短絡スイッチ素子

R1～R6 レジスタ

PS1～PS3 正極性電圧セクタ

NS1～NS3 負極性電圧セクタ

PB1～PB3 正極性電圧バッファアンプ

NB1～NB3 負極性電圧バッファアンプ

P1～P6、N1～N6 転送ゲート

T1～T6 出力端子

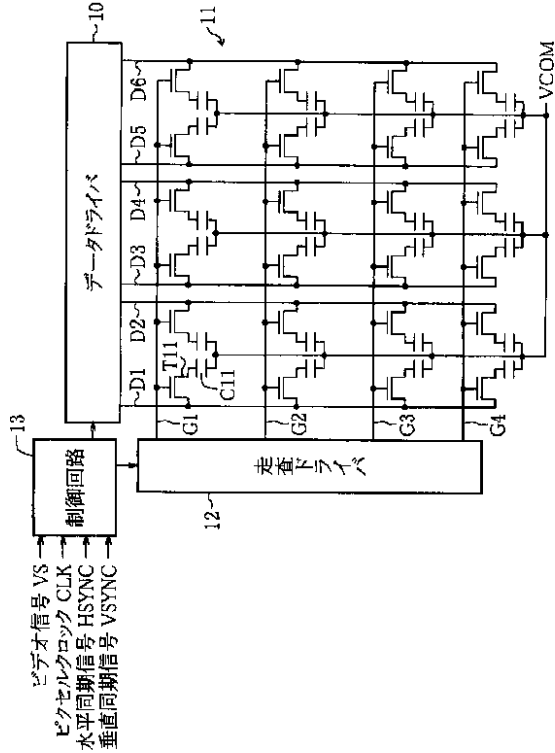
LT ラッチ信号

VP31、VN31 階調電圧

A～F、I～T、U～W 電極

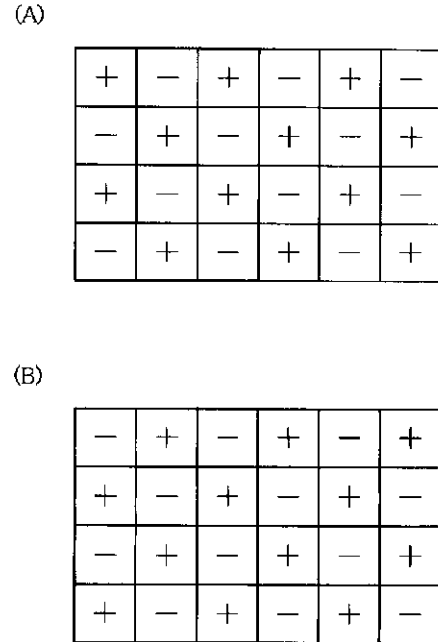
【図1】

本発明の第1実施形態の液晶表示装置の概略構成を示す回路図



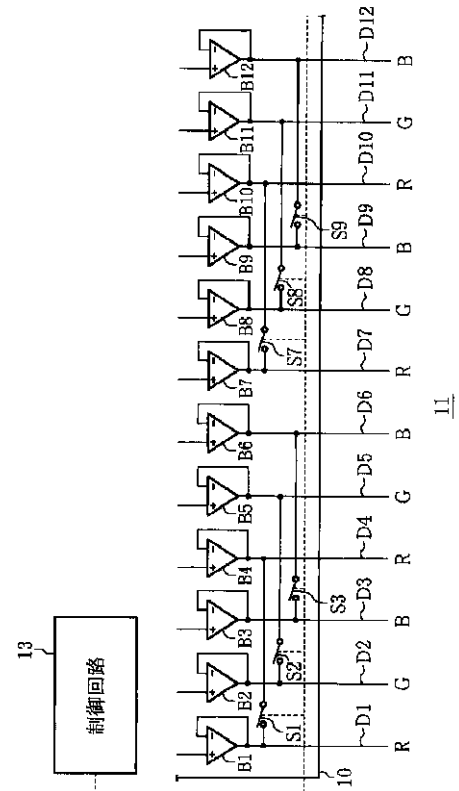
【図2】

(A)及び(B)はそれぞれ奇数フレーム及び偶数フレームの画素電圧極性分布を示す図



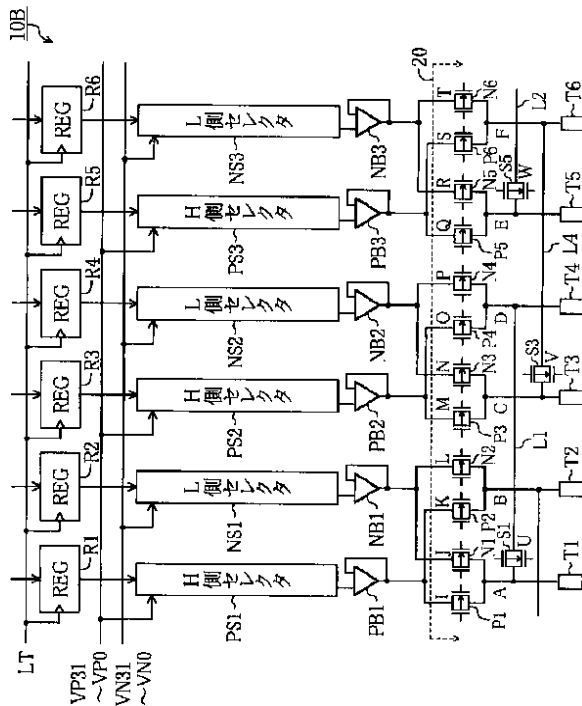
【図3】

図1中のデータドライバの出力段を示す回路図



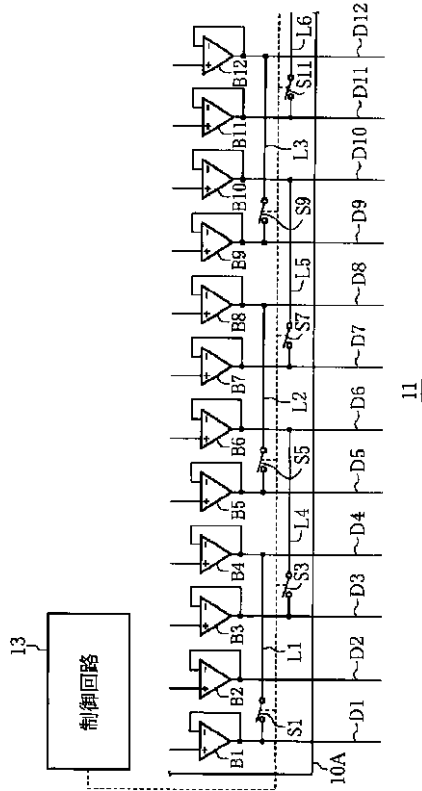
【図5】

本発明の第3実施形態のデータドライバの一部を示す回路図



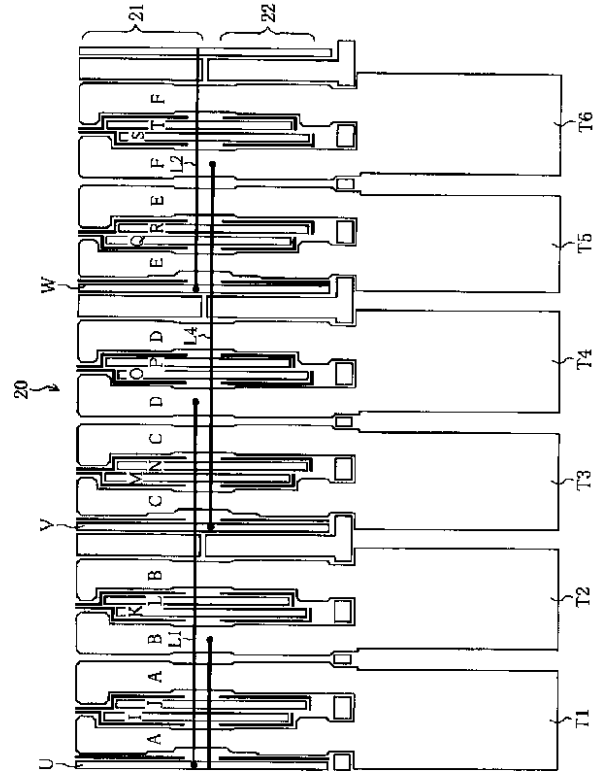
【図4】

本発明の第2実施形態のデータドライバの出力段を示す回路図



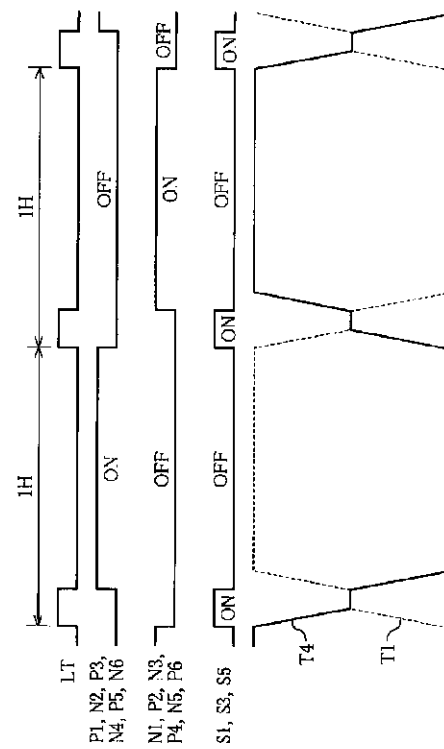
【図6】

図5中の点線より下側の回路のレイアウト図



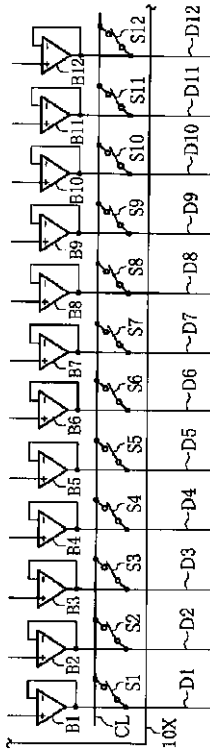
【図7】

図5の出力段の動作を示す波形図



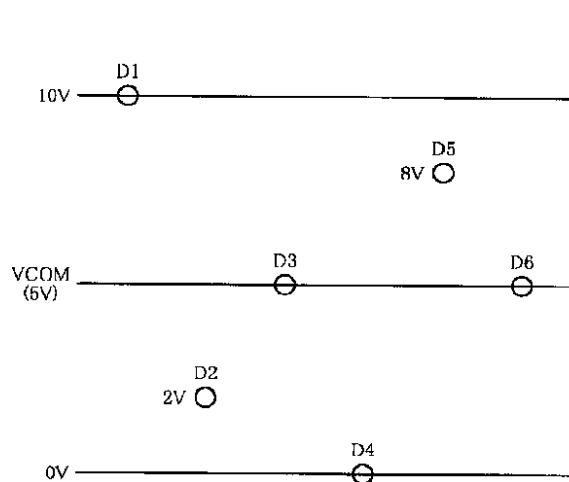
【図8】

液晶表示パネルのデータバスラインに接続される
従来のデータドライバの出力段を示す回路図



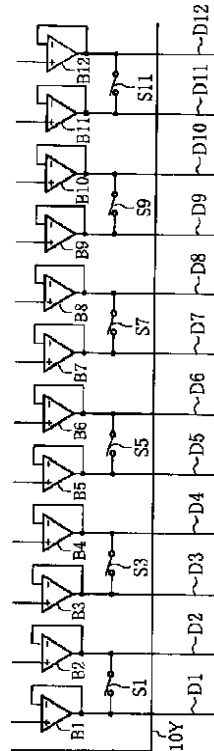
【図10】

ある水平期間における図9中のデータバスライン
D1～D6の電位説明図



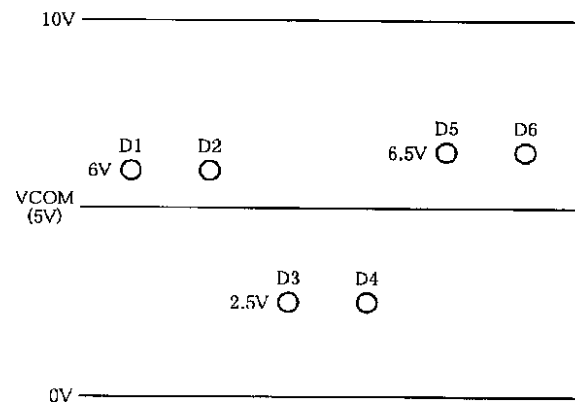
【図9】

従来の他のデータドライバの出力段を示す回路図



【図11】

図10の状態からデータバスライン間短絡スイッチ
素子がオンになった後のデータバスラインD1～D6
の電位説明図



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-コード (参考)
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 E
	6 2 3		6 2 3 B
			6 2 3 C

F タ-ム (参考) 2H093 NA16 NA34 NA43 NA53 NB05
 NC14 NC34 ND06 ND10 ND35
 ND39 NE03
 5C006 AC21 AC26 BB16 BC13 BF25
 BF33 BF34 EB05 FA23 FA42
 FA43 FA47
 5C080 AA10 BB05 DD06 DD22 DD23
 DD25 DD26 EE29 FF11 JJ02
 JJ03 JJ04 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2002140045A5	公开(公告)日	2006-10-12
申请号	JP2000333517	申请日	2000-10-31
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
[标]发明人	UTO SHINYA KOKUBU MASATOSHI 鵜戸真也 國分政利		
发明人	鵜戸 真也 國分 政利		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3607 G09G3/3685 G09G2310/0248 G09G2330/023 G09G2310/0297		
FI分类号	G09G3/36 G02F1/133.525 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.611.E G09G3/20.623.B G09G3/20.623.C		
F-TERM分类号	2H093/NC34 5C006/BC13 5C080/DD26 5C080/JJ03 5C080/AA10 5C006/BF33 5C080/BB05 2H093/ND35 5C006/FA47 5C080/JJ04 2H093/NA53 2H093/ND10 5C006/FA42 5C080/FF11 5C080/DD23 2H093/NC14 2H093/ND39 5C006/FA23 5C080/EE29 2H093/NB05 2H093/NE03 5C080/JJ06 5C006/FA43 5C006/BB16 5C080/JJ02 5C080/DD06 5C006/BF34 5C006/EB05 2H093/NA34 2H093/ND06 2H093/NA43 5C080/DD25 2H093/NA16 5C006/BF25 5C080/DD22 5C006/AC21 5C006/AC26 2H193/ZA04 2H193/ZA19 2H193/ZC13 2H193/ZC20 2H193/ZD23 2H193/ZP03		
代理人(译)	松本Makotokichi		
其他公开文献	JP4472155B2 JP2002140045A		

摘要(译)

要解决的问题：抑制电路面积的增加。在数据反转驱动器型数据驱动器中，电压缓冲放大器的输出端分别连接到液晶显示板的数据总线，连接短路开关元件S1，S3，S5，S7，S9和S11中的每隔一个，并且交替地布置第一行的布线和第二行的布线。这些短路开关元件形成在每隔一条数据线的一侧。当电压缓冲放大器的输出处于高阻抗状态时，控制电路13接通短路开关元件。