



## 【特許請求の範囲】

【請求項 1】 画素電極と、共通電極と、相交差する複数のデータ線及び複数のゲート線と、前記画素電極に対応して設けられ、前記データ線及びゲート線の信号により制御され、前記画素電極にデータ線の信号を供給する複数のスイッチング手段と、前記ゲート線を走査するゲート線駆動手段と、前記データ線を表示すべき階調に対応して駆動するデータ線駆動手段と、前記ゲート線駆動手段及び前記データ線駆動手段とを制御する制御手段と、を有する液晶表示装置において、前記制御手段は、液晶表示装置への入力信号が無入力状態であることを検出する信号無入力検出手段を有し、前記信号無入力検出手段によって信号無入力状態が検出された時点で、前記ゲート線駆動手段へ全ての前記ゲート線を所定の期間アクティブ状態とする信号を出力し、前記データ駆動手段へ全ての前記データ線に前記共通電極に印加されている電位と同等の電位を所定の期間供給する信号を出力することを特徴とする液晶表示装置。

【請求項 2】 前記所定の期間は、全ての前記画素電極に前記共通電位を供給することにより、前記液晶に蓄電されている全ての電荷を放電する時間に設定されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記入力信号は、映像信号、水平同期信号、垂直同期信号のいずれかであることを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置。

【請求項 4】 電源オフ後も一定時間電源を供給する電源保持回路を有することを特徴とする請求項 1 ～ 3 のいずれかの項に記載の液晶表示装置。

【請求項 5】 電源オフ後において、前記データ線駆動手段は、全ての前記データ線を接地させることを特徴とする請求項 1 ～ 4 のいずれかの項に記載の液晶表示装置。

【請求項 6】 前記所定の期間は、抵抗及びコンデンサの時定数により決定されていることを特徴とする請求項 1 ～ 5 のいずれかの項に記載の液晶表示装置。

【請求項 7】 画素電極と、共通電極と、相交差する複数のデータ線及び複数のゲート線と、前記画素電極に対応して設けられ前記データ線及びゲート線の信号により制御され、前記画素電極にデータ線の信号を供給する複数のスイッチング手段と、前記ゲート線を走査するゲート線駆動手段と、前記データ線を表示すべき階調に対応して駆動するデータ線駆動手段と、前記ゲート線駆動手段及び前記データ線駆動手段とを制御する制御手段とを有する液晶表示装置において、前記液晶表示装置への入力信号の無入力状態を検出し、無入力状態が検出された時点において、全ての前記ゲ

ト線を一齐に所定の期間アクティブ状態とし、全ての前記データ線には前記共通電極に印加されている電位と同等の電位を所定の期間供給することを特徴とする液晶表示装置の駆動方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、残像の改善を実現する液晶表示装置及びその駆動方法に関する。

【0002】

【従来の技術】従来の液晶表示装置においては、その使用を終了するために利用者が液晶表示装置の電源をオフに操作すると、画面クリアの操作は行われなまま表示装置本体の電源が切断される。これにより各種信号（走査線駆動信号、データ線駆動信号等）の液晶表示パネルへの供給が切断され、液晶表示パネルの液晶容量に蓄えられていた電荷の外部放電経路は遮断される。その後、電荷は自己放電により徐々に減少し、表示画像は次第にクリアされていく。

【0003】しかし、液晶容量に電荷を蓄積させた状態が長時間保持されると、残像が発生する原因となり、表示品質の低下や、長期信頼性を損なうこととなる。この残像が生じるメカニズムについて説明する。図 7

(a)、(b) は、液晶表示装置における液晶パネルの単位画素の概念図を示している。このように、単位画素の基本構成は、2 枚の電極間に液晶を封入し、前記電極間に映像信号に応じた電圧を印加することにより、液晶分子の配向を変化させて光の透過率を制御することにより所望の階調表示を得ることを可能としている。

【0004】このような単位画素の製造時には、電極間に液晶材を封入する工程で微量のイオン性物質 P が混入してしまう（図 7 の (a) 参照）。このようにイオン性物質 P が封入されている状態であっても、理想的な交流信号が 2 枚の電極間に印加されていればイオン性物質 P は電極上に集積しないため、光の透過率、即ち液晶分子の配向に影響を及ぼすことはない。

【0005】しかし、実際に両電極間へ印加される電圧には、少なからず直流成分が含まれている。この直流成分の電圧が両電極間へ印加されると、イオン性物質 P がそのイオンの性質によっていずれかの電極へと引き付けられ、図 6 (b) のように電極上に集積してしまう。このようにイオン性物質 P が電極上に集積すると、電極間に映像信号に応じた交流信号を印加しても、液晶に印加される電圧は電極上に集積されたイオン性物質 P の影響を受けるため、実際とは異なる電圧によって液晶分子の配向が制御されることとなる。このためイオン性物質が多量に電極上に重畳すると液晶への印加電圧が大きく変化してしまい、イオン性物質が電極上に重畳していない他の画素との輝度差が大きくなる。これが残像として視認されることとなる。

【0006】このような残像を防ぐために、例えば特許

第 2655328 号に記載された液晶表示装置では、電源が遮断された時点を検出し、その検出信号に基づき電源保持回路を通じて、画素電極に対応して設けられているスイッチング素子を所定時間オンに保持することにより、放電経路を確保して液晶容量に蓄積されている電荷を強制的に放電させた後に、液晶表示装置本体の電源が切断されるようになっている。

#### 【0007】

【発明が解決しようとする課題】しかし、通常、液晶表示装置の電源オフ時の立ち下りのシーケンスは、まず液晶表示パネルに乱れた画像が表示されないようにバックライトが消灯され、次に同期信号や、映像信号などの入力信号がオフされた後に、電源が遮断されるように設定されている。従って、電源が遮断されたことを検出してから、液晶容量に蓄積されている電荷を放電させる従来の液晶表示装置では、同期信号などの入力信号がオフになってから電源が遮断されるまでの期間は、短時間ではあるが液晶がチャージアップした状態となるため、液晶には直流電圧が印加されていることとなり、長期的には液晶材料の信頼性を低下させ、残像を引き起こす原因となった。

【0008】また、近年開発された F A (Factory Automation) や、モニターの中には、複数の装置の一部に液晶表示装置が設けられているものがあり、また、全ての装置の電源を共通の電源から供給しているものもある。このような場合には、液晶表示装置のみ電源を遮断することが不可能となる。したがって、液晶表示装置の使用を終了する際には、入力信号のみを遮断し、電源を切るという動作を行わない。このような F A 用の液晶表示装置として、電源が遮断された時点で液晶容量の電荷を放電する従来の液晶表示装置を適用すると、強制的に液晶容量に蓄積されている電荷を放電させることが不可能となる。

【0009】従って、液晶容量に蓄積されている電荷が自己放電によって消滅する期間、液晶には直流電圧が印加されている状態となるため、液晶内のイオン性物質が電極上に重畳され、残像の原因を引き起こすこととなる。

【0010】上述してきたように、特許第 2655328 号に提案されているような従来の液晶表示装置においては、頻繁に電源のオン/オフを繰り返すことにより、イオン性物質が電極上に重畳され、長期的には残像やしみを生じさせることになり、液晶の寿命の低下や、長期信頼性を損なうという問題が生じる。

【0011】本発明はこのような事情に鑑みてなされたもので、入力信号の無入力状態を検出し、液晶容量に蓄積されている電荷を強制的に放電させることにより、液晶に直流電圧を印加する時間を一層短くすることで残像の防止を図り、液晶の寿命と信頼性の向上を図った液晶表示装置及びその駆動方法を提供することを目的とす

る。

#### 【0012】

【課題を解決するための手段】上記目的を達成するために、請求項 1 に記載の発明は、画素電極と、共通電極と、相交差する複数のデータ線及び複数のゲート線と、前記画素電極に対応して設けられ、前記データ線及びゲート線の信号により制御され、前記画素電極にデータ線の信号を供給する複数のスイッチング手段と、前記ゲート線を走査するゲート線駆動手段と、前記データ線を表示すべき階調に対応して駆動するデータ線駆動手段と、前記ゲート線駆動手段及び前記データ線駆動手段とを制御する制御手段とを有する液晶表示装置において、前記制御手段は、液晶表示装置への入力信号が無入力状態であることを検出する信号無入力検出手段を有し、前記信号無入力検出手段によって信号無入力状態が検出された時点において、前記ゲート線駆動手段へ全ての前記ゲート線を一齐に所定の期間アクティブ状態とする信号を出力し、前記データ駆動手段へ全ての前記データ線に前記共通電極に印加されている電位と同等の電位を所定の期間供給する信号を出力することを特徴とする。

【0013】また、請求項 2 に記載の発明は、請求項 1 に記載の液晶表示装置において、前記所定の期間は、全ての前記液晶に蓄電されている全ての電荷を放電する時間に設定されていることを特徴とする。

【0014】また、請求項 3 に記載の発明は、請求項 1 または請求項 2 に記載の液晶表示装置において、前記入力信号は、映像信号、水平同期信号、垂直同期信号のいずれかであることを特徴とする。

【0015】また、請求項 4 に記載の発明は、請求項 1 ~ 3 のいずれかの項に記載の液晶表示装置において、電源オフ後も一定時間電源を供給する電源保持回路をすることを特徴とする。

【0016】また、請求項 5 に記載の発明は、請求項 1 ~ 4 のいずれかの項に記載の液晶表示装置において、電源オフ後において、前記データ線駆動手段は、全ての前記データ線を接地させることを特徴とする。

【0017】また、請求項 6 に記載の発明は、請求項 1 ~ 5 のいずれかの項に記載の液晶表示装置において、前記所定の期間は、抵抗及びコンデンサの時定数により決定されていることを特徴とする。

【0018】また、請求項 7 に記載の発明は、画素電極と、共通電極と、画素電極と、共通電極と、相交差する複数のデータ線及び複数のゲート線と、前記データ線及びゲート線の信号により制御され、前記画素電極にデータ線の信号を供給する複数のスイッチング手段と、前記ゲート線を走査するゲート線駆動手段と、前記データ線を表示すべき階調に対応して駆動するデータ線駆動手段と、前記ゲート線駆動手段及び前記データ線駆動手段とを制御する制御手段とを有する液晶表示装置において、前記液晶表示装置への入力信号の無入力状態を検出し、

信号無入力状態が検出された時点において、全ての前記ゲート線を所定の期間アクティブ状態とし、全ての前記データ線には前記共通電極に印加されている電位と同等の電位を所定の期間供給することを特徴とする。

#### 【0019】

【発明の実施の形態】以下、図面を参照し、本発明の一実施形態について説明する。図2は、同実施形態によるIPS (in-plane-switching) 型液晶表示装置の概略全体構成を示すブロック図、図4は表示パネル50の単位画素の構成を示す回路図、図5は表示パネル50の単位画素の構造を示す図である。

【0020】まず、図4において、符号CLは液晶の等価回路としての液晶容量であり、符号RLは液晶抵抗である。これら液晶容量CLと液晶抵抗RLとの並列回路は、容量C1を介して画素電極74に接続され、また容量C2を介して共通電極76に接続されている。画素電極74は、薄膜トランジスタ(TFT)72のソースと接続され、薄膜トランジスタ72のドレインは画素電極74の印加電圧を制御する信号が印加されるデータ線80に接続されている。薄膜トランジスタ72のゲートはゲート線82に接続され、共通電極76は共通電極配線70に接続されている。なお、容量C1、C2は、透明絶縁性基板上に形成された画素電極74と共通電極76とが、パッシベーション膜を介して画素を構成する液晶と接するように構成されているために形成される容量である。

【0021】このような構成においてゲート線82が駆動されると、薄膜トランジスタ72はオン状態となり、データ線80の映像信号は画素電極74へ供給される。これにより、液晶容量CLには共通電極と画素電極との電位差が印加される。この結果、液晶分子の配向は変化し、階調表示が可能となる。

【0022】次に、上述した単位画素の構造を図5に示す。この図において、下側に配置された第1の透明絶縁性基板30の内側には共通電極31及び共通電極31に接続される共通電極配線32とがパターンニングされ、形成されている。共通電極31及び共通電極配線32上にはゲート絶縁膜34が堆積され、このゲート絶縁膜34上には、画素電極35及び画素電極35に薄膜トランジスタを介して接続されるデータ線36がパターンニングされて形成されている。画素電極35及びデータ線36上には保護絶縁膜37が堆積され、該保護絶縁膜37上には配向膜42が形成されている。また第1の透明絶縁性基板30の外側には偏光板44が貼着されている。

【0023】一方、上側に配置された第2の透明絶縁性基板38の内側には、第2の透明絶縁性基板38側からの入射光が直接、薄膜トランジスタに照射されることを防止し、さらに、ゲート線およびデータ線と表示部との間の表示に寄与しない部分からの漏れ光を防止するための遮光層として機能するブラックマトリクス39が形成

され、ブラックマトリクス39の間にカラーフィルタを構成する色層40が形成されている。ブラックマトリクス39及び色層40の内側にはオーバコート層41が形成されており、このオーバコート層41の内側にはさらに、配向膜42が形成されている。また第2の透明絶縁性基板38の外側には透明導電膜43が形成され、さらに透明導電膜43の外側には偏光板44が貼着されている。

【0024】このように各種の電極層、絶縁層等が形成された第1の透明絶縁性基板30と第2の透明絶縁性基板38とが図示していないスペーサ部材を介して一定間隔に保持され、配向膜42、42間には封入された液晶層50が形成されている。液晶としては、固定パターンの長時間表示に伴う残像を避けるために、比抵抗が $10^{12}$ ・cm程度の比較的抵抗の低い材料を用いた。

【0025】次に、上述の液晶パネル50を有する本実施形態における液晶表示装置について図2を参照して説明する。同図において、符号20は映像信号処理回路であり、外部機器から入力された映像データや、水平同期信号Hsync及び垂直同期信号Vsyncから、表示パネル50に画像を表示するのに必要な信号を生成する。具体的には、映像データや、水平同期信号Hsync及び垂直同期信号Vsyncから各表示画素対応のR、G、Bの映像信号及びデータ線S1～Smを駆動するデータ線駆動信号Dsを生成してソースドライバ11へ供給し、また、共通電極配線(図示略)に供給する共通電極電圧Vcomや、ゲート線G1～Gnを駆動するゲート線駆動信号Gsを生成し、ゲートドライバ10に供給する。

【0026】ゲートドライバ10は、映像信号処理回路20から供給されたゲート線駆動信号Gsに基づいてゲート線G1～Gnを順次駆動する。一方、ソースドライバ11はデータ線駆動信号Dsに基づいてデータ線S1～Smを順次駆動し、これにより映像信号処理回路20から供給された画素対応の映像信号dataが各データ線S1、S2...へ順次送り出される。符号24は、液晶パネル50に背面から光を照射するバックライトであり、符号26はバックライト24の点灯を映像信号処理回路20から供給される信号に基づいて制御するバックライト駆動回路である。表示パネル50は、図4に示した単位画素がマトリクス状(n行、m列とする)に配列されて構成されている。

【0027】次に、上記構成からなる液晶表示装置の動作について図1～図3を参照して説明する。なお、図1は図2に示した各部の内部構成を示したものである。また、図3は、図1に示される各部の出力波形を示すタイミングチャートである。図1において、先ず、外部機器から出力された同期信号(水平同期信号及び垂直同期信号)、映像データdata、電源信号は、映像信号処理回路20(図2参照)内の信号無入力検出回路60及び

信号処理回路75へ出力される。信号無入力検出回路60は、これら入力信号の有無を検出する回路であり、信号が入力されている時には“H”を、信号の入力がなくなると“L”を出力する。この場合においては、同期信号は入力されている状態にあるので出力は“H”である(図3の(ハ)参照)。

【0028】一方、信号処理回路75は入力された水平同期信号(図3の(イ)参照)、垂直同期信号(図3の(ロ)参照)から、フレームパルスFs、垂直走査タイミング信号Vs及びゲート線駆動信号Gsを生成する。10  
ここで、フレームパルスFsは1画面が表示される毎に1回発生するパルスであり、基本的には映像データdataのフォーマットによって決められる。垂直走査タイミング信号Vsは1画面の垂直走査毎に1回発生するパルスであり、1フレームにおいて垂直走査が所定のサイクルで等間隔に行われる。また、ゲート線駆動信号Gsはゲート線G1~Gnを駆動するタイミングを示す信号であり、1垂直走査期間において走査線G1~Gnの数、即ちn回発生する。

【0029】信号処理回路75によって生成されたゲート線駆動信号Gsはゲートドライバ10内のシフトレジスタ12のクロックCKへ供給され、また、垂直走査タイミング信号Vsはシフトレジスタ12のデータDへ供給される。シフトレジスタ12は、信号処理回路75から供給されたこれら信号に基づいて、各ゲート線G1、G2...Gnを順次駆動する(図3の(ホ)参照)。シフトレジスタ12は、Dフリップフロップが直列接続されて構成される。

【0030】また、信号処理回路75は、入力された映像データに基づいて単位画素対応の映像信号dataを生成し、上述の垂直走査タイミング信号Vs及びゲート線駆動信号Gsと共にソースドライバ11内の水平信号処理回路16へ供給する。水平信号処理回路16は、信号処理回路75から供給された垂直走査タイミング信号Vs、ゲート線駆動信号Gs及び映像信号dataに基づいて、データ線S1~Smを駆動するデータ線駆動信号Dsを生成し、このデータ線駆動信号Dsに基づいて各データ線S1~Smを駆動する。出力切替え回路100は、データ線S1~Smへ供給される信号の供給経路を切り替える回路であり、この出力切替え回路100は  
40 タイミングコントローラ70内のワンショットマルチバイブレータ71から出力されるパルス信号MGによって制御される。出力切替え回路100は、通常作動時には全てのデータ線S1~Smを水平信号処理回路16へ接続するよう制御される。

【0031】上述したように、ゲート線G1~Gnが順次駆動されることにより、図3に示した表示パネル50の単位画素に設けられた薄膜トランジスタ72が順次オン状態となり、データ線80の信号が画素電極74へ供給される。これにより、映像信号に対応した電圧が液晶

容量CLに印加され、液晶分子の配向が変化することで任意の階調が得られる。

【0032】次に、上述したような通常動作の後、利用者により液晶表示装置オフの操作がなされ、入力信号が入力されなくなった場合について説明する。なお、本実施形態における液晶表示装置は、利用者によって液晶表示装置オフの要求を受けた後に、入力信号のみをオフにする操作が行われるものであり、電源の遮断は実施しないものとする。まず、入力信号が液晶表示装置に供給されなくなると、信号無入力検出回路60は、入力信号が所定の時間、例えば水平同期信号の周期(図3(イ)のHr)よりも長い間水平同期信号が入力されない状態を検出し、時刻t1において判定信号POWCを“L”(図3の(ハ)参照)として、タイミングコントローラ70内のワンショットマルチバイブレータ71に出力する。ワンショットマルチバイブレータ71は、“L”である判定信号POWCが入力されると、パルス幅がT時間であるパルス信号MGを出力する(図3の(ニ)参照)。このパルス信号MGは、ゲートドライバ10内のシフトレジスタ12のプリセットPRに供給されるとともに、ソースドライバ11内の出力切替え回路100へ供給される。なお、このパルス信号MGのパルス幅Tは、単位画素に設けられている液晶容量CLに蓄積されている電荷を放電するのに十分な時間であり、ワンショットマルチバイブレータ71内のコンデンサと、抵抗によって予め設定されている値である。

【0033】そして、シフトレジスタ12のプリセットPRに“H”であるパルス信号MGが入力されると、シフトレジスタ31は全てのゲート線G1~Gnに対して、“H”の信号を出力する。この状態はパルス信号MGが立ち下がる時刻t2まで保持される。一方、出力切替え回路100は、“H”であるパルス信号MGが入力されることにより、データ線S1~Smへの入力信号供給経路を水平信号処理回路16から共通電位Vcomへと切り替える。これにより、時刻t1において、全てのデータ線S1~Smは共通電位Vcomに固定される(図3(ヘ)参照)。

【0034】これにより、単位画素(図4参照)では、ゲート線82がアクティブ状態になることにより薄膜トランジスタ72がオン状態とされ、データ線80に印加されている共通電位Vcomが画素電極74に供給することにより、液晶容量CL、C1、C2の合成容量に蓄積されていた電荷はデータ線80を介して放電する。この動作は全ての単位画素に一斉に実施される。

【0035】次に、時刻t2において、パルス信号MGが“L”となると、シフトレジスタ12はアクティブ状態としていた全てのゲート線G1~Gnをオフ状態とする。これにより、単位画素の薄膜トランジスタ72はオフ状態となる。一方、出力切替え回路100は、データ線S1~Smへの入力信号の供給経路を共通電位Vco

mから水平信号処理回路16へ切り替える。なお、この時点では、同期信号等の入力信号は遮断されているため、水平信号処理回路16へ切り替えてもデータ線は駆動されることなく、そのまま接地されている状態となる。

【0036】なお、水平同期信号Hsync、垂直同期信号Vsyncが入力されなくなった時刻から、時刻t1において信号無入力検出回路60が入力信号が無くなったことを判定するまで、即ち、入力信号オフ時から判定信号POWCを“L”にして出力するまでには、例えば、40msec程度の時間が必要とされる。

【0037】図6に、本発明による液晶表示装置と、従来の液晶表示装置とがFAに使用された場合において、液晶に蓄積されている電荷が消滅するまでの時間の推移を示す。この図において、横軸は消滅時間を示し、縦軸は液晶容量に蓄積されている電荷の強さを示している。図中Aが本発明の液晶表示装置による電荷の推移であり、Bが従来の液晶表示装置による電荷の推移である。本発明の液晶表示装置によれば、電荷の消滅時間は0.5秒以下なのに対し、従来の液晶表示装置では、電荷が20消滅するまでに約10秒ほどかかる。

【0038】図6からも明らかのように、本発明の液晶表示装置は従来の液晶表示装置に比べ、液晶がチャージアップしている期間が大幅に短縮され、これにより残像を解消することが可能となる。この結果、液晶表示装置としての品質向上、長期信頼性の向上など、多大な効果を得ることができる。

【0039】なお、本実施形態においては、本液晶表示装置はその使用終了時において入力信号のみを遮断し、電源については遮断しない場合について説明したが、電源保持回路を更に設けることにより、電源が最後に遮断される場合においても適用することが可能となる。これにより、電源が遮断された後においても、一定時間各部に電源が供給され、単位画素の液晶容量CLに蓄えられた電荷を放電することができる。例えば、図3における時刻t1～t2の期間において、電源が遮断された場合には、この電源保持回路からゲートドライバ10、タイミングコントローラ70及びソースドライバ11へ電力を供給することにより、上述したような液晶容量CLに蓄積された電荷を放電するための一連の動作を継続させることが可能となる。

【0040】また、電源保持回路から各部に電力を供給する際に、ソースドライバ11へは電源供給をせずに、データ線S1～SmをGNDに接続することで、液晶容量CLに蓄積されている電荷を放電することも可能である。即ち、電源が遮断されているため、共通電位はGNDとなっている。したがって、データ線をGNDに接続することで、共通電極に印加されている電位と同等の電位がデータ線に印加され、液晶容量に蓄積されている電荷を放電することが可能となる。なお、本発明の一実施

形態としてIPS型液晶表示装置について説明したが、液晶パネルの構造はこれに限定すること無く、如何なる構造の液晶パネルであっても同様の効果を奏することができる。

【0041】

【発明の効果】以上説明したように、本発明の液晶表示装置によれば、制御手段は、液晶表示装置への入力信号が無入力状態であることを検出する信号無入力検出手段を有し、信号無入力検出手段によって信号無入力状態が検出された時点で、ゲート線駆動手段へ全てのゲート線を所定の期間アクティブ状態とする信号を出力し、データ駆動手段へ全てのデータ線に共通電極に印加されている電位と同等の電位を所定の期間供給する信号を出力する。このように、入力信号の無入力状態を検出し、液晶に蓄積されている電荷を強制的に放電させることにより、表示パネル内がチャージアップしている時間を一層短縮させることが可能となり、この結果、残像を解消し、液晶の寿命と長期信頼性の向上を実現させることが可能となる。

【0042】特に、本発明による液晶表示装置が電源をオフにしない用途に用いられた場合、即ち液晶表示装置の使用終了時に、入力信号のみが遮断されて、電源の供給は継続されるような使用状況下で使用される場合においては、電源遮断を検出した後に液晶容量に蓄積された電荷を放電する従来の液晶表示装置に比べ、液晶がチャージアップしている期間が大幅に短縮される。

【0043】また、請求項2に記載の発明によれば、ゲート線を駆動する期間は、全ての液晶容量に蓄電されている電荷を放電する時間に設定されている。このように、液晶に蓄積されている電荷をすべて放電しきった後に、ゲート線がオフとなるため、残像の発生を低下させることが可能となる。

【0044】また、請求項4に記載の発明によれば、電源オフ後も電源を所定時間供給する電源保持回路を有するので、液晶容量に蓄積されている全ての電荷が放電される前に、電源が遮断されてしまった場合においても、ゲート線駆動手段及びデータ線駆動手段には電源保持回路から電力が供給されるため、スイッチング素子のオン状態を保持することができ、また画素電極には共通電位を供給することが可能となる。これにより電荷の放電を継続して行うことが可能となり、液晶容量に蓄積されている電荷をすべて放電することが可能である。この結果、残像の発生を解消することができるという利点を得ることができる。

【0045】また、請求項5に記載の発明によれば、電源オフ後において、データ線駆動手段は、全ての前記データ線を接地させるので、データ線駆動手段には、電力を供給する必要がなくなり、電源保持回路が供給する電力を少なくすることが可能となる。

【0046】また、請求項6に記載の発明によれば、所

定の期間は、抵抗及びコンデンサの時定数により決定されているので、簡単な回路によって信号無入力後、ゲート線及びデータ線を駆動する期間を設定することが可能となり、設定値の変更も簡単に行うことができる。

#### 【図面の簡単な説明】

【図1】 この発明の一実施形態による液晶表示装置の構成を示すブロック図である。

【図2】 同実施形態における液晶表示装置の概略構成を示す図である。

【図3】 同実施形態における液晶表示装置の各部の動作を示すタイミングチャートである。

【図4】 同実施形態における表示パネル50の単位画素の回路を示す図である。

【図5】 同実施形態における表示パネル50の単位画素の構造を示す図である。

【図6】 本発明の効果を示す図である。

【図7】 長期残像の発生メカニズムを説明するための図である。

#### 【符号の説明】

10 ゲートドライバ（ゲート線駆動手段）

\*20

\*11 ソースドライバ（データ線駆動手段）

12 シフトレジスタ

16 水平信号処理回路

20 映像信号処理回路（制御手段）

26 バックライト駆動回路

24 バックライト

50 表示パネル

60 信号無入力回路（信号無入力手段）

71 ワンショットマルチバイブレータ

72 薄膜トランジスタ（スイッチング素子）

74 画素電極

75 信号処理回路

80 データ線

82 ゲート線

100 出力切替え回路

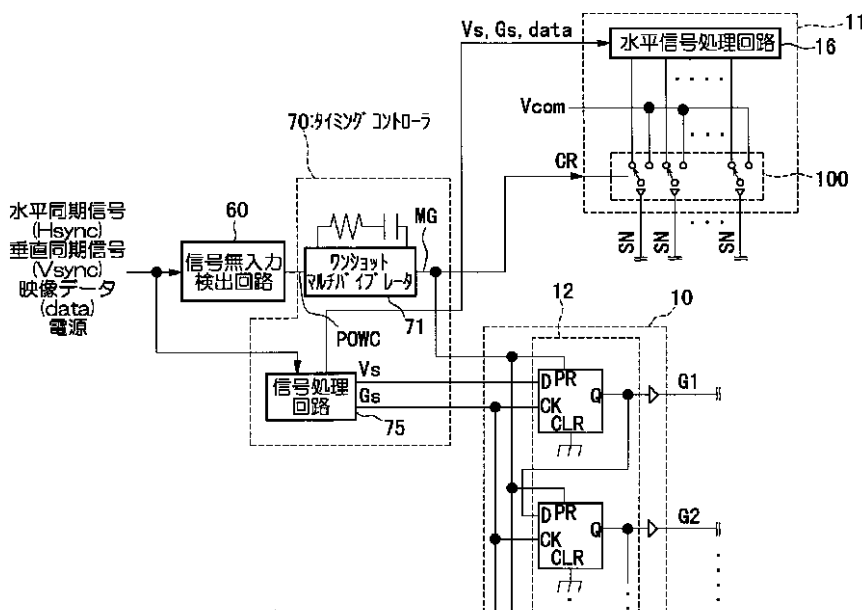
G1～Gn ゲート線

S1～Sm データ線

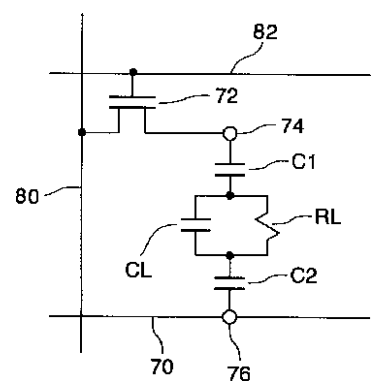
C1、C2 容量

CL 液晶容量

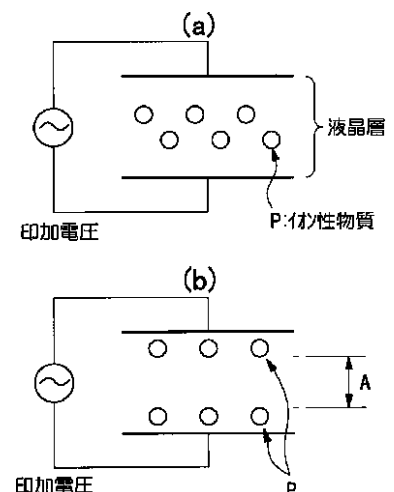
【図1】



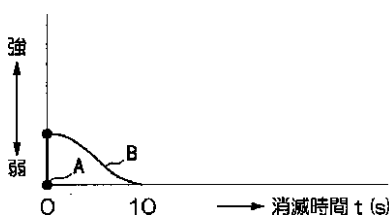
【図4】



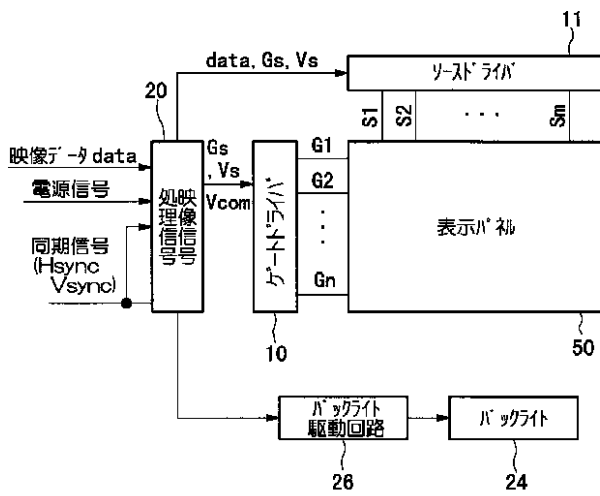
【図7】



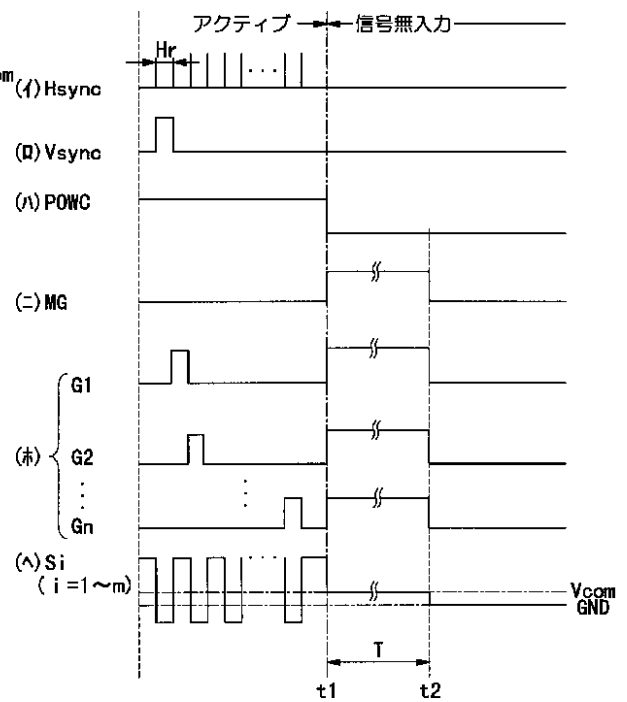
【図6】



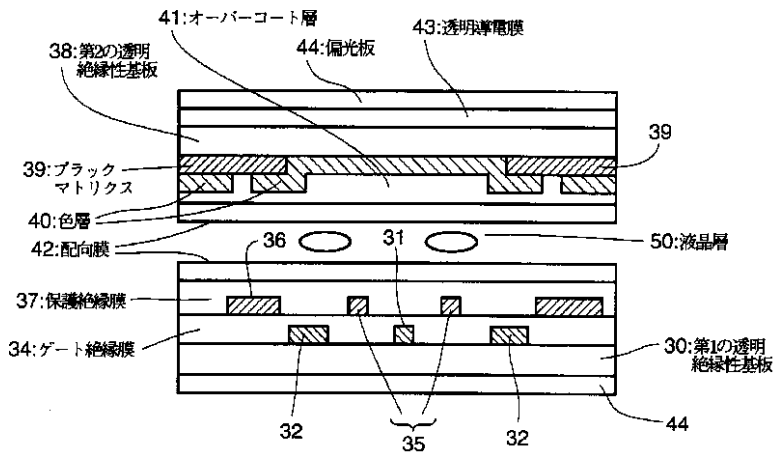
【図2】



【図3】



【図5】



フロントページの続き

F ターム(参考) 2H093 NA16 NA80 NB22 NC03 NC21  
 NC49 NC59 ND35 ND47 ND48  
 NF04  
 5C006 AF64 AF67 AF69 BB16 BB29  
 BC12 BC16 BF03 BF06 BF38  
 BF49 EA01 FA34  
 5C080 AA10 BB05 DD29 JJ02 JJ04  
 JJ05 JJ06



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">JP2001209355A</a>	公开(公告)日	2001-08-03
申请号	JP2000016302	申请日	2000-01-25
申请(专利权)人(译)	NEC公司		
[标]发明人	草薨智宏		
发明人	草薨 智宏		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/00		
CPC分类号	G09G3/3648 G09G3/3677 G09G3/3688 G09G5/006 G09G2310/0245		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.612.Z G09G3/20.612.G G09G3/20.670.K G11C19/00 G11C19/00.J		
F-TERM分类号	2H093/NA16 2H093/NA80 2H093/NB22 2H093/NC03 2H093/NC21 2H093/NC49 2H093/NC59 2H093/ND35 2H093/ND47 2H093/ND48 2H093/NF04 5C006/AF64 5C006/AF67 5C006/AF69 5C006/BB16 5C006/BB29 5C006/BC12 5C006/BC16 5C006/BF03 5C006/BF06 5C006/BF38 5C006/BF49 5C006/EA01 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD29 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H193/ZA04 2H193/ZE31 2H193/ZE38 2H193/ZF03 2H193/ZF23 2H193/ZQ16 5B074/AA10 5B074/CA01		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

解决的问题：提供一种液晶显示装置及其驱动方法，用于防止残像并改善液晶的寿命和可靠性。当用户关闭电源时，信号非输入检测电路检测到输入信号已关闭，并输出设置为“L”的确定信号POWC。当接收到确定信号POWC为“L”时，单发多谐振荡器71将具有预定脉冲宽度的脉冲信号MG输出至移位寄存器12和输出切换电路100。结果，移位寄存器12在预定时间段内激活栅极线，而输出切换电路100在预定时间段内将数据线连接到公共电位Vcom。结果，显示面板50的所有单位像素立即全部处于激活状态，并且公共电势Vcom被提供给像素电极，从而可以释放出存储在液晶中的电荷。

