

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A) (11)特許出願公開番号

特開2001－194645

(P2001－194645A)

(43)公開日 平成13年7月19日(2001.7.19)

(51)Int.Cl ⁷	識別記号	F I	テマコード [*] (参考)
G 0 2 F 1/133	550	G 0 2 F 1/133	550 2 H 0 9 2
	1/1343		1/1343 2 H 0 9 3
G 0 9 F 9/30	307	G 0 9 F 9/30	307 5 C 0 0 6
	338		338 5 C 0 8 0
G 0 9 G 3/20	623	G 0 9 G 3/20	623 Y 5 C 0 9 4
審査請求 未請求 請求項の数 11 O L (全 18数) 最終頁に続く			

(21)出願番号 特願2000－3935(P2000－3935)

(22)出願日 平成12年1月12日(2000.1.12)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 小澤 徳郎

長野県諏訪市大和3丁目3番5号 セイコーエ

プソン株式会社内

(74)代理人 100093388

弁理士 鈴木 喜三郎 (外 2 名)

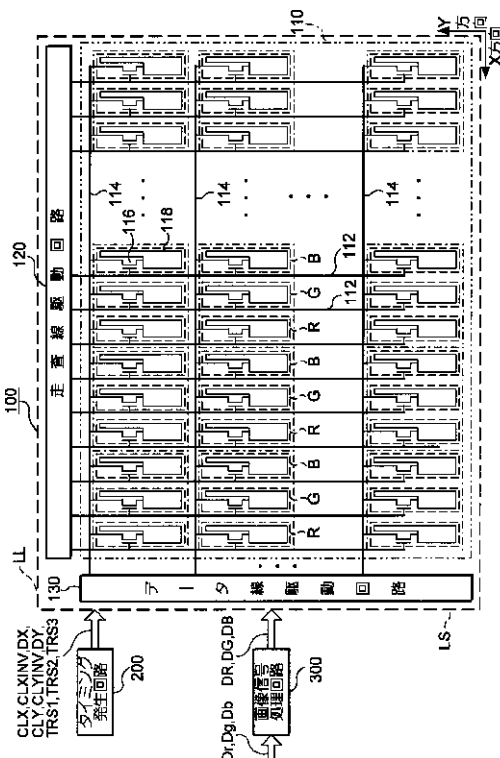
最終頁に続く

(54)【発明の名称】 電気光学パネル、電気光学パネルのデータ線駆動方法およびデータ線駆動回路、電気光学装置ならびに電子機器

(57)【要約】

【課題】 製造コストを削減すると同時に文字が読み易い液晶パネルを提供する。

【解決手段】 横長の液晶パネル100は、縦ストライプの画像表示領域110と、長辺LL側に配置される走査線駆動回路120と、短辺LS側に配置されるデータ線駆動回路130とを備えている。データ駆動回路130は、画像データDR、DG、DBを点順次画像データに変換しこれを線順次画像データに変換し、さらに各色に対応する線順次画像データをパラレル－シリアル変換してシリアル形式の画像データを各データ線114に対応して生成し、これをDA変換して各画像信号を生成する。これにより、データ線114に沿ってR、G、Bの順に配置される各画素領域にR、G、Bに画像信号を供給することができる。



【特許請求の範囲】

【請求項1】 複数のデータ線と、複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備える電気光学パネルのデータ線駆動方法であって、複数色に対応する画像データを前記データ線数に応じた数の点順次画像データに各々変換し、前記点順次画像データを前記走査線の選択周期毎にラッチして線順次画像データに変換し、各色の線順次画像データに対してパラレルーシリアル変換を施して、各データ線に対応する各シリアルデータを生成し、各シリアルデータをDA変換して各画像信号を生成し、各画像信号を各データ線に各々供給することを特徴とする電気光学パネルのデータ線駆動方法。

【請求項2】 複数のデータ線と、複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備える電気光学パネルのデータ線駆動回路であって、複数色に対応する画像データを前記データ線数に応じた数の点順次画像データに変換する第1変換部と、前記点順次画像データを前記走査線の選択周期毎にラッチして線順次画像データに変換するとともに、各色の線順次画像データに対してパラレルーシリアル変換を施して、各データ線に対応する各シリアルデータを生成する第2変換部と、各シリアルデータをDA変換して得た各画像信号を各データ線に各々供給するDA変換部とを備えたことを特徴とする電気光学パネルのデータ線駆動回路。

【請求項3】 前記第2変換部は、各データ線に対応した各ユニットを備え、1つのユニットは各色に対応する各サブユニットを縦続接続してなり、各サブユニットは前記走査線の選択期間開始時に前記点順次画像データをラッチするラッチ回路と、前記走査線の選択期間中に各サブユニットの出力信号を次段のサブユニットの前記ラッチ回路の入力に転送する転送回路とを備えることを特徴とする請求項2に記載の電気光学パネルのデータ線駆動回路。

【請求項4】 前記画像データは、第1色、第2色、および第3色に各々対する3種類のデータであり、前記第2変換部は、第1色、第2色、第3色の順にパラレルーシリアル変換した前記シリアルデータを出力し、前記ユニットは、第1色に対応するとともに前記シリアルデータを取り出す第1サブユニットと、前記第1サブユニットの前段に設けられ第2色に対応する第2サブユニットと、前記第2サブユニットの前段に設けられ第3色に対応する第3サブユニットとを備え、前記各サブユニットのラッチ回路は、前記走査線の選択期間開始時にアクティブとなる第1転送信号に基づいて、前記点順次画像データをラッチし、

前記第3サブユニットの転送回路は、前記第1転送信号のアクティブ期間終了して一定時間が経過した時点から当該走査線の選択期間が終了するまでの期間アクティブとなる第2転送信号に基づいて、前記第3サブユニットの出力信号を前記第2サブユニットの入力に転送し、前記第2サブユニットの転送回路は、前記第2転送信号が非アクティブからアクティブに遷移し一定時間が経過した時点から当該走査線の選択期間が終了するまでの期間アクティブとなる第3転送信号に基づいて、前記第2サブユニットの出力信号を前記第1サブユニットの入力に転送することを特徴とする請求項3に記載のデータ線駆動回路。

【請求項5】 前記第2変換部は、各データ線に対応した各ユニットを備え、1つのユニットは各色に対応する各サブユニットを環状に接続してなり、各サブユニットは前記走査線の選択期間開始時に前記点順次画像データをラッチするラッチ回路と、前記走査線の選択期間中に各サブユニットの出力信号を次段のサブユニットの前記ラッチ回路の入力に転送する転送回路とを備えることを特徴とする請求項2に記載の電気光学パネルのデータ線駆動回路。

【請求項6】 前記画像データは、第1色、第2色、および第3色に各々対する3種類のデータであり、前記第2変換部は、第1色、第2色、第3色の順にパラレルーシリアル変換した前記シリアルデータを出力し、前記ユニットは、第1色に対応するとともに前記シリアルデータを取り出す第1サブユニットと、前記第1サブユニットの前段に設けられ第2色に対応する第2サブユニットと、前記第2サブユニットの前段に設けられ第3色に対応する第3サブユニットとを備え、前記各サブユニットのラッチ回路は、前記走査線の選択期間開始時にアクティブとなる第1転送信号に基づいて、前記点順次画像データをラッチし、前記各サブユニットの転送回路は、前記第1転送信号がアクティブから非アクティブに変化した時点から当該走査線の選択期間が終了するまでの期間において3回アクティブとなる第2転送信号に基づいて、次段の出力信号を後段のサブユニットの入力に転送することを特徴とする請求項5に記載の電気光学パネルのデータ線駆動回路。

【請求項7】 請求項2乃至6のうちいずれか1項に記載した電気光学パネルのデータ線駆動回路と横長の画像領域とを備える電気光学パネルであって、前記画像領域は、横方向に延在する複数のデータ線と、縦方向に延在する複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備えることを特徴とする電気光学パネル。

【請求項 8】 前記画像領域は、前記各走査線と前記各データ線で仕切られる縦長の画素領域を有し、前記データ線駆動回路を短辺側に配置したことを特徴とする請求項 8 に記載の電気光学パネル。

【請求項 9】 長辺側に前記走査線を駆動する走査線駆動回路を配置し、前記データ線駆動回路に近接した短辺側の端部に実装端子を配置することを特徴とする請求項 7 に記載の電気光学パネル。

【請求項 10】 請求項 2 乃至 10 のうちいずれか 1 項に記載した電気光学パネルと、
10 入力画像データの行と列の関係を入れ替えて前記電気光学パネルに供給する画像処理部とを備えることを特徴とする電気光学装置。

【請求項 11】 請求項 11 に記載の電気光学装置を表示部として備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気光学パネル、電気光学パネルのデータ線駆動方法およびデータ線駆動回路、電気光学装置ならびに電子機器に関する。

【0002】

【従来の技術】従来の電気光学装置、例えば、アクティブマトリクス方式の液晶表示装置は、液晶パネルとそこに制御信号等を供給する周辺回路とから構成されている。液晶パネルは、主に、マトリクス状に配列した画素電極の各々にスイッチング素子が設けられた素子基板と、カラーフィルタなどが形成された対向基板と、これら両基板との間に充填された液晶とから構成される。

【0003】このような構成において、走査線を介してスイッチング素子に走査信号を印加すると、当該スイッチング素子が導通状態となる。この導通状態の際に、データ線を介して、画素電極に画像信号を印加すると、当該画素電極および対向電極（共通電極）の間の液晶層に所定の電荷が蓄積される。電荷蓄積後、当該スイッチング素子をオフ状態としても、液晶層の抵抗が十分に高ければ、当該液晶層における電荷の蓄積が維持される。このように、各スイッチング素子を駆動して蓄積させる電荷の量を制御すると、画素毎に液晶の配向状態が変化して、所定の情報を表示することが可能となる。

【0004】この際、各画素の液晶層に電荷を蓄積させるのは一部の期間で良いため、第 1 に、走査線駆動回路によって、各走査線を順次選択するとともに、第 2 に、走査線の選択期間において、データ線駆動回路によって、1 本または複数本のデータ線を順次選択し、第 3 に、選択されたデータ線に画像信号を供給する構成により、走査線およびデータ線を複数の画素について共通化した時分割マルチプレックス駆動が可能となる。

【0005】ところで、液晶表示装置には、その用途によって横長画面のものと縦長画面のものがある。例えば、前者はコンピュータ等の表示部として用いられ、後

者は携帯端末（PDA）の表示部として用いられることがある。

【0006】図 14 は、横長画面の液晶パネルの主要部を示すブロック図である。この図に示すように、横長画面の液晶パネルにおいては、走査線 12A を画面長手方向（X 方向）に形成するとともにデータ線 13A を走査線 12A に直交する方向（Y 方向）に形成している。この液晶パネルにおいては、データ線 12A と走査線 13A との交差に対応して赤、緑、青の各色を表示する R 画素領域 R、G 画素領域 G、B 画素領域 B が設けられている。以下の説明では、R 画素領域 R、G 画素領域 G および B 画素領域 B の組を 1 画素と呼ぶことにする。

【0007】また、液晶パネルでは、データ線駆動回路 130A を液晶パネルの長辺 LL 側に形成するとともに、走査線駆動回路 120A を液晶パネルの短辺 LS 側に配置してある。くわえて、外部回路と液晶パネルとを接続する実装端子を長辺 LL 側に設けている（図示略）。

【0008】実装端子を液晶パネルの長辺 LL 側に設けたのは、データ線駆動回路 130A の駆動周波数が走査線駆動回路 120A と比較して高いためである。仮に短辺 LS 側に実装端子を設けると、データ線駆動回路 130A を駆動するためのクロック信号を長い配線で引き回す必要がある。配線の寄生容量は距離が長くなるほど増加するので、短辺 LS 側に実装端子を設けると、クロック信号がデータ線駆動回路 130A に入力されるときには、その波形の立ち上がりエッジと立ち下がりエッジとが鈍ってしまい、データ線駆動回路 130A を誤動作させてしまうおそれがある。このため、実装端子はデータ線駆動回路 130A に近接した液晶パネルの長辺 LL 側に設けられている。

【0009】一方、図 15 は縦長画面の液晶パネルの主要部を示すブロック図である。この例では、データ線駆動回路 130B を液晶パネルの短辺 LS 側に形成するとともに、走査線駆動回路 120B を液晶パネルの長辺 LL 側に形成している。くわえて、周辺回路と液晶パネルとを接続する実装端子を短辺 LS 側に設けている。また、この液晶パネルにあっては、図に示すように縦長の各画素領域 R、G、B が設けられている。なお、以下の説明では、表示画面に対して、各画素領域を縦長に形成したものを縦ストライプ、横長に形成したものを横ストライプと称することにする。

【0010】

【発明が解決しようとする課題】ところで、液晶パネルは、上述したように素子基板と対向基板とを貼り合わせて構成されている。実装端子と、データ線駆動回路および走査線駆動回路とは、素子基板に形成される。したがって、素子基板の面積は、対向基板の面積と比較して大きくなる。ここで、実装端子を長辺 LL 側に設けた液晶パネルは、実装端子を短辺 LS 側に設けたものと比較し

て、素子基板の面積が大きくなってしまふ。図14に示す横長画面の液晶パネルにあっては、データ線駆動回路130Aとの関係で実装端子を長辺LL側に設ける必要があるので、素子基板の面積が大きくなり、液晶パネルのコストが上昇するといった問題がある。

【0011】一方、図15に示す縦長画面の液晶パネルを90度回転させ、横長画面を表示させる場合には、実装端子が液晶パネルの短辺LS側にあるので、素子基板の面積が大きくなる。しかしながら、この場合には90度回転させるため、横ストライプの画面になってしまふ、アルファベット等の文字が読み難いといった問題がある。この点について、図16を参照しつつ、具体的に説明する。図16は緑色で表示される文字“X”を横ストライプの画面で表示した例を示す概念図である。この図において、斜線で示した部分が、緑色の文字“X”に対応する画素領域である。この場合には、文字“X”が途切れてしまひ読み難くなってしまふ。

【0012】すなわち、横長画面を表示させるために、図14に示す液晶パネルを用いば素子基板の面積が大きくなる一方、図15に示す液晶パネルを90度回転させて用いる場合には文字が読み難くなるといった問題がある。

【0013】本発明は、これらの点に鑑みてなされたものであり、その目的とするところは、素子基板の面積が小さくかつ文字が読み易い電気光学パネル、そのデータ線駆動回路および駆動方法、これを用いた電気光学装置、並びに電子機器を提供することにある。

【0014】

【課題を解決するための手段】本発明に係る電気光学パネルのデータ線駆動方法は、複数のデータ線と、複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備える電気光学パネルに用いられることを前提とし、複数色に対応する画像データを前記データ線数に応じた数の点順次画像データに各々変換し、前記点順次画像データを前記走査線の選択周期毎にラッチして線順次画像データに変換し、各色の線順次画像データに対してパラレルーシリアル変換を施して、各データ線に対応する各シリアルデータを生成し、各シリアルデータをDA変換して各画像信号を生成し、各画像信号を各データ線に各々供給することを特徴とする。

【0015】この発明によれば、各色の線順次画像データに対してパラレルーシリアル変換を施して、各データ線に対応する各シリアルデータを生成するので、各色に対応する画素領域が、データ線に沿って形成されている場合において、各画素領域に対応する画像データを順次供給することができる。

【0016】次に、本発明に係るデータ駆動回路にあっては、複数のデータ線と、複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各ス

イッチング素子に各々接続される各画素電極とを備える電気光学パネルに用いられることを前提とし、複数色に対応する画像データを前記データ線数に応じた数の点順次画像データに変換する第1変換部と、前記点順次画像データを前記走査線の選択周期毎にラッチして線順次画像データに変換するとともに、各色の線順次画像データに対してパラレルーシリアル変換を施して、各データ線に対応する各シリアルデータを生成する第2変換部と、各シリアルデータをDA変換して得た各画像信号を各データ線に各々供給するDA変換部とを備えたことを特徴とする。

【0017】この発明によれば、上述したデータ線駆動方法と同様に、線順次画像データに対してパラレルーシリアル変換を施して、各データ線に対応する各シリアルデータを生成するので、各色に対応する画素領域が、データ線に沿って形成されている場合において、各画素領域に対応する画像データを順次供給することができる。

【0018】ここで、前記第2変換部は、各データ線に対応した各ユニットを備え、1つのユニットは各色に対応する各サブユニットを縦続接続してなり、各サブユニットは前記走査線の選択期間開始時に前記点順次画像データをラッチするラッチ回路と、前記走査線の選択期間中に各サブユニットの出力信号を次段のサブユニットの前記ラッチ回路の入力に転送する転送回路とを備えるものであってもよい。この場合、第2変換部は、各色に対応する各サブユニットを縦続接続して構成されており、各サブユニットは、その出力信号を次段のサブユニットに転送するので、各データ線に対応したシリアルーパラレル変換を行うことができる。

【0019】さらに、前記画像データが、第1色、第2色、および第3色に各々対する3種類のデータであるならば、前記第2変換部は、第1色、第2色、第3色の順にパラレルーシリアル変換した前記シリアルデータを出力し、前記ユニットは、第1色に対応するとともに前記シリアルデータを取り出す第1サブユニットと、前記第1サブユニットの前段に設けられ第2色に対応する第2サブユニットと、前記第2サブユニットの前段に設けられ第3色に対応する第3サブユニットとを備え、前記各サブユニットのラッチ回路は、前記走査線の選択期間開始時にアクティブとなる第1転送信号に基づいて、前記点順次画像データをラッチし、前記第3サブユニットの転送回路は、前記第1転送信号のアクティブ期間終了して一定時間が経過した時点から当該走査線の選択期間が終了するまでの期間アクティブとなる第2転送信号に基づいて、前記第3サブユニットの出力信号を前記第2サブユニットの入力に転送し、前記第2サブユニットの転送回路は、前記第2転送信号が非アクティブからアクティブに遷移し一定時間が経過した時点から当該走査線の選択期間が終了するまでの期間アクティブとなる第3転送信号に基づいて、前記第2サブユニットの出力信号を

前記第1サブユニットの入力に転送することが好ましい。

【0020】また、前記第2変換部は、各データ線に対応した各ユニットを備え、1つのユニットは各色に対応する各サブユニットを環状に接続してなり、各サブユニットは前記走査線の選択期間開始時に前記点順次画像データをラッチするラッチ回路と、前記走査線の選択期間中に各サブユニットの出力信号を次段のサブユニットの前記ラッチ回路の入力に転送する転送回路とを備えるものであってもよい。この場合には、ある走査線選択期間中に画像データの色数に応じた数だけサブユニット間のデータ転送を行うことにより、各サブユニットの状態を当該走査線選択期間の当初の状態に戻すことができる。

【0021】さらに、前記画像データは、第1色、第2色、および第3色に各々対する3種類のデータであるならば、前記第2変換部は、第1色、第2色、第3色の順にパラレルーシリアル変換した前記シリアルデータを出力し、前記ユニットは、第1色に対応するとともに前記シリアルデータを取り出す第1サブユニットと、前記第1サブユニットの前段に設けられ第2色に対応する第2サブユニットと、前記第2サブユニットの前段に設けられ第3色に対応する第3サブユニットとを備え、前記各サブユニットのラッチ回路は、前記走査線の選択期間開始時にアクティブとなる第1転送信号に基づいて、前記点順次画像データをラッチし、前記各サブユニットの転送回路は、前記第1転送信号がアクティブから非アクティブに変化した時点から当該走査線の選択期間が終了するまでの期間において3回アクティブとなる第2転送信号に基づいて、次段の出力信号を後段のサブユニットの入力に転送することが好ましい。

【0022】この場合には、第2転送信号によって、サブユニット間のデータ転送が3回行われるから、各サブユニットの状態は当該走査線選択期間の当初の状態に戻される。一般に、隣接する画素間で画像信号の相関性は極めて高いので、各サブユニットの状態は走査線選択期間の当初の状態に戻すことにより、ある走査線選択期間から次の走査線選択期間に切り替わる時、各サブユニットの状態は隣接する同一色のデータ間で切り替わることになる。したがって、当該時点においては、各サブユニットのデータが殆ど変化しないので、消費電力を削減することが可能となる。

【0023】次に、本発明に係る電気光学パネルは、上述したデータ線駆動回路のいずれかと横長の画像領域とを備えるものであって、前記画像領域は、横方向に延在する複数のデータ線と、縦方向に延在する複数の走査線と、それらの各交点に対応して設けられる各スイッチング素子と、各スイッチング素子に各々接続される各画素電極とを備えることを特徴とする。この発明によれば、横長画面の画像領域に横方向に延在するデータ線を駆動することができる。

【0024】さらに、前記画像領域は、前記各走査線と前記各データ線とで仕切られる縦長の画素領域を有し、前記データ線駆動回路を短辺側に配置することが好ましい。この場合には、縦ストライプとなるから、アルファベットの文字等を読み易く画像領域に表示することが可能となる。

【0025】くわえて、長辺側に前記走査線を駆動する走査線駆動回路を配置し、前記データ線駆動回路に近接した短辺側の端部に実装端子を配置することが好ましい。この場合には、短辺側の端部に実装端子を配置したので、液晶パネルのコストを下げるができる。また、実装端子とデータ線駆動回路とを近接して配置したので、実装端子からデータ線駆動回路までの配線を短くでき、当該配線の寄生容量を小さくすることができる。このため、駆動周波数の高いデータ線駆動回路を安定して動作させることができるとともに、外部回路の負荷を減らし、消費電流を削減することができる。

【0026】次に、本発明の電気光学装置は、上述した電気光学パネルのいずれかと、入力画像データの行と列の関係を入れ替えて前記電気光学パネルに供給する画像処理部とを備えることを特徴とする。

【0027】次に、本発明の電気光学装置は、この電気光学装置を表示部として備えることを特徴とする。

【0028】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0029】＜1. 第1実施形態＞まず、本発明の第1実施形態に係る電気光学装置について、電気光学材料として液晶を用いた液晶表示装置を例にとって説明する。

【0030】＜1-1. 電気光学装置の全体構成＞図1は、第1実施形態に係る液晶表示装置の電気的構成を示すブロック図である。この図に示されるように、液晶表示装置は、液晶パネル100と、タイミング発生回路200と、画像信号処理回路300とを備える。

【0031】このうち、タイミング発生回路200は、各部で使用されるタイミング信号（必要に応じて後述する）を出力するものである。また、画像信号処理回路300は、R、G、Bの3原色に対応する各入力画像データDr、Dg、Dbに所定の行列変換を施して、各画像データDR、DG、DBを生成する。ここで、入力画像データDr、Dg、Dbおよび画像データDR、DG、DBは、1サンプリング当たり6ビットのパラレルデータである。なお、行列変換の詳細については後述する。

【0032】次に、液晶パネル100の電気的構成について説明する。液晶パネル100は、画像表示領域110、走査線駆動回路120およびデータ線駆動回路130を備えている。また、液晶パネル100は、後述するように、素子基板と対向基板とを互いに電極形成面を対向して貼付した構成となっている。

【0033】このうち、素子基板の画像表示領域110

にあっては、図1においてY方向に沿って平行に複数本の走査線112が配列して形成され、また、これと直交するX方向に沿って平行に複数本のデータ線114が形成されている。そして、これらの走査線112とデータ線114との各交点においては、TFT116のゲート電極が走査線112に接続される一方、TFT116のソース電極がデータ線114に接続されるとともに、TFT116のドレイン電極が画素電極118に接続されている。そして、各画素領域R、G、Bは、画素電極118と、後述する対向基板に形成された共通電極と、これら両電極間に挟持された液晶とによって構成される結果、走査線112とデータ線114との各交点に対応して、マトリクス状に配列することとなる。なお、このほかに、各画素領域R、G、B毎に、蓄積容量（図示省略）を、電氣的にみて画素電極118と共通電極とに挟持された液晶に対して並列に形成しても良い。

【0034】図2は、画像表示領域110を構成する画素を示した概念図である。なお、符号Pjkは、第j列、第k行の画素を示す。図示するように画像表示領域110は、n行m列の各画素P11～Pmnから構成されており、縦方向の長さに対して横方向の長さが長い横長画面である。さらに、1つの画素は、R画素領域R、G画素領域GおよびB画素領域Bから構成されている。これらの画素領域R、G、Bは、走査線112とデータ線114とで仕切られており、縦長の長方形の形状となっている。

【0035】次に、図1に示す走査線駆動回路120およびデータ線駆動回路130は、後述するように素子基板における対向面であって、画像表示領域110の周辺部に形成されるものである。これらの回路の能動素子は、いずれもpチャネル型TFTおよびnチャネル型TFTの組み合わせにより形成される。したがって、TFT116と共通の製造プロセスで形成することができ、集積化や、製造コスト、素子の均一性などの点において有利となる。

【0036】ここで、走査線駆動回路120は、シフトレジスタを有し、タイミング発生回路200からのクロック信号CLXや、その反転クロック信号CLXINV、転送開始パルスDX等に基づいて、走査信号を各走査線112に対して順次出力するものである。

【0037】また、データ線駆動回路130の詳細については後述するが、画像信号処理回路300から供給される画像データDR、DG、DBに基づいて、各データ線114に供給する画像信号を生成するようになっている。

【0038】＜1-2. 画像信号処理回路の構成＞次に、画像信号処理回路300について、詳細に説明する。図3は、画像信号処理回路300の主要部の構成を示すブロック図である。この図に示すように、画像信号処理回路300の主要部は、アドレス発生回路310、

RAMR320、RAMG330、およびRAMB340から構成されている。

【0039】まず、入力画像データDr、Dg、Dbは、1行毎に左端の画素から右端の画素へ走査し、これを第1行から第n行まで繰り返して得たデータ列として与えられる。すなわち、入力画像データDr、Dg、Dbは、図2に示す画素P11、P21、…、Pm1、P12、P22、…、Pm2、…、P1n、P2n、…、Pmn、の順にサンプリングされたデータ列である。ここで、各画素に対応する入力画像データDr、Dg、DbをPjkr、Pjkg、Pjkbと表すことにする。また、RAMR320、RAMG330、およびRAMB340から出力される画像データDR、DG、DBについても、各画素に対応する1サンプリング当たりのデータをPjkr、Pjkg、Pjkbと表すことにする。ただし、jは $1 \leq j \leq m$ であり第何番目の列に該当するかを示しており、kは $1 \leq k \leq n$ であり第何番目の行に該当するかを示している。

【0040】アドレス発生回路310は、入力画像データDr、Dg、Dbの書き込みに必要な書込アドレスWADRを生成する一方、画像データDR、DG、DBの読み出しに必要な読出アドレスRADRを生成する。

【0041】次に、RAMR320、RAMG330、およびRAMB340は、第1記憶部と第2記憶部とを各々備えており（図示略）、一方の記憶部に対して書き込みを行うと同時に他方の記憶部から読み出しを行うように構成されている。さらに、第1記憶部と第2記憶部とは、n行m列の記憶領域を備えており、1フィールドのデータを各々記憶できる記憶容量を有している。そして、あるフィールドで一方の記憶部に書き込みむと同時に他方の記憶部から読み出しを行ったとすると、次のフィールドでは他方の記憶部に書き込みを行うと同時に一方の記憶部から読み出しを行うようになっている。

【0042】ここで、書込アドレスWADRは、1行1列、1行2列、…、1行m列、2行1列、2行2列、…、2行m列、…、n行1列、n行2列、…、n行m列といった順序で各記憶領域を指定する一方、読出アドレスRADRは1行1列、2行1列、…、n行1列、1行2列、2行2列、…、n行2列、…、1行m列、2行m列、…、n行m列といった順序で各記憶領域を指定するようになっている。

【0043】したがって、RAMR320、RAMG330、およびRAMB340では、1行毎に第1列の記憶領域から第m列の記憶領域の順に書き込みが行われこれを第1行から第n行まで繰り返すことによって、1フィールド分の入力画像データDr、Dg、Dbが記憶される。一方、読み出しの際には、1列毎に第1行の記憶領域から第n行の記憶領域の順に読み出しが行われこれを第1列から第m列まで繰り返すことによって、画像データDR、DG、DBが出力される。

【0044】このため、RAMR320、RAMG330、およびRAMB340から出力される画像データDR、DG、DBは、図2に示す画素画素P11、P12、…、P1n、P21、P22、…、P2n、…、Pm1、Pm2、…、Pmn、の順にサンプリングされたデータ列となる。

【0045】これにより、入力画像データDr、Dg、Dbに対して行と列を変換した画像データDR、DG、DBを得ることができる。

【0046】なお、上述した例では、アドレス生成回路310を用いてハードウェア的に書込アドレスWADRと読出アドレスRADRとを発生するようにしたが、この液晶表示装置をコンピュータシステムのモニタとして用いる場合等においては、CPUによって、連続したアドレスで指定される記憶領域に入力画像データDr、Dg、Dbを書き込むとともに、行と列を変換できるように指定したアドレスを用いて、記憶領域から画像データDR、DG、DBを読み出すようにしてもよい。あるいは、CPUによって、入力画像データDr、Dg、Dbを行と列を変換できるように指定したアドレスを用いて、記憶領域に書き込むとともに、連続した記憶領域から画像データDR、DG、DBを読み出すようにしてもよい。

【0047】＜1-3. データ線駆動回路の構成＞次に、データ線駆動回路130について詳細に説明する。図4はデータ線駆動回路のブロック図である。この図に示すようにデータ線駆動回路130は、シフトレジスタ131、画像データ供給線Lr、Lg、Lb、第1ラッチ部132、第2ラッチ部133およびDAコンバータ134から構成されている。

【0048】まず、シフトレジスタ131は、タイミング発生回路200からのクロック信号CLYやその反転クロック信号CLYINVに基づいて、転送開始信号DYを順次シフトしてサンプリング信号S1～Snを順次出力するよう構成されている。

【0049】次に、画像データ供給線Lr、Lg、Lbは、各々6本の配線で構成されており、6ビットのパラレル形式で供給される画像データDR、DG、DBが、画像信号処理回路300から供給されるようになっている。

【0050】次に、第1ラッチ部132は、各画像データDR、DG、DBをサンプリング信号S1～Snを用いてラッチするように構成されており、これにより、点順次画像データDR'、DG'、DB'が得られるようになっている。

【0051】次に、第2ラッチ部133は、第1転送信号TRS1を用いて、点順次画像データDR'、DG'、DB'を線順次画像データDR''、DG''、DB''に変換し、その後、第2転送信号TRS2および第3転送信号TRS3に従って、線順次画像データDR''、D

G''、DB''をシリアル形式に変換した画像データDRGBを出力するように構成されている。

【0052】次に、DAコンバータ134は、シリアルデータをDA変換して得た各画像信号を各データ線114に出力するように構成されている。

【0053】さてここで、第1ラッチ部132と第2ラッチ部133との構成を図5を用いて詳細に説明する。図5は、第1ラッチ部と第2ラッチ部の詳細な構成を示す回路図である。

【0054】この図に示すように、第1ラッチ部132は、データ線114の本数“n”に対応して、n個のユニットUA1～UA nを備えている。一方、第2ラッチ部134も同様に、n個のユニットUB1～UB nを備えている。

【0055】さらに、第1ラッチ部133のユニットUA1は、画像データDR、DG、DBのビット数“6”に対応して6個のビットユニットUA11～UA16を備えている。ビットユニットUA12～UA16は、ビットユニットUA11と同一の構成であり、各ビットユニットUA11～UA16には、画像データDR、DG、DBの第1ビットから第6ビットが各々供給されるようになっている。また、他のユニットUA2～UA nについてもユニットUA1と同様に構成されている。一方、第2ラッチ部133のユニットUB1は、第1ラッチ部132と同様に、6個のビットユニットUB11～UB16を備えている。さらに、ビットユニットUB12～UB16は、ビットユニットUB11と同一の構成である。くわえて、他のユニットUB2～UB nについてもユニットUB1と同様に構成されている。

【0056】まず、第1ラッチ部132のビットユニットUA11は、図に示すように、アナログスイッチSW1およびインバータINV1、INV2から構成される3組のラッチ回路を備えている。各組のアナログスイッチSW1の制御端子には、サンプリング信号S1が供給されるようになっている。このため、サンプリング信号S1がアクティブになると、画像データDR、DG、DBの各第1ビットデータがインバータINV1、INV2に供給される。ここで、インバータINV1の出力信号は、インバータINV2を介してその入力端子にフィードバックされるようになっているので、アナログスイッチSW1がハイインピーダンス状態となっても、サンプリング信号S1がアクティブとなる期間に取り込まれた論理レベルがインバータINV1、INV2によって記憶されることになる。したがって、ユニットUA11は、画像データDR、DG、DBの各第1ビットデータを、サンプリング信号S1に従ってラッチする。サンプリング信号S1は、図に示すようにユニットUA12～UA16にも供給されるから、ユニットUA1は、第1行に対する画像データDR、DG、DBを出力する。同様の処理がユニットUA2～UA nにおいても行われる。これにより、画像データD

R, DG, DBが各データ線114に対応する点順次画像データDR', DG', DB'に変換される。

【0057】次に、第2ラッチ部133のビットユニットUB11は、R, G, Bの各色に対応したサブユニットUB11r, UB11g, UB11bから構成されている。各サブユニットのアナログスイッチSW2およびインバータINV3, INV4は、ラッチ回路として機能する。なお、サブユニットUB11bのインバータINV4は第1転送信号TRS1によって制御され、サブユニットUB11g, UB11rのインバータINV4はオア回路ORによ

って制御されるようになっている。

【0058】ここで、アナログスイッチSW2は第1転送信号TRS1によって制御される。第1転送信号TRS1は、各走査線112が選択される期間の開始時点においてアクティブとなる信号である。したがって、各ラッチ回路は、各走査線112が選択される期間の開始時点において点順次画像データDR', DG', DB'を取り込んで、走査線112の選択期間中、論理レベルを記憶する。これにより、点順次画像データDR', DG', DB'が、線順次画像データDR'', DG'', DB''に

変換される。

【0059】また、サブユニットUB11bのインバータINV5、サブユニットUB11grのインバータINV6は、サブユニットの出力信号を次段のサブユニットに転送する転送回路として機能する。この例では、第2転送信号TRS2と第3転送信号TRS3に基づいて、サブユニットUB11bの出力信号がサブユニットUB11gに転送され、サブユニットUB11gの出力信号がサブユニットUB11rに転送される。これにより、各線順次画像データDR'', DG'', DB''が各データ線114に対応するシリアル形式の画像データDRGBに変換される。

【0060】＜1-4. データ線駆動回路の動作＞次に、データ線駆動回路130の動作について説明する。図6および図7はデータ線駆動回路の動作を説明するためのタイミングチャートである。

【0061】図6において転送開始信号DYがデータ線駆動回路130のシフトレジスタ131に供給されると、シフトレジスタ131は、クロック信号CLYとその反転クロック信号CLYINVに従って、転送開始信号DYを順次シフトして、サンプリング信号S1, S2, ..., Snを出力する。

【0062】ここで、画像データDR, DG, DBは、図に示すように、サンプリング信号S1~Snと同期している。このため、第1ラッチ部132がサンプリング信号S1~Snに基づいて、画像データDR, DG, DBをラッチすると、点順次画像データDR', DG', DB'が得られることになる。

【0063】次に、ある走査線112の選択期間の開始のタイミングで第1転送信号TRS1がアクティブ（こ

の例では、Hレベル）になると、点順次画像データDR', DG', DB'が第2ラッチ部133によってラッチされ、点順次画像データDR'', DG'', DB''に変換される。

【0064】図7に示すように第2転送信号TRS2は、第1転送信号TRS1がアクティブから非アクティブに変化した後にアクティブとなり、その状態を当該走査線の選択期間中維持する信号である。また、第3転送信号TRS3は、第2転送信号TRS2が非アクティブからアクティブとなり、一定時間が経過した後にアクティブとなり、その状態を当該走査線の選択期間中維持する信号である。

【0065】図6および図7に示すように時刻t10から時刻t11までの期間において、第1転送信号TRS1がアクティブになると、図5に示すUB11の各アナログスイッチSW2がオン状態となる。このとき、図5に示す信号PR1, PG1, PB1は、図7に示すように、データP11R, P11G, P11Bとなる。

【0066】この後、所定時間が経過して時刻t12に至ると、第2転送信号TRS2が非アクティブ（L）からアクティブ（H）に変化する。すると、サブユニットUB11gのインバータINV5がアクティブとなるので、P11GがサブユニットUB11rに転送され、インバータINV3, INV4によってラッチされる。したがって、時刻t12から時刻t13までの期間において、信号PR1は、“P11G”となる。

【0067】そして、時刻t13に至ると、第3転送信号TRS3が非アクティブ（L）からアクティブ（H）に変化する。すると、サブユニットUB11bおよびサブユニットUB11gインバータINV5がアクティブとなるので、P11BがサブユニットUB11rに転送される。したがって、時刻t12から時刻t13までの期間において、信号PR1は、“P11B”となる。

【0068】以上の動作が各走査線112の選択期間毎に繰り返し行われることによって、パラレル形式で供給される線順次画像データDR'', DG'', DB''がシリアル形式の画像データDRGBに変換される。

【0069】こうして得られた画像データDRGBが、DAコンバータ134によってアナログ信号に変換されるので、各データ線114には、R, G, Bの順序で画像信号が供給される。例えば、図1に示す画像表示領域110の最上部のデータ線114には、P11R, P11G, P11B, P21R, P21G, P21B, ..., Pm1R, Pm1G, Pm1Bの順に画像信号が供給される。

【0070】このように、本実施形態のデータ線駆動回路130においては、第2ラッチ部133において、点順次画像データDR', DG', DB'を線順次画像データDR'', DG'', DB''に変換し、さらに、これらをシリアル形式の画像データDRGBに変換したので、図2

に示す縦ストライプの画素構成において、横方向から画像信号を供給することができる。この結果、データ線駆動回路130を図1に示すように液晶パネル100の短辺LS側に配置することが可能となる。

【0071】<液晶パネルの構成例>次に、上述した実施形態に係るデータ線駆動回路130を有する液晶パネル100の全体構成について図8および図9を参照して説明する。ここで、図8は、液晶パネル100の構成を示す斜視図であり、図9は、図8におけるA-A'線の断面図である。

【0072】これらの図に示されるように、液晶パネル100は、画素電極118等が形成されたガラスや、半導体、石英などの素子基板101と、共通電極108等が形成されたガラスなどの透明な対向基板102とが、スペーサ103の混入されたシール材104によって一定の間隙を保って、互いに電極形成面が対向するように貼り合わせられるとともに、この間隙に電気光学材料としての液晶105が封入された構造となっている。なお、シール材104は、対向基板102の基板周辺に沿って形成されるが、液晶105を封入するために一部が開口している。このため、液晶105の封入後に、その開口部分が封止材106によって封止されている。

【0073】ここで、素子基板101の対向面であって、シール材104の短辺LS側においては、上述したデータ線駆動回路130が形成されて、X方向に延在するデータ線114を駆動する構成となっている。さらに、この一辺には複数の外部回路接続端子107が形成されて、タイミング発生回路200および画像信号処理回路300からの各種信号を入力する構成となっている。また、長辺LL側には、2個の走査線駆動回路120が形成されて、Y方向に延在する走査線112をそれぞれ両側から駆動する構成となっている。なお、走査線112に供給される走査信号の遅延が問題にならないのであれば、走査線駆動回路120を片側1個だけに形成する構成でも良い。

【0074】一方、対向基板102の共通電極108は、素子基板101との貼合部分における4隅のうち、少なくとも1箇所において設けられた導通材によって、素子基板101との電氣的導通が図られている。このほかに、対向基板102には、第1に、ストライプ状に配列したカラーフィルタが設けられ、第2に、例えば、クロムやニッケルなどの金属材料や、カーボンやチタンなどをフォトリソに分散した樹脂ブラックなどの遮光膜が設けられ、第3に、液晶パネル100に光を照射するバックライトが設けられる。

【0075】くわえて、素子基板101および対向基板102の対向面には、それぞれ所定の方向にラビング処理された配向膜（図示省略）などが設けられる一方、その各背面側には配向方向に応じた偏光板（図示省略）がそれぞれ設けられる。ただし、液晶105として、高分

子中に微小粒として分散させた高分子分散型液晶を用いれば、前述の配向膜や偏光板などが不要となる結果、光利用効率が高まるので、高輝度化や低消費電力化などの点において有利である。

【0076】なお、データ線駆動回路120等の周辺回路の一部または全部を、素子基板101に形成する替わりに、例えば、TAB（Tape Automated Bonding）技術を用いてフィルムに実装された駆動用ICチップを、素子基板101の所定位置に設けられる異方性導電フィルムを介して電氣的および機械的に接続する構成としても良いし、駆動用ICチップ自体を、COG（Chip On Glass）技術を用いて、素子基板101の所定位置に異方性導電フィルムを介して電氣的および機械的に接続する構成としても良い。

【0077】このように本実施形態にあつては、外部回路接続端子107（実装端子）を短辺LS側に設けたので、長辺LL側にそれを設ける場合と比較して素子基板101の面積を縮小することができるから、液晶パネル100のコストを削減でき、ひいては液晶表示装置全体のコストダウンを図ることができる。

【0078】さらに、データ線駆動回路130を外部回路接続端子107と近接するように短辺LS側に設けたので、外部回路接続端子107からデータ線駆動回路130までの配線を短くできるので、当該配線の寄生容量を小さくすることができる。このため、周波数の高いクロック信号CLYや反転クロック信号CLYINVを安定してデータ線駆動回路130に供給することができるとともに、タイミング発生回路200に設けられたクロック信号CLYや反転クロック信号CLYINVを駆動するための回路の負荷を減らし、消費電流を削減することができる。

【0079】くわえて、データ線駆動回路130の第2ラッチ部133において、点順次画像データDR'、DG'、DB'を線順次画像データDR''、DG''、DB''に変換し、さらに、これらをシリアル形式の画像データDRGBに変換したので、図2に示す縦ストライプの画素構成において、横方向から画像信号を供給することができる。この結果、文字が途切れてしまい読み難くなるといったことが無く、読み易い文字を鮮明に表示させることができる。

【0080】<2. 第2実施形態>次に、第2実施形態に係る液晶表示装置について説明する。本実施形態の液晶表示装置は、データ線駆動回路130の第2ラッチ部の詳細な構成を除いて、第1実施形態の液晶表示装置と同一である。そこで、第2ラッチ部について説明する。図10は、第2実施形態のデータ線駆動回路に用いられる第2ラッチ部133'と第1ラッチ部132の詳細な回路図である。

【0081】第2ラッチ部133'は、図5に示す第1実施形態の第2ラッチ部133と同様に、n個のユニッ

トUB1～UBnを備えている。そして、ユニットUB1は6個のビットユニットUB11'～UB16'から構成されている。第2ラッチ部133'が、第1実施形態の第2ラッチ部133と相違するのは、ビットユニットの詳細な構成である。

【0082】図10に示すようにビットユニットUB11'は、サブユニットUB11r', UB11g', UB11b'から構成されている。

【0083】各サブユニットUB11r', UB11g', UB11b'は、第1ラッチ回路として機能するアナログスイッチSW2、インバータINV3, INV4およびオア回路ORと、第2ラッチ回路として機能するアナログスイッチSW3およびインバータINV6, INV7と、転送回路として機能するアナログスイッチSW4とを備えている。

【0084】まず、アナログスイッチSW2は、第1転送信号TRS1がアクティブになるとオン状態となるから、第1転送信号TRS1のアクティブ期間において、第1ラッチ部133から出力される点順次画像データDR', DG', DB'が第1ラッチ回路に取り込まれる。第1転送信号TRS1は走査線112の選択期間開始時にアクティブとなる信号である。したがって、第1ラッチ回路によって、点順次画像データDR', DG', DB'が線順次画像データDR'', DG'', DB''に変換される。

【0085】次に、アナログスイッチSW3は、第4転送信号TRS4の非アクティブ期間（Lレベル）においてオン状態となる一方、そのアクティブ期間においてオフ状態となる。したがって、第2ラッチ回路は、第4転送信号TRS4の非アクティブ期間において、第1ラッチ回路の出力信号を取り込む。

【0086】次に、転送回路として機能するアナログスイッチSW4は、第4転送信号TRS4のアクティブ期間（Hレベル）においてオン状態となる一方、その非アクティブ期間においてオフ状態となる。したがって、第4転送信号TRS4のアクティブ期間（Hレベル）においては、図に示す信号PB2がサブユニットUB11b'のアナログスイッチSW4を介してサブユニットUB11g'に転送され、信号PG2がサブユニットUB11g'のアナログスイッチSW4を介してサブユニットUB11r'に転送され、信号PR2がサブユニットUB11r'のアナログスイッチSW4を介してサブユニットUB11b'に転送される。すなわち、第2実施形態の第2ラッチ部133は、各サブユニットが環状に接続されている点で、直線状に各サブユニットが接続されている第1実施形態の第2ラッチ部133と相違する。また、第4転送信号TRS4は、第1転送信号TRS1がアクティブ（Hレベル）となってから次にアクティブとなる期間中に、3回アクティブ（Hレベル）となる（図11参照）。したがって、第2実施形態の第2ラ

ッチ部133'は、ある走査線112の選択期間中にサブユニット間の転送を3回行う点で、サブユニット間の転送を2回で終了する第1実施形態の第2ラッチ部133と相違している。

【0087】次に、第2実施形態に係るデータ線駆動回路の動作を説明する。第2実施形態のデータ線駆動回路130は、第2ラッチ部の詳細な構成を除いて第1実施形態と同様であるから、第2実施形態のデータ線駆動回路130は、第1ラッチ部132によって点順次画像データを生成するまでは、第1実施形態と同様に動作する（図6参照）。

【0088】図11は、第2ラッチ部の動作を説明するためのタイミングチャートである。時刻t10から時刻t11までの期間において、第1転送信号TRS1がHレベルになると、アナログスイッチSW1がオン状態となり、第1ラッチ部132から出力される点順次画像データが、第2ラッチ部133に取り込まれる。この結果、当該期間において、信号PR1, PG1, PB1は、1行1列目の画素P11に対応するデータP11R, P11G, P11Bとなる。また、当該期間においては、第4転送信号TRS4がLレベルとなっているから、アナログスイッチSW2はオン状態になっている。このため、第1ラッチ回路の出力信号PR1, PG1, PB1は第2ラッチ回路に取り込まれる。したがって、信号PR2, PG2, PB2は、データP11R, P11G, P11Bとなる。

【0089】次に、時刻t11から時刻t12までの期間にあっては、第1転送信号TRS1および第4転送信号TRS4がともにLレベルであるから、インバータINV4は動作状態となり、インバータINV3, INV4によって論理レベルが保持される。したがって、当該期間において、信号PR1, PG1, PB1はデータP11R, P11G, P11Bとなる。また、当該期間においては、アナログスイッチSW2がオン状態となっているから、信号PR2, PG2, PB2はデータP11R, P11G, P11Bとなる。

【0090】次に、時刻t12から時刻t13までの期間にあっては、第4転送信号TRS4がHレベルになる。すると、アナログスイッチSW3がオン状態となり、サブユニット間のデータ転送が行われる。具体的には、データがUB11b'→UB11g'→UB11r'→UB11b'の方向にデータが同時に転送される。このとき、アナログスイッチSW2, SW3はオフ状態となっているから、前段のサブユニットから転送されたデータが第1ラッチ回路によって保持される一方、第2ラッチ回路は当該期間において時刻t12より前の状態を維持する。このため、当該期間にあっては、信号PR1, PG1, PB1はデータP11G, P11B, P11Bとなる一方、信号PR2, PG2, PB2はデータP11R, P11G, P11Bとなる。

【0091】次に、時刻 t_{13} から時刻 t_{14} までの期間にあっては、アナログスイッチSW3がオン状態、アナログスイッチSW2、SW4がオフ状態となるので、信号PR1、PG1、PB1と信号PR2、PG2、PB2とは各々一致し、データP11G、P11B、P11Bとなる。

【0092】以後、第2ラッチ部133'は、時刻 t_{14} から時刻 t_{15} までの期間において時刻 t_{12} から時刻 t_{13} までの期間と同様に動作し、時刻 t_{15} から時刻 t_{16} までの期間において時刻 t_{13} から時刻 t_{14} までの期間と同様に動作する。したがって、信号PR1、PG1、PB1と信号PR2、PG2、PB2は図に示すように変化する。

【0093】ここで、第2ラッチ部133の出力信号PR2に着目すると、時刻 t_{10} から時刻 t_{17} までの期間中に、信号PR2は、P11R→P11G→P11Bの順に変化している。すなわち、線順次画像データDR', DG', DB'をシリアル形式の画像データDRGBに変換している。

【0094】ところで、本実施形態のサブユニットは環状に接続されており、第1転送信号TRS1が再びアクティブとなる時刻 t_{18} より前に、第4転送信号TRS4が3回アクティブとなる。3度目のアクティブ期間は、図に示す時刻 t_{16} から時刻 t_{17} までの期間TAである。当該期間を設けることによって、各サブユニットには、時刻 t_{10} から時刻 t_{11} までの期間に取り込んだ線順次画像データが入力されることになる。例えば、サブユニットUB11r'では、時刻 t_{16} から時刻 t_{17} までの期間において、データP11Rが取り込まれる。これにより、時刻 t_{17} から時刻 t_{18} までの期間において、信号PR1、PG1、PB1と信号PR2、PG2、PB2とが各々一致し、データP11R、P11G、P11Bとなる。

【0095】単に、線順次画像データDR', DG', DB'をシリアル形式の画像データDRGBに変換するのであれば、第1実施形態のようにサブユニットを直線状に接続し、1回の走査線選択期間中に第4転送信号TRS4を2回アクティブにすれば足りる。しかしながら、第2実施形態においては、上述したようにサブユニットを環状に接続し、3度目のアクティブ期間TAを設けている。これは、以下の理由による。

【0096】画像信号の相関性は極めて高いため、隣接する画素間では画像データ値が変わらないことが多い。一方、第2ラッチ部133'は、pチャンネル型およびnチャンネル型のTFTによって構成されるが、TFTが電力を消費するのは論理レベルが変化したときであり、論理レベルが変化しなければ、電力は殆ど消費されない。

【0097】上述したように3度目のアクティブ期間TAによって、各サブユニットの信号PR1、PG1、P

B1と信号PR2、PG2、PB2とは、走査線選択期間の最初の状態に戻っている。この状態において、次に第1転送信号TRS1がアクティブとなったときに、各サブユニットに取り込まれる点順次画像データDR', DG', DB'は、隣接する画素に対応するものである。例えば、サブユニットUB11r'に着目すると、信号PR1は時刻 t_{18} の前でデータP11RからデータP21Rに変化する。データP11Rは画素P11のR画素領域に対応するものであり、P21Rは画素P11に隣接する画素P21のR画素領域に対応するものである。したがって、データP11Rの値とデータP21Rの値は一致する可能性が極めて高い。このため、第1転送信号TRS1がアクティブとなる時点（例えば、時刻 t_{18} ）において、消費される電力を大幅に削減することができる。

【0098】一方、3度目のアクティブ期間TAを設けることによって、各サブユニットの状態は1回の走査線選択期間中に3回変化することになり、それだけ消費電力が増加する。しかしながら、アクティブ期間TAによる状態の変化は、同一画素内で行われる。例えば、サブユニットUB11r'においては期間TAを設けることによって、信号PR1、PR2がデータP11BからデータP11Rに変化する。ここで、画像信号処理回路300から供給される画像データDR、DG、DBは、上述したように白、黒、灰といった無彩色の画像を表示するときには、同一値となるように正規化されている。したがって、表示すべき画像が無彩色である場合には、期間TAを設けても消費電力が増加しない。特に、コンピュータのモニタに表示されるテキストは、黒色であることが多く、またその背景は白色であることが多い。したがって、特に、コンピュータの表示用にこの液晶表示装置を用いる場合には、期間TAを設けたことによって消費電力が増加することはない。したがって、サブユニットを環状に接続し、3度目のアクティブ期間TAを設けることにより、消費電力を削減することが可能となる。

【0099】＜3. 変形例＞

(1) 上述した各実施形態においては、液晶パネル100の素子基板101をガラス等の透明な絶縁性基板により構成して、当該基板上にシリコン薄膜を形成するとともに、当該薄膜上にソース、ドレイン、チャネルが形成されたTFTによって、画素のスイッチング素子(TFT116)や駆動回路120の素子を構成するものとして説明したが、本発明はこれに限られるものではない。

【0100】例えば、素子基板101を半導体基板により構成して、当該半導体基板の表面にソース、ドレイン、チャネルが形成された絶縁ゲート型電界効果トランジスタによって、画素のスイッチング素子や駆動回路120の素子を構成しても良い。このように素子基板101を半導体基板により構成する場合には、透過型の表示

パネルとして用いることができないため、画素電極118をアルミニウムなどで形成して、反射型として用いられることとなる。また、単に、素子基板101を透明基板として、画素電極118を反射型にしても良い。

【0101】(2)さらに、上述した各実施形態においては、画素のスイッチング素子を、TFTで代表される3端子素子として説明したが、ダイオード等の2端子素子で構成しても良い。ただし、画素のスイッチング素子として2端子素子を用いる場合には、走査線112を一方の基板に形成し、データ線114を他方の基板に形成するとともに、2端子素子を、走査線112またはデータ線114のいずれか一方と、画素電極との間に形成する必要がある。この場合、画素は、走査線112とデータ線114との間に直列接続された二端子素子と、液晶とから構成されることとなる。

【0102】(3)また、本発明は、アクティブマトリクス型液晶表示装置として説明したが、これに限られず、STN(Super Twisted Nematic)液晶などを用いたパッシブ型にも適用可能である。さらに、電気光学材料としては、液晶のほかに、エレクトロルミネッセンス素子などを用いて、その電気光学効果により表示を行う表示装置にも適用可能である。すなわち、本発明は、上述した液晶表示装置と類似の構成を有するすべての電気光学装置に適用可能である。

【0103】(4)また、上述した各実施形態においては、RGBの3原色に各々対応した画素領域R,G,Bをデータ線114に沿って形成するようにしたが、本発明はこれに限定されるものではなく、複数色を表示するものであってもよい。この場合には、各色に対応する画像データを点順次画像データに変換し、これを線順次画像データに変換し、各色に対応する線順次画像データをパラレル-シリアル変換して、シリアル形式の画像データを各データ線に対応して生成し、さらに得られた画像データにDA変換を施して各データ線に出力すればよい。

【0104】<4. 応用例>次に、上述した液晶表示装置を各種の電子機器に適用される場合について説明する。

【0105】<その1: モバイル型コンピュータ>まず、この液晶パネルを、モバイル型のパーソナルコンピュータに適用した例について説明する。図12は、このパーソナルコンピュータの構成を示す斜視図である。図において、コンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示ユニット1206とから構成されている。この液晶表示ユニット1206は、先に述べた液晶パネル100の背面にバックライトを付加することにより構成されている。

【0106】<その2: 携帯電話>さらに、この液晶パネル100を、携帯電話に適用した例について説明する。図13は、この携帯電話の構成を示す斜視図である。図において、携帯電話1302は、複数の操作ボタ

*ン1302とともに、反射型の液晶パネル100を備えるものである。この反射型の液晶パネル100にあっては、必要に応じてその前面にフロントライトが設けられる。

【0107】なお、図12~図13を参照して説明した電子機器の他にも、単板型のビデオプロジェクタ、液晶テレビ、ビューファインダ型あるいはモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置などが挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【0108】

【発明の効果】以上説明したように本発明によれば、製造コストを削減すると同時に、文字が読み易い電気光学パネルを提供することができる。また、この電気光学パネルのデータ線を駆動するデータ線駆動回路および駆動方法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る液晶表示装置の全体構成を示すブロック図である。

【図2】 同装置における画像表示領域を構成する画素を示した概念図である。

【図3】 同装置における画像処理回路の構成を示すブロック図である。

【図4】 同装置のデータ線駆動回路の構成を示すブロック図である。

【図5】 同装置の第1および第2ラッチ部の構成を示す回路図である。

【図6】 同装置のデータ線駆動回路の動作を示すタイミングチャートである。

【図7】 同装置のデータ線駆動回路の動作を示すタイミングチャートである。

【図8】 同液晶パネルの構造を示す斜視図である。

【図9】 同液晶パネルの構造を説明するための一部断面図である。

【図10】 本発明の第2実施形態に用いられる第1および第2ラッチ部の構成を示す回路図である。

【図11】 同第2ラッチ部の動作を示すタイミングチャートである。

【図12】 同液晶表示装置を適用した電子機器の一例たるパーソナルコンピュータの構成を示す斜視図である。

【図13】 同液晶表示装置を適用した電子機器の一例たる携帯電話の構成を示す斜視図である。

【図14】 従来の横長画面の液晶パネルの主要部を示すブロック図である。

【図15】 従来の縦長画面の液晶パネルの主要部を示すブロック図である。

【図16】 緑色で表示される文字“X”を横ストライ

*130……データ線駆動回路

1 3 2……第1ラッチ部（第1変換部）

1 3 2……第1ラッチ部（第1変換部）

1 3 3、1 3 3'……第2ラッチ部（第2変換部）

1 3 4 …… DA変換部(DAコンバータ)

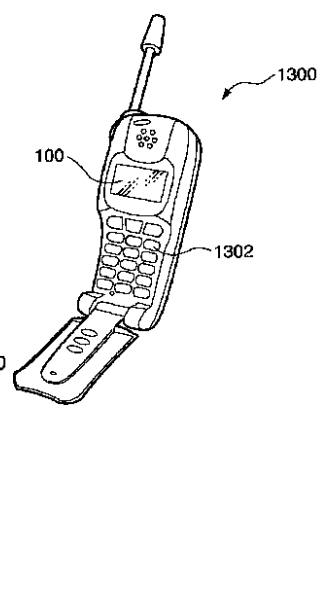
300……画像処理回路（画像処理部）

UB1~UBn……ユニット

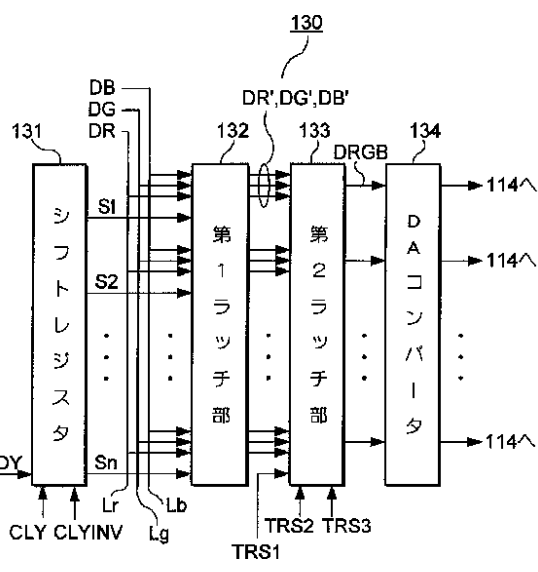
UB11r, UB11g, UB11b……サブユニット

ト

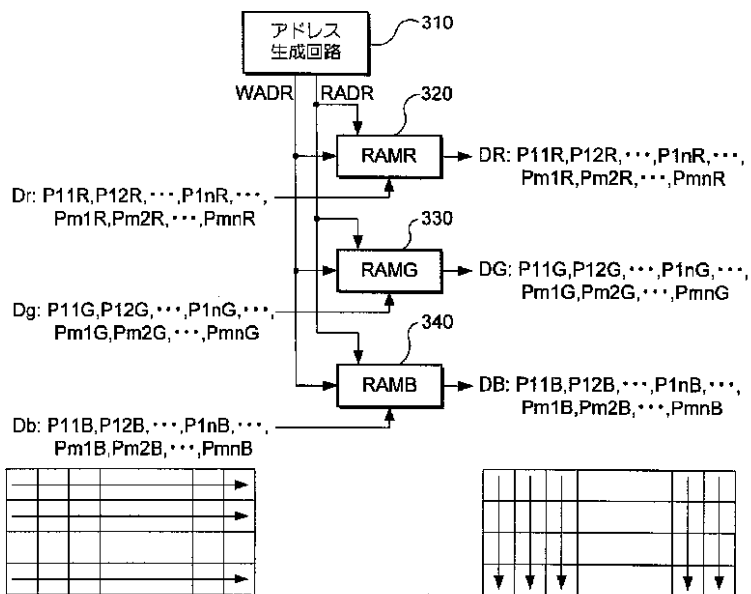
【图 13】



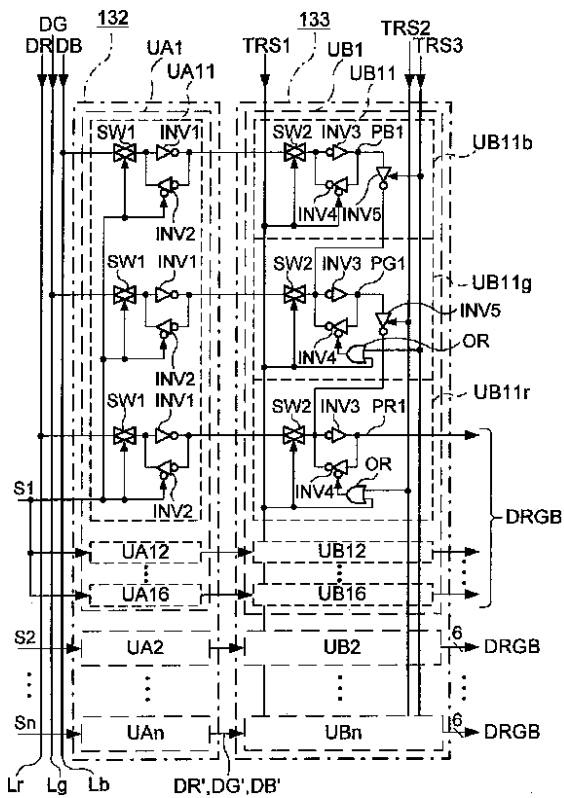
【図 4】



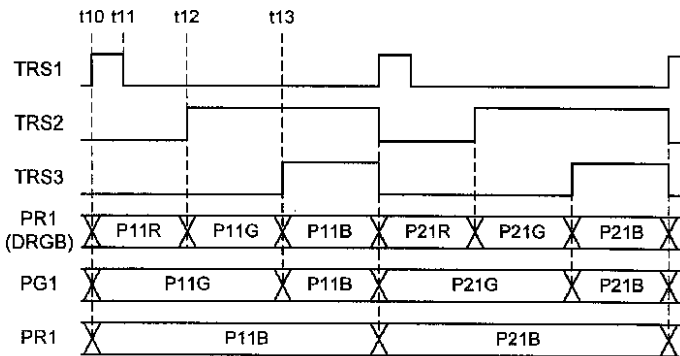
【図 3】



【図 5】



【图7】



【図 8】

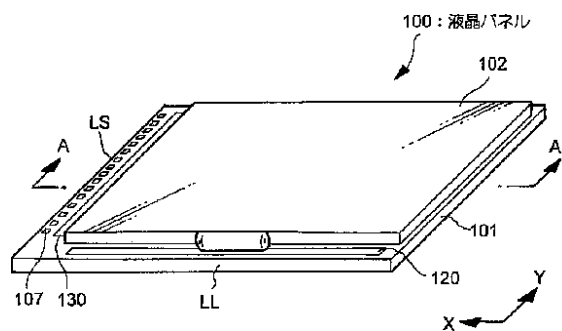
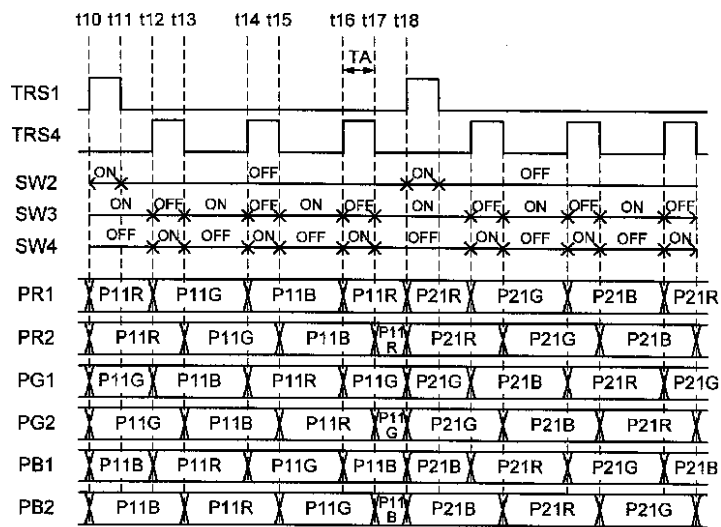
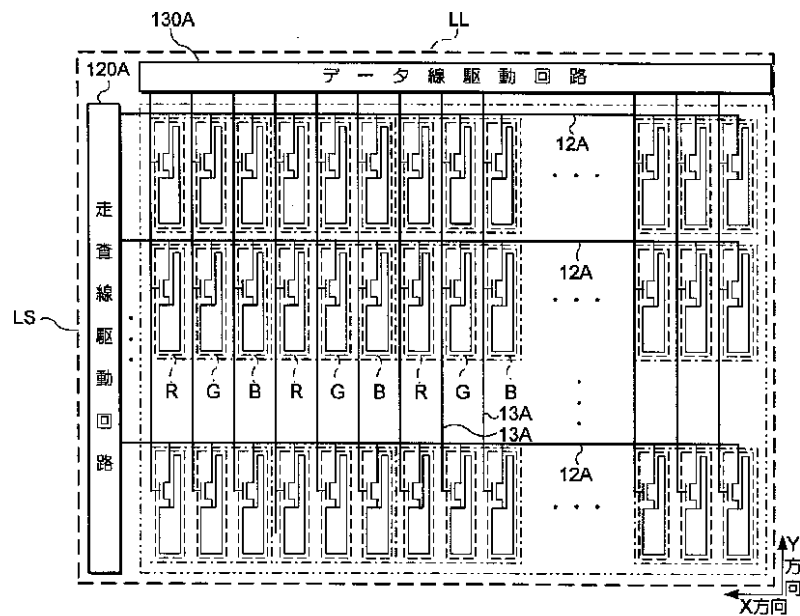


Figure 1 is a cross-sectional view of a liquid crystal panel 100. The panel is composed of a substrate 101, a lower layer 102, and an upper layer 103. A liquid crystal layer 104 is positioned between the lower and upper layers. A gap 105 is formed in the liquid crystal layer, and a spacer 106 is located within this gap. A seal 107 is situated at the edge of the substrate 101. The label 'A' is positioned at the top right of the diagram.

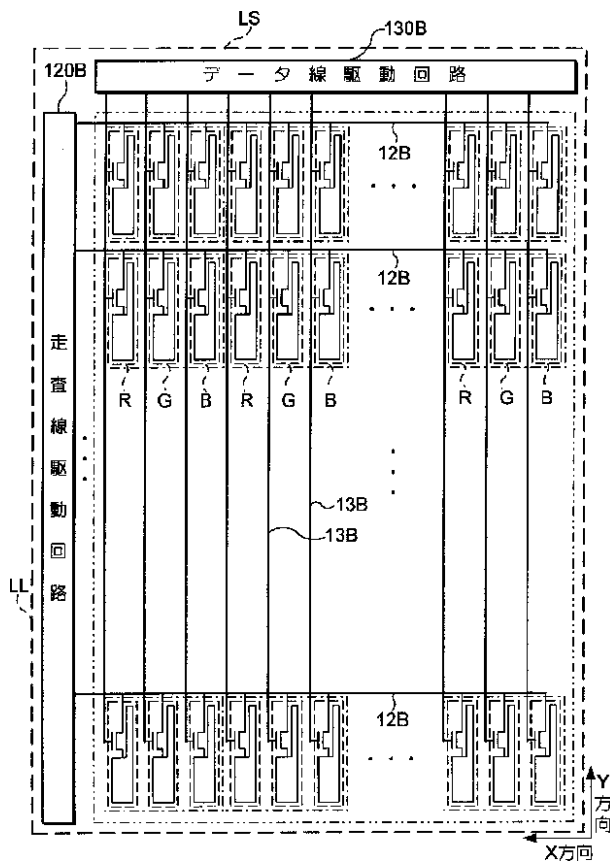
【図11】



【図14】



【図15】



【図16】

R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B
R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B
R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B
R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B
R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B
R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B
R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B
R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B
R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B
R	R	R	R	R	R	R	R	R
G	G	G	G	G	G	G	G	G
B	B	B	B	B	B	B	B	B

フロントページの続き

(51)Int.Cl.⁷

G 0 9 G 3/20

3/36

識別記号

6 2 3

6 6 0

F I

G 0 9 G 3/20

3/36

テーマコード^{*} (参考)

6 2 3 R

6 6 0 F

Fターム(参考) 2H092 GA05 GA23 GA40 JA24 JB02
NA25 PA06
2H093 NA42 NA43 NC10 NC12 NC13
NC14 NC15 NC24 NC26 NC28
NC34 NC90 ND42 ND54 NE03
NE07 NF05 NF13
5C006 AA16 AA22 AC09 AF06 AF83
BB12 BB16 BC03 BC12 BC16
BF02 BF03 BF04 BF15 BF27
FA21 FA56
5C080 AA06 AA10 BB05 DD01 DD27
EE02 FF11 FF12 JJ02 JJ03
JJ04 JJ05 JJ06 KK07 KK47
5C094 AA02 AA15 AA22 AA44 AA48
AA53 BA03 BA43 CA19 CA24
CA25 DA09 DB01 DB02 DB04
EA04 EA07 EA10 FA01 FB12
FB13 FB15 GA10

专利名称(译)	电光面板，电光面板的数据线驱动方法，数据线驱动电路，电光装置和电子设备		
公开(公告)号	JP2001194645A	公开(公告)日	2001-07-19
申请号	JP2000003935	申请日	2000-01-12
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	小澤 徳郎		
发明人	小澤 徳郎		
IPC分类号	G02F1/1343 G02F1/133 G09F9/30 G09G3/20 G09G3/36		
FI分类号	G02F1/133.550 G02F1/1343 G09F9/30.307 G09F9/30.338 G09G3/20.623.Y G09G3/20.623.R G09G3/20.660.F G09G3/36 G02F1/133.510		
F-TERM分类号	2H092/GA05 2H092/GA23 2H092/GA40 2H092/JA24 2H092/JB02 2H092/NA25 2H092/PA06 2H093/NA42 2H093/NA43 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC14 2H093/NC15 2H093/NC24 2H093/NC26 2H093/NC28 2H093/NC34 2H093/NC90 2H093/ND42 2H093/ND54 2H093/NE03 2H093/NE07 2H093/NF05 2H093/NF13 5C006/AA16 5C006/AA22 5C006/AC09 5C006/AF06 5C006/AF83 5C006/BB12 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BC16 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF15 5C006/BF27 5C006/FA21 5C006/FA56 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD27 5C080/EE02 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07 5C080/KK47 5C094/AA02 5C094/AA15 5C094/AA22 5C094/AA44 5C094/AA48 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/CA25 5C094/DA09 5C094/DB01 5C094/DB02 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EA10 5C094/FA01 5C094/FB12 5C094/FB13 5C094/FB15 5C094/GA10 2H193/ZA04 2H193/ZC22 2H193/ZF22 2H193/ZF36 2H193/ZP03 2H193/ZQ06 2H193/ZQ09		
其他公开文献	JP3975633B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种液晶面板，其中可以容易地读取字符，同时降低制造成本。水平长的液晶面板包括垂直条纹图像显示区域，布置在长边LL侧的扫描线驱动电路和布置在短边LS侧的数据线驱动电路。我有数据驱动电路130将图像数据DR，DG和DB转换成点顺序图像数据，将其转换成线顺序图像数据，并且进一步执行与每种颜色相对应的线顺序图像数据的并行-串行转换以获得串行格式图像。对应于每个数据线114生成图像数据，并且将其DA转换以生成每个图像信号。结果，可以沿着数据线114将图像信号提供给以R，G和B的顺序布置的各个像素区域中的R，G和B。

