

(19) 日本国特許庁(JP)

再 公 表 特 許(A1)

(11) 国際公開番号

WO2009/069359

発行日 平成23年4月7日 (2011.4.7)

(43) 国際公開日 平成21年6月4日 (2009.6.4)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C058
H04N 5/66 (2006.01)	G09G 3/20 641G	5C080

審査請求 有 予備審査請求 未請求 (全 51 頁) 最終頁に続く

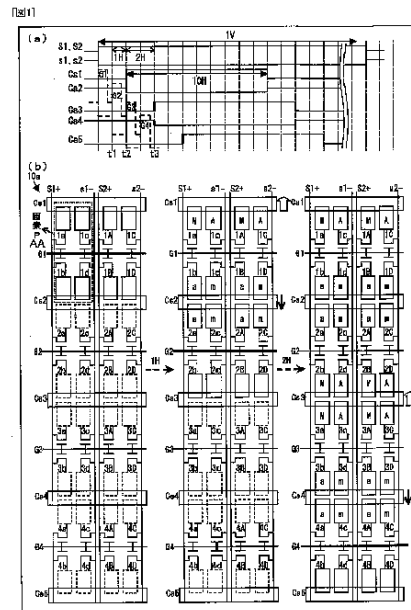
出願番号	特願2009-543697 (P2009-543697)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2008/065891		シャープ株式会社
(22) 国際出願日	平成20年9月3日 (2008.9.3)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2007-311626 (P2007-311626)	(74) 代理人	110000338
(32) 優先日	平成19年11月30日 (2007.11.30)		特許業務法人原謙三国際特許事務所
(33) 優先権主張国	日本国 (JP)	(72) 発明者	津幡 俊英
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		Fターム (参考)	2H092 JA24 JB46 JB69 2H193 ZA04 ZA07 ZB03 ZB12 ZC07 ZF60

最終頁に続く

(54) 【発明の名称】 液晶表示装置、アクティブマトリクス基板、液晶パネル、液晶表示ユニット、テレビジョン受像機

(57) 【要約】

1つの画素列に対応して設けられる第1および第2データ信号線(S1・s1)を備え、画素(P)には同一の走査信号線(例えば、G1)に接続された4個の副画素(1a~1d)が含まれるとともに、画素(P)に2本の保持容量配線(Cs1・Cs2)が対応し、画素(P)の2個の副画素(1a・1c)が上記2本の保持容量配線の一方(Cs1)と容量を形成するとともに、これら副画素の一方(1a)が第1データ信号線(S1)に接続され、かつ他方(1c)が第2データ信号線(s1)に接続されており、残る2個の副画素(1b・1d)が上記2本の保持容量配線の他方(Cs2)と容量を形成するとともに、これら副画素の一方(1b)が第1データ信号線(S1)に接続され、かつ他方(1d)が第2データ信号線(s1)に接続されている。上記構成によれば、1画素に設けた4つの副画素を異なる輝度に制御し、これによって中間調を表示することが可能となる。



AA PIXEL P

【特許請求の範囲】**【請求項 1】**

走査信号線に沿う方向を行方向として、行および列方向に並ぶ画素と、1つの画素列に対応して設けられる第1および第2データ信号線と、電位制御可能な複数の保持容量配線とを備えた液晶表示装置であって、

1つの画素には同一の走査信号線に接続された4個の副画素が含まれるとともに、該画素に2本の保持容量配線が対応し、該画素の2個の副画素が上記2本の保持容量配線の一方と容量を形成するとともに、これら副画素の一方が第1データ信号線に接続され、かつ他方が第2データ信号線に接続されており、残る2個の副画素が上記2本の保持容量配線の他方と容量を形成するとともに、これら副画素の一方が第1データ信号線に接続され、かつ他方が第2データ信号線に接続されていることを特徴とする液晶表示装置。 10

【請求項 2】

走査信号線に沿う方向を行方向として、行および列方向に並ぶ画素と、1つの画素列に対応して設けられる第1および第2データ信号線と、電位制御可能な複数の保持容量配線とを備えた液晶表示装置であって、

1つの画素には同一の走査信号線に接続された3個の副画素が含まれるとともに、該画素に2本の保持容量配線が対応し、該画素の2個の副画素が上記2本の保持容量配線の一方と容量を形成するとともに、これら副画素の一方が第1データ信号線に接続され、かつ他方が第2データ信号線に接続されており、残る1個の副画素が上記2本の保持容量配線の他方と容量を形成するとともに、この副画素が第1あるいは第2データ信号線に接続されていることを特徴とする液晶表示装置。 20

【請求項 3】

第1および第2データ信号線には、同一データに対応する、極性の異なった信号電位が供給されることを特徴とする請求項1または2記載の液晶表示装置。

【請求項 4】

各保持容量配線の電位は、これと容量を形成する副画素に接続された走査信号線が走査された後にそのフレームにおいて少なくとも1回レベルシフトすることを特徴とする請求項1～3のいずれか1項に記載の液晶表示装置。

【請求項 5】

上記2本の保持容量配線の一方と他方とでは、電位のレベルシフトの大きさが異なっていることを特徴とする請求項4に記載の液晶表示装置。 30

【請求項 6】

上記2本の保持容量配線の一方と1つの副画素との間の容量値が、該2本の保持容量配線の他方と1つの副画素との間の容量値に実質的に等しいことを特徴とする請求項5に記載の液晶表示装置。

【請求項 7】

上記2本の保持容量配線の一方と他方とでは、電位のレベルシフトの大きさが同じであることを特徴とする請求項1～4のいずれか1項に記載の液晶表示装置。

【請求項 8】

上記2本の保持容量配線の一方と1つの副画素との間の容量値が、該2本の保持容量配線の他方と1つの副画素との間の容量値よりも大きいことを特徴とする請求項7に記載の液晶表示装置。 40

【請求項 9】

上記2本の保持容量配線の一方と他方とでは、上記走査信号線が走査された後における最初のレベルシフトの方向が逆になっていることを特徴とする請求項4に記載の液晶表示装置。

【請求項 10】

上記信号電位の極性が、1あるいは複数水平走査期間ごとに反転するか、または1垂直走査期間ごとに反転することを特徴とする請求項3に記載の液晶表示装置。

【請求項 11】

列方向に隣り合う 2 つの画素の一方に含まれる副画素と該 2 つの画素の他方に含まれる副画素とが、同一の保持容量配線と容量を形成していることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 1 2】

上記 2 本の保持容量配線の一方と他方とでは、電位のレベルシフトのタイミングが同じであることを特徴とする請求項 1 1 記載の液晶表示装置。

【請求項 1 3】

上記 2 本の保持容量配線の一方と他方とでは、電位のレベルシフトのタイミングが一水平走査期間だけずれていることを特徴とする請求項 1 1 記載の液晶表示装置。

【請求項 1 4】

10

各保持容量配線の電位は、2 つのレベルが周期的に入れ替わるように変動し、画素列内で最初に書き込みが行われる画素に対応する保持容量配線のうち走査方向上流側にあるものを数え始めの 1 番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線の電位位相と次の奇数番目にあたる保持容量配線の電位位相とが、同方向に同一量だけずれ、任意の偶数番目にあたる保持容量配線の電位位相と次の偶数番目にあたる保持容量配線の電位位相とが、同方向に同一量だけずれていることを特徴とする請求項 1 2 記載の液晶表示装置。

【請求項 1 5】

任意の奇数番目にあたる保持容量配線の電位位相は次の奇数番目にあたる保持容量配線の電位位相よりも 2 水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線の電位位相は次の偶数番目にあたる保持容量配線の電位位相よりも 2 水平走査期間だけ進んでいることを特徴とする請求項 1 4 記載の液晶表示装置。

20

【請求項 1 6】

1 番目にあたる保持容量配線の電位と 2 番目にあたる保持容量配線の電位とが、同タイミングで逆方向にレベルシフトすることを特徴とする請求項 1 4 または 1 5 記載の液晶表示装置。

【請求項 1 7】

上記 2 つのレベルそれぞれが複数水平走査期間継続することを特徴とする請求項 1 4 ～ 1 6 のいずれか 1 項に記載の液晶表示装置。

【請求項 1 8】

30

各保持容量配線では、上記走査信号線が走査された後における最初のレベルシフトの方向および大きさの少なくとも一方が、連続するフレーム間で異なっていることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 1 9】

上記最初のレベルシフトの大きさは大・小 2 種類あるとともに、その方向はプラス方向・マイナス方向の 2 種類あり、この大きさと方向とを組み合わせた 4 種類のレベルシフトパターンが、連続する 4 フレームそれぞれの上記最初のレベルシフトで実行されることを特徴とする請求項 1 8 に記載の液晶表示装置。

【請求項 2 0】

1 つの画素では、走査信号線の一方の側に 2 つの副画素が行方向に並べられるとともに他方の側に 2 つの副画素が行方向に並べられることによって 4 つの副画素が行および列方向に配され、列方向に並ぶ 2 つの副画素はともに第 1 データ信号線に接続されるかあるいは第 2 データ信号線に接続されるとともに行方向に並ぶ 2 つの副画素は 1 本の保持容量配線と容量を形成し、かつ走査信号線を挟むことなく列方向に隣接する 2 つの副画素が、同一の保持容量配線と容量を形成していることを特徴とする請求項 1 に記載の液晶表示装置。

40

【請求項 2 1】

列方向に隣接する 2 つの画素の一方においては、列方向に並ぶ第 1 および第 2 副画素が第 1 データ信号線に接続されるとともに、列方向に並ぶ第 3 および第 4 副画素が第 2 データ信号線に接続され、上記 2 つの画素の他方においては、上記第 1 および第 2 副画素と同

50

じ副画素列に含まれる 2 つの副画素が第 1 データ信号線に接続されるとともに、上記第 3 および第 4 副画素と同じ副画素列に含まれる 2 つの副画素が第 2 データ信号線に接続されていることを特徴とする請求項 20 記載の液晶表示装置。

【請求項 22】

列方向に隣接する 2 つの画素の一方においては、列方向に並ぶ第 1 および第 2 副画素が第 1 データ信号線に接続されるとともに、列方向に並ぶ第 3 および第 4 副画素が第 2 データ信号線に接続され、上記 2 つの画素の他方においては、上記第 1 および第 2 副画素と同じ副画素列に含まれる 2 つの副画素が第 2 データ信号線に接続されるとともに、上記第 3 および第 4 副画素と同じ副画素列に含まれる 2 つの副画素が第 1 データ信号線に接続されていることを特徴とする請求項 20 記載の液晶表示装置。

10

【請求項 23】

1 つの画素では、走査信号線の一方の側に 2 つの副画素が行方向に並べられるとともに他方の側に 1 つの副画素が配され、行方向に並ぶ 2 つの副画素は 1 本の保持容量配線と容量を形成し、かつ走査信号線を挟むことなく列方向に隣接する 2 つの副画素が、同一の保持容量配線と容量を形成していることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 24】

隣接する 2 つの画素の一方においては、行方向に並ぶ第 1 および第 3 副画素が同一の保持容量配線と容量を形成するとともに、残る第 2 副画素が別の保持容量配線と容量を形成し、上記隣接する 2 つの画素の他方においては、行方向に並ぶ 2 つの副画素が上記別の保持容量配線容量と容量を形成していることを特徴とする請求項 23 記載の液晶表示装置。

20

【請求項 25】

隣接する 2 つの画素の一方においては、行方向に並ぶ第 1 および第 3 副画素が同一の保持容量配線と容量を形成するとともに、残る第 2 副画素が別の保持容量配線と容量を形成し、上記隣接する 2 つの画素の他方においては、行方向に並ぶ 2 つの副画素を除いた残りの画素が上記別の保持容量配線容量と容量を形成していることを特徴とする請求項 23 記載の液晶表示装置。

【請求項 26】

画素列内で最初に書き込みが行われる画素に対応する保持容量配線のうち走査方向上流側にあるものを数え始めの 1 番目の保持容量配線とした場合に、

任意の奇数番目にあたる保持容量配線の電位は、2 つのレベルが周期的に入れ替わるように変動するとともに、該奇数番目にあたる電位位相と次の奇数番目にあたる保持容量配線の電位位相とが同方向に同一量だけずれ、かつ任意の偶数番目にあたる保持容量配線の電位はレベル変動しないか、あるいは、

30

任意の偶数番目にあたる保持容量配線の電位は、2 つのレベルが周期的に入れ替わるように変動するとともに、該偶数番目にあたる電位位相と次の偶数番目にあたる保持容量配線の電位位相とが同方向に同一量だけずれ、かつ任意の奇数番目にあたる保持容量配線の電位は実質的にレベル変動しないことを特徴とする請求項 23 に記載の液晶表示装置。

【請求項 27】

1 つの画素列の両側に該画素列に対応する第 1 および第 2 データ信号線が配されており、

40

隣接する 2 つの画素列の一方に対応する第 1 データ信号線と、該 2 つの画素列の他方に対応する第 2 データ信号線とが画素列を挟むことなく隣接するとともに、これらに異極性の信号電位が供給されることを特徴とする請求項 3 記載の液晶表示装置。

【請求項 28】

1 つの画素列の両側に該画素列に対応する第 1 および第 2 データ信号線が配されており、

隣接する 2 つの画素列の一方に対応する第 1 データ信号線と、該 2 つの画素列の他方に対応する第 2 データ信号線とが画素列を挟むことなく隣接するとともに、これらに同極性の信号電位が供給されることを特徴とする請求項 3 記載の液晶表示装置。

【請求項 29】

50

各副画素には画素電極とトランジスタとが含まれ、該トランジスタは走査信号線に接続されるとともに第1あるいは第2データ信号線に接続され、上記画素電極あるいはこれと電氣的に接続する電極と保持容量配線とが容量を形成していることを特徴とする請求項1または2記載の液晶表示装置。

【請求項30】

1つの画素内において行方向に並ぶ2つの副画素の一方に含まれる画素電極と該2つの副画素の他方に含まれる画素電極との間隙が、配向制御用構造物として機能することを特徴とする請求項29に記載の液晶表示装置。

【請求項31】

上記間隙は、行方向から視てV字形状をなすことを特徴とする請求項30に記載の液晶表示装置。 10

【請求項32】

走査信号線に沿う方向を行方向として、行および列方向に並ぶ画素領域と、1つの画素領域の列に対応して設けられる第1および第2データ信号線と、複数の保持容量配線とを備えたアクティブマトリクス基板であって、

1つの画素領域には4個の画素電極が形成されるとともに各画素電極はトランジスタを介して同一の走査信号線に接続され、該画素領域に2本の保持容量配線が対応しており、該画素領域の2個の画素電極が上記2本の保持容量配線の一方と容量を形成するとともに、これら画素電極の一方がトランジスタを介して第1データ信号線に接続され、かつ他方がトランジスタを介して第2データ信号線に接続され、残る2個の画素電極が上記2本の保持容量配線の他方と容量を形成するとともに、これら画素電極の一方がトランジスタを介して第1データ信号線に接続され、かつ他方がトランジスタを介して第2データ信号線に接続されていることを特徴とするアクティブマトリクス基板。 20

【請求項33】

走査信号線に沿う方向を行方向として、行および列方向に並ぶ画素領域と、1つの画素領域の列に対応して設けられる第1および第2データ信号線と、複数の保持容量配線とを備えたアクティブマトリクス基板であって、

1つの画素領域には3個の画素電極が形成されるとともに各画素電極はトランジスタを介して同一の走査信号線に接続され、該画素領域に2本の保持容量配線が対応しており、該画素領域の2個の画素電極が上記2本の保持容量配線の一方と容量を形成するとともに、これら画素電極の一方がトランジスタを介して第1データ信号線に接続され、かつ他方がトランジスタを介して第2データ信号線に接続され、残る1個の画素電極が上記2本の保持容量配線の他方と容量を形成するとともに、該画素電極がトランジスタを介して第1あるいは第2データ信号線に接続されていることを特徴とするアクティブマトリクス基板。 30

【請求項34】

請求項32または33に記載のアクティブマトリクス基板と共通電極を含む基板とを備えることを特徴とする液晶パネル。

【請求項35】

請求項34記載の液晶パネルとドライバとを備えることを特徴とする液晶表示ユニット 40

【請求項36】

請求項1～31のいずれか1項に記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1画素が複数の副画素からなる画素分割方式の液晶表示装置並びにそれに用いられるアクティブマトリクス基板および液晶パネルに関する。

【背景技術】

【0002】

液晶表示装置の γ 特性の視角依存性（液晶表示装置を正面から観測した時の γ 特性と斜めから観測した時の γ 特性との差異）を改善するための一手法として、1画素を複数の副画素で構成する画素分割方式（いわゆるマルチ画素技術）が提案されている（例えば、特許文献1参照）。

【0003】

図46に画素分割方式の液晶表示装置の等価回路を示す。同図に示されるように、該液晶表示装置には、直交するデータ信号線 s および走査信号線 g と、保持容量配線 $c_{sx} \cdot c_{sy}$ と、マトリクス配置された画素 p とが設けられる。画素 p は、2つの副画素 $s_{pa} \cdot s_{pb}$ からなり、副画素 s_{pa} はトランジスタ T_{ra} と画素電極 p_{ea} とを含み、副画素 s_{pb} はトランジスタ T_{rb} と画素電極 p_{eb} とを含む。走査信号線 g は、画素 p の中央を横切るように配され、トランジスタ $T_{a} \cdot T_{rb}$ は同一の走査信号線 g および同一のデータ信号線 s に接続される。そして、画素電極 p_{ea} は、保持容量配線 c_{sx} と容量 C_{csa} を形成するとともに、共通電極 c_{om} （対向電極）と C_{lca} を形成し、画素電極 p_{eb} は、保持容量配線 c_{sy} と容量 C_{csb} を形成するとともに、共通電極 c_{om} （対向電極）と C_{lcb} を形成する。すなわち、上記液晶表示装置では、1画素 p に対応して2本の保持容量配線（ $c_{sx} \cdot c_{sy}$ ）を設けている。

【0004】

上記液晶表示装置においては、データ信号線 s から画素電極 $p_{ea} \cdot p_{eb}$ に同じ信号電位（データ信号に対応する電位）が供給されるが、トランジスタ $T_{ra} \cdot T_{rb}$ のOFF時あるいはその後に保持容量配線 $c_{sx} \cdot c_{sy}$ の電位を個別制御する（例えば、 c_{sx} の電位がプラス方向にレベルシフトするとともに c_{sy} の電位がマイナス方向にレベルシフトし、1水平走査期間後に c_{sx} の電位がマイナス方向にレベルシフトするとともに c_{sy} の電位がプラス方向にレベルシフトするというように、各フレーム期間において $c_{sx} \cdot c_{sy}$ の電位を1水平走査期間ごとに反転させる）ことによって、保持容量 $C_{csa} \cdot C_{csb}$ を介して画素電極 $p_{ea} \cdot p_{eb}$ を異なる実効電位とすることができる。例えば、データ信号線 s に供給される信号電位を V_s 、トランジスタOFF時の引き込み電位を V_F 、保持容量配線 $c_{sx} \cdot c_{sy}$ の電位のレベルシフト量をとともに $2 \times V_p$ 、 $K_{ca} = C_{csa} / (C_{lca} + C_{csa})$ および $K_{cb} = C_{csb} / (C_{lcb} + C_{csb})$ として、画素電極 p_{ea} の実効電位 $= V_s - V_F + K_{ca} \times V_p$ 、画素電極 p_{eb} の実効電位 $= V_s - V_F - K_{cb} \times V_p$ とすることができる。

【0005】

このように、上記液晶表示装置においては、1つの画素を高輝度の副画素 s_{pa} （明副画素）と低輝度の副画素 s_{pb} （暗副画素）とで構成して中間調を表現することが可能となり、 γ 特性の視角依存性（例えば、画面の白浮き等）が改善される。

【0006】

上記の画素分割方式は、各副画素の γ 特性の重ね合わせによって画素単位の γ 特性の視角依存性を改善するものであるが、1画素に2つの副画素を形成する従来の構成ではこの効果に限界があった。

【特許文献1】日本国公開特許公報「特開2004-62146号公報（2004年2月26日公開）」

【発明の開示】

【0007】

そこで、本願発明者らは1画素に対応させる保持容量配線数を増やすことで1画素に設けた3つ以上の副画素を異なる輝度に制御する構成も考えたが、保持容量配線数を増やすと、各保持容量配線の電位を制御するための構成が複雑になるのに加え、保持容量配線同士が短絡し易くなり、また画素開口率も低下するという問題があった。

【0008】

本発明は、上記課題に鑑みなされたものであり、その目的は、画素分割方式の液晶表示装置において、保持容量配線数を増やすことなく1画素に設けた3つ以上の副画素を異な

る輝度に制御し、これら副画素の面積階調によって中間調表示を行うことにある。

【0009】

本発明の液晶表示装置は、走査信号線に沿う方向を行方向として、行および列方向に並ぶ画素と、1つの画素列に対応して設けられる第1および第2データ信号線と、電位制御可能な複数の保持容量配線とを備えた液晶表示装置であって、1つの画素には同一の走査信号線に接続された4個の副画素が含まれるとともに、該画素に2本の保持容量配線が対応し、該画素の2個の副画素が上記2本の保持容量配線の一方と容量を形成するとともに、これら副画素の一方が第1データ信号線に接続され、かつ他方が第2データ信号線に接続されており、残る2個の副画素が上記2本の保持容量配線の他方と容量を形成するとともに、これら副画素の一方が第1データ信号線に接続され、かつ他方が第2データ信号線に接続されていることを特徴とする。

10

【0010】

上記構成によれば、第1および第2データ信号線に異なる信号電位（例えば、基準電位からの方向が逆で絶対値が等しい電位）を供給し、かつ上記2本の保持容量配線を個別に電位制御することで、1画素に設けた4つの副画素を異なる輝度に制御することが可能となる。これにより、保持容量配線数を増やすことなく、すなわち各保持容量配線の電位を制御するための構成を複雑化することなく、これら異なる輝度をもつ4個の副画素の面積階調によって中間調表示を行うことができる。これにより、 γ 特性の視角依存性（例えば、画面の白浮き等）を向上させることができる。

【0011】

20

本発明の液晶表示装置は、走査信号線に沿う方向を行方向として、行および列方向に並ぶ画素と、1つの画素列に対応して設けられる第1および第2データ信号線と、電位制御可能な複数の保持容量配線とを備えた液晶表示装置であって、1つの画素には同一の走査信号線に接続された3個の副画素が含まれるとともに、該画素に2本の保持容量配線が対応し、該画素の2個の副画素が上記2本の保持容量配線の一方と容量を形成するとともに、これら副画素の一方が第1データ信号線に接続され、かつ他方が第2データ信号線に接続されており、残る1個の副画素が上記2本の保持容量配線の他方と容量を形成するとともに、この副画素が第1あるいは第2データ信号線に接続されていることを特徴とする。

【0012】

上記構成によれば、第1および第2データ信号線に異なる信号電位（例えば、基準電位からの方向が逆で絶対値が等しい電位）を供給し、かつ上記2本の保持容量配線を個別に電位制御することで、1画素に設けた3つの副画素を異なる輝度に制御することが可能となる。これにより、保持容量配線数を増やすことなく、すなわち各保持容量配線の電位を制御するための構成を複雑化することなく、これら異なる輝度をもつ3個の副画素の面積階調によって中間調表示を行うことができる。これにより、 γ 特性の視角依存性（例えば、画面の白浮き等）を向上させることができる。

30

【0013】

本液晶表示装置では、第1および第2データ信号線には、同一データに対応する、極性の異なった信号電位が供給される構成とすることもできる。こうすれば、これらデータ信号線に異なる階調に対応する信号電位を供給する場合と比較して、データ処理およびそのための演算回路構成を簡易化することができる。

40

【0014】

本液晶表示装置は、各保持容量配線の電位は、これと容量を形成する副画素に接続された走査信号線が走査された後にそのフレームにおいて少なくとも1回レベルシフトする構成とすることもできる。

【0015】

本液晶表示装置では、上記2本の保持容量配線の一方と他方とでは、電位のレベルシフトの大きさが異なっている構成とすることもできる。この場合、上記2本の保持容量配線の一方と1つの副画素との間の容量値が、該2本の保持容量配線の他方と1つの副画素との間の容量値に実質的に等しい構成とすることもできる。

50

【0016】

本液晶表示装置では、上記2本の保持容量配線の一方と他方とでは、電位のレベルシフトの大きさが同じである構成とすることもできる。この場合、上記2本の保持容量配線の一方と1つの副画素との間の容量値が、該2本の保持容量配線の他方と1つの副画素との間の容量値よりも大きい構成とすることができる。

【0017】

本液晶表示装置では、上記2本の保持容量配線の一方と他方とでは、上記走査信号線が走査された後における最初のレベルシフトの方向が逆になっている構成とすることができる。

【0018】

本液晶表示装置では、上記信号電位の極性が、1あるいは複数水平走査期間ごとに反転するか、または1垂直走査期間ごとに反転する構成とすることもできる。

10

【0019】

本液晶表示装置では、列方向に隣り合う2つの画素の一方に含まれる副画素と該2つの画素の他方に含まれる副画素とが、同一の保持容量配線と容量を形成している構成とすることもできる。こうすれば、保持容量配線数を削減することができる。

【0020】

本液晶表示装置では、上記2本の保持容量配線の一方と他方とでは、電位のレベルシフトのタイミングが同じである構成とすることもできる。また、上記2本の保持容量配線の一方と他方とでは、電位のレベルシフトのタイミングが一水平走査期間だけずれている構成とすることもできる。

20

【0021】

本液晶表示装置では、各保持容量配線の電位は、2つのレベルが周期的に入れ替わるように変動し、画素列内で最初に書き込みが行われる画素に対応する保持容量配線のうち走査方向上流側にあるものを数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線の電位位相と次の奇数番目にあたる保持容量配線の電位位相とが、同方向に同一量だけずれ、任意の偶数番目にあたる保持容量配線の電位位相と次の偶数番目にあたる保持容量配線の電位位相とが、同方向に同一量だけずれている構成とすることもできる。

【0022】

本液晶表示装置では、任意の奇数番目にあたる保持容量配線の電位位相は次の奇数番目にあたる保持容量配線の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線の電位位相は次の偶数番目にあたる保持容量配線の電位位相よりも2水平走査期間だけ進んでいる構成とすることもできる。

30

【0023】

本液晶表示装置では、1番目にあたる保持容量配線の電位と2番目にあたる保持容量配線の電位とが、同タイミングで逆方向にレベルシフトする構成とすることもできる。

【0024】

本液晶表示装置では、上記2つのレベルそれぞれが複数水平走査期間継続する構成とすることもできる。

40

【0025】

本液晶表示装置では、各保持容量配線で、上記走査信号線が走査された後における最初のレベルシフトの方向および大きさの少なくとも一方が、連続するフレーム間で異なっている構成とすることもできる。この場合、上記最初のレベルシフトの大きさは大・小2種類あるとともに、その方向はプラス方向・マイナス方向の2種類あり、この大きさと方向とを組み合わせた4種類のレベルシフトパターンが、連続する4フレームそれぞれの上記最初のレベルシフトで実行される構成とすることもできる。

【0026】

本液晶表示装置では、1つの画素では、走査信号線の一方の側に2つの副画素が行方向に並べられるとともに他方の側に2つの副画素が行方向に並べられることによって4つの

50

画素が行および列方向に配され、列方向に並ぶ2つの副画素はともに第1データ信号線に接続されるかあるいは第2データ信号線に接続されるとともに行方向に並ぶ2つの副画素は1本の保持容量配線と容量を形成し、かつ走査信号線を挟むことなく列方向に隣接する2つの副画素が、同一の保持容量配線と容量を形成している構成とすることもできる。この場合、列方向に隣接する2つの画素の一方においては、列方向に並ぶ第1および第2副画素が第1データ信号線に接続されるとともに、列方向に並ぶ第3および第4副画素が第2データ信号線に接続され、上記2つの画素の他方においては、上記第1および第2副画素と同じ副画素列に含まれる2つの副画素が第1データ信号線に接続されるとともに、上記第3および第4副画素と同じ副画素列に含まれる2つの副画素が第2データ信号線に接続されている構成とすることもできる。また、列方向に隣接する2つの画素の一方においては、列方向に並ぶ第1および第2副画素が第1データ信号線に接続されるとともに、列方向に並ぶ第3および第4副画素が第2データ信号線に接続され、上記2つの画素の他方においては、上記第1および第2副画素と同じ副画素列に含まれる2つの副画素が第2データ信号線に接続されるとともに、上記第3および第4副画素と同じ副画素列に含まれる2つの副画素が第1データ信号線に接続されている構成とすることもできる。

【0027】

本液晶表示装置では、1つの画素では、走査信号線の一方の側に2つの副画素が行方向に並べられるとともに他方の側に1つの副画素が配され、行方向に並ぶ2つの副画素は1本の保持容量配線と容量を形成し、かつ走査信号線を挟むことなく列方向に隣接する2つの副画素が、同一の保持容量配線と容量を形成している構成とすることもできる。この場合、隣接する2つの画素の一方においては、行方向に並ぶ第1および第3副画素が同一の保持容量配線と容量を形成するとともに、残る第2副画素が別の保持容量配線と容量を形成し、上記隣接する2つの画素の他方においては、行方向に並ぶ2つの副画素が上記別の保持容量配線容量と容量を形成している構成とすることもできる。また、隣接する2つの画素の一方においては、行方向に並ぶ第1および第3副画素が同一の保持容量配線と容量を形成するとともに、残る第2副画素が別の保持容量配線と容量を形成し、上記隣接する2つの画素の他方においては、行方向に並ぶ2つの副画素を除いた残りの画素が上記別の保持容量配線容量と容量を形成している構成とすることもできる。

【0028】

本液晶表示装置では、画素列内で最初に書き込みが行われる画素に対応する保持容量配線のうち走査方向上流側にあるものを数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線の電位は、2つのレベルが周期的に入れ替わるように変動するとともに、該奇数番目にあたる電位位相と次の奇数番目にあたる保持容量配線の電位位相とが同方向に同一量だけずれ、かつ任意の偶数番目にあたる保持容量配線の電位はレベル変動しないか、あるいは、任意の偶数番目にあたる保持容量配線の電位は、2つのレベルが周期的に入れ替わるように変動するとともに、該偶数番目にあたる電位位相と次の偶数番目にあたる保持容量配線の電位位相とが同方向に同一量だけずれ、かつ任意の奇数番目にあたる保持容量配線の電位は実質的にレベル変動しない構成とすることもできる。

【0029】

本液晶表示装置では、1つの画素列の両側に該画素列に対応する第1および第2データ信号線が配されており、隣接する2つの画素列の一方に対応する第1データ信号線と、該2つの画素列の他方に対応する第2データ信号線とが画素列を挟むことなく隣接するとともに、これらに異極性の信号電位が供給される構成とすることもできる。なお、これらに同極性の信号電位が供給される構成とすることもできる。

【0030】

本液晶表示装置では、各副画素には画素電極とトランジスタとが含まれ、該トランジスタは走査信号線に接続されるとともに第1あるいは第2データ信号線に接続され、上記画素電極あるいはこれと電氣的に接続する電極と保持容量配線とが容量を形成している構成とすることもできる。

【0031】

本液晶表示装置では、1つの画素内において行方向に並ぶ2つの副画素の一方に含まれる画素電極と該2つの副画素の他方に含まれる画素電極との間隙が、配向制御用構造物として機能する構成とすることもできる。この場合、上記間隙は、行方向から見てV字形状をなす構成とすることもできる。

【0032】

上記保持容量配線の電位は、例えば、該保持容量配線に供給される保持容量配線信号（CS信号）によって制御される。この場合、保持容量配線の電位を保持容量配線信号のレベル（電位）と換言することも可能である。

【0033】

10

本発明のアクティブマトリクス基板は、走査信号線に沿う方向を行方向として、行および列方向に並ぶ画素領域と、1つの画素領域の列に対応して設けられる第1および第2データ信号線と、複数の保持容量配線とを備えたアクティブマトリクス基板であって、1つの画素領域には4個の画素電極が形成されるとともに各画素電極はトランジスタを介して同一の走査信号線に接続され、該画素領域に2本の保持容量配線が対応しており、該画素領域の2個の画素電極が上記2本の保持容量配線の一方と容量を形成するとともに、これら画素電極の一方がトランジスタを介して第1データ信号線に接続され、かつ他方がトランジスタを介して第2データ信号線に接続され、残る2個の画素電極が上記2本の保持容量配線の他方と容量を形成するとともに、これら画素電極の一方がトランジスタを介して第1データ信号線に接続され、かつ他方がトランジスタを介して第2データ信号線に接続

20

【0034】

本アクティブマトリクス基板は、走査信号線に沿う方向を行方向として、行および列方向に並ぶ画素領域と、1つの画素領域の列に対応して設けられる第1および第2データ信号線と、複数の保持容量配線とを備えたアクティブマトリクス基板であって、1つの画素領域には3個の画素電極が形成されるとともに各画素電極はトランジスタを介して同一の走査信号線に接続され、該画素領域に2本の保持容量配線が対応しており、該画素領域の2個の画素電極が上記2本の保持容量配線の一方と容量を形成するとともに、これら画素電極の一方がトランジスタを介して第1データ信号線に接続され、かつ他方がトランジスタを介して第2データ信号線に接続され、残る1個の画素電極が上記2本の保持容量配線の他方と容量を形成するとともに、該画素電極がトランジスタを介して第1あるいは第2データ信号線に接続されていることを特徴とする。

30

【0035】

本発明の液晶パネルは、上記アクティブマトリクス基板と共通電極を含む基板とを備えることを特徴とする。また、本液晶表示ユニットは、上記液晶パネルとドライバとを備えることを特徴とする。また、本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とする。

【0036】

以上のように、本液晶表示装置によれば、保持容量配線数を増やすことなく、すなわち各保持容量配線の電位を制御するための構成を複雑化することなく、1画素に設けた3つ以上の副画素を異なる輝度に制御し、これら副画素の面積階調によって中間調を表示することができる。これにより、 γ 特性の視角依存性（例えば、画面の白浮き等）を向上させることができる。

40

【図面の簡単な説明】

【0037】

【図1】（a）は実施の形態1にかかる液晶表示装置の表示部を示す模式図であり、（b）は該表示部の駆動方法を示す模式図である。

【図2】（a）は実施の形態1にかかる液晶表示装置の表示部を示す模式図であり、（b）は該表示部の駆動方法を示す模式図である。

【図3】（a）は実施の形態1にかかる液晶表示装置の表示部を示す模式図であり、（b）

50

【図 3 2】 (a) は実施の形態 2 にかかる液晶表示装置の表示部を示す模式図であり、 (50

b) は該表示部の駆動方法を示す模式図である。

【図 3 3】 (a) は実施の形態 2 にかかる液晶表示装置の表示部を示す模式図であり、(b) は該表示部の駆動方法を示す模式図である。

【図 3 4】 (a) は実施の形態 2 にかかる液晶表示装置の表示部を示す模式図であり、(b) は該表示部の駆動方法を示す模式図である。

【図 3 5】 (a) は実施の形態 2 にかかる液晶表示装置の表示部を示す模式図であり、(b) は該表示部の駆動方法を示す模式図である。

【図 3 6】 (a) は実施の形態 2 にかかる液晶表示装置の表示部を示す模式図であり、(b) は該表示部の駆動方法を示す模式図である。

【図 3 7】 図 2 6 (b) に示す表示部の駆動方法を示すタイミングチャートである。

10

【図 3 8】 図 1 (b) の画素 P の等価回路図である。

【図 3 9】 図 2 6 (b) の画素 P の等価回路図である。

【図 4 0】 本液晶表示装置 (画素分割方式) の構成を示すブロック図である。

【図 4 1】 本液晶表示装置のデータ並び替え回路の構成を示すブロック図である。

【図 4 2】 本液晶表示装置のソースドライバの構成を示すブロック図である。

【図 4 3】 本液晶表示装置の機能を説明するブロック図である。

【図 4 4】 本テレビジョン受像機の機能を説明するブロック図である。

【図 4 5】 本テレビジョン受像機の構成を示す分解斜視図である。

【図 4 6】 従来の液晶表示装置の 1 画素構成を示す回路図である。

【符号の説明】

20

【0 0 3 8】

1 0 a ・ 1 0 b 表示部

S 1 ・ S 2 ・ s 1 ・ s 2 第 1 ・ 第 2 データ信号線

P 画素

G 1 ～ G 4 走査信号線

C s 1 ～ C s 5 保持容量配線

P E 画素電極

8 4 液晶表示ユニット

6 0 1 テレビジョン受像機

8 0 0 液晶表示装置

30

【発明を実施するための最良の形態】

【0 0 3 9】

本発明にかかる実施の形態の例を、図 1 ～ 4 5 を用いて説明すれば、以下のとおりである。本液晶表示装置 (例えば、ノーマリブラックモード) の表示部には、直交する走査信号線およびデータ信号線が設けられており、説明の便宜上、走査信号線の伸びる方向を行方向、データ信号線の伸びる方向を列方向としている。さらに、上記表示部には、行方向に伸びる電位制御可能な保持容量配線と、行および列方向に並べられた画素とが設けられている。各画素には 3 あるいは 4 個の副画素が設けられ、各副画素がデータ信号線および走査信号線に接続されるとともに、2 本の保持容量配線と容量 (保持容量) を形成している。より具体的には、各副画素にはトランジスタと画素電極とが含まれており、該トランジスタは走査信号線に接続されるとともにデータ信号線に接続され、上記画素電極あるいはこれと電氣的に接続する電極 (保持容量電極) と保持容量配線とが容量を形成している。

40

【0 0 4 0】

〔実施の形態 1〕

以下に、図 1 の形態を説明する。なお、図 1 (a) は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図 1 (b) は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図 1 (b) の左図は図 1 (a) の t 1 での状態を示し、中央図は図 1 (a) の t 2 での状態を示し、右図は図 1 (a) の t 3 での状態を示す。

図 1 (b) に示すように、表示部 1 0 a には、1 つの画素列に対応して、その両側に、第

50

1 および第2データ信号線が設けられ、1つの画素には同一の走査信号線に接続された4
 個の副画素が設けられる。この画素には2本の保持容量配線が対応し、該画素の2個の副
 画素が上記2本の保持容量配線の一方と容量を形成するとともに、これら副画素の一方が
 第1データ信号線に接続され、かつ他方が第2データ信号線に接続されており、また、残
 る2個の副画素が上記2本の保持容量配線の他方と容量を形成するとともに、これら副画
 素の一方が第1データ信号線に接続され、かつ他方が第2データ信号線に接続されている
 。

【0041】

より具体的には、1つの画素では、走査信号線の一方の側に2つの副画素が行方向に並
 べられるとともに他方の側に2つの副画素が行方向に並べられることによって4つの副画
 素が行および列方向に配され、列方向に並ぶ2つの副画素はともに第1データ信号線に接
 続されるかあるいは第2データ信号線に接続されるとともに行方向に並ぶ2つの副画素は
 1本の保持容量配線と容量を形成する。なお、列方向に隣接する2つの画素の一方におい
 ては、列方向に並ぶ2つの副画素（第1および第2副画素）が第1データ信号線に接続さ
 れるとともに、列方向に並ぶ2つの副画素（第3および第4副画素）が第2データ信号線
 に接続され、上記2つの画素の他方においては、上記第1および第2副画素と同じ副画素
 列に含まれる2つの副画素が第1データ信号線に接続されるとともに、上記第3および第
 4副画素と同じ副画素列に含まれる2つの副画素が第2データ信号線に接続されている。
 また、隣接する2つの画素列の一方に対応する第2データ信号線と該2つの画素列の他方
 に対応する第1データ信号線とが画素列を挟むことなく隣接している。

【0042】

さらに、列方向に隣り合う2つの画素の一方に含まれる副画素と該2つの画素の他方に
 含まれる副画素とが、同一の保持容量配線と容量を形成している。具体的には、走査信号
 線を挟むことなく列方向に隣接する2つの副画素が、同一の保持容量配線と容量を形成し
 ている。

【0043】

例えば、画素Pを含む画素列に対応して第1および第2データ信号線S1・s1が設け
 られ、画素Pには走査信号線G1に接続された4つの副画素1a～1dが設けられる。具
 体的には、画素Pでは、走査信号線G1の一方の側（図中上側）に2つの副画素1a・1
 cが行方向に並べられるとともに他方の側（図中下側）に2つの副画素1b・1dが行方
 向に並べられることによって4つの画素が行および列方向に配される。そして、列方向に
 並ぶ2つの副画素1a・1b（第1および第2副画素）はともに第1データ信号線S1に
 接続され、列方向に並ぶ2つの副画素1c・1d（第3および第4副画素）はともに第2
 データ信号線s1に接続される。また、行方向に並ぶ2つの副画素1a・1cは保持容量
 配線Cs1と容量を形成し、行方向に並ぶ2つの副画素1b・1dは保持容量配線Cs2
 と容量を形成している。

【0044】

同様に、画素Pに列方向に隣接する画素には、走査信号線G2に接続された4つの副画
 素2a～2dが設けられる。具体的には、走査信号線G2の一方の側（図中上側）に2つ
 の副画素2a・2cが行方向に並べられるとともに他方の側（図中下側）に2つの副画素
 2b・2dが行方向に並べられる。そして、画素Pの副画素1a・1bと同じ画素列に含
 まれる2つの副画素2a・2bはともに第1データ信号線S1に接続され、画素Pの副画
 素1c・1dと同じ画素列に含まれる2つの副画素2c・2dはともに第2データ信号線
 s1に接続される。また、行方向に並ぶ2つの副画素2a・2cは保持容量配線Cs2と
 容量を形成し、行方向に並ぶ2つの副画素2b・2dは保持容量配線Cs3と容量を形成
 している。

【0045】

また、画素Pを含む画素列に隣接する画素列に対応して第1および第2データ信号線S
 2・s2が設けられ、画素Pに行方向に隣接する画素には、走査信号線G1に接続された
 4つの副画素1A～1Dが設けられる。具体的には、走査信号線G1の一方の側（図中上

側)に2つの副画素1A・1Cが行方向に並べられるとともに他方の側(図中下側)に2つの副画素1B・1Dが行方向に並べられ、列方向に並ぶ2つの副画素1A・1Bはともに第1データ信号線S2に接続され、列方向に並ぶ2つの副画素1C・1Dはともに第2データ信号線s2に接続される。また、行方向に並ぶ2つの副画素1A・1Cは保持容量配線Cs1と容量を形成し、行方向に並ぶ2つの副画素1B・1Dは保持容量配線Cs2と容量を形成している。

【0046】

このように、列方向に隣り合う2つの画素の一方に含まれる副画素(1b、1d、1B、1D)と該2つの画素の他方に含まれる副画素(2a、2c、2A、2C)とが、同一の保持容量配線Cs2と容量を形成している。換言すれば、走査信号線を挟むことなく列方向に隣接する2つの副画素(1bと2a、1dと2c、1Bと2A、1Dと2C)が、同一の保持容量配線Cs2と容量を形成している。

【0047】

図38に、画素Pの等価回路を示す。同図に示されるように、画素Pは、4つの副画素1a~1dからなり、副画素1aはトランジスタTRaと画素電極PEaとを含み、副画素1bはトランジスタTRbと画素電極PEbとを含み、副画素1cはトランジスタTRcと画素電極PEcとを含み、副画素1dはトランジスタTRdと画素電極PEDとを含む。

【0048】

トランジスタTRa・TRbは走査信号線G1およびデータ信号線S1に接続され、トランジスタTRc・TRdは走査信号線G1およびデータ信号線s1に接続される。そして、画素電極PEaは、保持容量配線Cs1と容量CCSaを形成するとともに、共通電極com(対向電極)とCLCaを形成し、画素電極PEbは、保持容量配線Cs2と容量CCSbを形成するとともに、共通電極com(対向電極)とCLCbを形成し、画素電極PEcは、保持容量配線Cs1と容量CCScを形成するとともに、共通電極com(対向電極)とCLCcを形成し、画素電極PEDは、保持容量配線Cs2と容量CCSdを形成するとともに、共通電極com(対向電極)とCLCdを形成する。

【0049】

図1(a)(b)に戻って、第1および第2データ信号線には、同一のデータ(階調データ)に対応する、極性の異なった信号電位(例えばVcomを基準としたときに、Vcomからの方向が逆で絶対値が等しい電位)が供給される。そして、信号電位の極性は1垂直走査期間ごとに反転する。なお、隣接する2つの画素列の一方に対応する第1データ信号線と、該2つの画素列の他方に対応する第2データ信号線とは異極性の信号電位が供給される。例えば、あるフレームでは第1データ信号線S1・S2にプラスの信号電位が供給される一方、第2データ信号線s1・s2にマイナスの信号電位が供給され、次のフレームでは、第1データ信号線S1・S2にマイナスの信号電位が供給される一方、第2データ信号線s1・s2にプラスの信号電位が供給される。

【0050】

さらに、図1(a)(b)に示すように、各保持容量配線の電位は、これと容量を形成する副画素に接続された走査信号線が走査された後、そのフレーム期間内において複数回レベルシフトする。具体的には、各保持容量配線の電位は、2つのレベルが1フレーム期間内において周期的に入れ替わるように変動し、画素列内で最初に書き込みが行われる画素に対応する保持容量配線のうち走査方向上流側にあるものを数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線の電位位相と次の奇数番目にあたる保持容量配線の電位位相とが、同方向に同一量だけずれ、任意の偶数番目にあたる保持容量配線の電位位相と次の偶数番目にあたる保持容量配線の電位位相とが、同方向に同一量だけずれている。また、上記2つのレベルそれぞれが複数水平走査期間継続する。

【0051】

より具体的には、任意の奇数番目にあたる保持容量配線の電位位相は次の奇数番目にあたる保持容量配線の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保

保持容量配線の電位位相は次の偶数番目にあたる保持容量配線の電位位相よりも2水平走査期間だけ進んでおり、1番目にあたる保持容量配線の電位と2番目にあたる保持容量配線の電位とが、フレーム開始から2水平走査期間後に同タイミングで逆方向にレベルシフトする。また、各奇数番目にあたる保持容量配線がとる2つの電位レベルの差は等しく、各偶数番目にあたる保持容量配線がとる2つの電位レベルの差も等しいが、各奇数番目にあたる保持容量配線がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線がとる2つの電位レベルの差よりも大きくなっている。なお、1画素に設けられた4つの副画素それぞれの面積は等しく、行方向に並ぶ2つの副画素それぞれと保持容量配線との容量値は、残る2つの副画素それぞれと保持容量配線との容量値に等しくなっている。

【0052】

10

例えば、保持容量配線Cs1の電位は、これと容量を形成する副画素(1a・1c等)に接続された走査信号線G1が走査された後に、そのフレーム期間内において複数回レベルシフトし、保持容量配線Cs2の電位は、これと容量を形成する副画素(1b・1d・1B・1D・2a・2C・2A・2C等)に接続された走査信号線G1・G2が走査された後、そのフレーム期間内において複数回レベルシフトする。すなわち、各保持容量配線(Cs1、Cs2・・・)の電位は、2つのレベル(High&Low)が10水平走査期間(10H)ごとに入れ替わるように変動し、画素列内で最初書き込みが行われる画素(例えば、画素P)に対応する保持容量配線Cs1・Cs2のうち走査方向上流側にあるCs1を数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線(例えば、Cs1)の電位位相は次の奇数番目にあたる保持容量配線(例えば、Cs3)の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線(例えば、Cs2)の電位位相は次の偶数番目にあたる保持容量配線(例えば、Cs4)の電位位相よりも2水平走査期間だけ進んでおり、1番目にあたる保持容量配線Cs1の電位は、フレーム開始から2水平走査期間(2H)後となるt2にプラス方向に(L→Hに)レベルシフトし、2番目にあたる保持容量配線Cs2の電位は、フレーム開始から2水平走査期間(2H)後となるt2にマイナス方向に(H→Lに)レベルシフトする。また、各奇数番目にあたる保持容量配線(Cs1、Cs3・・・)がとる2つの電位レベルの差(レベルシフト量)は1フレーム期間内において等しく、各偶数番目にあたる保持容量配線(Cs2、Cs4・・・)がとる2つの電位レベルの差(レベルシフト量)も1フレーム期間内において等しいが、各奇数番目にあたる保持容量配線(Cs1、Cs3・・・)がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線(Cs2、Cs4・・・)がとる2つの電位レベルの差よりも大きくなっている。なお、例えば、画素Pに設けられた4つの副画素(1a～1d)それぞれの面積は等しく、行方向に並ぶ2つの副画素それぞれ(1aあるいは1c)と保持容量配線Cs1との容量値は、残る2つの副画素それぞれ(1bあるいは1d)と保持容量配線Cs2との容量値に等しくなっている。

20

30

【0053】

以上のように表示部10aを構成し、かつ第1および第2データ信号線並びに保持容量配線を制御することで、表示部10aは図1(b)に示すように駆動される。以下に、図1・図12・図38を用いて画素Pの駆動について説明する。なお、図12は、第1および第2データ信号線S1・s1の電位、保持容量配線Cs1・Cs2の電位、および画素Pの各副画素(1a～1d)の電位(各副画素に含まれる画素電極の電位)を示すタイミングチャートである。

40

【0054】

図38では、データ信号線S1に供給される信号電位をVS、データ信号線s1に供給される信号電位をVs、トランジスタOFF時の引き込み電位をVF、保持容量配線Cs1の電位のレベルシフト量(HighとLowの差)を $2 \times V_p$ 、保持容量配線Cs2の電位のレベルシフト量(HighとLowの差)を $2 \times V_q$ 、 $K C a = C C S a / (C L C a + C C S a)$ 、 $K C b = C C S b / (C L C b + C C S b)$ 、 $K C c = C C S c / (C L C c + C C S c)$ 、 $K C d = C C S d / (C L C d + C C S d)$ とすると、画素電極1aの実効電位 $= V S - V F + K C a \times V p$ 、画素電極1bの実効電位 $= V S - V F - K$

50

$Cb \times Vq$ 、画素電極 1c の実効電位 $= V_s - VF + KCc \times Vp$ 、画素電極 1d の実効電位 $= V_s - VF - KCd \times Vq$ となる。

【0055】

ここで図 1・12 に示すとおり、図 1 の形態では、 $VS = Vda$ （階調データ da に対応するプラスの信号電位）、 $Vs = -Vda$ （階調データ da に対応するマイナスの信号電位）、 $KCa = KCb = KCc = KCd = KC$ であるから、画素電極 1a の実効電位 $= Vda - VF + KC \times Vp$ 、画素電極 1b の実効電位 $= Vda - VF - KC \times Vq$ 、画素電極 1c の実効電位 $= -Vda - VF + KC \times Vp$ 、画素電極 1d の実効電位 $= -Vda - VF - KC \times Vq$ となる。

【0056】

10

さらに、 $Vp > Vq$ であるから、超明副画素は明副画素よりも輝度が高く、超暗副画素は暗副画素よりも輝度が低いものとして、画素 P では、1a を超明副画素（以下、適宜 M で示す）、1b を暗副画素（以下、適宜 a で示す）、1c を超暗副画素（以下、適宜 A で示す）、1d を明副画素（以下、適宜 m で示す）とすることができる。また、画素 P に列方向に隣接する画素では、2a を暗副画素（a）、2b を超明副画素（M）、2c を明副画素（m）、2d を超暗副画素（A）とすることができる。また、画素 P に行方向に隣接する画素では、1A を超明副画素（M）、1B を暗副画素（a）、1C を超暗副画素（A）、1D を明副画素（m）とすることができる。

【0057】

以上のように、図 1 の形態によれば、保持容量配線数を増やすことなく、すなわち各保持容量配線の電位を制御するための構成を複雑化することなく、1 画素に設けた 4 つの副画素を異なる輝度に制御し、これら副画素の面積階調によって中間調を表示することができる。これにより、 γ 特性の視角依存性（例えば、画面の白浮き等）を向上させることができる。また、第 1 および第 2 データ信号線に同一階調に対応しつつ互いに極性の異なる信号電位が供給されるため、これらデータ信号線に異なる階調に対応する信号電位を供給することにより各副画素を異なる輝度とする場合と比較して、データ処理およびそのための演算回路構成を簡易化することができる。

20

【0058】

また、各副画素列において、超明副画素と明副画素が 1 列に並ばず、かつ超暗副画素と暗副画素が 1 列に並ばないため、画面のざらつきや列方向のライン状のムラを抑制することができる。また、各副画素行において、超明副画素と超暗副画素が交互に並ぶか、あるいは明副画素と暗副画素が交互に並ぶため、画面のざらつきや行方向のライン状のムラを抑制することができる。また、各保持容量配線の電位を周期的にレベルシフトさせているため、所定本ごとに保持容量配線の電位位相を共通化することができる。これにより、各保持容量配線の電位を制御するための構成を簡易化することができる。さらに、レベルシフトの周期を 10H としているため、波形鈍りがあってもレベルシフト量を十分に確保することができる。

30

【0059】

なお、表示部 10a の構成例を図 17（a）に示す。同図に示すように、画素 P では、これを横切る走査信号線 G1 上に 4 つのトランジスタそれぞれのソース電極・ドレイン電極が形成され、副画素 1a に含まれる画素電極 PEa と副画素 1c に含まれる PEc とに重なるように保持容量配線 Cs1 が配され、副画素 1b に含まれる画素電極 PEb と副画素 1d に含まれる PED とに重なるように保持容量配線 Cs2 が配されている。なお、画素 P 内において行方向に隣接する画素電極同士を分かちスリットは、図 17（a）のように列方向の直線形状であってもよいし、図 17（b）のように横 V 字形状であってもよい。図 17（b）の構成は、例えば、カラーフィルタ基板側に横 V 字形状のリブやスリットを有する MVA（マルチドメインパーティカルアライメント）構造の液晶表示装置に好適である。

40

【0060】

また、図 1 や図 17 では画素列の両側にこれに対応する第 1 および第 2 データ信号線を

50

配しているがこれに限定されない。例えば、図18のように、画素列の一方の側およびその中央（例えば、行方向に隣り合う2つの副画素1a・1cの間隙）それぞれに、該画素列に対応する第1および第2データ信号線S1・s1を配することもできる。このような配置とすることで、第1および第2データ信号線S1・s1同士を短絡し難くすることができる。また、第1および第2データ信号線S1・s1に極性が異なる信号が入力される場合、これらデータ信号線を図18のように配置することでデータ信号線と副画素との間の寄生容量による副画素電位の変動をキャンセルすることができ、表示品位を向上させることができる。

【0061】

以下に、図2の形態を説明する。なお、図2（a）は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図2（b）は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図2（b）の左図は図2（a）のt1での状態を示し、中央図は図2（a）のt2での状態を示し、右図は図2（a）のt3での状態を示す。図1の形態と図2の形態との違いは各保持容量配線の制御であり、図2の形態における表示部の構成並びに第1および第2データ信号線の制御は図1のそれと同じである。

【0062】

図2（a）（b）に示すように、保持容量配線Cs1の電位は、これと容量を形成する副画素（1a・1c等）に接続された走査信号線G1が走査された後に、そのフレーム期間内において複数回レベルシフトし、保持容量配線Cs2の電位は、これと容量を形成する副画素（1b・1d・1B・1D・2a・2C・2A・2C等）に接続された走査信号線G1・G2が走査された後、そのフレーム期間内において複数回レベルシフトする。すなわち、各保持容量配線（Cs1、Cs2・・・）の電位は、2つのレベル（High & Low）が10水平走査期間（10H）ごとに入れ替わるように変動し、画素列内で最初に書き込みが行われる画素（例えば、画素P）に対応する保持容量配線Cs1・Cs2のうち走査方向上流側にあるCs1を数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線（例えば、Cs1）の電位位相は次の奇数番目にあたる保持容量配線（例えば、Cs3）の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線（例えば、Cs2）の電位位相は次の偶数番目にあたる保持容量配線（例えば、Cs4）の電位位相よりも2水平走査期間だけ進んでおり、1番目にあたる保持容量配線Cs1の電位は、フレーム開始から2水平走査期間（2H）後となるt2にプラス方向に（L→Hに）レベルシフトし、2番目にあたる保持容量配線Cs2の電位は、フレーム開始から2水平走査期間（2H）後となるt2にプラス方向に（L→Hに）レベルシフトする。また、各奇数番目にあたる保持容量配線（Cs1、Cs3・・・）がとる2つの電位レベルの差は等しく、各偶数番目にあたる保持容量配線（Cs2、Cs4・・・）がとる2つの電位レベルの差も等しいが、各奇数番目にあたる保持容量配線（Cs1、Cs3・・・）がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線（Cs2、Cs4・・・）がとる2つの電位レベルの差よりも大きくなっている。

【0063】

本形態によれば、画素Pでは、1aを超明副画素（M）、1bを明副画素（m）、1cを超暗副画素（A）、1dを暗副画素（a）とすることができる。また、画素Pに列方向に隣接する画素では、2aを明副画素（m）、2bを超明副画素（M）、2cを暗副画素（a）、2dを超暗副画素（A）とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超明副画素（M）、1Bを明副画素（m）、1Cを超暗副画素（A）、1Dを暗副画素（a）とすることができる。

【0064】

図2の形態によれば、各副画素列の明・暗配置に関する効果を除いて、図1の形態と同様の効果を得ることができる。

【0065】

以下に、図3の形態を説明する。なお、図3（a）は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図3（b）は、該表示部の構成およびその駆動過程

程を説明する模式図である。なお、図3 (b) の左図は図3 (a) の t_1 での状態を示し、中央図は図3 (a) の t_2 での状態を示し、右図は図3 (a) の t_3 での状態を示す。図1の形態と図3の形態との違いは各保持容量配線の制御であり、図3に形態における表示部の構成並びに第1および第2データ信号線の制御は図1のそれと同じである。

【0066】

図3 (a) (b) に示すように、保持容量配線 Cs_1 の電位は、これと容量を形成する副画素 ($1a \cdot 1c$ 等) に接続された走査信号線 G_1 が走査された後に、そのフレーム期間内において1回レベルシフトし、保持容量配線 Cs_2 の電位は、これと容量を形成する副画素 ($1b \cdot 1d \cdot 1B \cdot 1D \cdot 2a \cdot 2C \cdot 2A \cdot 2C$ 等) に接続された走査信号線 $G_1 \cdot G_2$ が走査された後、そのフレーム期間内において1回レベルシフトする。すなわち、各保持容量配線 ($Cs_1, Cs_2 \dots$) の電位は、2つのレベル (High & Low) が1垂直走査期間 (1フレーム期間) ごとに入れ替わるように変動し、画素列内で最初に書き込みが行われる画素 (例えば、画素P) に対応する保持容量配線 $Cs_1 \cdot Cs_2$ のうち走査方向上流側にある Cs_1 を数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線 (例えば、 Cs_1) の電位位相は次の奇数番目にあたる保持容量配線 (例えば、 Cs_3) の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線 (例えば、 Cs_2) の電位位相は次の偶数番目にあたる保持容量配線 (例えば、 Cs_4) の電位位相よりも2水平走査期間だけ進んでおり、1番目にあたる保持容量配線 Cs_1 の電位は、フレーム開始から1水平走査期間 (1H) 後となる t_1 にプラス方向に ($L \rightarrow H$ に) レベルシフトし、2番目にあたる保持容量配線 Cs_2 の電位は、フレーム開始から2水平走査期間 (2H) 後となる t_2 にマイナス方向に ($H \rightarrow L$ に) レベルシフトする。また、各奇数番目にあたる保持容量配線 ($Cs_1, Cs_3 \dots$) がとる2つの電位レベルの差は等しく、各偶数番目にあたる保持容量配線 ($Cs_2, Cs_4 \dots$) がとる2つの電位レベルの差も等しいが、各奇数番目にあたる保持容量配線 ($Cs_1, Cs_3 \dots$) がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線 ($Cs_2, Cs_4 \dots$) がとる2つの電位レベルの差よりも大きくなっている。

【0067】

図13は、図3の形態における、第1および第2データ信号線 $S_1 \cdot s_1$ の電位、保持容量配線 $Cs_1 \cdot Cs_2$ の電位、および画素Pの各副画素 ($1a \sim 1d$) の電位 (各副画素に含まれる画素電極の電位) を示すタイミングチャートである。図13に示されるように、図3の形態では、1フレーム期間において保持容量配線の電位が1回しかレベルシフトしないため、図1の形態よりレベルシフト量を小さくしても、副画素 $1a \sim 1d$ (各副画素の画素電極) に図1の形態と同じ実効値を得ることができる。

【0068】

本形態によれば、画素Pでは、 $1a$ を超明副画素 (M)、 $1b$ を暗副画素 (a)、 $1c$ を超暗副画素 (A)、 $1d$ を明副画素 (m) とすることができる。また、画素Pに列方向に隣接する画素では、 $2a$ を暗副画素 (a)、 $2b$ を超明副画素 (M)、 $2c$ を明副画素 (m)、 $2d$ を超暗副画素 (A) とすることができる。また、画素Pに行方向に隣接する画素では、 $1A$ を超明副画素 (M)、 $1B$ を暗副画素 (a)、 $1C$ を超暗副画素 (A)、 $1D$ を明副画素 (m) とすることができる。

【0069】

図3の形態によれば、保持容量配線の電位位相の共通化に関する効果を除いて、図1の形態と同様の効果を得ることができる。加えて、保持容量配線の電位のレベルシフト量 (振幅) を小さくして、消費電力を低減することができる。

【0070】

以下に、図4の形態を説明する。なお、図4 (a) は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図4 (b) は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図4 (b) の左図は図4 (a) の t_1 での状態を示し、中央図は図4 (a) の t_2 での状態を示し、右図は図4 (a) の t_3 での状態を示す。図3の形態と図4の形態との違いは各保持容量配線の制御であり、図4の形態における表

示部の構成並びに第1および第2データ信号線の制御は図1のそれと同じである。

【0071】

図4(a)(b)に示すように、保持容量配線Cs1の電位は、これと容量を形成する副画素(1a・1c等)に接続された走査信号線G1が走査された後に、そのフレーム期間内において1回レベルシフトし、保持容量配線Cs2の電位は、これと容量を形成する副画素(1b・1d・1B・1D・2a・2C・2A・2C等)に接続された走査信号線G1・G2が走査された後、そのフレーム期間内において1回レベルシフトする。すなわち、各保持容量配線(Cs1、Cs2・・・)の電位は、2つのレベル(High & Low)が1垂直走査期間(1フレーム期間)ごとに入れ替わるように変動し、画素列内で最初に書き込みが行われる画素(例えば、画素P)に対応する保持容量配線Cs1・Cs2のうち走査方向上流側にあるCs1を数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線(例えば、Cs1)の電位位相は次の奇数番目にあたる保持容量配線(例えば、Cs3)の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線(例えば、Cs2)の電位位相は次の偶数番目にあたる保持容量配線(例えば、Cs4)の電位位相よりも2水平走査期間だけ進んでおり、1番目にあたる保持容量配線Cs1の電位は、フレーム開始から1水平走査期間(1H)後となるt1にプラス方向に(L→Hに)レベルシフトし、2番目にあたる保持容量配線Cs2の電位は、フレーム開始から2水平走査期間(2H)後となるt2にプラス方向に(L→Hに)レベルシフトする。また、各奇数番目にあたる保持容量配線(Cs1、Cs3・・・)がとる2つの電位レベルの差は等しく、各偶数番目にあたる保持容量配線(Cs2、Cs4・・・)がとる2つの電位レベルの差も等しいが、各奇数番目にあたる保持容量配線(Cs1、Cs3・・・)がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線(Cs2、Cs4・・・)がとる2つの電位レベルの差よりも大きくなっている。

【0072】

本形態によれば、画素Pでは、1aを超明副画素(M)、1bを明副画素(m)、1cを超暗副画素(A)、1dを暗副画素(a)とすることができる。また、画素Pに列方向に隣接する画素では、2aを明副画素(m)、2bを超明副画素(M)、2cを暗副画素(a)、2dを超暗副画素(A)とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超明副画素(M)、1Bを明副画素(m)、1Cを超暗副画素(A)、1Dを暗副画素(a)とすることができる。

【0073】

図4の形態によれば、各副画素列の明・暗配置に関する効果を除いて、図3の形態と同様の効果を得ることができる。

【0074】

以下に、図5の形態を説明する。なお、図5(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図5(b)は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図5(b)の左図は図5(a)のt1での状態を示し、中央図は図5(a)のt2での状態を示し、右図は図5(a)のt3での状態を示す。図1の形態と図5の形態との違いは各保持容量配線の制御であり、図3の形態における表示部の構成並びに第1および第2データ信号線の制御は図1のそれと同じである。

【0075】

図5(a)(b)に示すように、保持容量配線Cs1の電位は、これと容量を形成する副画素(1a・1c等)に接続された走査信号線G1が走査された後に、そのフレーム期間内において複数回レベルシフトし、保持容量配線Cs2の電位は、これと容量を形成する副画素(1b・1d・1B・1D・2a・2C・2A・2C等)に接続された走査信号線G1・G2が走査された後、そのフレーム期間内において複数回レベルシフトする。すなわち、各保持容量配線(Cs1、Cs2・・・)の電位は、2つのレベル(High & Low)が1水平走査期間(1H)ごとに入れ替わるように変動し、画素列内で最初に書き込みが行われる画素(例えば、画素P)に対応する保持容量配線Cs1・Cs2のうち走査方向上流側にあるCs1を数え始めの1番目の保持容量配線とした場合に、任意の奇

数番目にあたる保持容量配線 (Cs 1、Cs 3・・・) の電位位相はすべて等しく、任意の偶数番目にあたる保持容量配線 (例えば、Cs 2、Cs 4・・・) の電位位相はすべて等しく、1番目にあたる保持容量配線Cs 1の電位は、フレーム開始から1水平走査期間 (1H) 後となるt 1にプラス方向に (L→Hに) レベルシフトし、2番目にあたる保持容量配線Cs 2の電位は、フレーム開始から1水平走査期間 (1H) 後となるt 1にマイナス方向に (H→Lに) レベルシフトする。また、各奇数番目にあたる保持容量配線 (Cs 1、Cs 3・・・) がとる2つの電位レベルの差は等しく、各偶数番目にあたる保持容量配線 (Cs 2、Cs 4・・・) がとる2つの電位レベルの差も等しいが、各奇数番目にあたる保持容量配線 (Cs 1、Cs 3・・・) がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線 (Cs 2、Cs 4・・・) がとる2つの電位レベルの差よりも大 10
きくなっている。

【0076】

本形態によれば、画素Pでは、1aを超明副画素 (M)、1bを暗副画素 (a)、1cを超暗副画素 (A)、1dを明副画素 (m) とすることができる。また、画素Pに列方向に隣接する画素では、2aを明副画素 (m)、2bを超暗副画素 (A)、2cを暗副画素 (a)、2dを超明副画素 (M) とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超明副画素 (M)、1Bを暗副画素 (a)、1Cを超暗副画素 (A)、1Dを明副画素 (m) とすることができる。

【0077】

以上のように、図5の形態によれば、レベルシフト量の確保に関する効果を除いて図1 20
の形態と同様の効果を得ることができる。加えて、各副画素列において、超明副画素あるいは明副画素と、超暗副画素あるいは暗副画素とを市松配置することができ、画面のざらつきが一層抑制される。さらに、保持容量配線の電位位相の種類を2つとすることができ、各保持容量配線の電位を制御するための構成を一層簡易化することができる。

【0078】

以下に、図6の形態を説明する。なお、図6 (a) は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図6 (b) は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図6 (b) の左図は図6 (a) のt 1での状態を示し、中央図は図6 (a) のt 2での状態を示し、右図は図6 (a) のt 3での状態を示す。図1の形態と図6の形態との違いは、副画素と第1および第2データ信号線との接続関係 30
であり、図6の形態における第1および第2データ信号線並びに保持容量配線の制御は図1のそれと同じである。

【0079】

すなわち、図6 (b) に示すように、列方向に隣接する2つの画素の一方においては、列方向に並ぶ2つの副画素 (第1および第2副画素) が第1データ信号線に接続されるとともに、列方向に並ぶ2つの副画素 (第3および第4副画素) が第2データ信号線に接続され、上記2つの画素の他方においては、上記第1および第2副画素と同じ副画素列に含まれる2つの副画素が第2データ信号線に接続されるとともに、上記第3および第4副画素と同じ副画素列に含まれる2つの副画素が第1データ信号線に接続されている。

【0080】

例えば、画素Pを含む画素列に対応して第1および第2データ信号線S 1・s 1が設けられ、画素Pには走査信号線G 1に接続された4つの副画素1a～1dが設けられる。そして、列方向に並ぶ2つの副画素1a・1b (第1および第2副画素) はともに第1データ信号線S 1に接続され、列方向に並ぶ2つの副画素1c・1d (第3および第4副画素) はともに第2データ信号線s 1に接続される。一方、画素Pに列方向に隣接する画素には、走査信号線G 2に接続された4つの副画素2a～2dが設けられ、走査信号線G 2の一方の側 (図中上側) に2つの副画素2a・2cが行方向に並べられるとともに他方の側 (図中下側) に2つの副画素2b・2dが行方向に並べられる。そして、画素Pの副画素1a・1bと同じ画素列に含まれる2つの副画素2a・2bはともに第2データ信号線s 1に接続され、画素Pの副画素1c・1dと同じ画素列に含まれる2つの副画素2c・2 50

dはともに第1データ信号線S1に接続される。

【0081】

本形態によれば、画素Pでは、1aを超明副画素(M)、1bを暗副画素(a)、1cを超暗副画素(A)、1dを明副画素(m)とすることができる。また、画素Pに列方向に隣接する画素では、2aを明副画素(m)、2bを超暗副画素(A)、2cを暗副画素(a)、2dを超明副画素(M)とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超明副画素(M)、1Bを暗副画素(a)、1Cを超暗副画素(A)、1Dを明副画素(m)とすることができる。

【0082】

図6の形態によれば、図1の形態と同様の効果に加えて、各副画素列において超明副画素あるいは明副画素と、超暗副画素あるいは暗副画素とを市松配置することができ、画面のざらつきが一層抑制されるという効果が得られる。 10

【0083】

以下に、図7の形態を説明する。なお、図7(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図7(b)は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図7(b)の左図は図7(a)のt1での状態を示し、中央図は図7(a)のt2での状態を示し、右図は図7(a)のt3での状態を示す。図3の形態と図7の形態との違いは、副画素と第1および第2データ信号線との接続関係であり、図7の形態における第1および第2データ信号線並びに保持容量配線の制御は図3のそれと同じである。 20

【0084】

すなわち、図7(b)に示すように、列方向に隣接する2つの画素の一方においては、列方向に並ぶ2つの副画素(第1および第2副画素)が第1データ信号線に接続されるとともに、列方向に並ぶ2つの副画素(第3および第4副画素)が第2データ信号線に接続され、上記2つの画素の他方においては、上記第1および第2副画素と同じ副画素列に含まれる2つの副画素が第2データ信号線に接続されるとともに、上記第3および第4副画素と同じ副画素列に含まれる2つの副画素が第1データ信号線に接続されている。

【0085】

例えば、画素Pを含む画素列に対応して第1および第2データ信号線S1・s1が設けられ、画素Pには走査信号線G1に接続された4つの副画素1a~1dが設けられる。そして、列方向に並ぶ2つの副画素1a・1b(第1および第2副画素)はともに第1データ信号線S1に接続され、列方向に並ぶ2つの副画素1c・1d(第3および第4副画素)はともに第2データ信号線s1に接続される。一方、画素Pに列方向に隣接する画素には、走査信号線G2に接続された4つの副画素2a~2dが設けられ、走査信号線G2の一方の側(図中上側)に2つの副画素2a・2cが行方向に並べられるとともに他方の側(図中下側)に2つの副画素2b・2dが行方向に並べられる。そして、画素Pの副画素1a・1bと同じ画素列に含まれる2つの副画素2a・2bはともに第2データ信号線s1に接続され、画素Pの副画素1c・1dと同じ画素列に含まれる2つの副画素2c・2dはともに第1データ信号線S1に接続される。 30

【0086】

本形態によれば、画素Pでは、1aを超明副画素(M)、1bを暗副画素(a)、1cを超暗副画素(A)、1dを明副画素(m)とすることができる。また、画素Pに列方向に隣接する画素では、2aを明副画素(m)、2bを超暗副画素(A)、2cを暗副画素(a)、2dを超明副画素(M)とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超明副画素(M)、1Bを暗副画素(a)、1Cを超暗副画素(A)、1Dを明副画素(m)とすることができる。 40

【0087】

図7の形態では、図3の形態と同様の効果に加えて、各副画素列において超明副画素あるいは明副画素と、超暗副画素あるいは暗副画素とを市松配置することができ、画面のざらつきが一層抑制されるという効果が得られる。 50

【0088】

なお、図6・7の表示部の構成例を図19(a)に示す。同図に示すように、各画素では、これを横切る走査信号線上にトランジスタのソース電極・ドレイン電極が形成されているが、各画素列の偶数番目の画素では、これに含まれるトランジスタのドレイン電極が引き回されることによって図6(b)・図7(b)に示すような副画素と第1および第2データ信号線との接続関係が実現される。なお、画素内において行方向に隣接する画素電極同士を分かちスリットは、図19(a)のように列方向の直線形状であってもよいし、図19(b)のように横V字形状であってもよい。図19(b)の構成は、例えば、カラーフィルタ基板側に横V字形状のリブやスリットを有するMVA構造の液晶表示装置に好適である。

10

【0089】

以下に、図8の形態を説明する。なお、図8(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図8(b)は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図8(b)の左図は図8(a)のt1での状態を示し、中央図は図8(a)のt2での状態を示し、右図は図8(a)のt3での状態を示す。図1の形態と図8の形態との違いは第1および第2データ信号線の制御であり、図8の形態における表示部の構成および各保持容量配線の制御は図1のそれと同じである。

【0090】

すなわち、図8(a)(b)に示すように、第1および第2データ信号線には、同一のデータ(階調データ)に対応する、極性の異なった信号電位(例えばVcomを基準としたときに、Vcomからの方向が逆で絶対値が等しい電位)が供給される。そして、信号電位の極性は1水平走査期間(1H)ごとに反転する。なお、図8の形態でも、隣接する2つの画素列の一方に対応する第1データ信号線と、該2つの画素列の他方に対応する第2データ信号線とは異極性の信号電位が供給される。図14に、図8の形態における、第1および第2データ信号線S1・s1の電位、保持容量配線Cs1・Cs2の電位、および画素Pの各副画素(1a~1d)の電位(各副画素に含まれる画素電極の電位)を示すタイミングチャートを示しておく。

20

【0091】

本形態によれば、画素Pでは、1aを超明副画素(M)、1bを暗副画素(a)、1cを超暗副画素(A)、1dを明副画素(m)とすることができる。また、画素Pに列方向に隣接する画素では、2aを明副画素(m)、2bを超暗副画素(A)、2cを暗副画素(a)、2dを超明副画素(M)とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超明副画素(M)、1Bを暗副画素(a)、1Cを超暗副画素(A)、1Dを明副画素(m)とすることができる。

30

【0092】

図8の形態では、図1の形態と同様の効果に加えて、各副画素列において超明副画素あるいは明副画素と、超暗副画素あるいは暗副画素とを市松配置することができ、画面のざらつきが一層抑制されるという効果が得られる。

【0093】

以下に、図9の形態を説明する。なお、図9(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図9(b)は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図9(b)の左図は図9(a)のt1での状態を示し、中央図は図9(a)のt2での状態を示し、右図は図9(a)のt3での状態を示す。図3の形態と図9の形態との違いは第1および第2データ信号線の制御であり、図9の形態における表示部の構成並びに各保持容量配線の制御は図3のそれと同じである。

40

【0094】

すなわち、図9(a)(b)に示すように、第1および第2データ信号線には、同一のデータ(階調データ)に対応する、極性の異なった信号電位(例えばVcomを基準としたときに、Vcomからの方向が逆で絶対値が等しい電位)が供給される。そして、信号電位の極性は1水平走査期間(1H)ごとに反転する。なお、図9の形態でも、隣接する

50

2つの画素列の一方に対応する第1データ信号線と、該2つの画素列の他方に対応する第2データ信号線とは異極性の信号電位が供給される。図15に、図9の形態における、第1および第2データ信号線 $S1 \cdot s1$ の電位、保持容量配線 $Cs1 \cdot Cs2$ の電位、および画素Pの各副画素(1a~1d)の電位(各副画素に含まれる画素電極の電位)を示すタイミングチャートを示しておく。

【0095】

本形態によれば、画素Pでは、1aを超明副画素(M)、1bを暗副画素(a)、1cを超暗副画素(A)、1dを明副画素(m)とすることができる。また、画素Pに列方向に隣接する画素では、2aを明副画素(m)、2bを超暗副画素(A)、2cを暗副画素(a)、2dを超明副画素(M)とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超明副画素(M)、1Bを暗副画素(a)、1Cを超暗副画素(A)、1Dを明副画素(m)とすることができる。

【0096】

図9の形態では、図3の形態と同様の効果に加えて、各副画素列において超明副画素あるいは明副画素と、超暗副画素あるいは暗副画素とを市松配置することができ、画面のざらつきが一層抑制されるという効果が得られる。

【0097】

以下に、図10の形態を説明する。なお、図10(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図10(b)は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図10(b)の左図は図10(a)の $t1$ での状態を示し、中央図は図10(a)の $t2$ での状態を示し、右図は図10(a)の $t3$ での状態を示す。図1の形態と図10の形態との違いは第1および第2データ信号線の制御であり、図10の形態における表示部の構成および各保持容量配線の制御は図1のそれと同じである。

【0098】

すなわち、図10(a)(b)に示すように、第1および第2データ信号線には、同一のデータ(階調データ)に対応する、極性の異なった信号電位(例えば V_{com} を基準としたときに、 V_{com} からの方向が逆で絶対値が等しい電位)が供給される。そして、信号電位の極性は1垂直走査期間ごとに反転する。なお、隣接する2つの画素列の一方に対応する第1データ信号線と、該2つの画素列の他方に対応する第2データ信号線とは同極性の信号電位が供給される。例えば、あるフレームでは、第1データ信号線 $S1 \cdot S2$ にそれぞれプラス・マイナスの信号電位が供給されるとともに、第2データ信号線 $s1 \cdot s2$ にそれぞれマイナス・プラスの信号電位が供給され、次のフレームでは、第1データ信号線 $S1 \cdot S2$ にそれぞれマイナス・プラスの信号電位が供給されるとともに、第2データ信号線 $s1 \cdot s2$ にそれぞれプラス・マイナスの信号電位が供給される。

【0099】

本形態によれば、画素Pでは、1aを超明副画素(M)、1bを暗副画素(a)、1cを超暗副画素(A)、1dを明副画素(m)とすることができる。また、画素Pに列方向に隣接する画素では、2aを暗副画素(a)、2bを超明副画素(M)、2cを明副画素(m)、2dを超暗副画素(A)とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超暗副画素(A)、1Bを明副画素(m)、1Cを超明副画素(M)、1Dを暗副画素(a)とすることができる。

【0100】

図10の形態によれば、各副画素行の明・暗配置に関する効果を除いて、図1の形態と同様の効果を得ることができる。加えて、画素列を挟むことなく隣接する2本のデータ信号線に同極性の信号電位が供給されるため、この2本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。

【0101】

以下に、図11の形態を説明する。なお、図11(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図11(b)は、該表示部の構成およびその

駆動過程を説明する模式図である。なお、図11(b)の左図は図11(a)のt1での状態を示し、中央図は図11(a)のt2での状態を示し、右図は図11(a)のt3での状態を示す。図1の形態と図11の形態との違いは、表示部における各副画素と保持容量配線との容量値および保持容量配線の電位のレベルシフト量であり、図11の形態におけるその他の構成および配線制御は図1のそれと同じである。

【0102】

図11(a)(b)に示すように、各奇数番目にあたる保持容量配線(Cs1、Cs3・・・)がとる2つの電位レベルの差は等しく、各偶数番目にあたる保持容量配線(Cs2、Cs4・・・)がとる2つの電位レベルの差も等しく、さらに、各奇数番目にあたる保持容量配線(Cs1、Cs3・・・)がとる2つの電位レベルの差と、各偶数番目にあたる保持容量配線(Cs2、Cs4・・・)がとる2つの電位レベルの差とが等しくなっている。一方で、1画素に設けられた4つの副画素それぞれの面積は等しく、行方向に並ぶ2つ副画素それぞれと保持容量配線との容量値は、残る2つの副画素それぞれと保持容量配線との容量値よりも大きくなっている。例えば、画素Pに設けられた4つの副画素(1a~1d)それぞれの面積は等しく、行方向に並ぶ2つの副画素それぞれ(1aあるいは1c)と保持容量配線Cs1との容量値は、残る2つの副画素それぞれ(1bあるいは1d)と保持容量配線Cs2との容量値よりも大きくなっている。

10

【0103】

ここで、上記のとおり、画素電極1aの実効電位 $=V_S - V_F + KC_a \times V_p$ 、画素電極1bの実効電位 $=V_S - V_F - KC_b \times V_q$ 、画素電極1cの実効電位 $=V_s - V_F + KC_c \times V_p$ 、画素電極1dの実効電位 $=V_s - V_F - KC_d \times V_q$ であるが、本形態では、 $KC_a = CCS_a / (CLC_a + CCS_a) = KC_c = CCS_c / (CLC_c + CCS_c) > KC_b = CCS_b / (CLC_b + CCS_b) = KC_d = CCS_d / (CLC_d + CCS_d)$ となっており、さらに、 $V_p = V_q$ となっているから、画素Pでは、1aを超明副画素(M)、1bを暗副画素(a)、1cを超暗副画素(A)、1dを明副画素(m)とすることができる。また、画素Pに列方向に隣接する画素では、2aを暗副画素(a)、2bを超明副画素(M)、2cを明副画素(m)、2dを超暗副画素(A)とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超明副画素(M)、1Bを暗副画素(a)、1Cを超暗副画素(A)、1Dを明副画素(m)とすることができる。なお、図16に、図11の形態における、第1および第2データ信号線S1・s1の電位、保持容量配線Cs1・Cs2の電位、および画素Pの各副画素(1a~1d)の電位(各副画素に含まれる画素電極の電位)を示すタイミングチャートを示しておく。

20

30

【0104】

図11の形態によれば、図1の形態と同様の効果を得ることができる。加えて、各保持容量配線の電位のレベルシフト量を等しくすることができ、各保持容量配線の電位を制御するための構成を簡易化することができる。

【0105】

なお、図11(b)に示す表示部の構成例を図20に示す。同図に示すように、画素Pでは、これを横切る走査信号線G1上に4つのトランジスタそれぞれのソース電極・ドレイン電極が形成され、副画素1aに含まれる画素電極PEaと副画素1cに含まれるPEcとに重なるように保持容量配線Cs1が配され、副画素1bに含まれるPEbと副画素1dに含まれるPEdとに重なるように保持容量配線Cs2が配されている。ここで、画素電極PEaと保持容量配線Cs1との重なり面積よりも画素電極PEbと保持容量配線Cs2との重なり面積の方が大きく、また、画素電極PEcと保持容量配線Cs1との重なり面積よりも画素電極PEdと保持容量配線Cs2との重なり面積の方が大きくなっている。また、図20では画素列の両側にこれに対応する第1および第2データ信号線を配しているがこれに限定されない。例えば、図21のように、画素列の一方の側およびその中央(例えば、行方向に隣り合う2つの副画素1a・1cの間隙)それぞれに、該画素列に対応する第1および第2データ信号線S1・s1を配することもできる。

40

【0106】

50

図1の形態では、フレームごとに各保持容量配線のレベルシフトの量（大きさ）および方向を変えることもできる。すなわち、各保持容量配線で、走査信号線が走査された後における最初のレベルシフトの量および方向の少なくとも一方が、連続するフレーム間で異なっている構成とする。より具体的には、上記最初のレベルシフトの量を大・小2種類とするとともに、その方向をプラス方向・マイナス方向の2種類とし、この量と方向とを組み合わせた4種類のレベルシフトパターン（レベルシフト量大・レベルシフト方向マイナスと、レベルシフト量大・レベルシフト方向プラスと、レベルシフト量小・レベルシフト方向マイナスと、レベルシフト量小・レベルシフト方向プラス）を、連続する4フレームそれぞれの上記最初のレベルシフトで実行する。

【0107】

10

例えば、図22(a)に示すように、フレーム1では、その開始から2水平走査期間後の t_2 に、保持容量配線Cs1の電位がプラス方向に（L→Hに）大きくレベルシフトする一方、保持容量配線Cs2の電位がマイナス方向に（H→Lに）小さくレベルシフトする。続くフレーム2では、その開始から2水平走査期間後の t_2 に、保持容量配線Cs1の電位がプラス方向に（L→Hに）小さくレベルシフトする一方、保持容量配線Cs2の電位がマイナス方向に（H→Lに）大きくレベルシフトする。続くフレーム3では、その開始から2水平走査期間後の t_2 に、保持容量配線Cs1の電位がマイナス方向に（H→Lに）大きくレベルシフトする一方、保持容量配線Cs2の電位がプラス方向に（L→Hに）小さくレベルシフトする。続くフレーム3では、その開始から2水平走査期間後の t_2 に、保持容量配線Cs1の電位がマイナス方向に（H→Lに）小さくレベルシフトする一方、保持容量配線Cs2の電位がプラス方向に（L→Hに）大きくレベルシフトする。こうすれば、図22(b)に示すように、各画素における、超明副画素(M)、暗副画素(a)、超暗副画素および明副画素(m)の配置をフレームごとに変えていくことができ、焼き付き防止や画面のざらつき抑制といった効果を得ることができる。

20

【0108】

また、図2の形態でも、図23(a)のようにフレームごとに各保持容量配線のレベルシフトの量および方向を変えることで、図23(b)に示すように、焼き付き防止や画面のざらつき抑制といった効果を得ることができる。また、図3の形態でも、図24(a)のようにフレームごとに各保持容量配線のレベルシフトの量および方向を変えることで、図24(b)に示すように、焼き付き防止や画面のざらつき抑制といった効果を得ることができる。さらに、図8の形態でも、図25(a)のようにフレームごとに各保持容量配線のレベルシフトの量および方向を変えることで、図25(b)に示すように、焼き付き防止の効果を得ることができる。

30

【0109】

〔実施の形態2〕

以下に、図26の形態を説明する。なお、図26(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図26(b)は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図26(b)の左図は図26(a)の t_1 での状態を示し、中央図は図26(a)の t_2 での状態を示し、右図は図26(a)の t_3 での状態を示す。図26(b)に示すように、表示部10bには、1つの画素列に対応して、その両側に、第1および第2データ信号線が設けられ、1つの画素には同一の走査信号線に接続された3個の副画素が設けられる。この画素には2本の保持容量配線が対応し、該画素の2個の副画素が上記2本の保持容量配線の一方と容量を形成するとともに、これら副画素の一方が第1データ信号線に接続され、かつ他方が第2データ信号線に接続されており、また、残る1個の副画素が上記2本の保持容量配線の他方と容量を形成するとともに、この副画素が第1あるいは第2データ信号線に接続されている。

40

【0110】

より具体的には、1つの画素では、走査信号線の一方の側に2つの副画素が行方向に並べられるとともに他方の側に1つの副画素が行方向に並べられ、行方向に並ぶ2つの副画素は1本の保持容量配線と容量を形成する。なお、列方向に隣接する2つの画素の一方に

50

においては、行方向に並ぶ2つの副画素（第1および第3副画素）が同一の保持容量配線と容量を形成するとともに、残る副画素（第2副画素）が別の保持容量配線と容量を形成し、上記隣接する2つの画素の他方においては、行方向に並ぶ2つの副画素が、上記別の保持容量配線と容量を形成している。また、隣接する2つの画素列の一方に対応する第2データ信号線と該2つの画素列の他方に対応する第1データ信号線とが画素列を挟むことなく隣接している。

【0111】

例えば、画素Pを含む画素列に対応して第1および第2データ信号線S1・s1が設けられ、画素Pには走査信号線G1に接続された3つの副画素1a～1cが設けられる。具体的には、画素Pでは、走査信号線G1の一方の側（図中上側）に2つの副画素1a・1cが行方向に並べられるとともに他方の側（図中下側）に残る副画素1bが配される。そして、副画素1a・1b（第1および第2副画素）はともに第1データ信号線S1に接続され、副画素1c（第3副画素）は第2データ信号線s1に接続される。また、行方向に並ぶ2つの副画素1a・1cは保持容量配線Cs1と容量を形成し、残る副画素1bは保持容量配線Cs2と容量を形成している。

【0112】

同様に、画素Pに列方向に隣接する画素には、走査信号線G2に接続された3つの副画素2a～2cが設けられる。具体的には、走査信号線G2の一方の側（図中上側）に2つの副画素2a・2cが行方向に並べられるとともに他方の側（図中下側）に残る副画素2bが配される。そして、2つの副画素2a・2bはともに第1データ信号線S1に接続され、副画素2cは第2データ信号線s1に接続される。また、行方向に並ぶ2つの副画素2a・2cは、（画素Pの副画素1bとも容量を形成する）保持容量配線Cs2と容量を形成し、残る副画素2bは保持容量配線Cs3と容量を形成している。

【0113】

また、画素Pを含む画素列に隣接する画素列に対応して第1および第2データ信号線S2・s2が設けられ、画素Pに行方向に隣接する画素には、走査信号線G1に接続された3つの副画素1A～1Cが設けられる。具体的には、走査信号線G1の一方の側（図中上側）に2つの副画素1A・1Cが行方向に並べられるとともに他方の側（図中下側）に残る副画素1Bが配され、2つの副画素1A・1Bはともに第1データ信号線S2に接続され、残る副画素1Cは第2データ信号線s2に接続される。また、行方向に並ぶ2つの副画素1A・1Cは保持容量配線Cs1と容量を形成し、残る副画素1Bは保持容量配線Cs2と容量を形成している。

【0114】

このように、列方向に隣り合う2つの画素の一方に含まれる副画素（1b、1B）と該2つの画素の他方に含まれる副画素（2a、2c、2A、2C）とが、同一の保持容量配線Cs2と容量を形成している。換言すれば、走査信号線を挟むことなく列方向に隣接する2つの副画素（1bと2aや2c、1Bと2Aや2C）が、同一の保持容量配線Cs2と容量を形成している。

【0115】

図39に、画素Pの等価回路を示す。同図に示されるように、画素Pは、3つの副画素1a～1cからなり、副画素1aはトランジスタTRaと画素電極PEaとを含み、副画素1bはトランジスタTRbと画素電極PEbとを含み、副画素1cはトランジスタTRcと画素電極PEcとを含む。

【0116】

トランジスタTRa・TRbは走査信号線G1およびデータ信号線S1に接続され、トランジスタTRcは走査信号線G1およびデータ信号線s1に接続される。そして、画素電極PEaは、保持容量配線Cs1と容量CCSaを形成するとともに、共通電極com（対向電極）とCLCaを形成し、画素電極PEbは、保持容量配線Cs2と容量CCSbを形成するとともに、共通電極com（対向電極）とCLCbを形成し、画素電極PEcは、保持容量配線Cs1と容量CCScを形成するとともに、共通電極com（対向電

極)とCLCcを形成する。

【0117】

図26(a)(b)に戻って、第1および第2データ信号線には、同一のデータ(階調データ)に対応する、極性の異なった信号電位(例えばVcomを基準としたときに、Vcomからの方向が逆で絶対値が等しい電位)が供給される。そして、信号電位の極性は1垂直走査期間ごとに反転する。なお、隣接する2つの画素列の一方に対応する第1データ信号線と、該2つの画素列の他方に対応する第2データ信号線とは異極性の信号電位が供給される。例えば、あるフレームでは第1データ信号線S1・S2にプラスの信号電位が供給される一方、第2データ信号線s1・s2にマイナスの信号電位が供給され、次のフレームでは、第1データ信号線S1・S2にマイナスの信号電位が供給される一方、第2データ信号線s1・s2にプラスの信号電位が供給される。

【0118】

さらに、図26(a)(b)に示すように、各保持容量配線の電位は、これと容量を形成する副画素に接続された走査信号線が走査された後、そのフレーム期間内において複数回レベルシフトする。具体的には、各保持容量配線の電位は、2つのレベルが1フレーム期間内において周期的に入れ替わるように変動し、画素列内で最初に書き込みが行われる画素に対応する保持容量配線のうち走査方向上流側にあるものを数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線の電位位相と次の奇数番目にあたる保持容量配線の電位位相とが、同方向に同一量だけずれ、任意の偶数番目にあたる保持容量配線の電位位相と次の偶数番目にあたる保持容量配線の電位位相とが、同方向に同一量だけずれている。また、上記2つのレベルそれぞれが複数水平走査期間継続する。

【0119】

より具体的には、任意の奇数番目にあたる保持容量配線の電位位相は次の奇数番目にあたる保持容量配線の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線の電位位相は次の偶数番目にあたる保持容量配線の電位位相よりも2水平走査期間だけ進んでおり、1番目にあたる保持容量配線の電位と2番目にあたる保持容量配線の電位とが、フレーム開始から2水平走査期間後に同タイミングで逆方向にレベルシフトする。また、各奇数番目にあたる保持容量配線がとる2つの電位レベルの差は等しく、各偶数番目にあたる保持容量配線がとる2つの電位レベルの差も等しく、さらに各奇数番目にあたる保持容量配線がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線がとる2つの電位レベルの差に等しくなっている。なお、1画素内において行方向に並ぶ2つの副画素それぞれの面積は等しいが、この面積は残る1つの副画素の面積よりも小さく、行方向に並ぶ2つの副画素それぞれと保持容量配線との容量値は、残る1つの副画素と保持容量配線との容量値に等しくなっている。

【0120】

例えば、保持容量配線Cs1の電位は、これと容量を形成する副画素(1a・1c等)に接続された走査信号線G1が走査された後に、そのフレーム期間内において複数回レベルシフトし、保持容量配線Cs2の電位は、これと容量を形成する副画素(1b・1B・2a・2C・2A・2C等)に接続された走査信号線G1・G2が走査された後、そのフレーム期間内において複数回レベルシフトする。すなわち、各保持容量配線(Cs1、Cs2・・・)の電位は、2つのレベル(High&Low)が10水平走査期間(10H)ごとに入れ替わるように変動し、画素列内で最初に書き込みが行われる画素(例えば、画素P)に対応する保持容量配線Cs1・Cs2のうち走査方向上流側にあるCs1を数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線(例えば、Cs1)の電位位相は次の奇数番目にあたる保持容量配線(例えば、Cs3)の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線(例えば、Cs2)の電位位相は次の偶数番目にあたる保持容量配線(例えば、Cs4)の電位位相よりも2水平走査期間だけ進んでおり、1番目にあたる保持容量配線Cs1の電位は、フレーム開始から2水平走査期間(2H)後となるt2にプラス方向に(L→Hに)レベル

シフトし、2番目にあたる保持容量配線C s 2の電位は、フレーム開始から2水平走査期間(2H)後となるt 2にマイナス方向に(H→Lに)レベルシフトする。また、各奇数番目にあたる保持容量配線(C s 1、C s 3・・・)がとる2つの電位レベルの差(レベルシフト量)は1フレーム期間において等しく、各偶数番目にあたる保持容量配線(C s 2、C s 4・・・)がとる2つの電位レベルの差(レベルシフト量)も1フレーム期間において等しく、さらに、各奇数番目にあたる保持容量配線(C s 1、C s 3・・・)がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線(C s 2、C s 4・・・)がとる2つの電位レベルの差に等しい。また、例えば、画素P内において行方向に並ぶ2つの副画素(1 a・1 c)それぞれの面積は等しいが、この面積は残る1つの副画素(1 b)の面積よりも小さく、行方向に並ぶ2つの副画素(1 a・1 c)それぞれと保持容量配線C s 1との容量値は、残る1つの副画素1 bと保持容量配線C s 2との容量値に等しくなっている。すなわち、図39において、 $K C a = C C S a / (C L C a + C C S a)$
 $= K C c = C C S c / (C L C c + C C S c) > K C b = C C S b / (C L C b + C C S b)$ となっている。

【0121】

以上のように表示部10bを構成し、かつ第1および第2データ信号線並びに保持容量配線を制御することで、表示部10bは図26(b)に示すように駆動される。以下に、図26・図37・図39を用いて画素Pの駆動について説明する。なお、図37は、第1および第2データ信号線S 1・s 1の電位、保持容量配線C s 1・C s 2の電位、および画素Pの各副画素(1 a～1 c)の電位(各副画素に含まれる画素電極の電位)を示すタイミングチャートである。

【0122】

すなわち、データ信号線S 1に供給される信号電位をV S、データ信号線s 1に供給される信号電位をV s、トランジスタOFF時の引き込み電位をV F、保持容量配線C s 1の電位のレベルシフト量(H i g hとL o wの差)を $2 \times V p$ 、保持容量配線C s 2の電位のレベルシフト量(H i g hとL o wの差)を $2 \times V q$ とすれば、画素電極1 aの実効電位 $= V S - V F + K C a \times V p$ 、画素電極1 bの実効電位 $= V S - V F - K C b \times V q$ 、画素電極1 cの実効電位 $= V s - V F + K C c \times V p$ であるが、本形態では、 $K C a = C C S a / (C L C a + C C S a) = K C c = C C S c / (C L C c + C C S c) > K C b = C C S b / (C L C b + C C S b)$ となっており、さらに、 $V p = V q$ となっているから、画素Pでは、1 aを超明副画素(M)、1 bを暗副画素(a)、1 cを超暗副画素(A)とすることができる。また、画素Pに列方向に隣接する画素では、2 aを超暗副画素(A)、2 bを暗副画素(a)、2 cを超明副画素(M)とすることができる。また、画素Pに行方向に隣接する画素では、1 Aを超明副画素(M)、1 Bを暗副画素(a)、1 Cを超暗副画素(A)とすることができる。

【0123】

以上のように、図26の形態によれば、保持容量配線数を増やすことなく、すなわち各保持容量配線の電位を制御するための構成を複雑化することなく、1画素に設けた3つの副画素を異なる輝度に制御し、これら副画素の面積階調によって中間調を表示することができる。これにより、 γ 特性の視角依存性(例えば、画面の白浮き等)を向上させることができる。また、第1および第2データ信号線に同一階調に対応しつつ互いに極性の異なる信号電位が供給されるため、これらデータ信号線に異なる階調に対応する信号電位を供給することにより各副画素を異なる輝度とする場合と比較して、データ処理およびそのための演算回路構成を簡易化することができる。また、各副画素行において、超明副画素と超暗副画素が交互に並ぶか、あるいは明副画素と暗副画素が交互に並ぶため、画面のざらつきや行方向のライン状のムラを抑制することができる。また、各保持容量配線の電位を周期的にレベルシフトさせているため、所定本ごとに保持容量配線の電位位相を共通化することができる。これにより、各保持容量配線の電位を制御するための構成を簡易化することができる。さらに、レベルシフトの周期を10Hとしているため、波形鈍りがあってもレベルシフト量を十分に確保することができる。

【0124】

以下に、図27の形態を説明する。なお、図27(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図27(b)は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図27(b)の左図は図27(a)のt1での状態を示し、中央図は図27(a)のt2での状態を示し、右図は図27(a)のt3での状態を示す。図26の形態と図27の形態との違いは各保持容量配線の制御であり、図27の形態における表示部の構成並びに第1および第2データ信号線の制御は図26のそれと同じである。

【0125】

図27(a)(b)に示すように、保持容量配線Cs1の電位は、これと容量を形成する副画素(1a・1c等)に接続された走査信号線G1が走査された後に、そのフレーム期間内において1回レベルシフトし、保持容量配線Cs2の電位は、これと容量を形成する副画素(1b・1B・2a・2C・2A・2C等)に接続された走査信号線G1・G2が走査された後、そのフレーム期間内において1回レベルシフトする。すなわち、各保持容量配線(Cs1、Cs2・・・)の電位は、2つのレベル(High&Low)が1垂直走査期間(1フレーム期間)ごとに入れ替わるように変動し、画素列内で最初に書き込みが行われる画素(例えば、画素P)に対応する保持容量配線Cs1・Cs2のうち走査方向上流側にあるCs1を数え始めの1番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線(例えば、Cs1)の電位位相は次の奇数番目にあたる保持容量配線(例えば、Cs3)の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線(例えば、Cs2)の電位位相は次の偶数番目にあたる保持容量配線(例えば、Cs4)の電位位相よりも2水平走査期間だけ進んでおり、1番目にあたる保持容量配線Cs1の電位は、フレーム開始から1水平走査期間(1H)後となるt1にプラス方向に(L→Hに)レベルシフトし、2番目にあたる保持容量配線Cs2の電位は、フレーム開始から2水平走査期間(2H)後となるt2にマイナス方向に(H→Lに)レベルシフトする。また、各奇数番目にあたる保持容量配線(Cs1、Cs3・・・)がとる2つの電位レベルの差(レベルシフト量)は1フレーム期間内において等しく、各偶数番目にあたる保持容量配線(Cs2、Cs4・・・)がとる2つの電位レベルの差(レベルシフト量)も1フレーム期間内において等しく、さらに、各奇数番目にあたる保持容量配線(Cs1、Cs3・・・)がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線(Cs2、Cs4・・・)がとる2つの電位レベルの差に等しい。

【0126】

本形態によれば、画素Pでは、1aを超明副画素(M)、1bを暗副画素(a)、1cを超暗副画素(A)とすることができる。また、画素Pに列方向に隣接する画素では、2aを超暗副画素(A)、2bを暗副画素(a)、2cを超明副画素(M)とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超明副画素(M)、1Bを暗副画素(a)、1Cを超暗副画素(A)とすることができる。

【0127】

図27の形態によれば、保持容量配線の電位位相の共通化に関する効果を除いて、図26の形態と同様の効果を得ることができる。加えて、保持容量配線の電位のレベルシフト量(振幅)を小さくして、消費電力を低減することができる。

【0128】

以下に、図28の形態を説明する。なお、図28(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図28(b)は、該表示部の構成およびその駆動過程を説明する模式図である。図28(b)の左図は図28(a)のt1での状態を示し、中央図は図28(a)のt2での状態を示し、右図は図28(a)のt3での状態を示す。

【0129】

図28の形態は、図26の形態における各保持容量配線の位相を半周期ずらしたものであり、これによって、画素Pでは、1aを超暗副画素(A)、1bを明副画素(m)、1

cを超明副画素（M）とすることができる。また、画素Pに列方向に隣接する画素では、2aを超明副画素（M）、2bを明副画素（m）、2cを超暗副画素（A）とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超暗副画素（A）、1Bを明副画素（m）、1Cを超明副画素（M）とすることができる。

【0130】

図28の形態によれば、図26の形態と同様の効果を得ることができる。

【0131】

以下に、図29の形態を説明する。なお、図29（a）は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図29（b）は、該表示部の構成およびその駆動過程を説明する模式図である。図29（b）の左図は図29（a）のt1での状態を示し、中央図は図29（a）のt2での状態を示し、右図は図29（a）のt3での状態を示す。

10

【0132】

図29の形態は、図26の形態における第1および第2データ信号線の制御を変えたものである。具体的には、隣接する2つの画素列の一方に対応する第1データ信号線と、該2つの画素列の他方に対応する第2データ信号線とは同極性の信号電位が供給される。こうすれば、画素Pでは、1aを超明副画素（M）、1bを暗副画素（a）、1cを超暗副画素（A）とすることができる。また、画素Pに列方向に隣接する画素では、2aを超暗副画素（A）、2bを暗副画素（a）、2cを超明副画素（M）とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超暗副画素（A）、1Bを暗副画素（a）、1Cを超明副画素（M）とすることができる。

20

【0133】

図29の形態によれば、図26の形態と同様の効果を得ることができる。加えて、画素列を挟むことなく隣接する2本のデータ信号線に同極性の信号電位が供給されるため、この2本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。

【0134】

以下に、図30の形態を説明する。なお、図30（a）は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図30（b）は、該表示部の構成およびその駆動過程を説明する模式図である。図30（b）の左図は図30（a）のt1での状態を示し、中央図は図30（a）のt2での状態を示し、右図は図30（a）のt3での状態を示す。

30

【0135】

図30の形態は、図26の形態における保持容量配線の位相を変えたものである。具体的には、任意の奇数番目にあたる保持容量配線（例えば、Cs1）の電位位相は次の奇数番目にあたる保持容量配線（例えば、Cs3）の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線（例えば、Cs2）の電位位相は次の偶数番目にあたる保持容量配線（例えば、Cs4）の電位位相よりも2水平走査期間だけ進んでおり、1番目にあたる保持容量配線Cs1の電位は、フレーム開始から2水平走査期間（2H）後となるt2にマイナス方向に（H→Lに）レベルシフトし、2番目にあたる保持容量配線Cs2の電位は、フレーム開始から2水平走査期間（2H）後となるt2にマイナス方向に（H→Lに）レベルシフトする。

40

【0136】

こうすれば、画素Pでは、1aを超暗副画素（A）、1bを暗副画素（a）、1cを超明副画素（M）とすることができる。また、画素Pに列方向に隣接する画素では、2aを超暗副画素（A）、2bを暗副画素（a）、2cを超明副画素（M）とすることができる。また、画素Pに行方向に隣接する画素では、1Aを超暗副画素（A）、1Bを暗副画素（a）、1Cを超明副画素（M）とすることができる。

【0137】

図30の形態によれば、図26の形態と同様の効果を得ることができる。加えて、保持

50

容量配線の電位位相の種類を削減することができ、各保持容量配線の電位を制御するための構成を一層簡易化することができる。

【0138】

以下に、図31の形態を説明する。なお、図31(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図31(b)は、該表示部の構成およびその駆動過程を説明する模式図である。図31(b)の左図は図31(a)のt1での状態を示し、中央図は図31(a)のt2での状態を示し、右図は図31(a)のt3での状態を示す。

【0139】

図31の形態は、図26の形態における第1および第2データ信号線の制御を変えたものである。具体的には、第1および第2データ信号線には、同一のデータ（階調データ）に対応する、極性の異なった信号電位が供給されるが、信号電位の極性は1水平走査期間（1H）ごとに反転する。

【0140】

図31の形態によれば、図26の形態と同様の効果を得ることができる。

【0141】

以下に、図32の形態を説明する。なお、図32(a)は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図32(b)は、該表示部の構成およびその駆動過程を説明する模式図である。図32(b)の左図は図32(a)のt1での状態を示し、中央図は図32(a)のt2での状態を示し、右図は図32(a)のt3での状態を示す。図32の形態は、図26の形態における画素の配置および保持容量配線の制御を変えたものである。

【0142】

図32(b)に示すように、列方向に隣接する2つの画素の一方においては、行方向に並ぶ2つの副画素（第1および第3副画素）が同一の保持容量配線と容量を形成するとともに、残る副画素（第2副画素）が別の保持容量配線と容量を形成し、上記隣接する2つの画素の他方においては、行方向に並ぶ2つの副画素を除いた残りの副画素が、上記別の保持容量配線容量と容量を形成している。また、隣接する2つの画素列の一方に対応する第2データ信号線と該2つの画素列の他方に対応する第1データ信号線とが画素列を挟むことなく隣接している。

【0143】

例えば、画素Pを含む画素列に対応して第1および第2データ信号線S1・s1が設けられ、画素Pには走査信号線G1に接続された3つの副画素1a～1cが設けられる。具体的には、画素Pでは、走査信号線G1の一方の側（図中上側）に2つの副画素1a・1cが行方向に並べられるとともに他方の側（図中下側）に残る副画素1bが配される。そして、副画素1a・1b（第1および第2副画素）はともに第1データ信号線S1に接続され、副画素1c（第3副画素）は第2データ信号線s1に接続される。また、行方向に並ぶ2つの副画素1a・1cは保持容量配線Cs1と容量を形成し、残る副画素1bは保持容量配線Cs2と容量を形成している。

【0144】

一方、画素Pに列方向に隣接する画素には、走査信号線G2に接続された3つの副画素2a～2cが設けられる。具体的には、走査信号線G2の一方の側（図中上側）に2つの副画素2a・2cが行方向に並べられるとともに他方の側（図中下側）に残る副画素2bが配される。そして、2つの副画素2a・2bはともに第1データ信号線S1に接続され、副画素2cは第2データ信号線s1に接続される。また、行方向に並ぶ2つの副画素2a・2cを除いた残りの副画素2bは、（画素Pの副画素1bとも容量を形成する）保持容量配線Cs2と容量を形成し、副画素2a・2cは保持容量配線Cs3と容量を形成している。

【0145】

また、画素Pを含む画素列に隣接する画素列に対応して第1および第2データ信号線S

2・s 2が設けられ、画素Pに行方向に隣接する画素には、走査信号線G 1に接続された3つの副画素1 A～1 Cが設けられる。具体的には、走査信号線G 1の一方の側（図中上側）に2つの副画素1 A・1 Cが行方向に並べられるとともに他方の側（図中下側）に残る副画素1 Bが配され、2つの副画素1 A・1 Bはともに第1データ信号線S 2に接続され、残る副画素1 Cは第2データ信号線s 2に接続される。また、行方向に並ぶ2つの副画素1 A・1 Cは保持容量配線Cs 1と容量を形成し、残る副画素1 Bは保持容量配線Cs 2と容量を形成している。

【0146】

また、各保持容量配線の位相については、任意の奇数番目にあたる保持容量配線の電位位相は次の奇数番目にあたる保持容量配線の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線の電位は変動せず、1番目にあたる保持容量配線の電位が、フレーム開始から1水平走査期間後にレベルシフトする。また、各奇数番目にあたる保持容量配線がとる2つの電位レベルの差は等しくなっている。

【0147】

すなわち、任意の奇数番目にあたる保持容量配線（例えば、Cs 1）の電位位相は次の奇数番目にあたる保持容量配線（例えば、Cs 3）の電位位相よりも2水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線（例えば、Cs 2・Cs 4・・・）の電位は変動しない。また、保持容量配線Cs 1の電位は、フレーム開始から1水平走査期間（1H）後となるt 1にプラス方向に（L→Hに）レベルシフトする。また、各奇数番目にあたる保持容量配線（Cs 1、Cs 3・・・）がとる2つの電位レベルの差（レベルシフト量）は1フレーム期間において等しくなっている。

【0148】

こうすれば、画素Pでは、供給された信号電位に対応する輝度の副画素を中副画素（Nと示す）として、1 aを超明副画素（M）、1 bを中副画素（N）、1 cを超暗副画素（A）とすることができる。また、画素Pに列方向に隣接する画素では、2 aを超暗副画素（A）、2 bを中副画素（N）、2 cを超明副画素（M）とすることができる。また、画素Pに行方向に隣接する画素では、1 Aを超明副画素（M）、1 Bを中副画素（N）、1 Cを超暗副画素（A）とすることができる。

【0149】

図3 2の形態によれば、図2 6の形態と同様の効果を得ることができる。加えて、保持容量配線の電位位相の種類を削減することができ、各保持容量配線の電位を制御するための構成を一層簡易化することができる。さらに、3つの画素を、超明副画素および超暗副画素並びに信号電位に対応する輝度の中副画素とすることができるため、各画素において明あるいは暗への偏りをなくすることができる。

【0150】

以下に、図3 3の形態を説明する。なお、図3 3（a）は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図3 3（b）は、該表示部の構成およびその駆動過程を説明する模式図である。図3 3（b）の左図は図3 3（a）のt 1での状態を示し、中央図は図3 3（a）のt 2での状態を示し、右図は図3 3（a）のt 3での状態を示す。

【0151】

図3 3の形態は、図3 2の形態における画素と第1および第2データ信号線の接続関係を変えたものである。具体的には、列方向に隣り合う2つの画素の一方では、行方向に並ぶ2つの副画素を除く副画素が第1データ信号線に接続され、他方では、行方向に並ぶ2つの副画素を除く副画素が第2データ信号線に接続される。また、行方向に隣り合う2つの画素の一方では、行方向に並ぶ2つの副画素を除く副画素が第1データ信号線に接続され、他方では、行方向に並ぶ2つの副画素を除く副画素が第2データ信号線に接続される。

【0152】

こうすれば、画素Pでは、1 aを超明副画素（M）、1 bを中副画素（N）、1 cを超

暗副画素 (A) とすることができる。また、画素 P に列方向に隣接する画素では、2 a を超暗副画素 (A)、2 b を中副画素 (N)、2 c を超明副画素 (M) とすることができる。また、画素 P に行方向に隣接する画素では、1 A を超明副画素 (M)、1 B を中副画素 (N)、1 C を超暗副画素 (A) とすることができる。

【0153】

図 3 3 の形態によれば、図 3 2 の形態と同様の効果を得ることができる。加えて、2 × 2 のマトリクス状に配される中副画素 (N) の極性分布を市松状にすることができ、ちらつき感をなくすることができる。

【0154】

以下に、図 3 4 の形態を説明する。なお、図 3 4 (a) は、本液晶表示装置の表示部の 10 駆動方法を示すタイミングチャートであり、図 3 4 (b) は、該表示部の構成およびその駆動過程を説明する模式図である。図 3 4 (b) の左図は図 3 4 (a) の t 1 での状態を示し、中央図は図 3 4 (a) の t 2 での状態を示し、右図は図 3 4 (a) の t 3 での状態を示す。

【0155】

図 3 4 の形態は、図 3 2 の形態における第 1 および第 2 データ信号線の制御を変えたものである。具体的には、隣接する 2 つの画素列の一方に対応する第 1 データ信号線と、該 2 つの画素列の他方に対応する第 2 データ信号線とは同極性の信号電位が供給される。こうすれば、画素 P では、1 a を超明副画素 (M)、1 b を中副画素 (N)、1 c を超暗副画素 (A) とすることができる。また、画素 P に列方向に隣接する画素では、2 a を超 20 暗副画素 (A)、2 b を中副画素 (N)、2 c を超明副画素 (M) とすることができる。また、画素 P に行方向に隣接する画素では、1 A を超暗副画素 (A)、1 B を中副画素 (N)、1 C を超明副画素 (M) とすることができる。

【0156】

図 3 4 の形態によれば、図 3 2 の形態と同様の効果を得ることができる。加えて、画素列を挟むことなく隣接する 2 本のデータ信号線に同極性の信号電位が供給されるため、この 2 本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。

【0157】

以下に、図 3 5 の形態を説明する。なお、図 3 5 (a) は、本液晶表示装置の表示部の 30 駆動方法を示すタイミングチャートであり、図 3 5 (b) は、該表示部の構成およびその駆動過程を説明する模式図である。なお、図 3 5 (b) の左図は図 3 5 (a) の t 1 での状態を示し、中央図は図 3 5 (a) の t 2 での状態を示し、右図は図 3 5 (a) の t 3 での状態を示す。図 3 5 の形態と図 3 2 の形態との違いは各保持容量配線の制御であり、図 3 5 の形態における表示部の構成並びに第 1 および第 2 データ信号線の制御は図 3 2 のそれと同じである。

【0158】

図 3 5 (a) (b) に示すように、各保持容量配線 (Cs 1、Cs 2・・・) の電位は、2 つのレベル (High & Low) が 10 水平走査期間 (10 H) ごとに入れ替わるように変動し、画素列内で最初に書き込みが行われる画素 (例えば、画素 P) に対応する保持容量配線 Cs 1・Cs 2 のうち走査方向上流側にある Cs 1 を数え始めの 1 番目の保持容量配線とした場合に、任意の奇数番目にあたる保持容量配線 (例えば、Cs 1) の電位位相は次の奇数番目にあたる保持容量配線 (例えば、Cs 3) の電位位相よりも 2 水平走査期間だけ進み、任意の偶数番目にあたる保持容量配線 (例えば、Cs 2) の電位位相は次の偶数番目にあたる保持容量配線 (例えば、Cs 4) の電位位相よりも 2 水平走査期間だけ進んでおり、1 番目にあたる保持容量配線 Cs 1 の電位は、フレーム開始から 2 水平走査期間 (2 H) 後となる t 2 にプラス方向に (L→H に) レベルシフトし、2 番目にあたる保持容量配線 Cs 2 の電位は、フレーム開始から 2 水平走査期間 (2 H) 後となる t 2 にマイナス方向に (H→L に) レベルシフトする。また、各奇数番目にあたる保持容量配線 (Cs 1、Cs 3・・・) がとる 2 つの電位レベルの差 (レベルシフト量) は 1 フレ 50

ーム期間において等しく、各偶数番目にあたる保持容量配線（ Cs_2 、 $Cs_4 \dots$ ）がとる2つの電位レベルの差（レベルシフト量）も1フレーム期間において等しいが、各奇数番目にあたる保持容量配線（ Cs_1 、 $Cs_3 \dots$ ）がとる2つの電位レベルの差は、各偶数番目にあたる保持容量配線（ Cs_2 、 $Cs_4 \dots$ ）がとる2つの電位レベルの差よりも大きい。一方、1画素内において行方向に並ぶ2つの副画素それぞれの面積は等しいが、この面積は残る副画素の面積の $1/2$ であり、行方向に並ぶ2つの副画素それぞれと保持容量配線との容量値は、残る副画素と保持容量配線との容量値の $1/2$ となっている。例えば、画素P内において行方向に並ぶ2つの副画素（ $1a \cdot 1c$ ）それぞれの面積は等しいが、この面積は残る副画素（ $1b$ ）の面積の $1/2$ であり、行方向に並ぶ2つの副画素（ $1a \cdot 1c$ ）それぞれと保持容量配線 Cs_1 との容量値は、残る副画素 $1b$ と保持容量配線 Cs_2 との容量値の $1/2$ となっている。これにより、図39において、 $KCa = CCSa / (CLCa + CCSa) = KCc = CCSc / (CLCc + CCSc) = KCb = CCSb / (CLCb + CCSb)$ となっている。

【0159】

本形態によれば、画素Pでは、 $1a$ を超明副画素（M）、 $1b$ を暗副画素（a）、 $1c$ を超暗副画素（A）とすることができる。また、画素Pに列方向に隣接する画素では、 $2a$ を超暗副画素（A）、 $2b$ を暗副画素（a）、 $2c$ を超明副画素（M）とすることができる。また、画素Pに行方向に隣接する画素では、 $1A$ を超明副画素（M）、 $1B$ を暗副画素（a）、 $1C$ を超暗副画素（A）とすることができる。

【0160】

図35の形態によれば、各画素における明あるいは暗への偏りをなくす効果を除いて、図32の形態と同様の効果を得ることができる。

【0161】

以下に、図36の形態を説明する。なお、図36（a）は、本液晶表示装置の表示部の駆動方法を示すタイミングチャートであり、図36（b）は、該表示部の構成およびその駆動過程を説明する模式図である。図36（b）の左図は図36（a）の t_1 での状態を示し、中央図は図36（a）の t_2 での状態を示し、右図は図36（a）の t_3 での状態を示す。

【0162】

図36の形態は、図35の形態における第1および第2データ信号線の制御を変えたものである。具体的には、隣接する2つの画素列の一方に対応する第1データ信号線と、該2つの画素列の他方に対応する第2データ信号線とは同極性の信号電位が供給される。こうすれば、画素Pでは、 $1a$ を超明副画素（M）、 $1b$ を暗副画素（a）、 $1c$ を超暗副画素（A）とすることができる。また、画素Pに列方向に隣接する画素では、 $2a$ を超暗副画素（A）、 $2b$ を暗副画素（a）、 $2c$ を超明副画素（M）とすることができる。また、画素Pに行方向に隣接する画素では、 $1A$ を超暗副画素（A）、 $1B$ を暗副画素（a）、 $1C$ を超明副画素（M）とすることができる。

【0163】

図36の形態によれば、図35の形態と同様の効果を得ることができる。加えて、画素列を挟むことなく隣接する2本のデータ信号線に同極性の信号電位が供給されるため、この2本のデータ信号線間の寄生容量に起因する電力消費を抑制でき、ソースドライバの負荷を小さくすることができる。

【0164】

本実施の形態では、保持容量配線の電位は該保持容量配線に供給される保持容量配線信号（CS信号）によって制御される。なお、上記保持容量配線の電位位相には寄生容量等に起因する波形なまりを記載していないため、該保持容量配線の電位位相は保持容量配線信号（CS信号）の位相（波形）に等しいものとなっている。

【0165】

図40は、本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置は、表示部（液晶パネル）と、ソースドライバと、ゲートドライバと、バッ

クライトと、バックライト駆動回路と、表示制御回路と、データ並べ替え回路44と、CS制御回路とを備えている。ソースドライバはデータ信号線を駆動し、ゲートドライバは走査信号線を駆動し、データ並べ替え回路44は入力データの並べ替えを行い（後述）、表示制御回路は、ソースドライバ、ゲートドライバおよびバックライト駆動回路を制御する。また、CS制御回路は、保持容量配線（CS配線）の電位を制御するためのCS信号の位相および周期等を制御する回路である。

【0166】

表示制御回路は、外部の信号源（例えばチューナー）から、表示すべき画像を表すデジタルビデオ信号D_vと、当該デジタルビデオ信号D_vに対応する水平同期信号HSYおよび垂直同期信号VSYと、表示動作を制御するための制御信号D_cとを受け取る。また、表示制御回路は、受け取ったこれらの信号D_v、HSY、VSY、D_cに基づき、そのデジタルビデオ信号D_vの表す画像を表示部に表示させるための信号として、データスタートパルス信号SSPと、データクロック信号SCKと、ラッチストロブ信号LSと、表示すべき画像を表すデジタル画像信号DA（ビデオ信号D_vに対応する信号）と、ゲートスタートパルス信号GSPと、ゲートクロック信号GCKと、ゲートドライバ出力制御信号（走査信号出力制御信号）GOEとを生成し、これらを出力する。

【0167】

より詳しくは、ビデオ信号D_vを内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号DAとして表示制御回路から出力し、そのデジタル画像信号DAの表す画像の各画素に対応するパルスからなる信号としてデータクロック信号SCKを生成し、水平同期信号HSYに基づき1水平走査期間毎に所定期間だけハイレベル（Hレベル）となる信号としてデータスタートパルス信号SSPを生成し、垂直同期信号VSYに基づき1フレーム期間（1垂直走査期間）毎に所定期間だけHレベルとなる信号としてゲートスタートパルス信号GSPを生成し、水平同期信号HSYに基づきゲートクロック信号GCKを生成し、水平同期信号HSYおよび制御信号D_cに基づきラッチストロブ信号LS、ならびにゲートドライバ出力制御信号GOEを生成する。

【0168】

上記のようにして表示制御回路において生成された信号のうち、デジタル画像信号DA、ラッチストロブ信号LS、信号電位（データ信号電位）の極性を制御する信号POL、データスタートパルス信号SSP、およびデータクロック信号SCKは、ソースドライバに入力され、ゲートスタートパルス信号GSPとゲートクロック信号GCKとゲートドライバ出力制御信号GOEとは、ゲートドライバに入力される。また、表示制御回路から出力されるゲートスタートパルス信号GSP、ゲートクロック信号GCKが、CS制御回路に入力される。

【0169】

ソースドライバは、デジタル画像信号DA、データクロック信号SCK、ラッチストロブ信号LS、データスタートパルス信号SSP、および極性反転信号POLに基づき、デジタル画像信号DAの表す画像の各走査信号線における画素値に相当するアナログ電位としてのデータ信号を1水平走査期間毎に順次生成し、これらのデータ信号をデータ信号線（例えば、S1a・S1A、S1x・S1y）に出力する。

【0170】

ゲートドライバは、ゲートスタートパルス信号GSPおよびゲートクロック信号GCKと、ゲートドライバ出力制御信号GOEとに基づき、走査信号を生成し、これらを走査信号線に出力し、これによって走査信号線を選択的に駆動する。

【0171】

上記のようにソースドライバおよびゲートドライバにより表示部（液晶パネル）のデータ信号線および走査信号線が駆動されることで、選択された走査信号線に接続されたTFTを介して、データ信号線から画素電極に信号電位が書き込まれる。これにより各画素の液晶層にデジタル画像信号DAに応じた電圧が印加され、その電圧印加によってバックライトからの光の透過量が制御され、デジタルビデオ信号D_vの示す画像が画素に表示され

る。

【0172】

図41に、本液晶表示装置に用いられるデータ並べ替え回路44（図40参照）の構成を示す。図41に示すように、データ並び替え回路44は、並び替え制御回路61と第1ラインメモリ51Aと第2ラインメモリ51Bとを備える。並び替え制御回路61は、入力される信号D_v、HSY、VSYおよびD_cを用いて、パラレルに入力される1ライン分のデータを用いて1水平走査期間（1H）分の出力データを生成する。例えば、並び替え制御回路61は、ある画素行の各データを第1ラインメモリ51Aに一旦書き込むとともに、この各データと同一のデータを第2ラインメモリ51Bに一旦書き込んでおき、第1ラインメモリ51Aおよび第2ラインメモリ51Bから交互にデータを読み出すことで、同じデータが2つずつ並んだ1H分のシリアルデータを生成する。ここで、第1ラインメモリ51Aおよび第2ラインメモリ51Bから交互にデータを読み出されたデータは、第1および第2のデータ信号線に供給される信号電位に対応する。

10

【0173】

また、図42に示すように、表示制御回路は、データ並べ替え回路44で生成されたデータをソースドライバに出力する。ソースドライバでは、DAC1（+極性用）とDAC2（-極性用）が設けられており、1画素列（第1および第2データ信号線）に対応する2つのデータ（同一の階調データ）は、DAC1・2それぞれに輸入され、アナログの信号電位とされる。

【0174】

20

なお、本願でいう「電位極性」とは、基準となる電位に対する高低を示すものであり、また、「電位の反転（電位極性の反転）」とは、基準となる電位よりも低いレベルから高いレベルへシフトすること、あるいは基準となる電位よりも高いレベルから低いレベルへシフトすることを示すものである。ここで、基準となる電位は、共通電極（対向電極）の電位であるV_{com}（コモン電位）であってもその他任意の電位であってもよい。

【0175】

次に、本液晶表示装置をテレビジョン受信機に適用するときの一構成例について説明する。図43は、テレビジョン受信機用の液晶表示装置800の構成を示すブロック図である。液晶表示装置800は、液晶表示ユニット84と、Y/C分離回路80と、ビデオクロマ回路81と、A/Dコンバータ82と、液晶コントローラ83と、バックライト駆動回路85と、バックライト86と、マイコン（マイクロコンピュータ）87と、階調回路88とを備えている。なお、液晶表示ユニット84は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。

30

【0176】

上記構成の液晶表示装置800では、まず、テレビジョン信号としての複合カラー映像信号S_{cv}が外部からY/C分離回路80に輸入され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路81にて光の3原色に対応するアナログRGB信号に変換され、さらに、このアナログRGB信号はA/Dコンバータ82により、デジタルRGB信号に変換される。このデジタルRGB信号は液晶コントローラ83に輸入される。また、Y/C分離回路80では、外部から輸入された複合カラー映像信号S_{cv}から水平および垂直同期信号も取り出され、これらの同期信号もマイコン87を介して液晶コントローラ83に輸入される。

40

【0177】

液晶表示ユニット84には、液晶コントローラ83からデジタルRGB信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで輸入される。また、階調回路88では、カラー表示の3原色R、G、Bそれぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット84に供給される。液晶表示ユニット84では、これらのRGB信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号＝信号電位、走査信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット8

50

4によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要がある、この液晶表示装置800では、マイコン87の制御の下にバックライト駆動回路85がバックライト86を駆動することにより、液晶パネルの裏面に光が照射される。

【0178】

上記の処理を含め、システム全体の制御はマイコン87が行う。なお、外部から入力される映像信号(複合カラー映像信号)としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置800では、様々な映像信号に基づいた画像表示が可能である。

10

【0179】

液晶表示装置800でテレビジョン放送に基づく画像を表示する場合には、図44に示すように、液晶表示装置800にチューナー部90が接続され、これによって本テレビジョン受像機601が構成される。このチューナー部90は、アンテナ(不図示)で受信した受信波(高周波信号)の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号Scvを取り出す。この複合カラー映像信号Scvは、既述のように液晶表示装置800に入力され、この複合カラー映像信号Scvに基づく画像が該液晶表示装置800によって表示される。

【0180】

20

図45は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機601は、その構成要素として、液晶表示装置800の他に第1筐体801および第2筐体806を有しており、液晶表示装置800を第1筐体801と第2筐体806とで包み込むようにして挟持した構成となっている。第1筐体801には、液晶表示装置800で表示される画像を透過させる開口部801aが形成されている。また、第2筐体806は、液晶表示装置800の背面側を覆うものであり、当該表示装置800を操作するための操作用回路805が設けられると共に、下方に支持用部材808が取り付けられている。

【0181】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

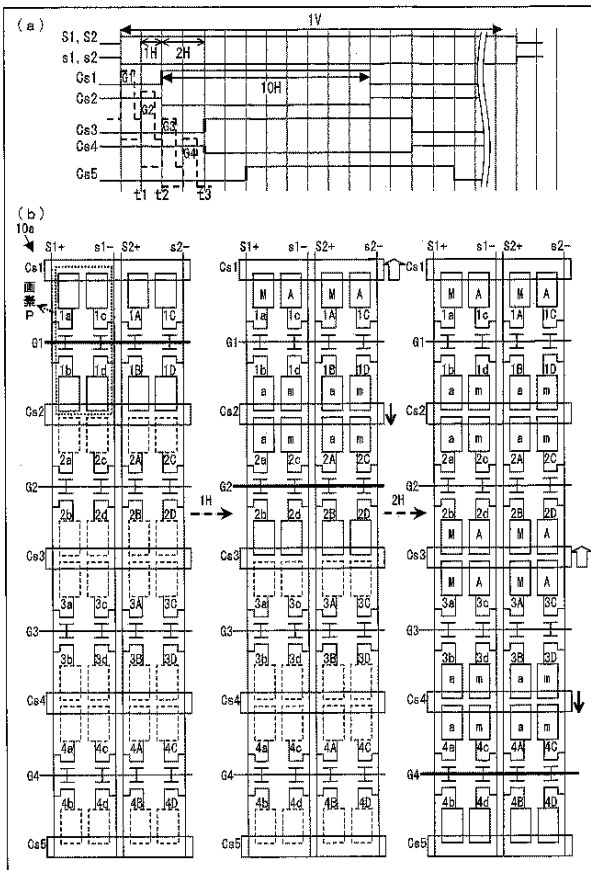
30

【産業上の利用可能性】

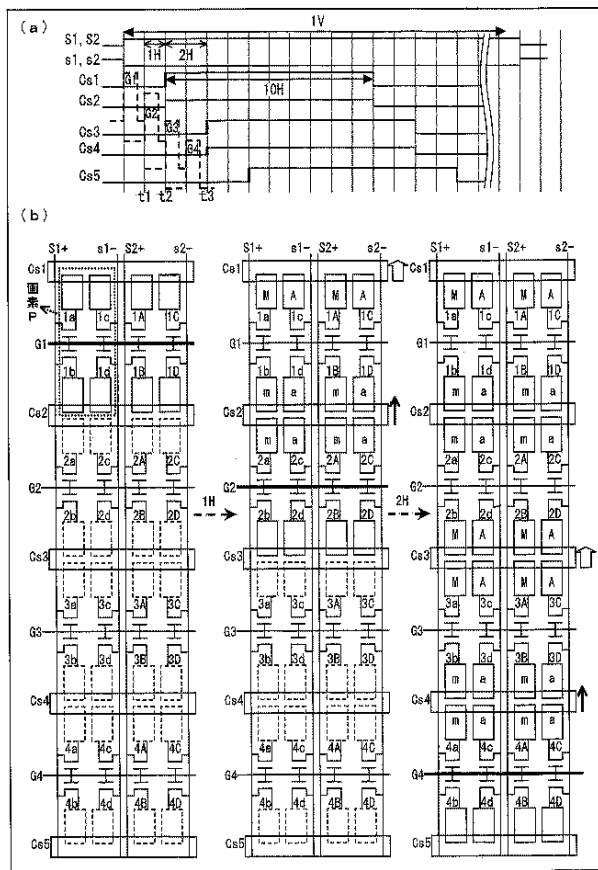
【0182】

本発明の液晶パネルおよび液晶表示装置は、例えば液晶テレビに好適である。

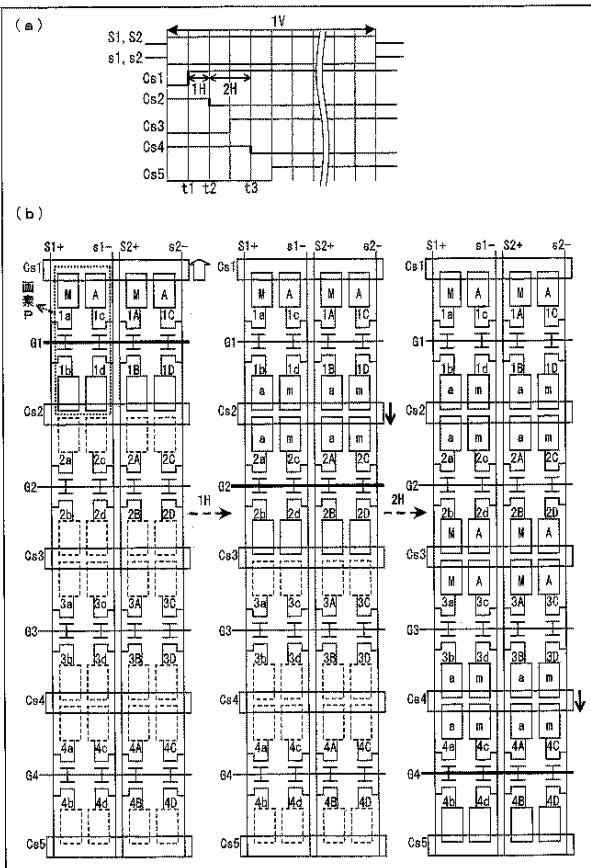
【図 1】



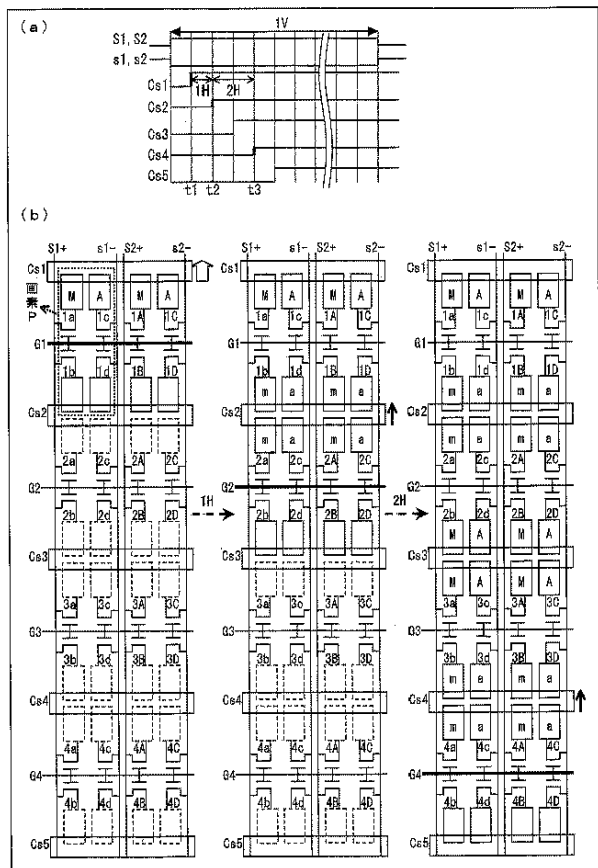
【図 2】



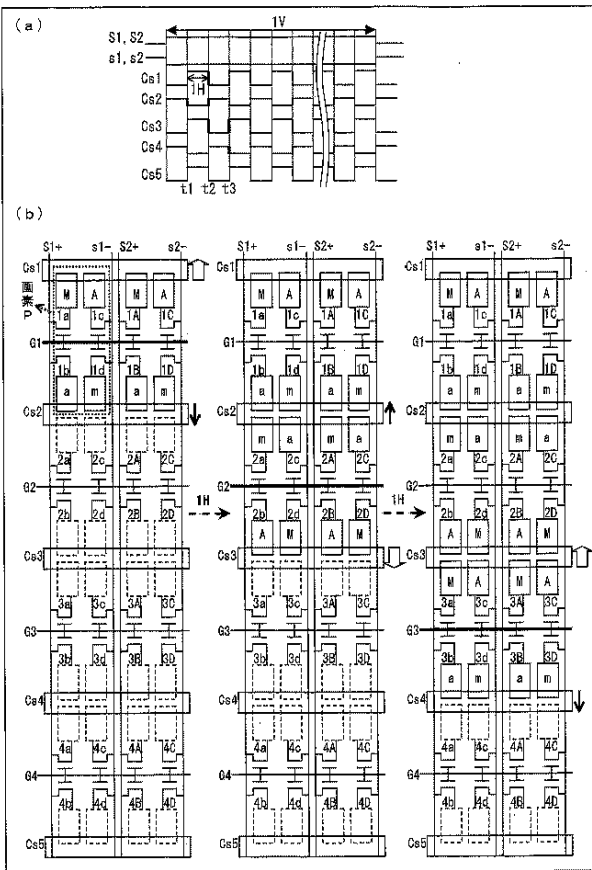
【図 3】



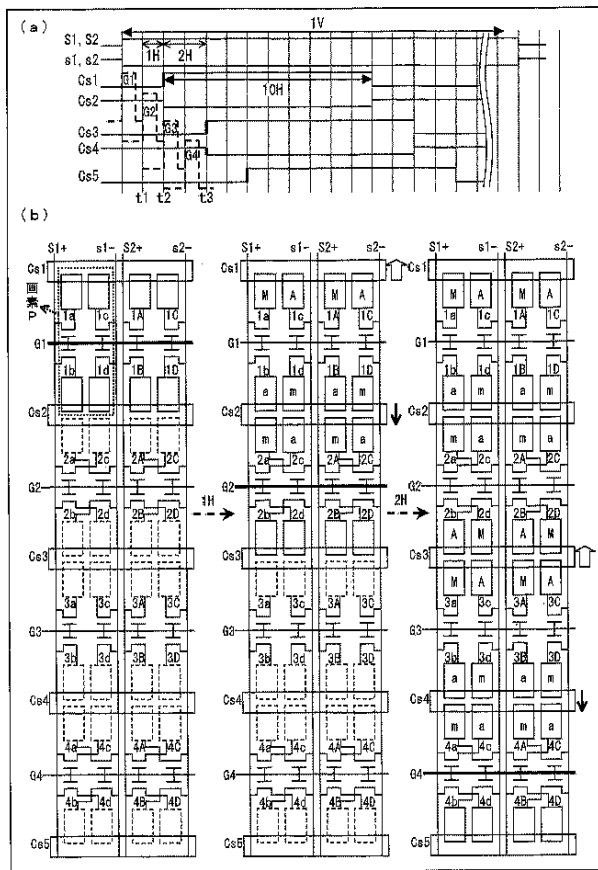
【図 4】



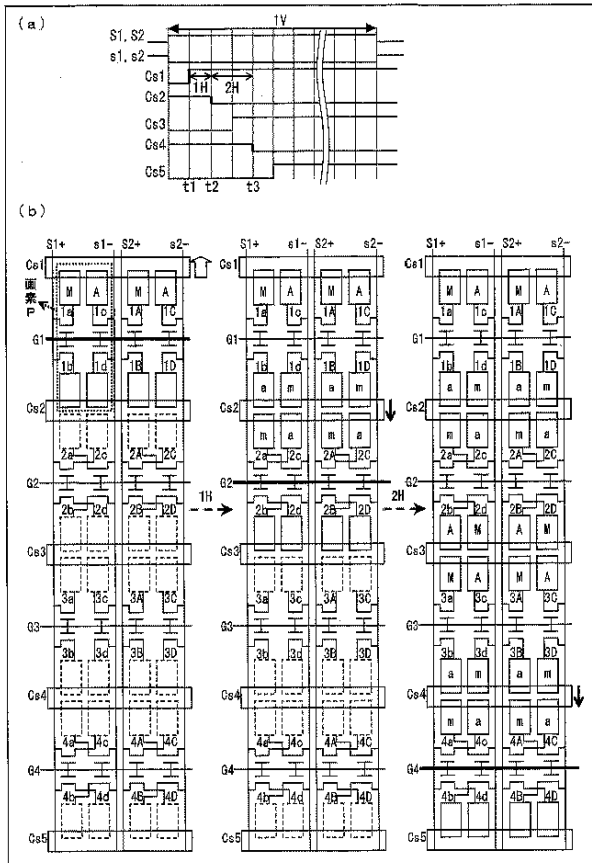
【図 5】



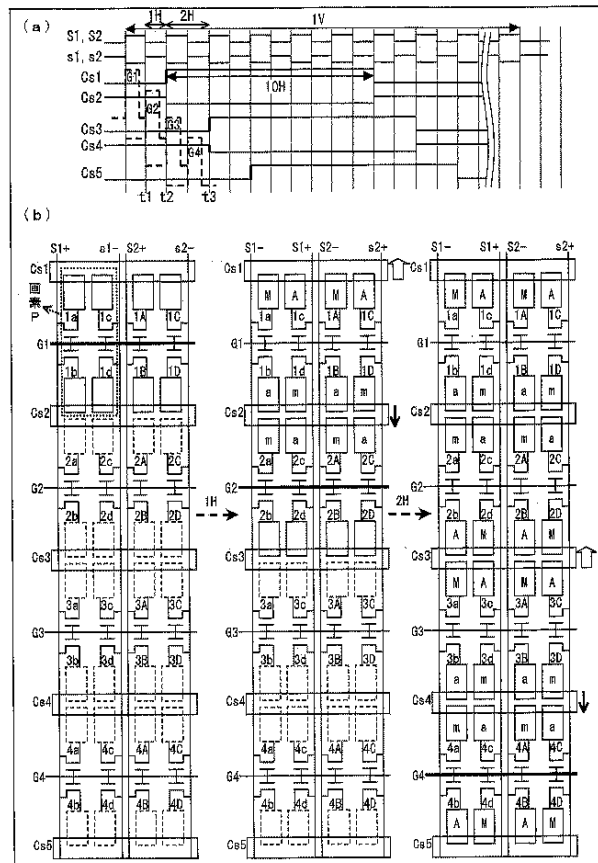
【図 6】



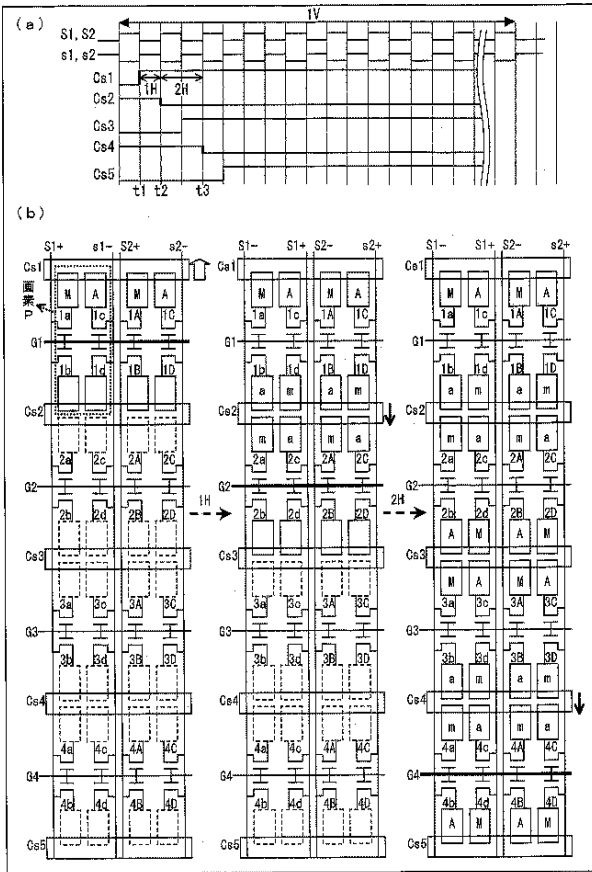
【図 7】



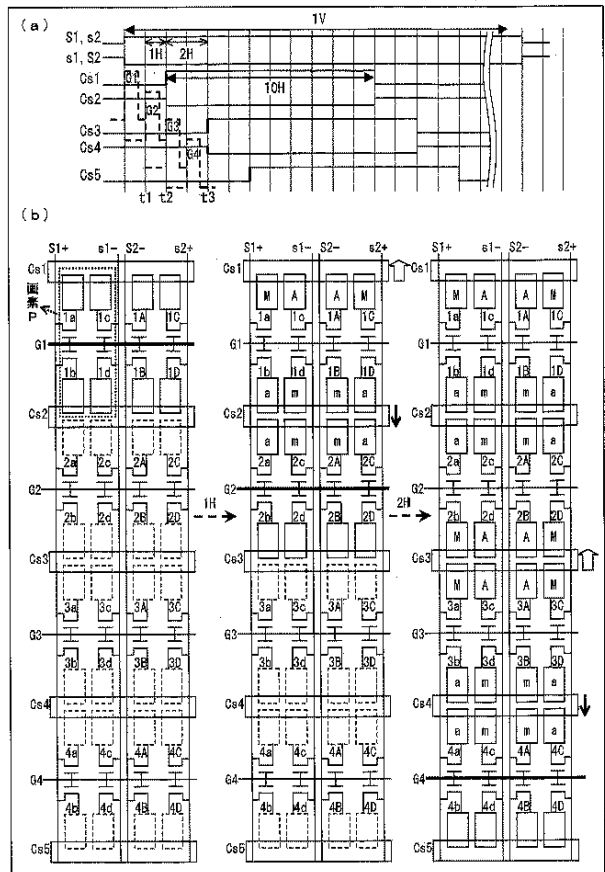
【図 8】



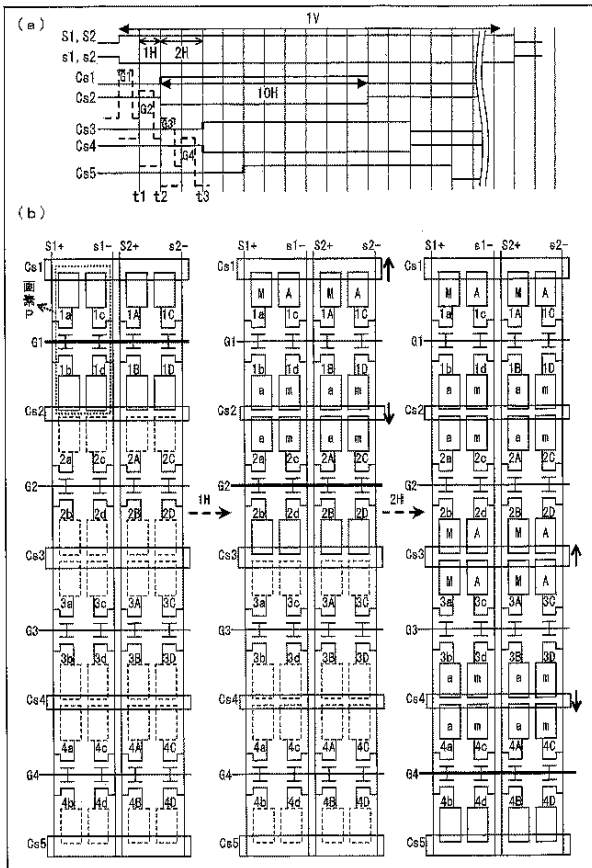
【図 9】



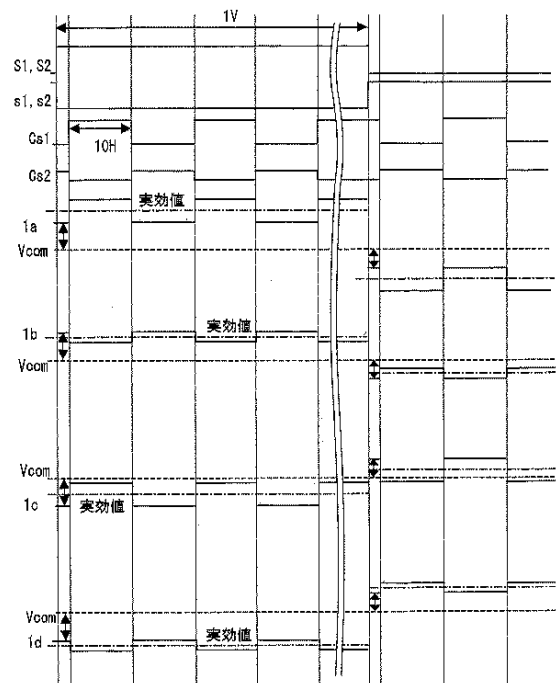
【図 10】



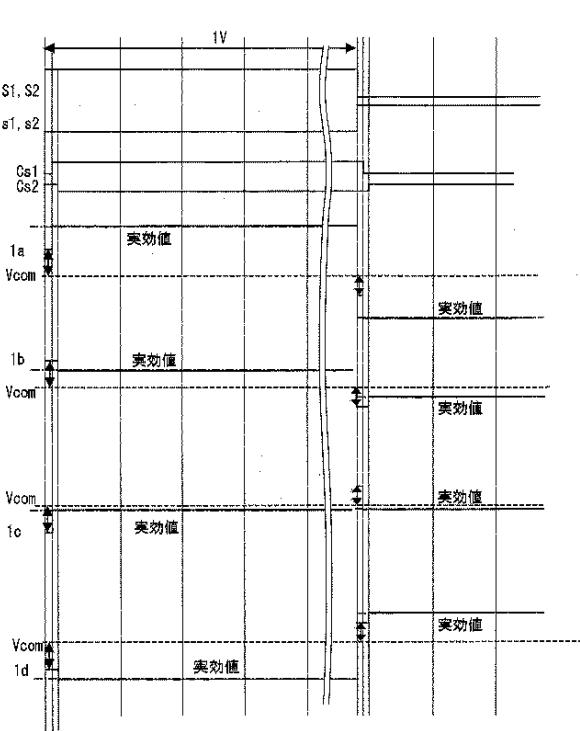
【図 11】



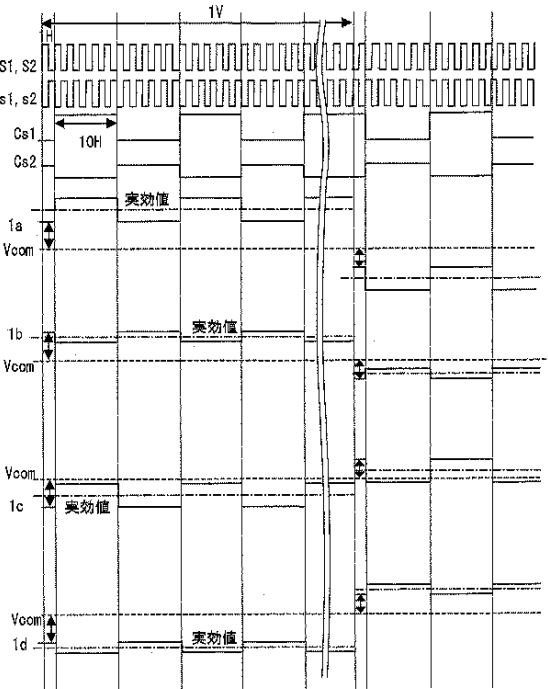
【図 12】



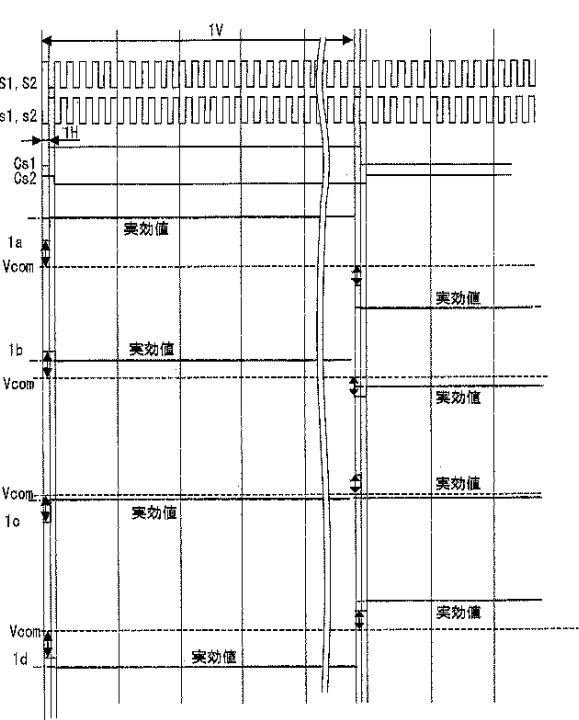
【図 1 3】



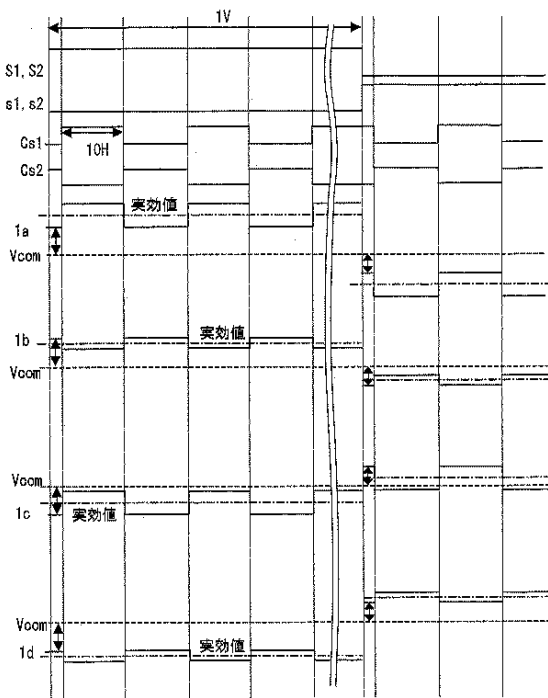
【図 1 4】



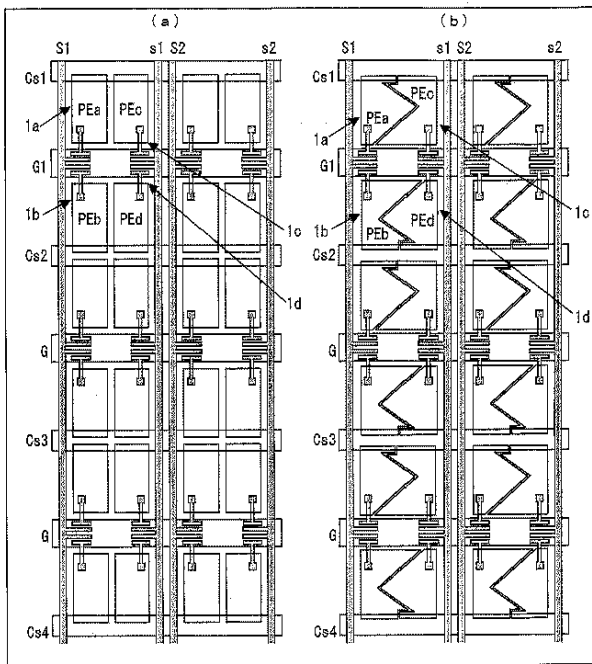
【図 1 5】



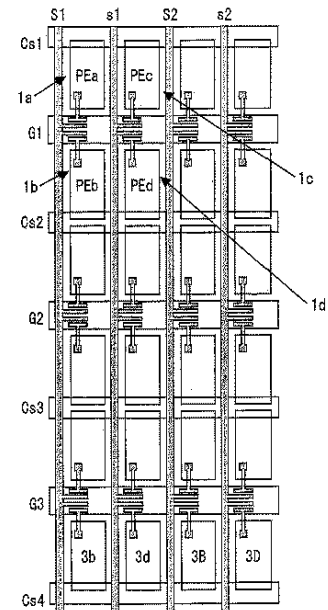
【図 1 6】



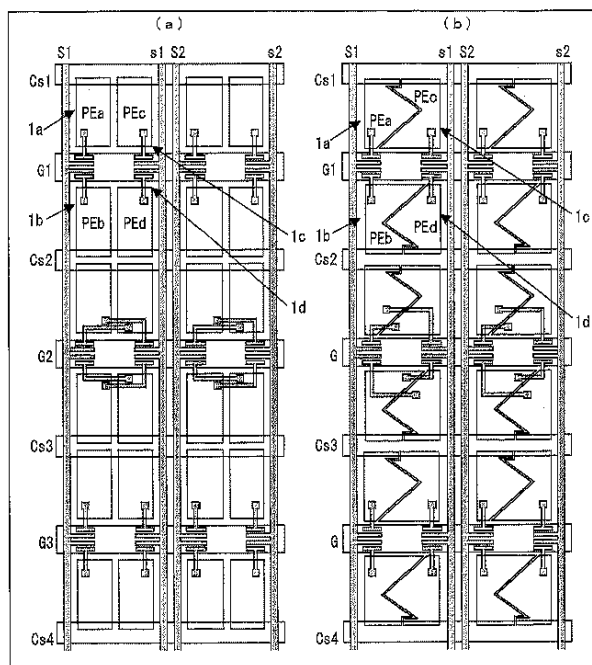
【図 17】



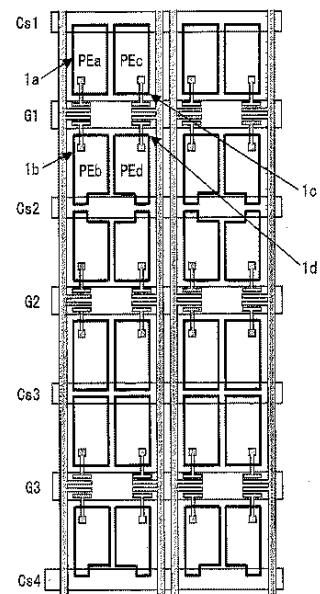
【図 18】



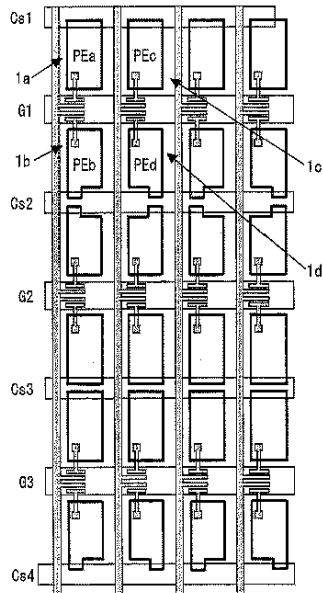
【図 19】



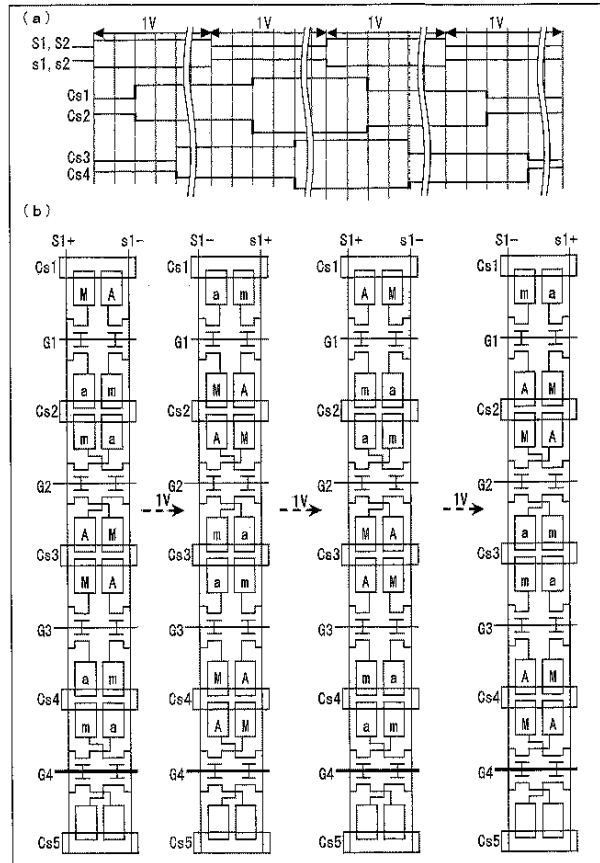
【図 20】



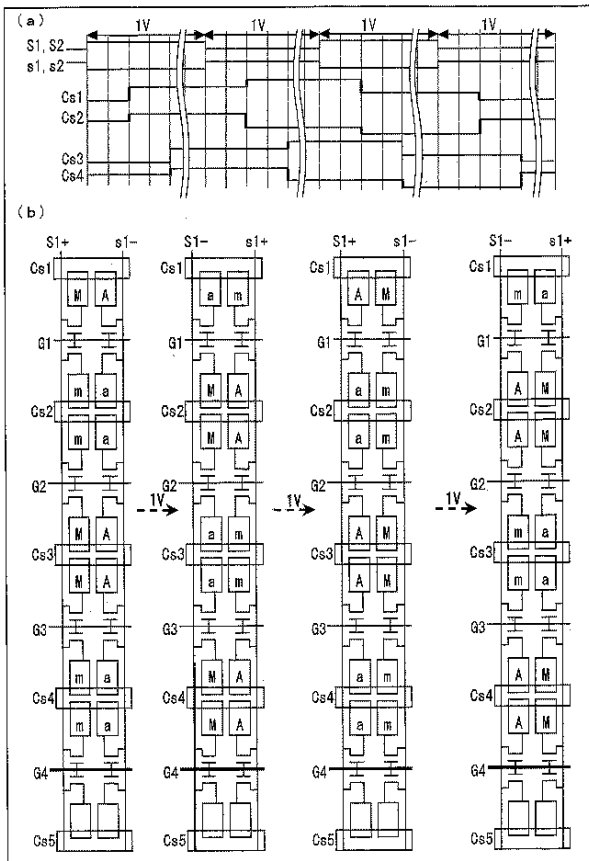
【図 2 1】



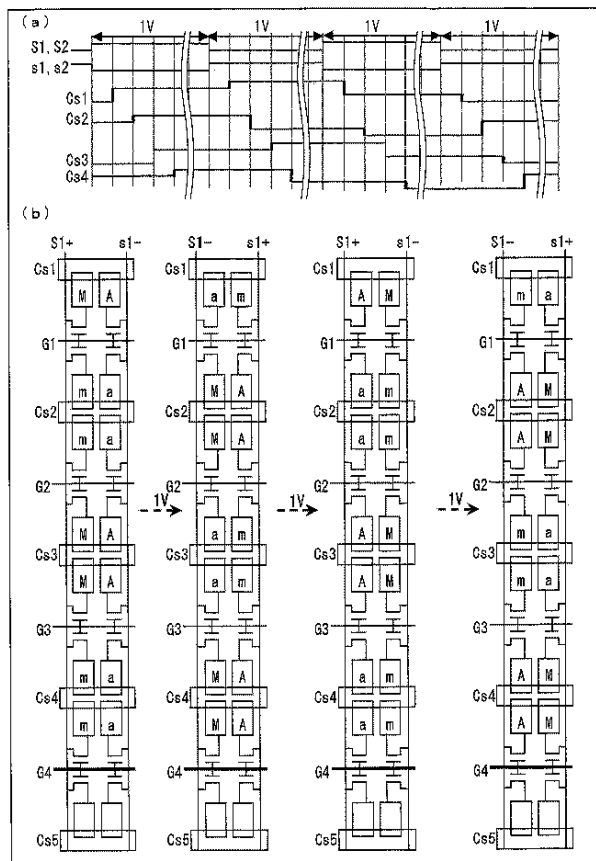
【図 2 2】



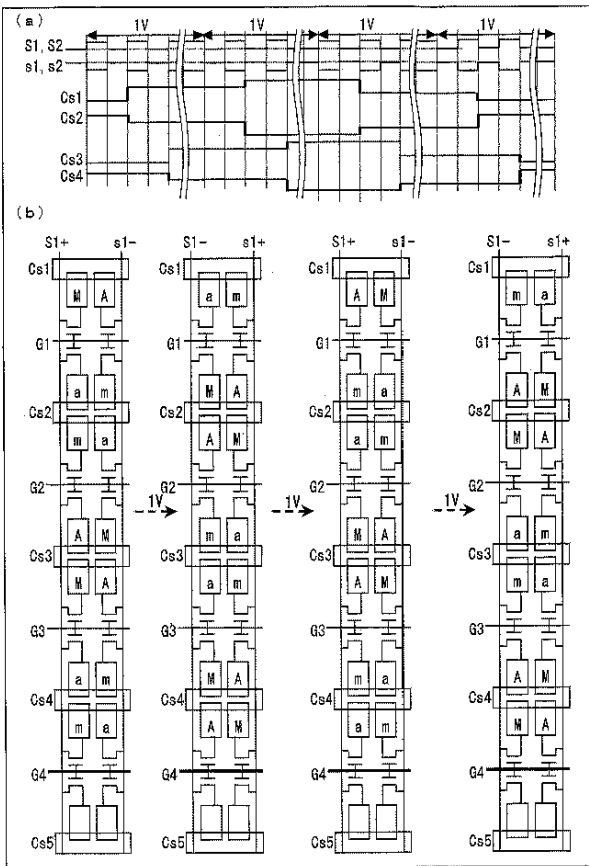
【図 2 3】



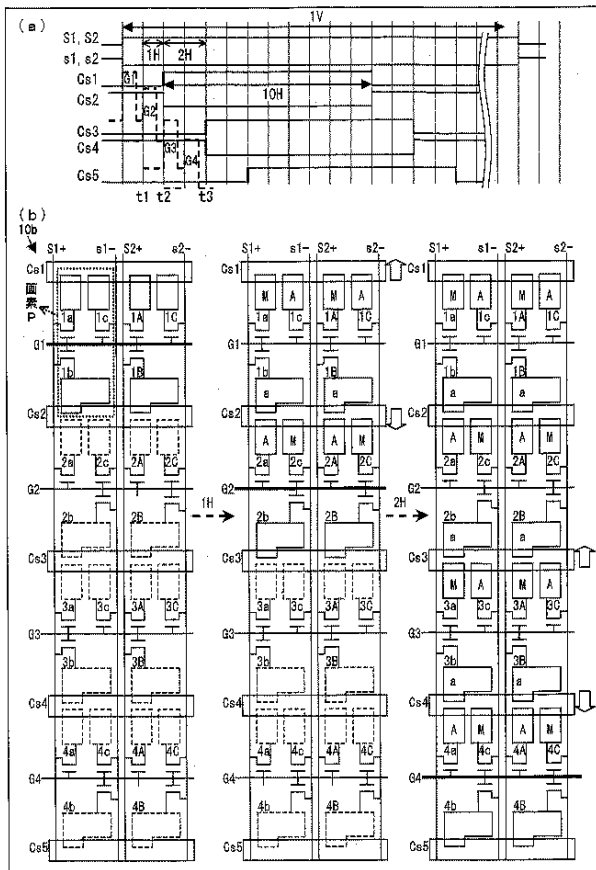
【図 2 4】



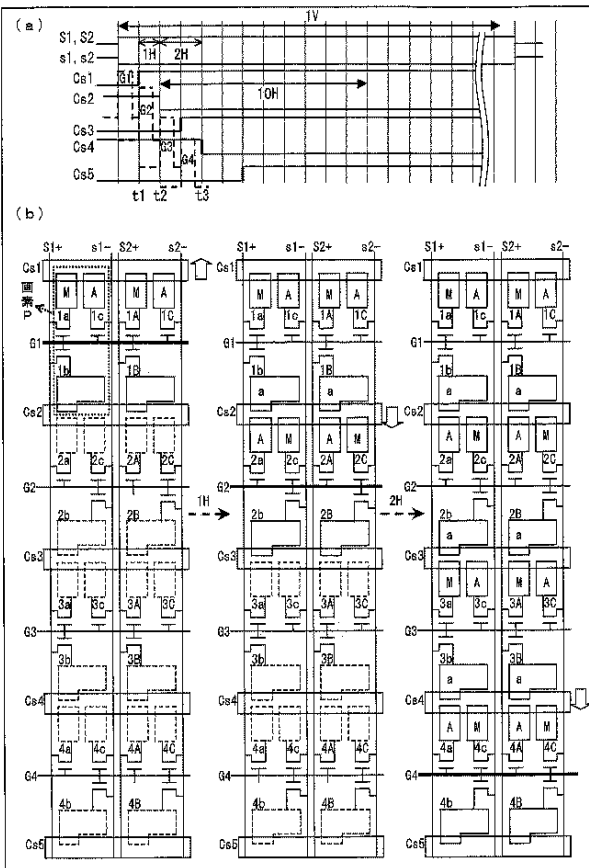
【図 2 5】



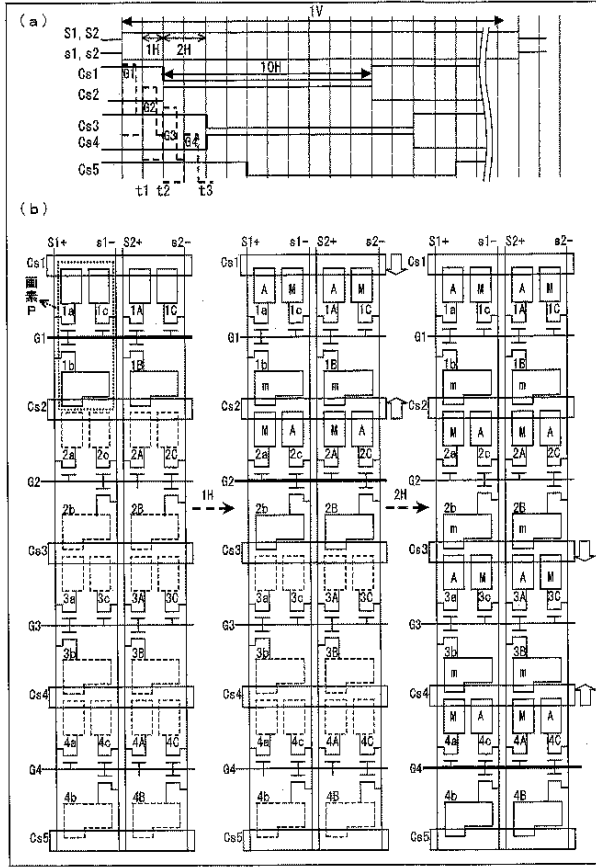
【図 2 6】



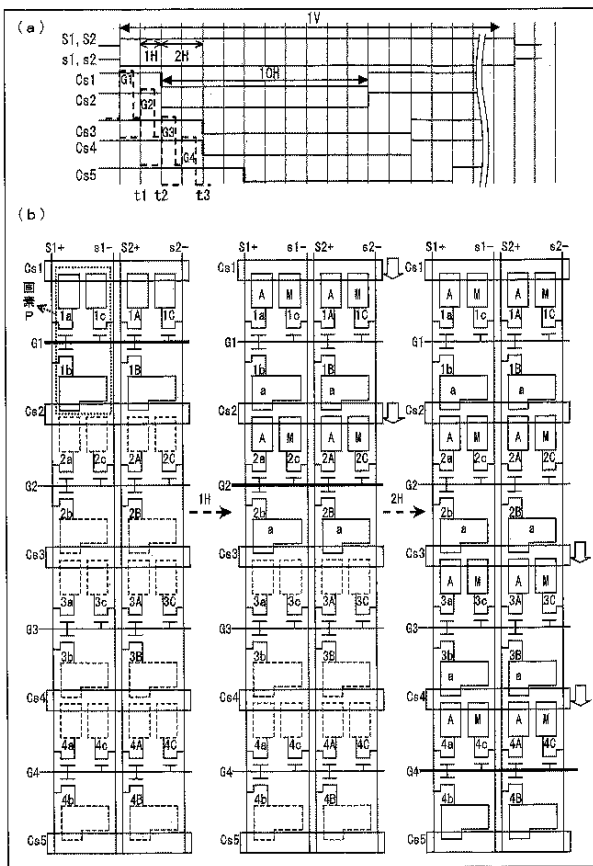
【図 2 7】



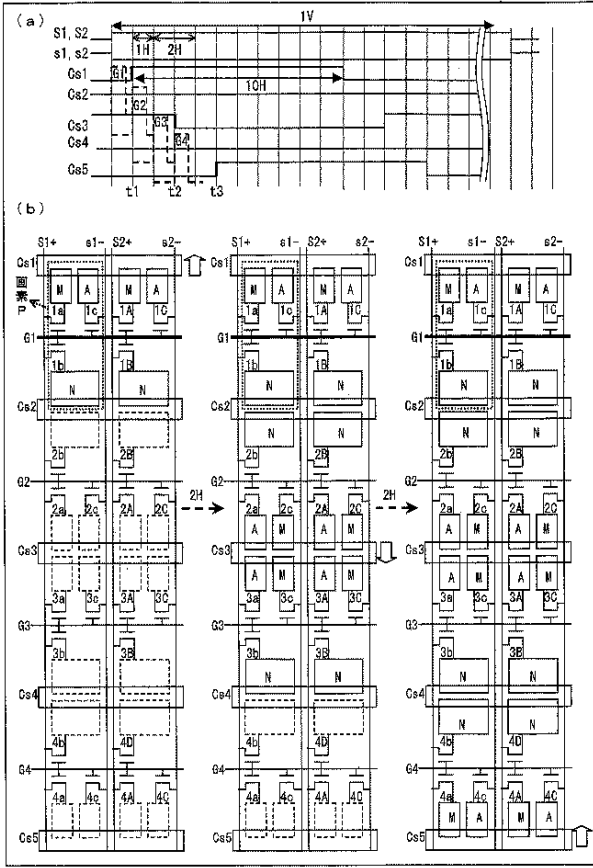
【図 2 8】



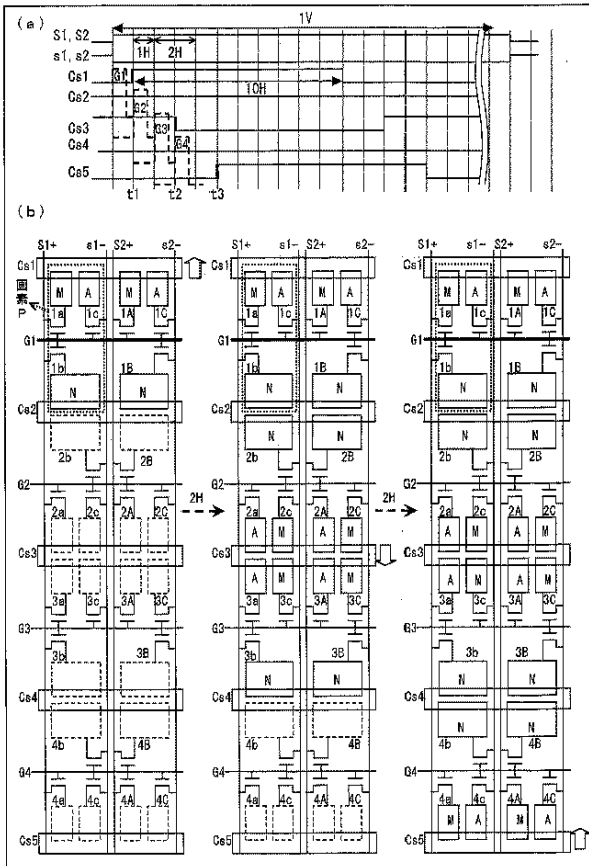
【図 3 0】



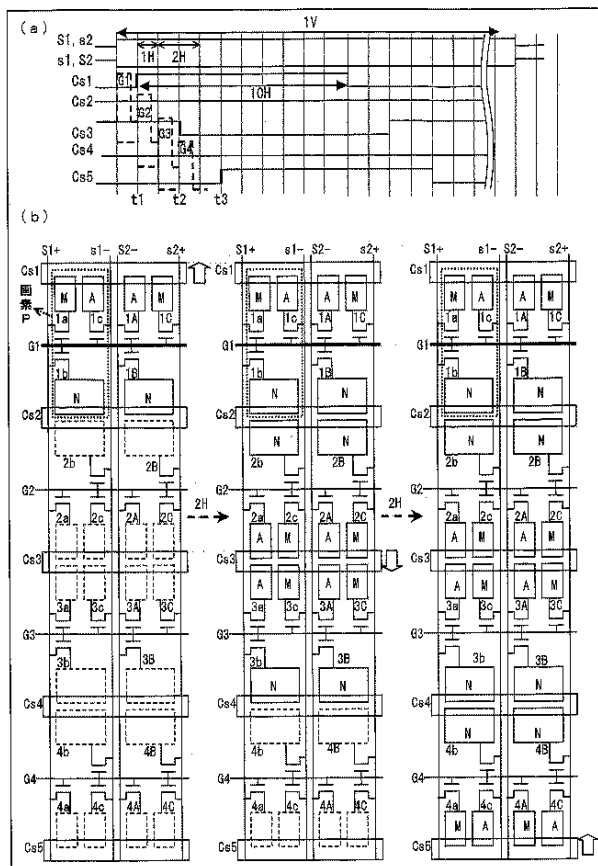
【图 3 2】



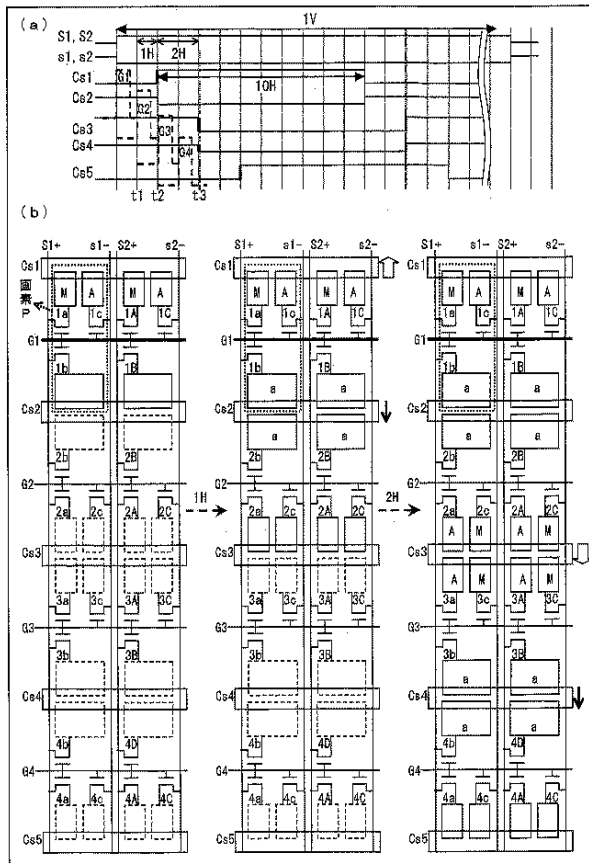
【図 3 3】



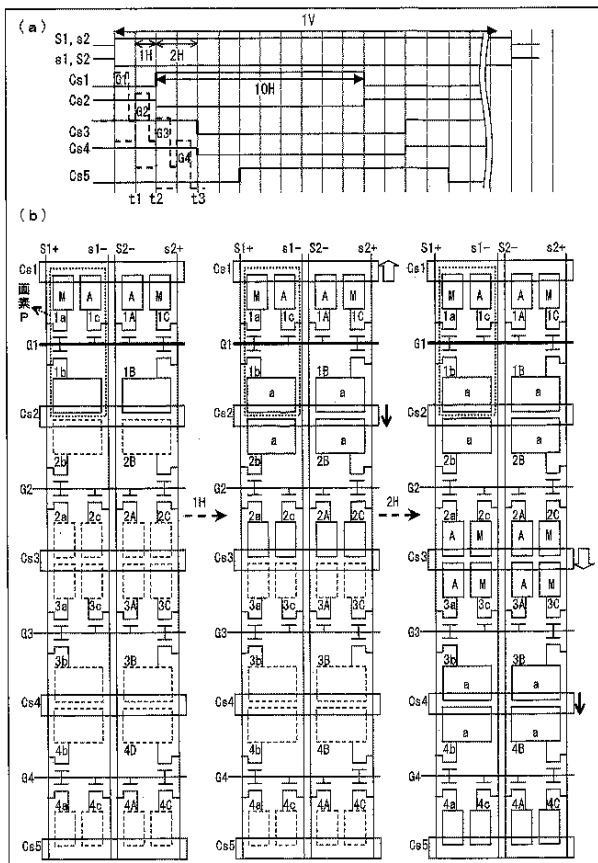
【図 3 4】



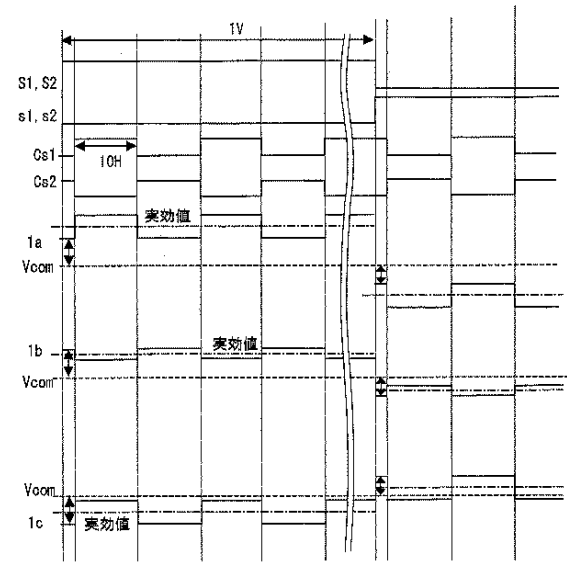
【図 3 5】



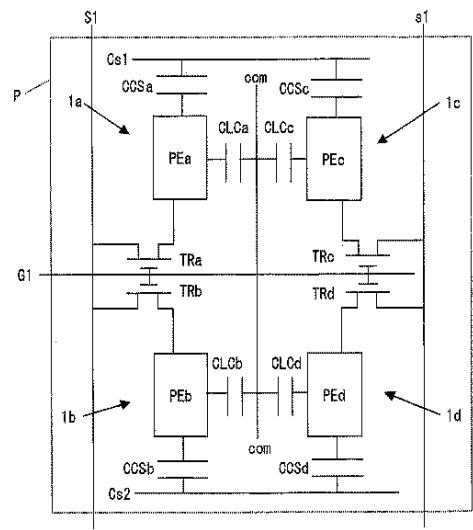
【図 3 6】



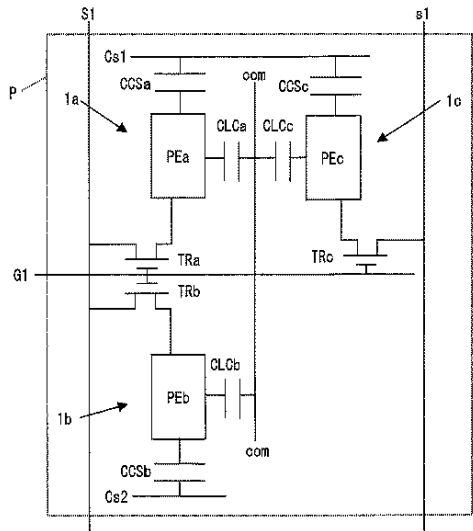
【図 3 7】



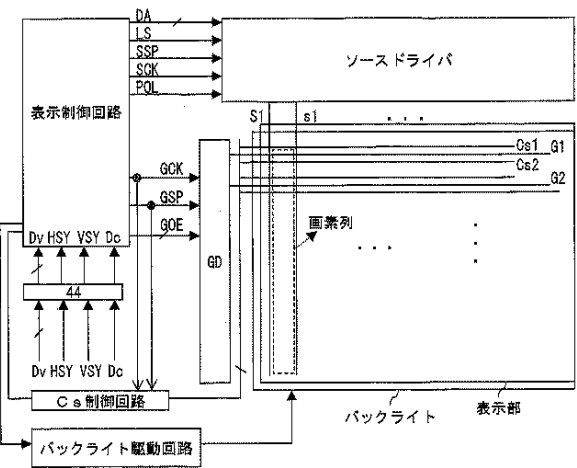
【図 3 8】



【図 3 9】



【図 4 0】



【図 4 3】

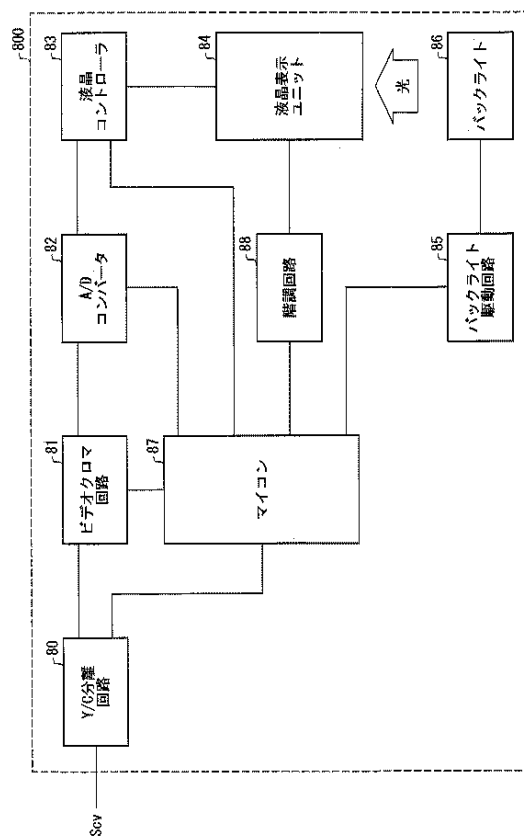
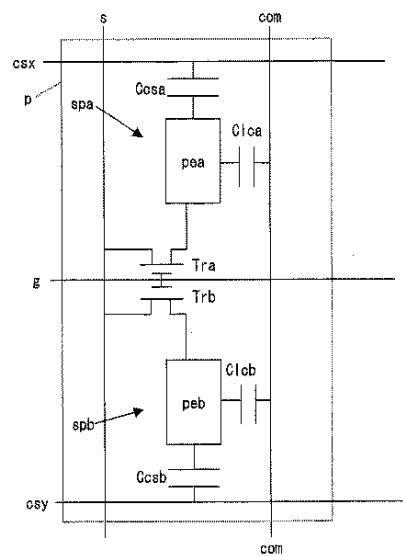


Figure 1 is a block diagram of the control circuit. It consists of a '表示制御回路' (Display Control Circuit) at the top, which is connected to a 'ソースドライバ' (Source Driver) block. The source driver block contains two sub-blocks: 'DAC1 (+)' and 'DAC2 (-)'. The DAC1 (+) block is connected to the '表示制御回路' and the 'ソースドライバ' block. The DAC2 (-) block is connected to the 'ソースドライバ' block.

【图 4-6】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2008/065891
A. CLASSIFICATION OF SUBJECT MATTER G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H04N5/66(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G02F1/1368, G02F1/133, G09G3/20, G09G3/36, H04N5/66		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-62146 A (Sharp Corp.), 26 February, 2004 (26.02.04), Full text; Figs. 1 to 21 & US 2003/0227429 A1 & KR 2003-0095260 A & CN 1482593 A	1-36
A	WO 2006/038598 A1 (Sharp Corp.), 13 April, 2006 (13.04.06), Full text; Figs. 1 to 9 & EP 1798591 A1 & KR 2007-0056165 A & US 2008/0122772 A1	1-36
A	JP 5-119344 A (NEC Corp.), 18 May, 1993 (18.05.93), Full text; Figs. 1 to 2 (Family: none)	1-36
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 September, 2008 (26.09.08)		Date of mailing of the international search report 07 October, 2008 (07.10.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 0 8 / 0 6 5 8 9 1									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1368(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, H04N5/66(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1368, G02F1/133, G09G3/20, G09G3/36, H04N5/66											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2008年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2008年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2008年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2008年	日本国実用新案登録公報	1996-2008年	日本国登録実用新案公報	1994-2008年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2008年										
日本国実用新案登録公報	1996-2008年										
日本国登録実用新案公報	1994-2008年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 2004-62146 A (シャープ株式会社) 2004.02.26, 全文, 第 1-21 図 & US 2003/0227429 A1 & KR 2003-0095260 A & CN 1482593 A	1-36									
A	WO 2006/038598 A1 (シャープ株式会社) 2006.04.13, 全文, 第 1-9 図 & EP 1798591 A1 & KR 2007-0056165 A & US 2008/0122772 A1	1-36									
A	JP 5-119344 A (日本電気株式会社) 1993.05.18, 全文, 第 1-2 図 (ファミリーなし)	1-36									
☐ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献											
国際調査を完了した日 26.09.2008		国際調査報告の発送日 07.10.2008									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 鈴木 俊光 電話番号 03-3581-1101 内線 3255	2 L 9115								

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 1 B
	G 0 9 G 3/20	6 2 4 D
	G 0 9 G 3/20	6 2 4 E
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 4 1 K
	H 0 4 N 5/66	1 0 2 A
	H 0 4 N 5/66	1 0 2 B

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

F ターム (参考) 5C006 AA01 AA12 AA16 AA17 AA22 AC11 AC25 AC27 AF22 AF25
 AF42 AF43 AF44 AF46 AF51 AF71 AF81 AF83 AF85 BA19
 BB16 BB21 BC06 BC12 BC22 BC23 BF04 BF05 BF15 BF24
 BF25 BF27 BF42 BF46 EB04 EC02 FA07 FA22 FA23 FA29
 FA34 FA37 FA38 FA42 FA47 FA55
 5C058 AA06 AB02 BA01
 5C080 AA10 BB05 CC03 DD05 DD06 DD18 DD23 DD24 DD26 DD28
 DD29 EE19 EE29 FF03 FF11 GG07 GG08 GG10 GG11 GG13
 GG15 GG17 JJ02 JJ03 JJ04 KK43

(注) この公表は、国際事務局 (W I P O) により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願 (日本語実用新案登録出願) の国際公開の効果は、特許法第 1 8 4 条の 1 0 第 1 項 (実用新案法第 4 8 条の 1 3 第 2 項) により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶显示装置，有源矩阵基板，液晶面板，液晶显示单元，电视接收器		
公开(公告)号	JPWO2009069359A1	公开(公告)日	2011-04-07
申请号	JP2009543697	申请日	2008-09-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英		
发明人	津幡 俊英		
IPC分类号	G02F1/1368 G02F1/133 G09G3/36 G09G3/20 H04N5/66		
CPC分类号	G02F1/136213 G02F1/13624 G02F1/136286 G02F2001/134345 G09G3/2074 G09G3/3607 G09G3/3648 G09G2300/0426 G09G2300/0447 G09G2300/0876 G09G2320/028		
FI分类号	G02F1/1368 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.641.G G09G3/20.621.B G09G3/20.624.D G09G3/20.624.E G09G3/20.622.D G09G3/20.641.C G09G3/20.641.K H04N5/66.102.A H04N5/66.102.B		
F-TERM分类号	2H092/JA24 2H092/JB46 2H092/JB69 2H193/ZA04 2H193/ZA07 2H193/ZB03 2H193/ZB12 2H193/ZC07 2H193/ZF60 5C006/AA01 5C006/AA12 5C006/AA16 5C006/AA17 5C006/AA22 5C006/AC11 5C006/AC25 5C006/AC27 5C006/AF22 5C006/AF25 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF71 5C006/AF81 5C006/AF83 5C006/AF85 5C006/BA19 5C006/BB16 5C006/BB21 5C006/BC06 5C006/BC12 5C006/BC22 5C006/BC23 5C006/BF04 5C006/BF05 5C006/BF15 5C006/BF24 5C006/BF25 5C006/BF27 5C006/BF42 5C006/BF46 5C006/EB04 5C006/EC02 5C006/FA07 5C006/FA22 5C006/FA23 5C006/FA29 5C006/FA34 5C006/FA37 5C006/FA38 5C006/FA42 5C006/FA47 5C006/FA55 5C058/AA06 5C058/AB02 5C058/BA01 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD06 5C080/DD18 5C080/DD23 5C080/DD24 5C080/DD26 5C080/DD28 5C080/DD29 5C080/EE19 5C080/EE29 5C080/FF03 5C080/FF11 5C080/GG07 5C080/GG08 5C080/GG10 5C080/GG11 5C080/GG13 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK43		
优先权	2007311626 2007-11-30 JP		
其他公开文献	JP5064515B2		
外部链接	Espacenet		

摘要(译)

提供与一个像素列相对应设置的第一和第二数据信号线 (S1-s1)，并且像素 (P) 具有连接到同一扫描信号线 (例如， G1) 的四个子像素。包括像素 (1a至1d)，并且两条存储电容器线 (Cs1和Cs2) 对应于像素 (P)，并且像素 (P) 的两个子像素 (1a和1c) 在上方。子像素之一 (1a) 连接到第一数据信号线 (S1)，另一个 (1c) 连接到第二数据信号线 (s1)。)，其余两个子像素 (1b1d) 与两条存储电容器线中的另一个 (Cs2) 形成电容，这些子像素 (1b) 中的一个是第一数据。它连接到信号线 (S1)，另一个 (1d) 连接到第二数据信号线 (s1)。根据上述构造，可以控制设置在一个像素中的四个子像素具有不同的亮度，从而显示中间色调。

