

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5348371号
(P5348371)

(45) 発行日 平成25年11月20日 (2013.11.20)

(24) 登録日 平成25年8月30日 (2013.8.30)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/34 (2006.01)

G09G 3/36

G09G 3/20 611C

G09G 3/20 612J

G02F 1/133 505

G02F 1/133 535

請求項の数 4 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2008-115502 (P2008-115502)
 (22) 出願日 平成20年4月25日 (2008.4.25)
 (65) 公開番号 特開2009-98610 (P2009-98610A)
 (43) 公開日 平成21年5月7日 (2009.5.7)
 審査請求日 平成23年3月1日 (2011.3.1)
 (31) 優先権主張番号 10-2007-0105196
 (32) 優先日 平成19年10月18日 (2007.10.18)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Gih
 eung-Gu, Yongin-City
 , Gyeonggi-Do, Korea
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 高 賢 錫
 大韓民国 ソウル特別市 瑞草区 盤浦4
 洞 ソレアパート 1棟 808号

最終頁に続く

(54) 【発明の名称】 液晶表示装置及び液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

行列形態で複数の表示ブロックに区分される表示パネルと、
 前記表示ブロックと対応する複数の発光ブロックと、
 第1クロック信号に同期したR、G、B信号の入力を外部から受け、第2クロック信号
 に同期して複数の代表映像信号を出力する第1タイミングコントローラと、
 前記第1タイミングコントローラから受けた複数の代表映像信号に対応する光データ信
 号を前記第2クロック信号に同期して出力する第2タイミングコントローラと、
 複数の発光ブロックと接続され、前記第2タイミングコントローラから受けた前記光デ
 ータ信号に応答して前記複数の発光ブロックの輝度を制御する複数のバックライトドライ
 バとを備え、
 前記第1タイミングコントローラは、前記第1クロック信号に同期した前記表示ブロッ
 クに供給される前記R、G、B信号の入力を並列に受けて、
 前記R、G、B信号それぞれに対し、
 メモリと、
 前記R、G、B各信号の平均値又は最大値を前記表示ブロックに対応する前記代表映像
 信号として決定し、前記第1クロック信号に同期して前記各代表映像信号を前記メモリに
 書込む代表値決定部と、

前記第2クロック信号に同期して前記代表映像信号を前記メモリから読出し、前記読出
 された代表映像信号をシリアルで前記第2タイミングコントローラに出力する直列化器と

10

20

を含み、

前記直列化器は、前記第 2 クロック信号に同期して複数ビットからなる前記代表映像信号を前記メモリから並列に読出して保存する複数のラッチ部と、

前記各ラッチ部に保存された前記各代表映像信号をビット単位で出力する複数の伝送部と、

前記各伝送部からの出力である前記ビット単位の代表映像信号を順次にシリアルで伝送するマルチプレクサ (m u l t i p l e x e r) とを含み、

前記第 1 クロック信号の周波数は前記第 2 クロック信号の周波数より高いことを特徴とする液晶表示装置。

【請求項 2】

10

行列形態で複数の表示ブロックに区分される表示パネルと、

前記表示ブロックと対応する複数の発光ブロックと、

第 1 クロック信号に同期した R、G、B 信号の入力を外部から受け、第 2 クロック信号に同期して複数の代表映像信号を出力する第 1 タイミングコントローラと、

前記第 1 タイミングコントローラから受けた複数の代表映像信号に対応する光データ信号を前記第 2 クロック信号に同期して出力する第 2 タイミングコントローラと、

複数の発光ブロックと接続され、前記第 2 タイミングコントローラから受けた前記光データ信号に応答して前記複数の発光ブロックの輝度を制御する複数のバックライトドライバとを備え、

前記第 1 タイミングコントローラは、前記第 1 クロック信号に同期した前記表示ブロックに供給される前記 R、G、B 信号の入力を並列に受けて、

20

前記 R、G、B 信号それぞれに対し、

前記 R、G、B 各信号の平均値又は最大値を前記表示ブロックに対応する前記代表映像信号として決定する代表値決定部と、

前記第 1 クロック信号に同期して前記各代表映像信号を保存する複数のラッチ部と、

前記第 2 クロック信号に同期して前記複数のラッチ部に保存された複数ビットからなる前記各代表映像信号をビット単位で順次に出力する複数の伝送部とを含み、

前記第 1 クロック信号の周波数は前記第 2 クロック信号の周波数より高いことを特徴とする液晶表示装置。

【請求項 3】

30

行列形態で複数の表示ブロックに区分される液晶パネルと該液晶パネルの表示ブロックと対応して光を供給する複数の発光ブロックとを備える液晶表示装置の駆動方法であって、

第 1 クロック信号に同期した R、G、B 信号の入力を外部から受け、第 2 クロック信号に同期して複数の代表映像信号を出力する段階と、

前記複数の代表映像信号に対応する光データ信号を前記第 2 クロック信号に同期して供給する段階と、

前記光データ信号に応答して前記発光ブロックの輝度を制御する段階とを有し、

前記第 2 クロック信号に同期して複数の代表映像信号を出力する段階は、前記第 1 クロック信号に同期した前記表示ブロックに供給される前記 R、G、B 信号の入力を並列に受ける段階と、

40

前記 R、G、B 信号それぞれに対し、各信号の平均値又は最大値を前記各表示ブロックに対応する前記代表映像信号として決定する段階と、

前記第 1 クロック信号に同期して前記各代表映像信号をメモリに書込む段階と、

前記第 2 クロック信号に同期して前記各代表映像信号を前記メモリから並列に読出す段階と、

前記読出された各代表映像信号をシリアルで出力する段階とを有し、

前記代表映像信号をシリアルで出力する段階は、前記第 2 クロック信号に同期して複数ビットからなる前記各代表映像信号を前記メモリから並列に読出して複数のラッチ部に保存する段階と、

50

前記各ラッチ部に保存された前記各代表映像信号をビット単位で出力する段階と、
前記ビット単位で出力された前記各代表映像信号を順次にシリアルで伝送する段階とを
含み、

前記第 1 クロック信号の周波数は前記第 2 クロック信号の周波数より高いことを特徴と
する液晶表示装置の駆動方法。

【請求項 4】

行列形態で複数の表示ブロックに区分される液晶パネルと該液晶パネルの表示ブロック
と対応して光を供給する複数の発光ブロックとを備える液晶表示装置の駆動方法であって、

第 1 クロック信号に同期した R、G、B 信号の入力を外部から受け、第 2 クロック信号
に同期して複数の代表映像信号を出力する段階と、 10

前記複数の代表映像信号に対応する光データ信号を前記第 2 クロック信号に同期して供
給する段階と、

前記光データ信号に応答して前記発光ブロックの輝度を制御する段階とを有し、

前記第 2 クロック信号に同期して複数の代表映像信号を出力する段階は、前記第 1 クロ
ック信号に同期した前記表示ブロックに供給される前記 R、G、B 信号の入力を受ける段
階と、

前記 R、G、B 信号それぞれに対し、各信号の平均値又は最大値を前記各表示ブロック
に対応する前記代表映像信号として決定する段階と、

前記第 1 クロック信号に同期して前記各代表映像信号を複数のラッチ部に保存する段階
と、 20

前記第 2 クロック信号に同期して前記各ラッチ部に保存された前記各代表映像信号をビ
ット単位で出力する段階とを含み、

前記第 1 クロック信号の周波数は前記第 2 クロック信号の周波数より高いことを特徴と
する液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及び液晶表示装置の駆動方法に関するものである。

【背景技術】

30

【0002】

液晶表示装置は、画素電極が具備された第 1 表示板、共通電極が具備された第 2 表示板
、第 1 表示板と第 2 表示板との間に注入された誘電率異方性 (dielectric anisotropy) を有する液晶層を有する液晶パネルを含む。画素電極と共通電極の
間に電界が形成されて、この電界の強度が調節されることによって液晶パネルを透過する
光の量が制御されて所望の画像が表示される。液晶表示装置はそれ自体が発光型表示装置
ではないため、多数の発光ブロックを含む。

【0003】

このような液晶表示装置は、第 1 タイミングコントローラと第 2 タイミングコントロー
ラを含む。第 1 タイミングコントローラは外部から映像信号及び外部制御信号の入力を受
け、ゲートドライバ、データドライバを制御する。第 2 タイミングコントローラは、第 1
タイミングコントローラから液晶パネルに表示される映像情報が提供され、映像情報に対
応して発光ブロックの輝度を制御する。ここで、映像情報は速い速度で第 1 タイミングコ
ントローラから第 2 タイミングコントローラに提供される。これによって電磁波障害 (e
lectromagnetic interference、以下 EMI という) が発生
し得る。 40

【特許文献 1】特開 2007 - 0067958 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

50

そこで、本発明は、上記従来の問題点に鑑みてなされたもので、本発明の目的は、E M Iを減らせる液晶表示装置を提供することにある。

【0005】

本発明の他の目的は、E M Iを減らせる液晶表示装置の駆動方法を提供することにある。

【0007】

本発明が解決しようとする課題は上記で言及した課題に制限されず、言及されていない或いは他の課題は次の記載によって当業者に明確に理解し得るものである。

【課題を解決するための手段】

【0008】

上記目的を達成するためになされた本発明の液晶表示装置は、行列形態で複数の表示ブロックに区分される表示パネルと、前記表示ブロックと対応する複数の発光ブロックと、第1クロック信号に同期したR、G、B信号の入力を外部から受け、第2クロック信号に同期して複数の代表映像信号を出力する第1タイミングコントローラと、前記第1タイミングコントローラから受けた複数の代表映像信号に対応する光データ信号を前記第2クロック信号に同期して出力する第2タイミングコントローラと、複数の発光ブロックと接続され、前記第2タイミングコントローラから受けた前記光データ信号に応答して前記複数の発光ブロックの輝度を制御する複数のバックライトドライバとを備え、前記第1タイミングコントローラは、前記第1クロック信号に同期した前記表示ブロックに供給される前記R、G、B信号の入力を並列に受けて、前記R、G、B信号それぞれに対し、メモリと
前記R、G、B各信号の平均値又は最大値を前記表示ブロックに対応する前記代表映像信号として決定し、前記第1クロック信号に同期して前記各代表映像信号を前記メモリに書込む代表値決定部と、前記第2クロック信号に同期して前記代表映像信号を前記メモリから読み出し、前記読み出された代表映像信号をシリアルで前記第2タイミングコントローラに出力する直列化器とを含み、前記直列化器は、前記第2クロック信号に同期して複数ビットからなる前記代表映像信号を前記メモリから並列に読み出して保存する複数のラッチ部と、前記各ラッチ部に保存された前記各代表映像信号をビット単位で出力する複数の伝送部と、前記各伝送部からの出力である前記ビット単位の代表映像信号を順次にシリアルで伝送するマルチプレクサ(multiplexer)とを含み、前記第1クロック信号の周波数は前記第2クロック信号の周波数より高いことを特徴とする。

【0009】

また、目的を達成するためになされた本発明の液晶表示装置は、行列形態で複数の表示ブロックに区分される表示パネルと、前記表示ブロックと対応する複数の発光ブロックと、第1クロック信号に同期したR、G、B信号の入力を外部から受け、第2クロック信号に同期して複数の代表映像信号を出力する第1タイミングコントローラと、前記第1タイミングコントローラから受けた複数の代表映像信号に対応する光データ信号を前記第2クロック信号に同期して出力する第2タイミングコントローラと、複数の発光ブロックと接続され、前記第2タイミングコントローラから受けた前記光データ信号に応答して前記複数の発光ブロックの輝度を制御する複数のバックライトドライバとを備え、前記第1タイミングコントローラは、前記第1クロック信号に同期した前記表示ブロックに供給される前記R、G、B信号の入力を並列に受けて、前記R、G、B信号それぞれに対し、前記R、G、B各信号の平均値又は最大値を前記表示ブロックに対応する前記代表映像信号として決定する代表値決定部と、前記第1クロック信号に同期して前記各代表映像信号を保存する複数のラッチ部と、前記第2クロック信号に同期して前記複数のラッチ部に保存された複数ビットからなる前記各代表映像信号をビット単位で順次に出力する複数の伝送部とを含み、前記第1クロック信号の周波数は前記第2クロック信号の周波数より高いことを特徴とする。

【0010】

上記他の目的を達成するためになされた本発明の液晶表示装置の駆動方法は、行列形態で複数の表示ブロックに区分される液晶パネルと該液晶パネルの表示ブロックと対応して

10

20

30

40

50

光を供給する複数の発光ブロックとを備える液晶表示装置の駆動方法であって、第1クロック信号に同期したR、G、B信号の入力を外部から受け、第2クロック信号に同期して複数の代表映像信号を出力する段階と、前記複数の代表映像信号に対応する光データ信号を前記第2クロック信号に同期して供給する段階と、前記光データ信号に応答して前記発光ブロックの輝度を制御する段階とを有し、前記第2クロック信号に同期して複数の代表映像信号を出力する段階は、前記第1クロック信号に同期した前記表示ブロックに供給される前記R、G、B信号の入力を並列に受ける段階と、前記R、G、B信号それぞれに対し、各信号の平均値又は最大値を前記各表示ブロックに対応する前記代表映像信号として決定する段階と、前記第1クロック信号に同期して前記各代表映像信号をメモリに書込む段階と、前記第2クロック信号に同期して前記各代表映像信号を前記メモリから並列に読出す段階と、前記読出された各代表映像信号をシリアルで出力する段階とを有し、前記代表映像信号をシリアルで出力する段階は、前記第2クロック信号に同期して複数ビットからなる前記各代表映像信号を前記メモリから並列に読出して複数のラッチ部に保存する段階と、前記各ラッチ部に保存された前記各代表映像信号をビット単位で出力する段階と、前記ビット単位で出力された前記各代表映像信号を順次にシリアルで伝送する段階とを含み、前記第1クロック信号の周波数は前記第2クロック信号の周波数より高いことを特徴とする。

10

また、上記他の目的を達成するためになされた本発明の液晶表示装置の駆動方法は、行列形態で複数の表示ブロックに区分される液晶パネルと該液晶パネルの表示ブロックと対応して光を供給する複数の発光ブロックとを備える液晶表示装置の駆動方法であって、第1クロック信号に同期したR、G、B信号の入力を外部から受け、第2クロック信号に同期して複数の代表映像信号を出力する段階と、前記複数の代表映像信号に対応する光データ信号を前記第2クロック信号に同期して供給する段階と、前記光データ信号に応答して前記発光ブロックの輝度を制御する段階とを有し、前記第2クロック信号に同期して複数の代表映像信号を出力する段階は、前記第1クロック信号に同期した前記表示ブロックに供給される前記R、G、B信号の入力を受ける段階と、前記R、G、B信号それぞれに対し、各信号の平均値又は最大値を前記各表示ブロックに対応する前記代表映像信号として決定する段階と、前記第1クロック信号に同期して前記各代表映像信号を複数のラッチ部に保存する段階と、前記第2クロック信号に同期して前記各ラッチ部に保存された前記各代表映像信号をビット単位で出力する段階とを含み、前記第1クロック信号の周波数は前記第2クロック信号の周波数より高いことを特徴とする。

20

30

【0011】

その他の特徴の具体的な事項は、以下に述べる詳細な説明及び図面に含まれている。

【発明の効果】

【0012】

このような本発明の液晶表示装置及び液晶表示装置の駆動方法によれば、EMIを減らすことができる。

【発明を実施するための最良の形態】

【0013】

本発明の利点及び特徴、そして、それらを達成する方法は、図面と共に詳細に後述する実施形態を参照すると明確になる。しかし、本発明は以下で開示される実施形態に限定されず、異なる多様な形態で具現することができ、単に本実施形態は、本発明の開示が完全になるように、本発明が属する技術分野における通常の知識を有する者に発明の範疇を完全に知らせるために提供されるものである。明細書全体において同一参照符号は同一構成要素を示す。

【0014】

一つの素子(elements)が他の素子と“連結された(connected to)”或いは“カップリングされた(coupled to)”と指称することは、他の素子と直接連結或いはカップリングされた場合、或いは中間に他の素子を介在した場合を

40

50

すべて含む。反面、一つの素子が異なる素子と“直接連結された(directly connected to)”或いは“直接カップリングされた(directly coupled to)”と指称することは中間に他の素子を介在しないことを示す。明細書全体において同一参照符号は同一構成要素を示す。“及び/又は”は言及されたアイテムの各々及び一つ以上のすべての組合せを含む。

【0015】

たとえば、第1、第2等が多様な素子、構成要素及び/又はセクションを叙述するために使用されても、これら素子、構成要素及び/又はセクションはこれら用語によって制限されないことはもちろんである。これらの用語は単に一つの素子、構成要素或いはセクションを他の素子、構成要素或いはセクションと区別するために使用するものである。従って、以下で言及される第1素子、第1構成要素或いは第1セクションは本発明の技術的思想内において第2素子、第2構成要素或いは第2セクションであり得ることはもちろんである。

10

【0016】

本明細書において使用された用語は実施形態を説明するためのものであり、本発明を制限しようとするものではない。本明細書で、単数型は文句に特別に言及しない限り複数型も含む。明細書で使用する“含む(comprises又はcomprising)”は言及された構成要素、段階、動作及び/又は素子は一つ以上の他の構成要素、段階、動作及び/又は素子の存在或いは追加を排除しない。

【0017】

20

他の定義がなければ、本明細書において使用されるすべての用語(技術及び科学的用語を含む)は本発明が属する技術分野における通常の知識を有する者に共通に理解し得る意味で使用され得るものである。また、一般的に使用される辞典に定義されている用語は明白に特別に定義されていない限り理想的に或いは過度に解釈されない。

【0018】

請求項に記載のタイミングコントローラは、以下で開示されるタイミングコントローラ、第1タイミングコントローラ及び第2タイミングコントローラのうちのどれか一つであり得る。

【0019】

以下、本発明の液晶表示装置及び液晶表示装置の駆動方法を実施するための最良の形態の具体例を、図面を参照しながら詳細に説明する。

30

先ず、図1乃至図6を参照して、本発明の一実施形態による液晶表示装置及び液晶表示装置の駆動方法を説明する。

図1は、本発明の一実施形態によるタイミングコントローラを含む液晶表示装置及び液晶表示装置の駆動方法を説明するためのブロック図であり、図2は、一つの画素の等価回路図であり、図3は、図1の発光ブロックの配列形態と発光ブロック及びバックライトドライバの連結関係を説明するためのブロック図であり、図4は、図1の第1タイミングコントローラを説明するためのブロック図であり、図5は、図4の第1タイミングコントローラの動作を説明するための概念図であり、図6は、図3の直列化器を説明するためのブロック図である。

40

【0020】

図1を参照すると、液晶表示装置10は、液晶パネル300、ゲートドライバ400、データドライバ500、第1タイミングコントローラ600、第2タイミングコントローラ700、第1乃至第mバックライトドライバ800__1~800__m、及び第1乃至第mバックライトドライバ800__1~800__m各々に連結された発光ブロック(LB)を含む。

【0021】

液晶パネル300は、多数の表示ブロック(DB1~DB(n×m))に区分され得る。例えば、多数の表示ブロック(DB1~DB(n×m))は、(n×m)行列形態で配列され、多数の発光ブロック(LB)と対応する。各表示ブロック(DB1~DB(n×

50

m))は多数の画素を含む。液晶パネル300は多数のゲートライン(G1-Gi)と多数のデータライン(D1~Dj)を含む。

【0022】

図2に一つの画素に対する等価回路が示されている。画素(PX)、例えば、f番目($f = 1 \sim i$)ゲートライン(Gf)とg番目($g = 1 \sim j$)データライン(Dg)に連結された画素(PX)は、ゲートライン(Gf)及びデータライン(Dg)に連結されたスイッチング素子(Qp)と、これに連結された液晶キャパシタ(liquid crystal capacitor)(Clc)及び維持キャパシタ(storage capacitor)(Cst)を含む。液晶キャパシタ(Clc)は、第1表示板100の画素電極(PE)、第2表示板200の共通電極(CE)、及びその間の液晶150を含んで構成される。共通電極(CE)の一部には色フィルタ(CF)が形成されている。

10

【0023】

ゲートドライバ400は、第1タイミングコントローラ600からゲート制御信号(CONT2)が供給されてゲート信号をゲートライン(G1~Gk)に印可する。ここでゲート信号はゲートオン/オフ電圧発生部(図示せず)から供給されたゲートオン電圧(Von)とゲートオフ電圧(Voff)の組合せで構成される。ゲート制御信号(CONT1)は、ゲートドライバ400の動作を制御するための信号であって、ゲートドライバ400の動作を開始する垂直開始信号、ゲートオン電圧の出力時期を決定するゲートクロック信号及びゲートオン電圧のパルス幅を決定する出力イネイブル信号などを含み得る。

【0024】

20

データドライバ500は、第1タイミングコントローラ600からデータ制御信号(CONT1)が供給されて映像データ電圧をデータライン(D1~Dj)に印可する。データ制御信号(CONT1)はR、G、B映像信号(R、G、B)に対応する映像データ信号及びデータドライバ500の動作を制御する信号を含む。データドライバ500の動作を制御する信号はデータドライバ500の動作を開始する水平開始信号及び映像データ電圧の出力を指示する出力指示信号などを含み得る。

【0025】

ゲートドライバ400或いはデータドライバ500は、可撓性印刷回路フィルム(flexible printed circuit film)(図示せず)の上に装着されてテープキャリアパッケージ(tape carrier package)の形態で液晶パネル300に付着し得る。これとは異なり、ゲートドライバ400或いはデータドライバ500は、表示信号線(G1-Gi、D1~Dj)とスイッチング素子(Qp)などと共に液晶パネル300に集積され得る。

30

【0026】

第1タイミングコントローラ600は、外部のグラフィック制御機(図示せず)からR、G、B映像信号(R、G、B)及びこれの表示を制御する外部制御信号(Vsync、Hsync、Mclk、DE)を受信する。R、G、B映像信号(R、G、B)及び制御信号(Vsync、Hsync、Mclk、DE)に基づいてデータ制御信号(CONT1)及びゲート制御信号(CONT2)を生成する。外部制御信号の例としては、垂直同期信号(Vsync)と水平同期信号(Hsync)、メインクロック信号(Mclk)、データイネイブル信号(DE)等がある。ここでR、G、B映像信号(R、G、B)はメインクロック(Mclk)に同期して入力され得る。例えば、R、G、B映像信号(R、G、B)がそれぞれ8ビット($k = 8$)の信号の場合、24個のラインを通し、並列で入力され得る。

40

【0027】

また、第1タイミングコントローラ600は、メインクロック信号(Mclk)に同期したR、G、B映像信号(R、G、B)の入力を受け、各表示ブロック(DB1~DB($n \times m$))に対応する代表映像信号(RR__DB1~RR__DB($n \times m$))、RG__DB1~RG__DB($n \times m$))、RB__DB1~RB__DB($n \times m$))を決定し、伝送クロック信号(Tclk)に同期して代表映像信号(RR__DB1~RR__DB($n \times m$))、

50

$RG_DB1 \sim RG_DB(n \times m)$ 、 $RB_DB1 \sim RB_DB(n \times m)$ を第2タイミングコントローラ(700)に供給する。ここで、伝送クロック信号($Tclk$)の周波数はメインクロック信号($Mclk$)の周波数より低い。また、代表映像信号($RR_DB1 \sim RR_DB(n \times m)$)はシリアルで供給され得る。

【0028】

各代表映像信号($RR_DB1 \sim RR_DB(n \times m)$ 、 $RG_DB1 \sim RG_DB(n \times m)$ 、 $RB_DB1 \sim RB_DB(n \times m)$)は、各表示ブロック($DB1 \sim DB(n \times m)$)に供給されるR、G、B映像信号(R、G、B)の代表値であり得る。例えば、第1タイミングコントローラ600は、第1表示ブロック($DB1$)に供給されるR、G、B映像信号(R、G、B)の入力を受け、R映像信号(R)の代表値の代表映像信号(RR_DB1)、G映像信号(G)の代表値の代表映像信号(RG_DB1)及びB映像信号(B)の代表値である代表映像信号(RB_DB1)を決定し、これらを伝送クロック信号($Tclk$)に同期して第2タイミングコントローラ700に出力する。次に、第1タイミングコントローラ600は、第2表示ブロック($DB2$)に供給されるR、G、B映像信号(R、G、B)の入力を受け、R映像信号(R)の代表値である代表映像信号(RR_DB2)、G映像信号(G)の代表値である代表映像信号(RG_DB2)及びB映像信号(B)の代表値の代表映像信号(RB_DB2)を決定し、これらを伝送クロック信号($Tclk$)に同期して第2タイミングコントローラ700に出力する。

【0029】

このような方法で、第1タイミングコントローラ600は、多数の表示ブロック($DB1 \sim DB(n \times m)$)各々に対応する代表映像信号($RR_DB1 \sim RR_DB(n \times m)$ 、 $RG_DB1 \sim RG_DB(n \times m)$ 、 $RB_DB1 \sim RB_DB(n \times m)$)を決定し、第2タイミングコントローラ700に出力する。ここで、各表示ブロック($DB1 \sim DB(n \times m)$)に対応する代表映像信号($RR_DB1 \sim RR_DB(n \times m)$ 、 $RG_DB1 \sim RG_DB(n \times m)$ 、 $RB_DB1 \sim RB_DB(n \times m)$)は、各表示ブロック($DB1 \sim DB(n \times m)$)に供給されるR、G、B信号(R、G、B)の平均値であり得る。或いは、各代表映像信号($RR_DB1 \sim RR_DB(n \times m)$ 、 $RG_DB1 \sim RG_DB(n \times m)$ 、 $RB_DB1 \sim RB_DB(n \times m)$)は、各表示ブロック($DB1 \sim DB(n \times m)$)に供給されるR、G、B信号(R、G、B)の最大値であり得る。但し、第1タイミングコントローラ600が表示ブロック($DB1 \sim DB(n \times m)$)各々に対応する代表映像信号($RR_DB1 \sim RR_DB(n \times m)$ 、 $RG_DB1 \sim RG_DB(n \times m)$ 、 $RB_DB1 \sim RB_DB(n \times m)$)を決定する方法はこれに限定されない。

【0030】

第2タイミングコントローラ700は、伝送クロック信号($Tclk$)に同期した代表映像信号($RR_DB1 \sim RR_DB(n \times m)$ 、 $RG_DB1 \sim RG_DB(n \times m)$ 、 $RB_DB1 \sim RB_DB(n \times m)$)が供給され、各代表映像信号($RR_DB1 \sim RR_DB(n \times m)$ 、 $RG_DB1 \sim RG_DB(n \times m)$ 、 $RB_DB1 \sim RB_DB(n \times m)$)に対応する光データ信号($LDA1 \sim LDAm$)を第1乃至第mバックライトドライバ($800_1 \sim 800_m$)に供給する。ここで、光データ信号($LDA1 \sim LDAm$)はシリアルバス(SB)を通して供給され得る。

【0031】

各バックライトドライバ($800_1 \sim 800_m$)は、多数の発光ブロック($LB1 \sim LB(n \times m)$)と連結され、光データ信号($LDA1 \sim LDAm$)に应答して各発光ブロック($LB1 \sim LB(n \times m)$)の輝度を制御する。例えば、図3に示したように、多数の発光ブロック($LB1 \sim LB(n \times m)$)が($n \times m$)行列形態で配列されて多数の表示ブロック($DB1 \sim DB(n \times m)$)と対応され得る。ここで、m個の各バックライトドライバ($800_1 \sim 800_m$)は、発光ブロック($LB1 \sim LB(n \times m)$)の縦列(column)と連結され、各発光ブロック($LB1 \sim LB(n \times m)$)の輝度を制御し得る。各バックライトドライバ($800_1 \sim 800_m$)は、光データ信号($LDA1 \sim LDAm$)

10

20

30

40

50

にตอบสนองして、パルス幅変調信号を出力して各発光ブロック (LB1 ~ LB (n × m)) の輝度を制御し得る。或いはバックライトドライバ (800__1 ~ 800__m) は、光データ信号 (LDAT) にตอบสนองして各発光ブロック (LB1 ~ LB (n × m)) に供給される電流量を調節し、各発光ブロック (LB1 ~ LB (n × m)) の輝度を制御し得る。本発明において、各バックライトドライバ (800__1 ~ 800__m) が各発光ブロック (LB1 ~ LB (n × m)) の輝度を制御する方法はこれに限定されない。

【0032】

整理すると、第2タイミングコントローラ700は、第1タイミングコントローラ600から各表示ブロック (DB1 ~ DB (n × m)) の代表映像信号 (RR__DB1 ~ RR__DB (n × m)、RG__DB1 ~ RG__DB (n × m)、RB__DB1 ~ RB__DB (n × m)) が供給され、各代表映像信号 (RR__DB1 ~ RR__DB (n × m)、RG__DB1 ~ RG__DB (n × m)、RB__DB1 ~ RB__DB (n × m)) に対応する光データ信号 (LDAT) を各バックライトドライバ (800__1 ~ 800__m) に供給する。各発光ブロック (LB1 ~ LB (n × m)) の輝度は各表示ブロック (DB1 ~ DB (n × m)) の代表映像信号 (RR__DB1 ~ RR__DB (n × m)、RG__DB1 ~ RG__DB (n × m)、RB__DB1 ~ RB__DB (n × m)) に対応する光データ信号 (LDAT) によって制御される。

【0033】

ここで、第1タイミングコントローラ600は低い周波数の伝送クロック信号 (Tclk) に同期して代表映像信号 (RR__DB1 ~ RR__DB (n × m)) を第2タイミングコントローラ700に供給する。例えば、伝送クロック信号 (Tclk) の周波数はメインクロック信号 (Mclk) の周波数より低い。従って、第1タイミングコントローラ600が代表映像信号 (RR__DB1 ~ RR__DB (n × m)、RG__DB1 ~ RG__DB (n × m)、RB__DB1 ~ RB__DB (n × m)) を第2タイミングコントローラ700に供給する時、EMIが減る。以下で更に具体的に説明する。

【0034】

図4を参照すると、第1タイミングコントローラ600は、代表値決定部610、メモリ620及び直列化器630を含む。説明の便宜上R映像信号 (R) を例えに説明する。

【0035】

代表値決定部610は、メインクロック信号 (Mclk) に同期したR映像信号 (R) の入力を受け、各表示ブロック (DB1 ~ DB (n × m)) に供給されるR映像信号の代表値である代表映像信号 (RR__DB1 ~ RR__DB (n × m)) を決定する。

【0036】

図5を参照すると、時間0から時間t1の間、第1表示ブロック (DB1) に表示されるR映像信号 (R) がメインクロック信号 (Mclk) に同期して第1タイミングコントローラ600に入力されると、代表値決定部610はフラグ信号 (FLAG) をイネイブルして第1表示ブロック (DB1) に対応する代表映像信号 (RR__DB1) を決定する。

【0037】

但し、時間0から時間t1の間、第1表示ブロック (DB1) に表示されるR映像信号 (R) だけが入力されないことがある。時間0から時間t1の間、第1表示ブロック (DB1) の他にも第2表示ブロック乃至第m表示ブロック (DB2 ~ DBm) に該当するR映像信号 (R) の一部も入力され得る。即ち、R映像信号 (R) は、表示ブロック (DB1 ~ DB (n × m)) に関係なく、各ゲートライン (G1 - Gi) に連結された画素に対応して順次に入力される。言い換えると、第1表示ブロック (DB1) に該当するR映像信号 (R) が入力されて次に第2表示ブロック (DB2) に該当するR映像信号 (R) が入力されないことがある。従って、液晶表示装置はメモリ (図示せず) を含み、メモリは各ゲートライン (G1 - Gi) に連結された画素に対応して順次に入力されるR映像信号 (R) を臨時に保存し得る。時間t1では第1表示ブロック (DB1) に表示されるすべてのR映像信号 (R) がメモリに入力されて保存されると、代表値決定部は、メインクロ

10

20

30

40

50

ック信号 (M c l k) に同期してメモリから第 1 表示ブロック (D B 1) に表示される R 映像信号 (R) を読み出し、フラグ信号 (F L A G) をイネイブルして第 1 表示ブロック (D B 1) に対応する代表映像信号 (R R _ D B 1) を決定し得る。即ち、液晶表示装置は表示ブロック (D B 1 ~ D B (n × m)) の行 (r o w) に対応する R 映像信号 (R) を保存し得るメモリを更に具備し得る。ここで、第 1 表示ブロック (D B 1) に対応する代表映像信号 (R R _ D B 1) は 8 ビットとして 1 1 0 0 1 1 0 0 であり得る。フラグ信号 (F L A G) は代表値決定部 6 1 0 内部で生成される信号であり得るし、或いは外部で提供される信号でもあり得る。

【 0 0 3 8 】

第 1 表示ブロック (D B 1) に対応する代表映像信号 (R R _ D B 1) が決定されると、時間 t 2 で代表映像信号 (R R _ D B 1) がメモリ (6 2 0) に書込まれ得る。ここで、代表映像信号 (R R _ D B 1) はメインクロック信号 (M c l k) に同期してメモリ 6 2 0 に書込まれ得る。即ち、t 2 でメインクロック信号 (M c l k) に同期して 8 ビットの代表映像信号 (R R _ D B 1) 1 1 0 0 1 1 0 0 が並列にメモリ 6 2 0 に書込まれ得る。但し、代表映像信号 (R R _ D B 1) がメインクロック信号 (M c l k) に同期せず、他のクロック信号に同期してメモリ 6 2 0 に書込まれることもあり得る。また、代表映像信号 (R R _ D B 1) のビット数は R 映像信号 (R) のビット数である 8 ビットより大きい小さいこともある。

【 0 0 3 9 】

時間 t 3 で、直列化器 6 3 0 はメモリ 6 2 0 から第 1 表示ブロック (D B 1) に対応する代表映像信号 (R R _ D B 1) を読み出す。直列化器 (6 3 0) は伝送クロック信号 (T c l k) に同期して代表映像信号 (R R _ D B 1) をメモリ (6 2 0) から読み出し得る。但し、代表映像信号 (R R _ D B 1) が伝送クロック信号 (T c l k) に同期せず、他のクロック信号に同期して直列化器 6 3 0 に伝送され得る。次に、直列化器 6 3 0 は伝送クロック信号 (T c l k) に同期して代表映像信号 (R R _ D B 1) をビット単位のシリアルで伝送する。例えば、最下位ビット (L S B) である 0 から最上位ビット (M S B) である 1 まで 1 ビットずつ順次に伝送し得る。ここで、伝送クロック信号 (T c l k) の周波数はメインクロック信号 (M c l k) の周波数より低い。例えば、メインクロック信号 (M c l k) の周波数は約 1 4 0 M H z であり、伝送クロック信号 (T c l k) の周波数は約 4 M H z であり得る。このような直列化器 6 3 0 の内部構成に対する詳細な説明は後述する。

【 0 0 4 0 】

次に、代表値決定部 6 1 0 は、第 2 表示ブロック (D B 2) に表示される R 映像信号 (R) の入力を受け、時間 t 4 でフラグ信号 (F L A G) をイネイブルして第 2 表示ブロック (D B 2) に対応する代表映像信号 (R R _ D B 2) を決定する。上述したように、代表値決定部 6 1 0 は第 2 表示ブロック (D B 2) に表示される R 映像信号 (R) をメモリ (図示せず) から読み出し、時間 t 4 でフラグ信号 (F L A G) をイネイブルして第 2 表示ブロック (D B 2) に対応する代表映像信号 (R R _ D B 2) を決定し得る。そして、時間 t 5 で代表値決定部 6 1 0 は、第 2 表示ブロック (D B 2) に対応する代表映像信号 (R R _ D B 2) をメモリ 6 2 0 に書込む。ここで、代表映像信号 (R R _ D B 2) はメインクロック信号 (M c l k) に同期してメモリ 6 2 0 に書込まれ得る。このような方式で、順次に各代表映像信号 (R R _ D B 1 ~ R R _ D B (n × m)) が決定され、伝送クロック信号 (T c l k) に同期してシリアルに伝送される。

【 0 0 4 1 】

整理すると、第 1 タイミングコントローラ 6 0 0 は、例えば、約 1 4 0 M H z のメインクロック信号 (M c l k) に同期した R、G、B 映像信号 (R、G、B) の入力を受ける。そして、第 1 タイミングコントローラ 6 0 0 は、約 4 M H z の低い伝送クロック信号 (T c l k) に同期して代表映像信号 (R R _ D B 1 ~ R R _ D B (n × m)) を第 2 タイミングコントローラに出力する。即ち、上述した方法で伝送クロック信号 (T c l k) の周波数を低くし得る。従って、代表映像信号 (R R _ D B 1 ~ R R _ D B (n × m)) が

10

20

30

40

50

第2タイミングコントローラ700に伝送される過程でEMIを減らせる。

【0042】

図6を参照して、図4の直列化器630に対して詳細に説明する。直列化器630は、多数のラッチ部(640__1~640__(n×m))と、多数の伝送部(650__1~650__(n×m))及びマルチプレクサ(multiplexer)(660)を含む。直列化器630は、伝送クロック信号(Tclk)に同期してメモリ620から代表映像信号(RR__DB1~RR__DB(n×m))を読み出し、シリアルで代表映像信号(RR__DB1~RR__DB(n×m))を出力する。便宜上メインクロック信号(Mclk)及び伝送クロック信号(Tclk)の入出力は図示していない。

【0043】

各ラッチ部(640__1~640__(n×m))は、上記伝送クロック信号(Tclk)に同期して多数ビット、例えば、8ビットの各代表映像信号(RR__DB1~RR__DB(n×m))を上記メモリ620から読み出して保存し得る。各伝送部(650__1~650__(n×m))は、伝送クロック信号(Tclk)に同期して各ラッチ部(640__1~640__(n×m))に保存された上記各代表映像信号(RR__DB1~RR__DB(n×m))をビット単位で出力し得る。

【0044】

マルチプレクサ660は、各伝送部(650__1~650__(n×m))の出力をシリアルで伝送し得る。例えば、最初の伝送部(650__1)の出力を伝送し、次に2番目の伝送部(650__2)の出力を伝送し、第(n×m)番目、伝送部(650__(n×m))の出力を伝送し得る。但し、本実施形態でマルチプレクサ660は省略され得る。この場合、各伝送部(650__1~650__(n×m))は代表映像信号(RR__DB1~RR__DB(n×m))を順次出力し得る構成となる。

【0045】

図7及び図8を参照して、本発明の他の実施形態によるタイミングコントローラ、これを含む液晶表示装置及び液晶表示装置の駆動方法に対して説明する。図7は、本発明の他の実施形態によるタイミングコントローラ、これを含む液晶表示装置及び液晶表示装置の駆動方法を説明するためのブロック図であり、図8は、図7の直列化器を説明するためのブロック図である。図4及び図6に示した構成要素と同一な機能をする構成要素に対しては同じ図面符号を使用し、説明の便宜上該当する同一構成要素に対する詳細な説明は省略する。

【0046】

図7を参照すると、図4に示した実施形態とは異なり、第1タイミングコントローラ601はメモリ620を含まない。即ち、代表値決定部610がメインクロック信号(Mclk)に同期して代表映像信号(RR__DB1~RR__DB(n×m))を出力すると、直列化器630は伝送クロック信号(Tclk)に同期して代表映像信号(RR__DB1~RR__DB(n×m))をシリアルで出力する。伝送クロック信号(Tclk)の周波数はメインクロック信号(Mclk)の周波数より低い。

【0047】

図8を参照して更に具体的に説明すると、各ラッチ部(641__1~641__(n×m))はメインクロック信号(Mclk)に同期した代表映像信号(RR__DB1~RR__DB(n×m))の入力を受けて保存する。各伝送部(651__1~651__(n×m))は伝送クロック信号(Tclk)に同期してラッチ部(641__1~641__(n×m))に保存された代表映像信号(RR__DB1~RR__DB(n×m))をビット単位で伝送する。マルチプレクサ660は、各伝送部(651__1~651__(n×m))の出力をシリアルで伝送し得る。但し、マルチプレクサ660は上記のように省略され得る。

【0048】

図9を参照して、本発明の更に他の実施形態によるタイミングコントローラ、これを含む液晶表示装置及び液晶表示装置の駆動方法に対して説明する。図9は、本発明の更に他の実施形態によるタイミングコントローラ、これを含む液晶表示装置及び液晶表示装置の

10

20

30

40

50

駆動方法を説明するためのブロック図である。図4に示した構成要素と同一な機能をする構成要素に対しては同一な図面符号を使用し、説明の便宜上該当する同一構成要素に対する詳細な説明は省略する。図9を参照すると、図4又は図7に示した実施形態とは異なり、第1タイミングコントローラ602は直列化器630を含まない。即ち、代表値決定部610がメインクロック信号(Mclk)に同期して代表映像信号(RR_DB1~RR_DB(n×m))をメモリ620に書込むと、第2タイミングコントローラ700は伝送クロック信号(Tclk)に同期して映像代表信号を読出す。ここで、伝送クロック信号(Tclk)の周波数はメインクロック信号(Mclk)の周波数より低く、代表映像信号は並列(RR_DB1~RR_DB(n×m))に読出される。

【0049】

10

図10を参照して、本発明の更に他の実施形態によるタイミングコントローラ、これを含む液晶表示装置に対して説明する。図10は、本発明の更に他の実施形態によるタイミングコントローラ及びこれを含む液晶表示装置を説明するためのブロック図である。図4に示した構成要素と同一な機能をする構成要素に対しては同じ図面符号を使用し、説明の便宜上該当する同一構成要素に対する詳細な説明は省略する。

【0050】

図10を参照すると、第1タイミングコントローラ603は、図4に示した実施形態とは異なり、制御信号生成部670と映像処理部680を更に含む。

【0051】

制御信号生成部670は、外部制御信号(Vsync、Hsync、Mclk、DE)の入力を受けてデータ制御信号(CONT1)及びゲート制御信号(CONT2)を出力する。例えば、制御信号生成部670は、図1に示したゲートドライバ400の動作を開始する垂直開始信号(STV)、ゲートオン電圧の出力時期を決定するゲートクロック信号(CPV)及びゲートオン電圧のパルス幅を決定する出力イネイブル信号(OE)、図1に示したデータドライバ500の動作を開始する水平開始信号(STH)及び映像データ電圧の出力を指示する出力指示信号(TP)を出力し得る。

20

【0052】

映像処理部680は、R、G、B映像信号(R、G、B)の入力を受けて信号処理し、映像データ信号(DAT)を出力する。映像処理部680は、液晶の応答速度向上或いは表示品質向上のため、R、G、B映像信号(R、G、B)のグレー(gray)を補正して映像データ信号(DAT)を出力し得る。

30

【0053】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0054】

【図1】本発明の一実施形態によるタイミングコントローラ、これを含む液晶表示装置及び液晶表示装置の駆動方法を説明するためのブロック図である。

【図2】一つの画素の等価回路図である。

【図3】図1の発光ブロックの配列形態と発光ブロック及びバックライトドライバの連結関係を説明するためのブロック図である。

40

【図4】図1の第1タイミングコントローラを説明するためのブロック図である。

【図5】図4の第1タイミングコントローラの動作を説明するための概念図である。

【図6】図3の直列化器を説明するためのブロック図である。

【図7】本発明の他の実施形態によるタイミングコントローラ、これを含む液晶表示装置及び液晶表示装置の駆動方法を説明するためのブロック図である。

【図8】図7の直列化器を説明するためのブロック図である。

【図9】本発明の更に他の実施形態によるタイミングコントローラ、これを含む液晶表示装置及び液晶表示装置の駆動方法を説明するためのブロック図である。

【図10】本発明の更に他の実施形態によるタイミングコントローラ及びこれを含む液晶

50

表示装置を説明するためのブロック図である。

【符号の説明】

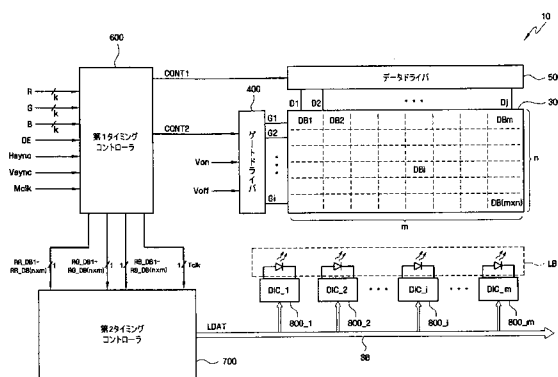
【 0 0 5 5 】

- | | | |
|---|-----------------|------|
| 1 0 0 | 液晶表示装置 | |
| 1 0 0 | 第 1 表示板 | |
| 1 5 0 | 液晶 | |
| 2 0 0 | 第 2 表示板 | |
| 3 0 0 | 液晶パネル | |
| 4 0 0 | ゲートドライバ | |
| 5 0 0 | データドライバ | |
| 6 0 0、6 0 1、6 0 2、6 0 3 | 第 1 タイミングコントローラ | |
| 6 1 0 | 代表値決定部 | |
| 6 2 0 | メモリ | |
| 6 3 0、6 3 1 | 直列化器 | |
| 6 4 0 __ 1 ~ 6 4 0 __ (n × m)、6 4 1 __ 1 ~ 6 4 1 __ (n × m) | | ラッチ部 |
| 6 5 0 __ 1 ~ 6 5 0 __ (n × m)、6 5 1 __ 1 ~ 6 5 1 __ (n × m) | | 伝送部 |
| 6 6 0 | マルチプレクサ | |
| 6 7 0 | 制御信号生成部 | |
| 6 8 0 | 映像処理部 | |
| 7 0 0 | 第 2 タイミングコントローラ | |
| 8 0 0 __ 1 ~ 8 0 0 __ m | バックライトドライバ | |

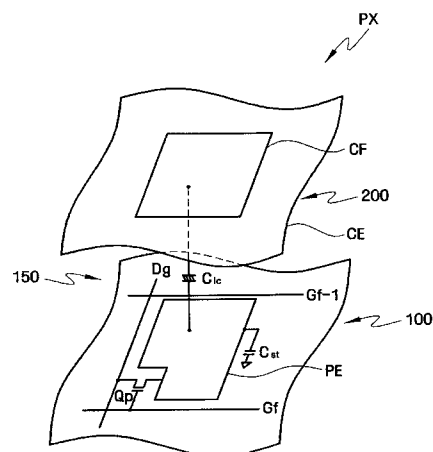
10

20

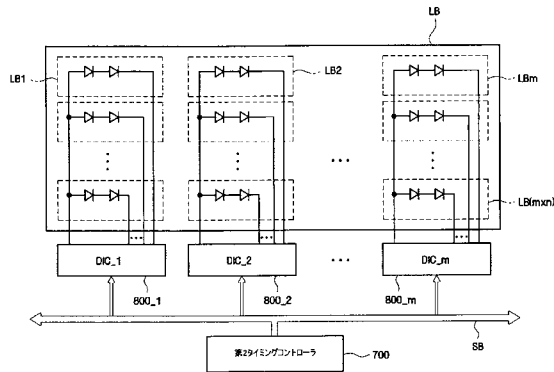
【 図 1 】



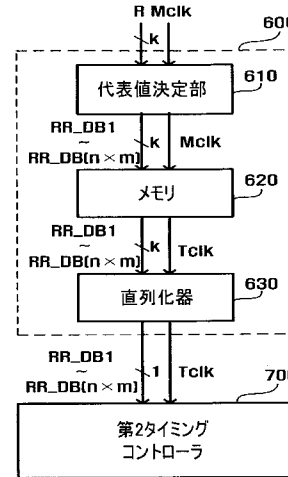
【 図 2 】



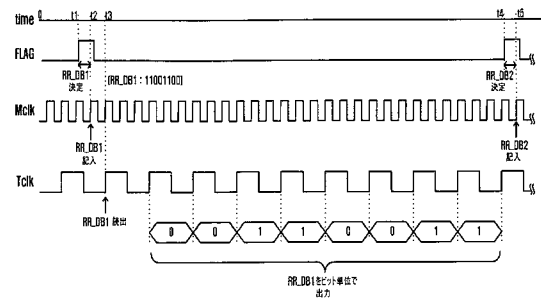
【図 3】



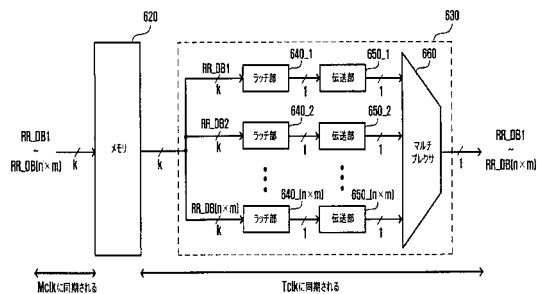
【図 4】



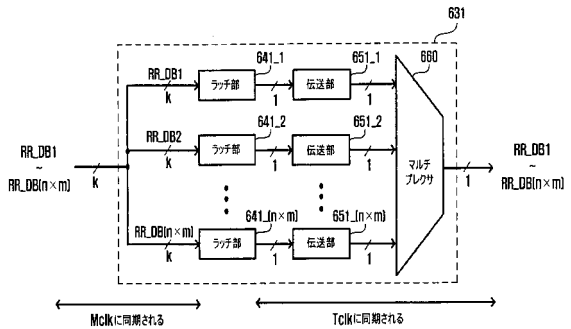
【図 5】



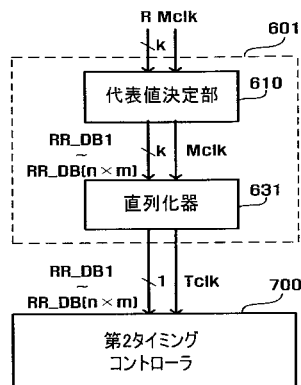
【図 6】



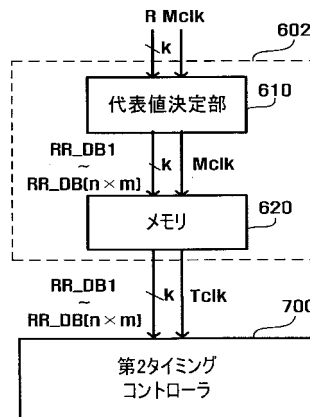
【図 8】



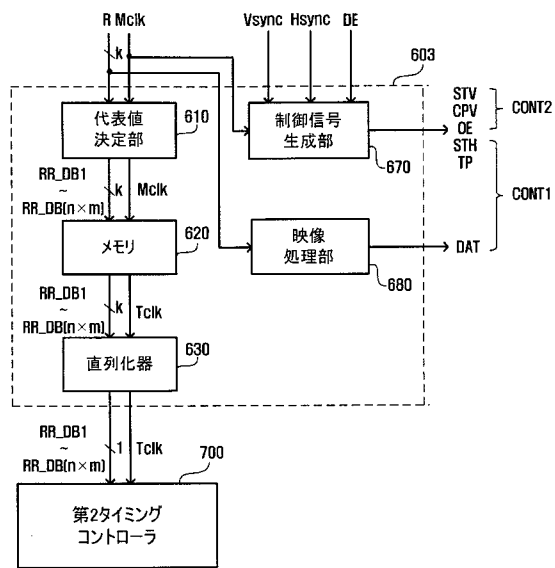
【図 7】



【図 9】



【図10】



フロントページの続き

(51)Int.Cl.

F I

G 0 2 F 1/133 5 5 0

G 0 9 G 3/34 J

(72)発明者 金 明 洙

大韓民国 忠清南道 天安市 木川邑 新溪里 木川シンドブレニュー 2 次アパート 2 0 2 棟
8 0 5 号

審査官 西島 篤宏

(56)参考文献 特開 2 0 0 6 - 1 4 5 7 9 8 (J P , A)

特開平 1 1 - 0 6 5 5 3 5 (J P , A)

特開 2 0 0 5 - 3 4 5 5 5 2 (J P , A)

特開 2 0 0 7 - 0 0 3 8 4 8 (J P , A)

特開 2 0 0 7 - 0 2 5 1 8 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	JP5348371B2	公开(公告)日	2013-11-20
申请号	JP2008115502	申请日	2008-04-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	高賢錫 金明洙		
发明人	高賢錫 金明洙		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G09G3/34		
CPC分类号	G09G3/3611 G09G3/3426 G09G3/3648 G09G2310/08 G09G2320/064 G09G2320/0646 G09G2330/06 G09G2360/16		
FI分类号	G09G3/36 G09G3/20.611.C G09G3/20.612.J G02F1/133.505 G02F1/133.535 G02F1/133.550 G09G3/34.J		
F-TERM分类号	2H093/NA16 2H093/NB01 2H093/NB07 2H093/NB11 2H093/NC06 2H093/NC16 2H093/NC34 2H093/NC42 2H093/NC49 2H093/ND60 2H093/NH16 2H193/ZA04 2H193/ZA05 2H193/ZD12 2H193/ZF13 2H193/ZF16 2H193/ZF19 2H193/ZF20 2H193/ZF42 2H193/ZG43 2H193/ZG48 2H193/ZG50 5C006/AA16 5C006/BB16 5C006/BC16 5C006/FA32 5C080/AA10 5C080/BB05 5C080/DD12 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ04		
优先权	1020070105196 2007-10-18 KR		
其他公开文献	JP2009098610A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够降低EMI的定时控制器，包括该定时控制器的液晶显示装置，以及该液晶显示装置的驱动方法。解决方案：液晶显示装置具有第一定时控制器，其接收与第一时钟信号同步的图像信号的输入，并与频率低于第一时钟信号的第二时钟信号同步输出代表图像信号;第二时序控制器，输出对应于代表图像信号的光数据信号;和背光驱动器，其响应于光学数据信号控制发光块的亮度。

【 图 2 】

