

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5255751号
(P5255751)

(45) 発行日 平成25年8月7日 (2013.8.7)

(24) 登録日 平成25年4月26日 (2013.4.26)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)
G09G 3/20 (2006.01)G09G 3/36
G09G 3/20 670D
G09G 3/20 642A
G09G 3/20 622G
G09G 3/20 612E

請求項の数 3 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2006-24887 (P2006-24887)
 (22) 出願日 平成18年2月1日 (2006.2.1)
 (65) 公開番号 特開2006-215562 (P2006-215562A)
 (43) 公開日 平成18年8月17日 (2006.8.17)
 審査請求日 平成21年1月22日 (2009.1.22)
 (31) 優先権主張番号 10-2005-0009507
 (32) 優先日 平成17年2月2日 (2005.2.2)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City,
 Gyeonggi-Do, Korea
 (74) 代理人 110000408
 特許業務法人高橋・林アンドパートナーズ
 (72) 発明者 宋 錫 天
 大韓民国京畿道水原市靈通区靈通洞 ファ
 ンゴルマウル1団地アパート125棟12
 01号

最終頁に続く

(54) 【発明の名称】 液晶表示装置の駆動装置及びこれを備えた液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

行列状に配列された複数の画素、前記画素に接続されているゲート線及びデータ線を有する表示板部と、

前記ゲート線にゲート信号を印加するゲート駆動部と、

前記データ線にデータ電圧を印加するデータ駆動部及びゲート電圧を生成するゲート電圧生成部を有する駆動回路チップと、

前記ゲート駆動部と前記駆動回路チップを連結し、ゲートオン電圧を伝達する第1電圧線と、ゲートオフ電圧を伝達する第2電圧線とを有する電圧線と、

前記データ線と前記駆動回路チップとの間に接続されている複数の伝送ゲートと、

前記駆動回路チップ内で前記ゲート電圧生成部と前記電圧線の間に位置し、前記ゲート電圧が正常状態に到達した後に導通するスイッチング部と、

前記駆動回路チップ内に設けられ、前記スイッチング部を制御するための制御信号を生成する信号制御部と、

前記駆動回路チップから遠い所に位置し、前記第1電圧線と第2電圧線の間に、前記第1電圧線と第2電圧線のうち高電圧が印加される電圧線から低電圧が印加される電圧線への方向に対して逆方向に直列に接続され、複数のダイオードからなる第1ダイオード群を有する第1ダイオード部と、

前記駆動回路チップから近い所に位置し、前記第1電圧線と第2電圧線の間に、前記第1電圧線と第2電圧線のうち高電圧が印加される電圧線から低電圧が印加される電圧線への

10

20

方向に対して逆方向に直列に接続され、複数のダイオードからなる第2ダイオード群を有する第2ダイオード部とを備え、

前記データ線の一端は前記第1ダイオード群の間に接続され、前記データ線の他端は前記伝送ゲートを経て前記第2ダイオード群の間に接続されており、

前記スイッチング部は、ゲートオン電圧生成部に接続されている第1スイッチング素子と、ゲートオフ電圧生成部に接続されている第2スイッチング素子とを備える液晶表示装置であって、

前記ゲートオン電圧生成部と前記スイッチング素子の間に存在する静電容量と等価な静電容量を有し、前記ゲートオン電圧生成部と前記第1スイッチング素子の配線間に存在する寄生容量である第1キャパシタと、

前記ゲートオフ電圧生成部と前記スイッチング素子の間に存在する静電容量と等価な静電容量を有し、前記ゲートオフ電圧生成部と前記第2スイッチング素子の配線間に存在する寄生容量である第2キャパシタと、

前記第1電圧線に存在する寄生容量に等価な静電容量を有し、前記第1電圧線に存在する寄生容量である前記第3キャパシタと、

前記第2電圧線に存在する寄生容量に等価な静電容量を有し、前記第2電圧線に存在する寄生容量である前記第4キャパシタは、

前記第1及び第2キャパシタの静電容量が、前記第3及び第4キャパシタより大きい関係を有することを特徴とする液晶表示装置。

【請求項2】

前記第1キャパシタの容量と前記第3キャパシタの静電容量の比と、前記第2キャパシタの静電容量と前記第4キャパシタの静電容量の比は各々100：1以上であることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記第1及び第2スイッチング素子は、前記第1及び第2キャパシタが充電された後に導通することを特徴とする請求項2に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動装置及びこれを備えた液晶表示装置に関する。

【背景技術】

【0002】

一般の液晶表示装置（LCD）は、画素電極及び共通電極を備える二つの表示板と、その間に挿入された誘電率異方性を有する液晶層とを備える。画素電極は、行列状に配列され、薄膜トランジスタ（TFT）などのスイッチング素子に接続されて一行ずつ順次にデータ電圧の印加を受ける。共通電極は、表示板の全面に形成され、共通電圧の印加を受ける。画素電極と共通電極及びその間の液晶層は、回路的には、液晶キャパシタを構成し、この液晶キャパシタは、これに接続されたスイッチング素子と共に画素を構成する基本単位となる。

【0003】

このような液晶表示装置は、二つの電極に電圧を印加して液晶層に電界を形成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。このとき、液晶層に一方向の電界が長く印加されることによって発生する劣化現象を防止するために、フレーム毎に、行毎に、またはドット毎に共通電圧に対するデータ電圧の極性を反転させる。

【0004】

液晶表示装置において、特に携帯電話などに使用される中小型表示装置として、セットの外部と内部、すなわち両面に、それぞれ表示板部を備えているデュアル表示装置の開発が進んでいる。

【0005】

このようなデュアル表示装置は、内部に装着される主表示板部と、外部に装着される副表示板部と、外部からの入力信号を伝達する配線が備えられた駆動フレキシブルプリント回路基板（FPC）と、主表示板部と副表示板部を接続する補助FPCと、これらを制御するための統合チップとを備える。

【0006】

このとき、液晶表示装置は、スイッチング素子を備える画素と表示信号線を有する表示板と、表示信号線のうちのゲート線にゲートオン電圧とゲートオフ電圧を送出して画素のスイッチング素子を導通／遮断させるゲート駆動部と、表示信号線のうちのデータ線にデータ電圧を送出して導通したスイッチング素子を介して画素に印加するデータ駆動部とを備え、統合チップは、主表示板部と副表示板部のゲート駆動部とデータ駆動部を制御するための制御信号及び駆動信号を生成し、主に主表示板部にCOG（chip on glass）形態に装着されている。また、ゲート駆動部は、表示板部の一側に画素のスイッチング素子と同一工程で形成されて集積される場合がある。また、統合チップはゲート電圧生成部を備え、ゲートオン電圧とゲートオフ電圧を生成してゲート駆動部に供給する。

10

【0007】

一方、このような液晶表示装置の製造工程において、静電破壊の発生を防止するために、表示板部の周辺に沿って内側と外側に各々高電圧線と低電圧線を配置する。高電圧線と低電圧線の間には複数のダイオードからなる静電破壊防止用ダイオード部を接続し、このダイオード部にデータ線を接続し、表示板部の中央に浸透する静電気を一定の経路を経て外部に放出することで表示板部を保護する。

20

【0008】

このような高電圧線と低電圧線は、統合チップとゲート駆動部の間に接続されており、例えば、携帯電話の場合、一般動作モードでゲートオン電圧とゲートオフ電圧を各々伝達する。

【0009】

このような液晶表示装置で電源をオンにすれば、ゲート電圧生成部でゲートオン電圧とゲートオフ電圧を生成し始めるが、正常電圧に到達するまで時間がかかる。このとき、高電圧線と低電圧線にはゲートオン電圧とゲートオフ電圧に到達する前の状態の過渡電圧が伝達され、二つの電圧線の間接続されたダイオード、例えば2つのダイオードが一定の抵抗として作用して過渡電圧を分圧する役割を果たす。これにより、二つのダイオードの間に接続されたデータ線にこの分圧された電圧がかかって一定の電流が画素のスイッチング素子に流れ、スイッチング素子の遮断状態で漏洩電流が液晶キャパシタに流れて充電される。このような充電で液晶が動作し、電源をオンにする動作により、データ線に沿って画面が表示される縦縞不良、またはゲート線に沿って画面が表示される横縞不良が発生する問題点がある。

30

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明の目的は、縦縞不良または横縞不良を解決できる液晶表示装置の駆動装置及びこれを備えた液晶表示装置を提供することにある。

40

【課題を解決するための手段】

【0011】

前述した目的を達成するために、本発明の一実施形態の液晶表示装置の駆動装置は、ゲート電圧を伝達する電圧線と、前記ゲート電圧を生成するゲート電圧生成部と、前記ゲート電圧生成部と前記電圧線の間位置するスイッチング部と、前記スイッチング部を制御するための制御信号を生成する信号制御部とを備える。

【0012】

このとき、前記スイッチング部は、前記ゲート電圧が正常状態に到達した後に導通するように制御される。

【0013】

50

ここで、前記液晶表示装置の駆動装置は、一端が前記ゲート電圧生成部と前記スイッチング部の間に接続され、他端が接地されている第1キャパシタ、並びに一端が前記電圧線に接続され、他端が接地されている第2キャパシタをさらに備えることができ、前記第1キャパシタの静電容量は前記第2キャパシタより大きいことが好ましいが、前記第1キャパシタの容量と前記第2キャパシタの静電容量の比は100：1以上であることが好ましい。

【0014】

一方、前記ゲート電圧生成部は、ゲートオン電圧を生成するゲートオン電圧生成部とゲートオフ電圧を生成するゲートオフ電圧生成部を備え、前記電圧線は、前記ゲートオン電圧を伝達する第1電圧線と前記ゲートオフ電圧を伝達する第2電圧線とを備える。

10

【0015】

前記スイッチング部は、前記ゲートオン電圧生成部に接続されている第1スイッチング素子と、前記ゲートオフ電圧生成部に接続されている第2スイッチング素子とを備える。

【0016】

このとき、前記液晶表示装置の駆動装置は、一端が前記ゲートオン電圧生成部と前記第1スイッチング素子の間に接続され、他端が接地されている第1キャパシタと、一端が前記ゲートオフ電圧生成部と前記第2スイッチング素子の間に接続され、他端が接地されている第2キャパシタと、一端が前記第1電圧線に接続され、他端が接地されている第3キャパシタと、一端が前記第2電圧線に接続され、他端が接地されている第4キャパシタとをさらに備える。

20

【0017】

ここで、前記第1及び第2キャパシタの静電容量は、前記第3及び第4キャパシタより大きいことが好ましいが、前記第1キャパシタの静電容量と前記第3キャパシタの静電容量の比と前記第2キャパシタの静電容量と前記第4キャパシタの静電容量の比は各々100：1以上であることが好ましい。

【0018】

また、前記第1及び第2スイッチング素子は、前記第1及び第2キャパシタが充電された後に導通するように制御される。

【0019】

一方、前記液晶表示装置は、複数の画素とこれに接続されているゲート線及びデータ線を有する表示板部を備え、前記表示板部を駆動する駆動回路チップをさらに備えることが好ましい。

30

【0020】

このとき、前記駆動回路チップは前記スイッチング部を備えることが好ましい。

【0021】

本発明の一実施形態による液晶表示装置は、行列形態に配列された複数の画素と、前記画素に接続されているゲート線及びデータ線を有する表示板部と、前記ゲート線にゲート信号を印加するゲート駆動部と、前記データ線にデータ電圧を印加する駆動回路チップと、第1電圧線と、第2電圧線と、前記駆動回路チップから遠い所に位置し、前記第1電圧線と第2電圧線の間に直列に接続され、複数のダイオードからなる第1ダイオード群を有する第1ダイオード部と、前記駆動回路チップから近い所に位置し、前記第1電圧線と第2電圧線の間に直列に接続され、複数のダイオードからなる第2ダイオード群を有する第2ダイオード部と、ゲートオン電圧及びゲートオフ電圧を生成し、それぞれ前記第1及び第2電圧線を介して前記ゲート駆動部に印加するゲート電圧生成部と、前記ゲート電圧生成部と前記第1及び第2電圧線の間にそれぞれ接続されている第1及び第2スイッチング素子とを備える。

40

【0022】

このとき、前記データ線の一端は前記第1ダイオード群の間に接続され、前記データ線の他端は前記伝送ゲートを経て前記第2ダイオード群の間に接続されている。

【0023】

50

前記液晶表示装置は、前記第1及び第2スイッチング素子を導通及び遮断させるスイッチング制御信号を生成する信号制御部をさらに備えることが好ましい。

【0024】

前記ゲート電圧生成部は、前記ゲートオン電圧を生成するゲートオン電圧生成部と、前記ゲートオフ電圧を生成するゲートオフ電圧生成部とを備えることが好ましい。

【0025】

ここで、前記液晶表示装置は、一端が前記ゲートオン電圧生成部と前記第1スイッチング素子の間に接続され、他端が接地されている第1キャパシタ、一端が前記ゲートオフ電圧生成部と前記第2スイッチング素子の間に接続され、他端が接地されている第2キャパシタ、一端が前記第1電圧線に接続され、他端が接地されている第3キャパシタ、並びに一端が前記第2電圧線に接続され、他端が接地されている第4キャパシタをさらに備えることが好ましい。

10

【0026】

一方、前記第1キャパシタ及び第2キャパシタの静電容量は、前記第3キャパシタ及び第4キャパシタより大きいことが好ましく、前記第1キャパシタの静電容量と前記第3キャパシタの静電容量の比は100：1以上であることが好ましい。さらに、前記第2キャパシタの静電容量と前記第4キャパシタの静電容量の比も100：1であることが好ましい。

【0027】

このとき、前記第1及び第2スイッチング素子は、前記第1及び第2キャパシタが充電された後に導通する。

20

【0028】

前記第1及び第2ダイオード群が逆方向に接続されることが好ましく、前記データ線の一端は前記第1ダイオード群の間に接続され、前記データ線他端は前記伝送ゲートを経て前記第2ダイオード群の間に接続されることが好ましい。

【0029】

一方、前記駆動回路チップは前記ゲート電圧生成部を備えたり、前記第1及び第2スイッチング素子を備えることが好ましい。

【0030】

また、前記駆動回路チップは前記信号制御部を備えることが好ましい。

30

【0031】

一方、前記液晶表示装置は、前記データ線と前記駆動回路チップの間に接続されている複数の伝送ゲートをさらに備えることが好ましい。

【0032】

前記第1電圧線は、前記表示板の周辺に沿って環状に配置され、前記第2電圧線は、前記第1電圧線の外側に配置されることが好ましい。

【0033】

以下、添付した各図面を参照して本発明の実施例について詳細に説明することによって本発明のさまざまな効果を明らかにする。

【発明の効果】

40

【0034】

電圧線HL、LLに異常電圧が誘起される時間を大幅に減少することにより、縦縞不良または横縞不良を防止することができる。

【発明を実施するための最良の形態】

【0035】

添付した図面を参照して、本発明の実施形態を、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。

【0036】

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一の参照符号を付けている。層、膜、領域、板など

50

の部分、他の部分の「上に」あるとする時、これは他の部分の「すぐ上に」ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の「すぐ上に」あるとする時、これは中間に他の部分がない場合を意味する。

【0037】

以下、本発明の実施形態による液晶表示装置について図面を参照して詳細に説明する。

【0038】

図1は、本発明の一実施形態による液晶表示装置の概略図であり、図2は、本発明の一実施形態による液晶表示装置のブロック図であり、図3は、本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。図1を参照すれば、本発明の一実施形態による表示装置は、主表示板部300Mと副表示板部300S、主表示板部300Mに付着されたFPC650、主表示板部300Mと副表示板部300Sの間に付着された補助FPC680、並びに表示板部300M上に装着された統合チップ700を備える。

10

【0039】

FPC650は、主表示板部300Mの一边付近に付着されている。また、組立状態でFPC650を折り畳んだ時、副表示板部300Sを露出させる開口部690を有する。開口部690の下側には外部からの信号が入力される入力部660が備えられ、その他の入力部660と統合チップ700、統合チップ700と主表示板部300Mの電氣的接続のために複数の信号線（図示せず）を備えているが、これら信号線は、統合チップ700に接続される地点及び主表示板部300Mと付着される地点で通常は幅が広がってパッド（図示せず）を形成する。

20

【0040】

補助FPC680は、主表示板部300Mの他の辺と副表示板部300Sの一边の間に付着され、統合チップ700と副表示板部300Sの電氣的接続のために信号線SL2、DLを備える。

【0041】

各表示板部300M、300Sは、画面をなす表示領域310M、310Sと周辺領域320M、320Sを有し、周辺領域320M、320Sには光を遮断するための遮光層（図示せず）（ブラックマトリックス）が備えられる。FPC650及び補助FPC680は、この遮光領域320M、320Sに付着されている。

【0042】

図2に示すように、各表示板部300M、300Sは、複数のゲート線（ $G_1 \sim G_n$ ）と複数のデータ線（ $D_1 \sim D_m$ ）を有する複数の表示信号線と、これに接続されて略行列状に配列された複数の画素、並びにゲート線（ $G_1 \sim G_n$ ）に信号を供給するゲート駆動部400を有し、画素と表示信号線（ $G_1 \sim G_n$ 、 $D_1 \sim D_m$ ）の殆どは表示領域310M、310S内に位置し、ゲート駆動部400M、400Sは周辺領域320M、320Sに各々位置する。ゲート駆動部400M、400Sが位置したところの周辺領域320M、320Sはより大きい幅を有する。

30

【0043】

また、図1に示すように、主表示板部300Mのデータ線（ $D_1 \sim D_m$ ）のうちの一部は、補助FPC680を介して副表示板部300Sに接続されている。即ち、二つの表示板部300M、300Sは、データ線（ $D_1 \sim D_m$ ）のうちの一部を共有する形態であり、図ではそのうちの一つ（DL）を示している。

40

【0044】

表示信号線（ $G_1 \sim G_n$ 、 $D_1 \sim D_m$ ）は、ゲート信号（走査信号とも言う。）を伝達する複数のゲート線（ $G_1 \sim G_n$ ）とデータ信号を伝達するデータ線（ $D_1 \sim D_m$ ）を有する。ゲート線（ $G_1 \sim G_n$ ）は略行方向に延びて互いに略平行であり、データ線（ $D_1 \sim D_m$ ）は略列方向に延びて互いに略平行である。表示信号線（ $G_1 \sim G_n$ 、 $D_1 \sim D_m$ ）は、FPC650、680に接続される地点で大概幅が広がってパッド（図示せず）を形成し、表示板部300M、300SとFPC650、680は、そのパッドの電氣的接続のために、異方性導電膜（図示せず）や半田づけ等で接続されている。

50

【0045】

各画素は、表示信号線 ($G_1 \sim G_n$ 、 $D_1 \sim D_m$) に接続されたスイッチング素子 Q とこれに接続された液晶キャパシタ C_{LC} 及びストレージキャパシタ C_{ST} を有する。ストレージキャパシタ C_{ST} は必要に応じて省略することが好ましい。

【0046】

薄膜トランジスタなどスイッチング素子 Q は、下部表示板 100 に備えられ、三端子素子としてその制御端子及び入力端子は各々ゲート線 ($G_1 \sim G_n$) 及びデータ線 ($D_1 \sim D_m$) に接続されており、出力端子は液晶キャパシタ C_{LC} 及びストレージキャパシタ C_{ST} に接続されている。

【0047】

図3に示すように、表示板部 300 は、下部表示板 100 と上部表示板 200 及びその間の液晶層 3 を有し、表示信号線 ($G_1 \sim G_n$ 、 $D_1 \sim D_m$) とスイッチング素子 Q は下部表示板 100 に備えられている。

【0048】

液晶キャパシタ C_{LC} は、下部表示板 100 の画素電極 190 と上部表示板 200 の共通電極 270 を二つの端子とし、二つの電極 190、270 の間の液晶層 3 は誘電体として機能する。画素電極 190 は、スイッチング素子 Q に接続され、共通電極 270 は、上部表示板 200 の全面に形成されて共通電圧 V_{com} の印加を受ける。図3と異なって、共通電極 270 が下部表示板 100 に備えられる場合もあり、その場合、二つの電極 190、270 は全て線形または棒形に形成される。

【0049】

ストレージキャパシタ C_{ST} は、下部表示板 100 に備えられた別個の信号線 (図示せず) と画素電極 190 が重なっており、この別個の信号線には共通電圧 (V_{com}) などの定められた電圧が印加される。もっとも、ストレージキャパシタ C_{ST} は、画素電極 190 が絶縁体を媒介としてすぐ上の前段ゲート線と重ならせることもできる。

【0050】

一方、色表示を実現するために、各画素が色相を表示すべきであり、これは、画素電極 190 に対応する領域に三原色、例えば、赤色、緑色、または青色のカラーフィルタ 230 を備えることによって可能である。図3で、カラーフィルタ 230 は、上部表示板 200 に形成されているが、これと異なって、下部表示板 100 の画素電極 190 上または下に形成することも可能である。

【0051】

表示板部 300 の二つの表示板 100、200 のうちの少なくとも一つの外側面には、光を偏光させる偏光子 (図示せず) が付着されている。

【0052】

ゲート駆動部 400M、400S は、ゲート線 ($G_1 \sim G_n$) に接続され、スイッチング素子 Q を導通させることができるゲートオン電圧 (V_{on}) と、スイッチング素子 Q を遮断させることができるゲートオフ電圧 (V_{off}) をゲート電圧生成部 750 から受信して、これらの組み合わせからなるゲート信号をゲート線 ($G_1 \sim G_n$) に印加する。ゲート駆動部 400M、400S は、画素のスイッチング素子 Q と同一工程で形成されて集積されており、信号線 $SL1$ 、 $SL2$ を介して統合チップ 700 とそれぞれ接続されている。

【0053】

統合チップ 700 は、連結部 660 と FPC 650 に備えられた信号線を介して外部信号を受信し、処理した信号を主表示板部 300M の周辺領域 320M と補助 FPC 680 に備えられた配線を介して、主表示板部 300M 及び副表示板部 300S に供給することによってこれらを制御し、また、図2に示されたゲート電圧生成部 750、階調電圧生成部 800、データ駆動部 500 及び信号制御部 600 などを有する。

【0054】

階調電圧生成部 800 は、画素の輝度に関連する一組または二組の複数階調電圧を生成す

10

20

30

40

50

る。二組である場合、そのうちの一組は共通電圧 V_{com} に対してプラスの値を有し、もう一組はマイナスの値を有する。

【0055】

データ駆動部500は、表示板部300の伝送ゲートTG1-TG6を介してデータ線($D_1 \sim D_m$)に接続され、階調電圧生成部800からの階調電圧を選択してデータ信号として画素に印加する。

【0056】

信号制御部600は、ゲート駆動部400及びデータ駆動部500などの動作を制御する。

【0057】

次に、このような液晶表示装置の表示動作についてより詳細に説明する。

【0058】

信号制御部600は、外部のMPU (mobile processing unit) (図示せず) から入力映像信号R、G、B及びその表示を制御する入力制御信号、例えば、垂直同期信号Vsyncと水平同期信号Hsync、メインクロックMCLK、データイネーブル信号DEなどの提供を受けて、入力制御信号及び入力映像信号R、G、Bに基づいてゲート制御信号CONT1、データ制御信号CONT2及びスイッチング制御信号CONT3、CONT4などを生成し、映像信号R、G、Bを表示板部300の動作条件に合うように適切に処理した後、ゲート制御信号CONT1をゲート駆動部400M、400Sのうちの一つに送出し、データ制御信号CONT2と処理した映像信号DATをデータ駆動部500に送出し、スイッチング制御信号CONT3、CONT4を伝送ゲートTG1-TG6とスイッチング素子SW1、SW2にそれぞれ送出する。

【0059】

ゲート制御信号CONT1は、ゲートオン電圧(V_{on})の出力開始を指示する走査開始信号STV、ゲートオン電圧(V_{on})の出力時期を制御するゲートクロック信号CPV、及びゲートオン電圧(V_{on})の持続時間を限定する出力イネーブル信号OEなどを含む。

【0060】

データ制御信号CONT2は、映像データDATの入力開始を知らせる水平同期開始信号STHとデータ線($D_1 \sim D_m$)に当該データ電圧の印加を指示するロード信号LOAD、共通電圧(V_{com})に対するデータ電圧の極性(以下、共通電圧に対するデータ電圧の極性を略してデータ電圧の極性という。)を反転させる反転信号RVS及びデータクロック信号HCLKなどを含む。

【0061】

スイッチング制御信号CONT3、CONT4は、伝送ゲートTG1-TG6とスイッチング素子SW1、SW2の導通及び遮断を制御し、ハイレベル及びローレベルの各レベルを有する。

【0062】

データ駆動部500は、信号制御部600からのデータ制御信号CONT2に従って一つの行の画素に対応する映像データDATを順次に受信し、階調電圧生成部800からの階調電圧のうちの各映像データDATに対応する階調電圧を選択することによって、映像データDATを当該データ電圧に変換し、導通した伝送ゲートTG1-TG6を介してデータ線($D_1 \sim D_m$)に印加する。

【0063】

ゲート駆動部400は、信号制御部600からのゲート制御信号CONT1に従ってゲートオン電圧(V_{on})をゲート線($G_1 \sim G_n$)に印加して、このゲート線($G_1 \sim G_n$)に接続されたスイッチング素子Qを導通させる。データ線($D_1 \sim D_m$)に供給されたデータ電圧は、導通したスイッチング素子Qを介して当該画素に印加される。

【0064】

画素に印加されたデータ電圧と共通電圧(V_{com})の差は、液晶キャパシタ C_{LC} の充

10

20

30

40

50

電圧、つまり画素電圧として現れる。液晶分子は、画素電圧の大きさによってその配列が異なる。そのため、液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は、表示板 100、200 に付着された偏光子によって光透過率の変化として現れる。

【0065】

1 水平周期（または 1 H）（水平同期信号 H sync、データイネーブル信号 DE、ゲートクロック CPV の一周期）が経過すれば、データ駆動部 500 とゲート駆動部 400 は、次行の画素に対して同一動作を繰り返す。このような方法で、1 フレーム期間の間に全てのゲート線（ $G_1 \sim G_n$ ）に対して順次にゲートオン電圧（ V_{on} ）を印加し、全ての画素にデータ電圧を印加する。更に、1 フレームが終了すれば次のフレームが開始され、各画素に印加されるデータ電圧の極性が直前のフレームにおける極性と逆になるようにデータ駆動部 500 に印加される反転信号 RVS の状態が制御される（フレーム反転）。このとき、1 フレーム内でも反転信号 RVS の特性によって一つのデータ線を通じて流れるデータ電圧の極性が変わったり（例：列反転、ドット反転）、一つの画素行に印加されるデータ電圧の極性も互いに異ならせてもよい。（例：行反転、ドット反転）。

10

【0066】

次に、本発明の実施形態による液晶表示装置について図 4 乃至図 7 を参照して詳細に説明する。

【0067】

図 4 は、図 1 に示す本発明の一実施形態による液晶表示装置の主表示板部のブロック図であり、図 5 は、図 4 に示す主表示板部の拡大図である。図 6 は、図 5 に示す液晶表示装置の駆動装置の等価回路図であり、図 7 は、図 5 に示すゲートオン電圧及びスイッチング制御信号のタイミング図である。

20

【0068】

図 4 は、図 1 に示す主表示板部 300M を示す。以下、主表示板部 300M について説明する。

【0069】

図 4 に示すように、表示板部 300M の下側に統合チップ 700 が配置されており、右側にはゲート駆動部 400M が集積され、統合チップ 700 とゲート駆動部 400M の間には高電圧線 31、31a、31b と低電圧線 32、32a、32b が表示領域 DA 外側の周辺領域に環状形態に接続されている。

30

【0070】

電圧線 31、32 は、統合チップ 700 の一端とゲート駆動部 400M の一端との間に接続されており、電圧線 31a、32a は、ゲート駆動部 400M の他の一端と統合チップ 700 の他の一端との間に接続され、電圧線 31b、32b は、電圧線 31、32 と電圧線 31a、32a の間に接続されている。このとき、高電圧線 31、31a、31b は内側に、低電圧線 32、32a、32b は外側に位置し、高電圧線 31 と高電圧線 31a、低電圧線 32、32a は、ゲート駆動部 400M を介して互いに接続されている。

【0071】

統合チップ 700 の各チャンネル 33 には三個の伝送ゲート TG が接続され、各伝送ゲート TG には一つのデータ線（ $D_1 \sim D_m$ ）が接続されている。

40

【0072】

また、二つの電圧線 31a、32a の間及び二つの電圧線 31b、32b の間には、各々ダイオード部 35、36 が接続されている。

【0073】

ダイオード部 35 は、低電圧線 32a から高電圧線 31a に逆方向に接続されている複数のダイオード d1、d2 を有し、ダイオード部 36 も低電圧線 32b から高電圧線 31b に逆方向に接続されている複数のダイオード d3、d4 を有する。

【0074】

このとき、ダイオード部 35 にはデータ線（ $D_1 \sim D_m$ ）が接続され、ダイオード部 36 にはチャンネル 33 が接続されている。データ線（ $D_1 \sim D_m$ ）は、二つのダイオード d

50

1、d 2の間に接続され、チャンネル3 3は、二つのダイオードd 3、d 4の間に接続されている。

【0075】

このようにすれば、高電圧線3 1 a、3 1 bから低電圧線3 2 a、3 2 bで電流が流れることがなく、静電気が表示板部3 0 0 Mの中央に浸透する場合、ダイオードd 1、d 2の間またはダイオードd 3、d 4の間に接続されたデータ線(D₁～D_m)、またはチャンネル3 3を通じて静電気が放出される。

【0076】

このとき、液晶表示装置の電源をオンにすれば、ゲート電圧生成部7 5 0は、ゲートオン電圧(V_{on})及びゲートオフ電圧(V_{off})を生成し始めるが、これについて図6及び図7を参照して詳細に説明する。

10

【0077】

以下、図面符号Cはキャパシタを示すと共に、当該キャパシタが有する静電容量を示す。

【0078】

図6は、図5に示す液晶表示装置の等価回路図で、ゲート電圧生成部7 5 0は、ゲートオン電圧生成部7 5 1とゲートオフ電圧生成部7 5 2を有する。

ゲートオン電圧生成部7 5 1及びゲートオフ電圧生成部7 5 2に、図4及び図5において各々図面符号3 1、3 1 a及び3 1 bと3 2、3 2 a及び3 2 bで示される高電圧線H L及び低電圧線L Lが接続され、二つの電圧線H L、L Lの間にはダイオード部3 5 6が接続されている。ダイオード部3 5 6は、逆方向に接続されている二つのダイオードd i、d jを有する。ここで、ダイオード部3 5 6は、ダイオード部3 5またはダイオード部3 6であり、ダイオードd iはd 2、d 3のうちのいずれか一つを意味する、ダイオードd jはダイオードd 1、d 4のうちのいずれか一つを意味する。また、データ線D xはデータ線(D₁～D_m)のうちのいずれか一つを意味する。

20

【0079】

また、高電圧線H Lにはスイッチング素子S W 1が、低電圧線S W 2にはスイッチング素子S W 2が接続され、ゲートオン電圧生成部7 5 1とスイッチング素子S W 1の間にはキャパシタC_{e q 1}が接続され、ゲートオフ電圧生成部7 5 2とスイッチング素子S W 2の間にはキャパシタC_{e q 2}が接続されている。

【0080】

30

ここで、キャパシタC_{e q 1}は、ゲートオン電圧生成部7 5 1とスイッチング素子S W 1の間に存在する等価静電容量であり、ゲートオン電圧生成部7 5 1に存在する静電容量と、ゲートオン電圧生成部7 5 1とスイッチング素子S W 1の間の配線に存在する寄生容量を有する。同様に、キャパシタC_{e q 2}は、ゲートオフ電圧生成部7 5 2とスイッチング素子S W 2の間に存在する等価静電容量であり、ゲートオフ電圧生成部7 5 2に存在する静電容量と、ゲートオフ電圧生成部7 5 2とスイッチング素子S W 2の間の配線に存在する寄生容量を有する。

【0081】

また、キャパシタC P 1とキャパシタC P 2は、各々高電圧線H L及び低電圧線L Lに存在する寄生容量を示す。

40

【0082】

一方、液晶表示装置の電源をオンにすれば、例えばゲートオン電圧生成部7 5 1はゲートオン電圧(V_{on})を生成する。このとき、図7に示すように、ゲートオン電圧(V_{on})が一定となる値、つまり正常状態に到達する時間t₁である、キャパシタC_{e q 1}にゲートオン電圧(V_{on})が完全に充電される時間は、次式(1)により求めることができる。

【0083】

$$t_1 = C_{eq1} \times V_{on} / I_1 \quad \dots (1)$$

【0084】

ここで、I₁はゲートオン電圧生成部7 5 1においてキャパシタC_{e q 1}に流れる電流で

50

ある。

【0085】

このとき、スイッチング素子SW1、SW2がN型トランジスタである場合、スイッチング制御信号CONT4が時間 t_1 にハイレベルになれば、スイッチング素子SW1がターンオンされ、キャパシタ C_{eq1} に充電されたゲートオン電圧(V_{on})がキャパシタCP1に充電される。

【0086】

このとき、キャパシタCP1が時間 t_2 に完全に充電された場合、充電時間 t_3 は時間 t_1 と時間 t_2 の差であり、これは次式(2)により求めることができる。

【0087】

$$t_3 = CP1 \times V_{on} / I_2 \quad \dots (2)$$

【0088】

ここで、 I_2 はキャパシタ C_{eq1} からキャパシタCP1に流れる電流を示す。

【0089】

このとき、式(1)と式(2)によれば、二つの電流 I_1 、 I_2 は同一電圧(V_{on})を伝達するので実質的に同一であり、よって、充電時間を決定するものは、二つのキャパシタの静電容量であることが分かる。ここで、二つの静電容量 C_{eq1} 、CP1の比が、例えば100:1である場合、時間 t_1 、 t_3 の比も100:1であることが分かる。ここで、静電容量 C_{eq1} 、 C_{eq2} と寄生容量CP1、CP2の比を調節することによって充電時間をさらに短縮することができる。

【0090】

また、ゲートオフ電圧(V_{off})の場合も式(1)及び式(2)と同様に算出することができる。

【0091】

このように、ゲート電圧生成部750と電圧線HL、LLの間にスイッチング素子SW1、SW2を設けることによって、充電時間を著しく短縮できることが分かる。

【0092】

例えば、スイッチング素子SW1、SW2がない場合、電圧線HL、LLの充電時間が時間 t_1 となる。電圧線HL、LLの寄生容量を考えれば、時間 t_1 より大きくなることができる。このとき、充電時間が長くなれば、高電圧線HLと低電圧線LLの間に接続されているダイオード部356には過渡電圧が印加される時間が長くなり、この過渡電圧は、ダイオードdi、djを介して分圧されてデータ線Dxに印加されることによって縦縞不良が発生する。即ち、充電時間が長くなれば、異常電圧がデータ線に誘起されることによって縦縞不良が発生する。

【0093】

しかし、本発明の実施形態によれば、スイッチング素子SW1、SW2をゲート電圧生成部750と電圧線HL、LLの間に配置し、完全に充電された後、これを電圧線HL、LLに印加することにより、前述した充電時間を略1/100以上に短縮することができる。即ち、電圧線HL、LLに異常電圧が誘起される時間を大幅に減少することで、縦縞不良が発生する可能性を顕著に低減させる。

【0094】

以上、本発明の好適な実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0095】

【図1】本発明の一実施形態による液晶表示装置の概略図である。

【図2】本発明の一実施形態による液晶表示装置のブロック図である。

【図3】本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【図４】図１に示した主表示板部のブロック図である。

【図５】図４に示した主表示板の一部の拡大図である。

【図６】本発明の一実施形態による液晶表示装置の駆動装置の等価回路図である。

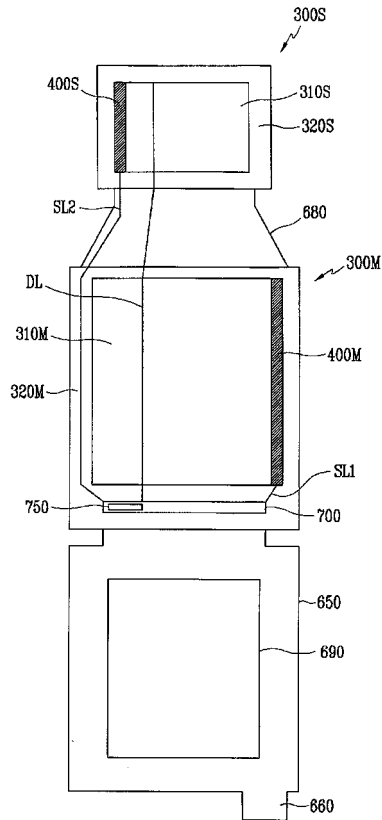
【図７】本発明の一実施形態による液晶表示装置の駆動装置におけるゲートオン電圧及びスイッチング制御信号のタイミング図である。

【符号の説明】

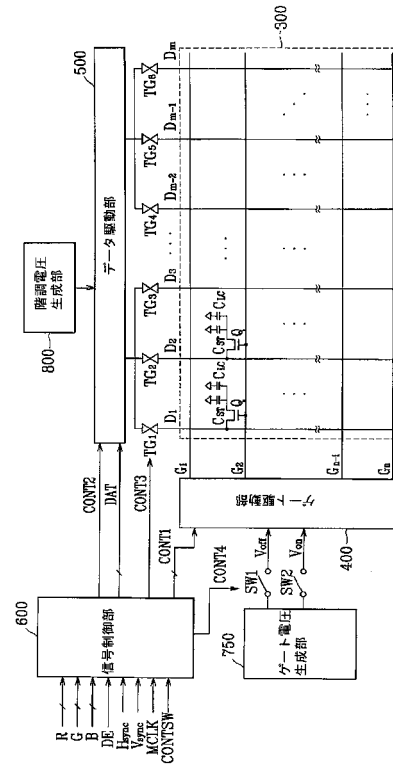
【００９６】

３００、３００Ｍ、３００Ｓ	表示板部	
４００、４００Ｍ、４００Ｓ	ゲート駆動部	
５００	データ駆動部	10
６００	信号制御部	
６５０	F P C	
６６０	連結部	
６８０	補助 F P C	
６９０	開口部	
７００	統合チップ	
７５０	ゲート電圧生成部	
７５１	ゲートオン電圧生成部	
７５２	ゲートオフ電圧生成部	
８００	階調電圧生成部	20
３	液晶層	
１００	下部表示板	
２００	上部表示板	
１９０	画素電極	
２３０	カラーフィルタ	
２７０	共通電極	
３１、３１ａ、３１ｂ、H L	高電圧線	
３２、３２ａ、３２ｂ、L L	低電圧線	
３５、３６	ダイオード部	
T G	伝送ゲート	30
R、G、B	入力映像データ	
D E	データイネーブル信号	
M C L K	メインクロック	
H s y n c	水平同期信号	
V s y n c	垂直同期信号	
C O N T １	ゲート制御信号	
C O N T ２	データ制御信号	
D A T	出力映像データ	
C L C	液晶キャパシタ	
C S T	ストレージキャパシタ	40
Q	スイッチング素子	

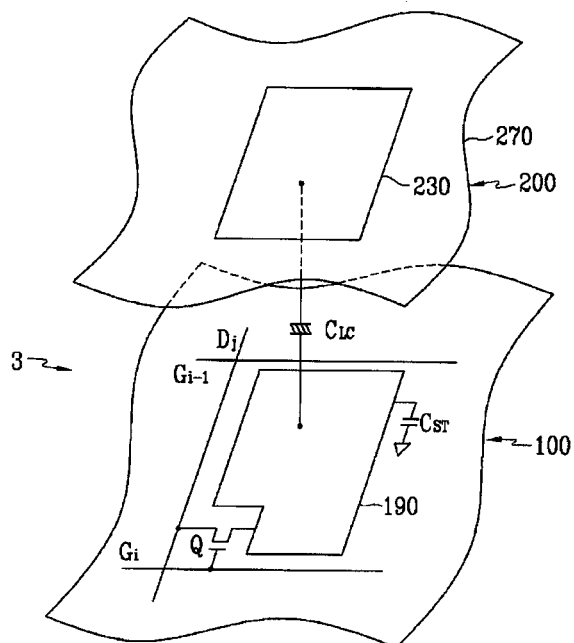
【図 1】



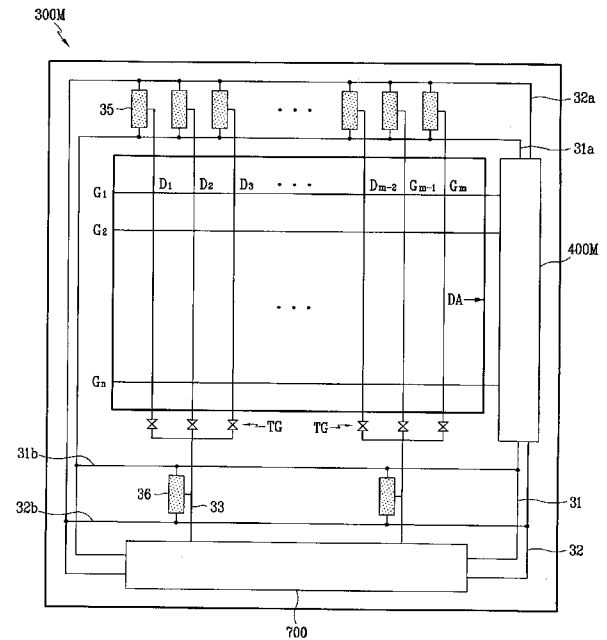
【図 2】



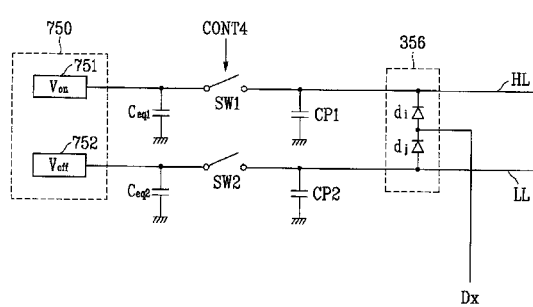
【図 3】



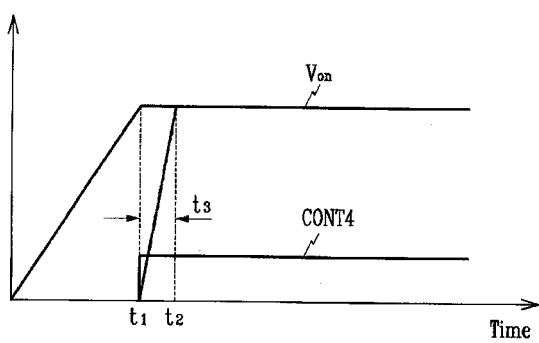
【図 4】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 3 R

G 0 9 G 3/20 6 2 1 M

G 0 9 G 3/20 6 8 0 G

(72)発明者 朴 根 佑

大韓民国ソウル市江南区道谷2洞 開浦韓信アパート5棟901号

(72)発明者 李 相 勳

大韓民国ソウル市松坡区三田洞43-12番地 エイスビル502号

(72)発明者 崔 弼 模

大韓民国ソウル市冠岳区奉天11洞 1651-3番地103号

(72)発明者 金 雄 植

大韓民国京畿道水原市靈通区網浦洞 ヌルプルン碧山アパート116棟1704号

審査官 佐野 潤一

(56)参考文献 特開2003-308050 (JP, A)

特開2001-022326 (JP, A)

特開平10-098870 (JP, A)

特開平11-272237 (JP, A)

特開2003-29296 (JP, A)

特開2003-84304 (JP, A)

特開2000-214491 (JP, A)

特開平7-159754 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3/36

G 0 9 G 3/20

专利名称(译)	用于液晶显示装置的驱动装置和具有该驱动装置的液晶显示装置		
公开(公告)号	JP5255751B2	公开(公告)日	2013-08-07
申请号	JP2006024887	申请日	2006-02-01
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	宋錫天 朴根佑 李相勳 崔弼模 金雄植		
发明人	宋錫天 朴根佑 李相勳 崔弼模 金雄植		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3696 G09G3/3677 G09G2320/0233 G09G2330/06		
FI分类号	G09G3/36 G09G3/20.670.D G09G3/20.642.A G09G3/20.622.G G09G3/20.612.E G09G3/20.623.R G09G3/20.621.M G09G3/20.680.G G02F1/133.550 G02F1/1368		
F-TERM分类号	2H092/GA60 2H092/GA64 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB61 2H092/JB79 2H092/NA01 2H092/NA25 2H092/PA06 2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA43 2H093/NA51 2H093/NC10 2H093/NC12 2H093/NC16 2H093/NC21 2H093/NC34 2H093/NC35 2H093/NC36 2H093/ND15 2H093/ND60 2H192/AA24 2H192/AA63 2H192/BB01 2H192/DA12 2H192/DA72 2H192/DA82 2H192/EA32 2H192/EA42 2H192/EA43 2H192/FB02 2H192/FB22 2H192/FB43 2H192/GA15 2H192/JA32 2H193/ZA04 2H193/ZA08 2H193/ZC02 2H193/ZC15 2H193/ZD21 2H193/ZF22 2H193/ZF36 5C006/AF67 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF37 5C006/BF42 5C006/EB05 5C006/FA14 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD08 5C080/DD19 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK47		
审查员(译)	佐野纯一		
优先权	1020050009507 2005-02-02 KR		
其他公开文献	JP2006215562A		
外部链接	Espacenet		

摘要(译)

一种能够解决垂直条纹缺陷或水平条纹缺陷的液晶显示装置的驱动装置和包括该驱动装置的液晶显示装置。 一种液晶显示装置的驱动装置，具有用于传输栅极电压的电压线（HL，LL），产生栅极电压的栅极电压产生单元（750），栅极电压产生单元和位于电压线之间的开关单元（SW1，SW2）和用于产生用于控制开关单元的控制信号的信号控制单元，该开关单元具有栅极电压达到正常状态它将在稍后进行。[选图]图6

