

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5239073号
(P5239073)

(45) 発行日 平成25年7月17日(2013.7.17)

(24) 登録日 平成25年4月12日(2013.4.12)

(51) Int.Cl.

F I

G09G	3/20	(2006.01)	G09G	3/20	621D
G02F	1/133	(2006.01)	G02F	1/133	550
G02F	1/1368	(2006.01)	G02F	1/1368	
G09G	3/36	(2006.01)	G09G	3/20	624B
			G09G	3/36	

請求項の数 6 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2008-25076 (P2008-25076)
 (22) 出願日 平成20年2月5日(2008.2.5)
 (65) 公開番号 特開2008-197647 (P2008-197647A)
 (43) 公開日 平成20年8月28日(2008.8.28)
 審査請求日 平成23年2月1日(2011.2.1)
 (31) 優先権主張番号 10-2007-0013642
 (32) 優先日 平成19年2月9日(2007.2.9)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City,
 Gyeonggi-Do, Korea
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 李 在 植
 大韓民国京畿道水原市八達区池洞472-3

最終頁に続く

(54) 【発明の名称】 液晶表示パネル

(57) 【特許請求の範囲】

【請求項1】

複数のゲートラインと、
 複数のメインデータラインと、
 前記メインデータライン及び前記ゲートラインと電気的に接続されるメインスイッチング素子と、
 前記メインスイッチング素子に電気的に接続される複数の液晶キャパシタと、
 外部から提供される部分駆動信号を伝達する複数の部分ゲートラインと、
 データ信号を伝達する複数の部分データラインと、
 前記部分駆動信号にตอบสนองしてターンオンし、前記メインスイッチング素子のターンオン
 によって、前記データ信号を前記部分データラインを経由してメモリに供給し、該メモリ
 に保存された前記データ信号を前記液晶キャパシタに供給する部分スイッチング素子とを
 有することを特徴とする液晶表示パネル。

【請求項2】

前記ゲートラインと前記メインデータラインは表示部を定義し、
 前記表示部は、メイン画面と、該メイン画面の一部と重なった部分画面とを含むことを
 特徴とする請求項1に記載の液晶表示パネル。

【請求項3】

前記部分ゲートラインは、前記部分画面に対応して形成されることを特徴とする請求項
 2に記載の液晶表示パネル。

10

20

【請求項 4】

前記部分ゲートラインは、前記部分画面に対応して形成されたすべての部分スイッチング素子と電氣的に接続されることを特徴とする請求項 3 に記載の液晶表示パネル。

【請求項 5】

前記部分画面に対応して形成された部分データラインは、隣接する部分データラインと共通接続されることを特徴とする請求項 2 に記載の液晶表示パネル。

【請求項 6】

表示領域の周辺領域に配置されるメモリと、

前記表示領域に形成されて全体画面モード時に活性化し、部分画面モード時に不活性化するメイン画面及び該メイン画面の一部と重なって全体画面モード時に活性化され、部分画面モード時に前記メモリの制御にตอบสนองして活性化する部分画面を含む表示部と、を有し

10

前記表示部は、

複数のゲートラインと、

前記ゲートラインと交差して、複数の画素領域を定義する複数のデータラインと、

前記部分画面に対応する領域に形成され、前記部分画面を定義する複数の部分ゲートラインと、

前記部分ゲートラインと交差する複数の部分データラインと、を含み、

前記メモリは、複数のメモリセルを含み、

前記メモリセルのそれぞれは、

20

少なくとも 2 つ以上の前記部分データラインと電氣的に接続され、

S R A M (s t a t i c r a n d o m a c c e s s m e m o r y) セルと、

前記部分データラインの 1 つと前記 S R A M セルとの間を電氣的に接続する第 1 スイッチと、

前記第 1 スイッチと一端を共通し、部分データラインの他の 1 つと前記 S R A M セルとの間を電氣的に接続する第 2 スイッチと、を含み、

前記第 1 及び第 2 スイッチのそれぞれは、

トランスマッションゲートを含み、

外部から供給される第 1 反転信号と、該第 1 反転信号と逆位相である第 2 反転信号にตอบสนองして交互にターンオンされ、

30

前記 S R A M セルにデータ信号が書き込まれるように制御することを特徴とする液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネルに関し、より詳細には実質的に増加したメイン表示領域を有しながらも消費電力を減少させることのできる液晶表示パネルに関する。

【背景技術】

【0002】

最近、移動通信端末機のような携帯電話の小さい画面でも中間階調表示や動画像表示（以下、通常表示という）が行われるようになってきている。このような使用形態において、待機時に低消費電力の静止画像を表示し、通話時にはフルカラーによる一般的な表示動作を行うことが要求されている。

40

【0003】

通常表示と静止画像表示との転換が可能であるように構成した場合には、ソース駆動部の他、S R A M (s t a t i c r a n d o m a c c e s s m e m o r y) ドライバが必要となるので、液晶表示装置の製造費用及び消費電力が増加する。

【0004】

一方、移動通信端末機に採用される液晶表示パネルはメイン表示領域と、メイン表示領域と区別される部分表示領域に区画される。部分表示領域には各種アイコンの画像が表示

50

される。アイコンは例えば、アンテナの受信感度を示すアイコン、振動モードの設定可否を示すアイコン、バッテリーの残量を示すアイコンなどを含む。

【0005】

しかし、前記メイン表示領域の一部が部分表示領域として用いられるため、実質的にメイン表示領域がサイズの的に減少するという問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【0006】

そこで、本発明は上記従来の液晶表示パネルにおける問題点に鑑みてなされたものであって、本発明の目的は、実質的に増加したメイン表示領域を有しながらも消費電力を減少させることのできる液晶表示パネルを提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するためになされた本発明による液晶表示パネルは、複数のゲートラインと、複数のメインデータラインと、前記メインデータライン及び前記ゲートラインと電気的に接続されるメインスイッチング素子と、前記メインスイッチング素子に電気的に接続される複数の液晶キャパシタと、外部から提供される部分駆動信号を伝達する複数の部分ゲートラインと、データ信号を伝達する複数の部分データラインと、前記部分駆動信号に
20 応答してターンオンし、前記メインスイッチング素子のターンオンによって、前記データ信号を前記部分データラインを経由してメモリに供給し、該メモリに保存された前記データ信号を前記液晶キャパシタに供給する部分スイッチング素子とを有することを特徴とする。

【0008】

前記ゲートラインと前記メインデータラインは表示部を定義し、前記表示部は、メイン画面と、該メイン画面の一部と重なった部分画面とを含むことが好ましい。

前記部分ゲートラインは、前記部分画面に対応して形成されることが好ましい。

前記部分ゲートラインは、前記部分画面に対応して形成されたすべての部分スイッチング素子と電気的に接続されることが好ましい。

前記部分画面に対応して形成された部分データラインは、隣接する部分データラインと共通接続されることが好ましい。

【0009】

また、上記目的を達成するためになされた本発明による液晶表示パネルは、表示領域の周辺領域に配置されるメモリと、前記表示領域に形成されて全体画面モード時に活性化し、部分画面モード時に不活性化するメイン画面と、該メイン画面の一部と重なって全体画面モード時に活性化され、部分画面モード時に前記メモリの制御に
40 応答して活性化する部分画面を含む表示部とを有し、前記表示部は、複数のゲートラインと、前記ゲートラインと交差して、複数の画素領域を定義する複数のデータラインと、前記部分画面に対応する領域に形成され、前記部分画面を定義する複数の部分ゲートラインと、前記部分ゲートラインと交差する複数の部分データラインと、を含み、前記メモリは、複数のメモリセルを含み、前記メモリセルのそれぞれは、少なくとも2つ以上の前記部分データラインと電気的に接続され、SRAM (static random access memory) セルと、前記部分データラインの1つと前記SRAMセルとの間を電気的に接続する第1スイッチと、前記第1スイッチと一端を共通し、部分データラインの他の1つと前記SRAMセルとの間を電気的に接続する第2スイッチと、を含み、前記第1及び第2スイッチのそれぞれは、トランスマッションゲートを含み、外部から供給される第1反転信号と、該第1反転信号と逆位相である第2反転信号に
50 応答して交互にターンオンされ、前記SRAMセルにデータ信号が書き込まれるように制御することを特徴とする。

【発明の効果】

【0014】

本発明に係る液晶表示パネル及びこれを有する液晶表示装置によれば、メモリが液晶表

示パネルの表示領域を囲む周辺領域に配置され、表示領域にはメイン画面と、メイン画面の一部に重なった部分画面が定義され、表示領域にはマトリクス形態で配列された複数のメインスイッチング素子が形成され、部分画面モード時、メイン画面に形成されたメインスイッチング素子は非活性化し、部分画面に形成された部分スイッチング素子は活性化し、全体画面モード時、メイン画面及び部分画面に形成されたメインスイッチング素子は活性化して一般的な表示動作が行われる。このように、全体画面モード時、部分画面に対応する領域まで表示領域に活用される。したがって、メイン画面とメイン画面と重なった部分画面が定義されるので、実質的にメイン画面領域が増加するという効果がある。

【0015】

また、表示領域を囲む周辺領域に配置されたメモリが部分画面モードを具現するので、液晶表示装置の消費電力を減少させることができ、液晶表示装置の製造コストと重さなどを低減することができるという効果がある。

【発明を実施するための最良の形態】

【0016】

次に、本発明に係る液晶表示パネル及びこれを有する液晶表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。

【0017】

図1は、本発明の一実施形態による液晶表示装置のブロック図である。

図1を参照すると、本発明の一実施形態による液晶表示装置100は、ゲート駆動部110、ソース駆動部120、液晶表示パネル130、メモリ140、及び可撓性印刷回路基板150を含む。

【0018】

ゲート駆動部110は、複数のゲート信号を液晶表示パネル130に出力する。

ソース駆動部120は、複数のデータ信号を液晶表示パネル130に出力する。

【0019】

液晶表示パネル130は、第1基板132と第1基板132と向い合う第2基板134と、第1基板132と第2基板134との間に介在する液晶層(図示せず)を含む。

第1基板132は、表示部に対応する表示領域(DA)と、表示領域(DA)を囲む第1、第2、及び第3周辺領域(PA1、PA2、PA3)を含む。

【0020】

表示領域(DA)には、複数のゲートラインとゲートラインと交差する複数のデータラインが形成される。

【0021】

互いに隣接するゲートラインと互いに隣接するデータラインは複数の画素部を定義する。各画素部は、非晶質シリコン薄膜トランジスタ(a-SiTFT)と、非晶質シリコン薄膜トランジスタと電氣的に接続された液晶キャパシタ(CLC)と、液晶キャパシタ(CLC)と電氣的に接続されたストレージキャパシタを含む。

【0022】

表示領域(DA)は、メイン画面(MS)と、メイン画面(MS)の一部と重なった部分画面(PS)を含む。全体画面モード時、メイン画面(MS)は活性化し、表示領域(DA)全体をカバーする。部分画面モード時、部分画面(PS)は活性化し、部分画面(PS)を除いた残りの領域は不活性化する。

【0023】

第1周辺領域(PA1)にはゲート駆動部110が形成され、ゲートラインにゲート信号を出力する。例えば、ゲート駆動部110は非晶質シリコン薄膜トランジスタ(a-SiTFT)を含む。

【0024】

第2周辺領域(PA2)には、ソース駆動部120が配置される。ソース駆動部120はデータラインにソース信号を出力する。ソース駆動部120は第1基板132に集積されるかチップの形態に実装される。ソース駆動部120はn型非晶質シリコン薄膜トラン

10

20

30

40

50

ジスタ (n T F T) と p 型非晶質シリコン薄膜トランジスタ (p T F T) を含む。

【 0 0 2 5 】

第 3 周辺領域 (P A 3) にはメモリ 1 4 0 が配置される。メモリ 1 4 0 は、部分画面モード時、ソース駆動部 1 2 0 から供給されるデータ信号を保存し、保存されたデータ信号を部分画面 (P S) に供給して部分画面を活性化する。メモリ 1 4 0 は、全体画面モード時、不活性化する。

【 0 0 2 6 】

可撓性印刷回路基板 1 5 0 は、液晶表示パネル 1 3 0 と電氣的に接続され、外部から供給された画像信号及び各種駆動信号をソース駆動部 1 2 0 に伝達する。

【 0 0 2 7 】

図 2 は、図 1 に示した表示部の部分等価回路図である。

図 1 及び図 2 を参照すると、表示領域 (D A) に対応する表示部は、複数のメインゲートライン (G L M 1、G L M 2、...、G L M n - 2、G L M n - 1、G L M n)、複数のメインデータライン (D L M 1、D L M 2、...、D L M m)、複数のメインスイッチング素子 (Q M)、複数の液晶キャパシタ (C L C)、複数の部分ゲートライン (G L P 1、G L P 2、...)、複数の部分データライン (D L P 1、D L P 2、...)、複数の部分スイッチング素子 (Q P)、及びブリッジライン (B L 1、B L 2) を含む。表示部は、液晶キャパシタ (C L C) に電氣的に接続されたストレージキャパシタ (図示せず) を更に含む。

【 0 0 2 8 】

メインゲートライン (G L M 1、G L M 2、...、G L M n - 2、G L M n - 1、G L M n) は横方向に形成され、ゲート駆動部 1 1 0 から提供されるゲート信号をメインスイッチング素子 (Q M) に伝達する。

【 0 0 2 9 】

メインデータライン (D L M 1、D L M 2、...、D L M m) は、縦方向に形成され、ソース駆動部 1 2 0 から提供されるデータ信号をメインスイッチング素子 (Q M) を経由して液晶キャパシタ (C L C) に伝達する。

【 0 0 3 0 】

メインスイッチング素子 (Q M) は、互いに隣接するメインデータライン (D L M 1、D L M 2) の隣接する 1 つとメインゲートライン (G L M 1、G L M 2、...、G L M n - 2、G L M n - 1、G L M n) の隣接する 1 つに電氣的に接続される。

液晶キャパシタ (C L C) は一端がメインスイッチング素子 (Q M) に電氣的に接続され、他端が共通電極電圧 (V C O M) の供給を受ける。全体画面モード時、液晶キャパシタ (C L C) は、メインデータライン (D L M 1、D L M 2) とメインスイッチング素子 (Q M) を経由したデータ信号を充電する。部分画面モード時、液晶キャパシタ (C L C) は部分データライン (D L P 1、D L P 2、...) を通じて伝達されるデータ信号を充電する。

【 0 0 3 1 】

部分ゲートライン (G L P 1、G L P 2) は、外部から提供される部分駆動信号を部分スイッチング素子 (Q P) に伝達する。部分駆動信号は、部分駆動オン信号 (P A R T I A L O N) 及び部分駆動オフ信号 (P A R T I A L O F F) を含む。部分データライン (D L P 1、D L P 2) は、メインスイッチング素子 (Q M) を通じて伝達されるデータ信号をメモリ 1 4 0 に具備される単位メモリセル 1 4 2 に伝達し、単位メモリセル 1 4 2 に保存されたデータ信号を液晶キャパシタ (C L C) に提供する。

【 0 0 3 2 】

部分スイッチング素子 (Q P) は、互いに隣接する部分データライン (D L P 1、D L P 2、...) と互いに隣接する部分ゲートライン (G L P 1、G L P 2、...) によって定義される領域に形成される。

部分スイッチング素子 (Q P) は、部分駆動オン信号 (P A R T I A L O N) によってターンオンされ、メインスイッチング素子 (Q M) のターンオンによって、データ信号

10

20

30

40

50

を部分データライン(DLP1、DLP2、...)を經由して単位メモリセル142に供給する。メインスイッチング素子(QM)がターンオフされると、部分スイッチング素子(QP)は、単位メモリセル142に保存されたデータ信号を液晶キャパシタ(CLC)に供給する。

【0033】

ブリッジライン(BL1、BL2)は互いに隣接する部分データライン(DLP1、DLP2)を電氣的に接続する。これによって、少なくとも2つ以上の画素部(図2では(2×2)個の画素部)はグルーピングされ、1つの単位メモリセル142に電氣的に接続される。

【0034】

以上説明したように、メモリ140が液晶表示パネル130の表示領域(DA)を囲む第3周辺領域(PA3)に配置される。表示領域(DA)にはメイン画面(MS)とメイン画面(MS)の一部と重なった部分画面(PS)が定義される。

【0035】

図3は、部分画面モードを説明するための概念図である。

図2及び図3を参照すると、部分画面モード時、メイン画面(MS)に形成されたメインスイッチング素子(QM)は部分画面に対応するデータをメモリに書き込むために周期的に活性化させ、そして部分画面(PS)に形成された部分スイッチング素子(QP)が活性化される。それにより、メモリ140に書き込まれたデータ信号は、部分スイッチング素子(QP)に電氣的に接続された液晶キャパシタ(CLC)にホールドされるので、アイコン表示のような部分表示動作が行われる。

【0036】

図4は、全体画面モードを説明するための概念図である。

図2及び図4を参照すると、全体画面モードで、メモリ140は不活性化させる。しかし、ゲート駆動部110とソース駆動部120を活性化させるので、ソース駆動部120で出力されるデータ信号はメイン画面(MS)に対応する液晶キャパシタ(CLC)と部分画面(PS)に対応する液晶キャパシタ(CLC)に提供されて画像が表示される。

【0037】

図5は、本発明の一実施形態によるデータ信号の書き込み動作を説明するための概略回路図である。図6は本発明の一実施形態によるデータ信号のホールド動作を説明するための概略回路図である。

【0038】

図2及び図5を参照すると、部分画面モード時、ソース駆動部120から出力されるデータ信号はゲート駆動部110で出力されるゲート信号に応答して画素領域の対応する液晶キャパシタ(CLC)に充電される。

【0039】

ここで、外部からの部分駆動オン信号(PARTIAL ON)が印加されることによって、部分スイッチング素子(QP)はターンオンされ、ソース駆動部120で出力されるデータ信号は単位メモリセル142に書き込まれる。

【0040】

図2及び図6を参照すると、単位メモリセル142にデータ信号が書き込まれると、画像信号が変わらない期間、ゲート駆動部110とソース駆動部120は駆動せず、単位メモリセル142が直接液晶表示パネル130を駆動する。

【0041】

一方、全体画面モード時、正常駆動のようにゲート駆動部110とソース駆動部120とが液晶表示パネル130を駆動し、メイン画面(MS)と部分画面(PS)と両方とも表示領域に活用する。このとき、部分画面に対応して形成された部分ゲートラインに部分駆動オフ信号(PARTIAL OFF)が印加されると、正常的な液晶表示パネル130と同一の画素構造を有する。したがって、全体画面モードが可能である。

【0042】

10

20

30

40

50

図7は、ソース駆動部の複数の出力チャンネルと単位メモリセルに対応するデータ信号の書き込み動作を説明するための概略回路図である。

図7を参照すると、一つの単位メモリセル142と複数の画素部とが電氣的に接続されている。

【0043】

ソース駆動部120は複数の出力チャンネル(CH1~CH9)(121、122、123、...、129)を含む。部分画面モード時、出力チャンネル(121~129)から出力されるデータ信号はゲート駆動部110から出力されるゲート信号に应答して画素領域のそれぞれに対応する液晶キャパシタ(CLC)に充電される。

【0044】

ここで、外部からの部分駆動オン信号(PARTIAL ON)が印加されることによって、画素領域のそれぞれに対応する部分スイッチング素子(QP)はターンオンされ、ソース駆動部120で出力されるデータ信号は単位メモリセル142に書き込まれる。

【0045】

図8は、単位メモリセルの等価回路図である。図9は、単位メモリセルの動作を説明するための波形図である。

【0046】

図8を参照すると、単位メモリセル142は、第1スイッチ143、第2スイッチ144、及び第1及び第2スイッチ(143、144)に電氣的に接続されたSRAMセル145を含む。また、第1及び第2スイッチ(143、144)それぞれはトランスマッションゲートを含む。

【0047】

第1スイッチ143の一端は、部分データラインに電氣的に接続され、他端はSRAMセル145の一端に電氣的に接続され、外部から供給される第1反転信号(INV)及び第2反転信号(INV__B)に应答して後述のようなデータ信号の書き込みまたはデータ信号の出力のためのスイッチング動作を行う。

【0048】

第2スイッチ144の一端は、第1スイッチ143の一端と共通され、部分データラインに電氣的に接続され、他端はSRAMセル145の他端に電氣的に接続され、外部から供給される第1反転信号(INV)及び第2反転信号(INV__B)に应答して後述のようなデータ信号の書き込みまたはデータ信号の出力のためのスイッチング動作を行う。

【0049】

データ信号の書き込みのために、第1及び第2スイッチ(143、144)は、SRAMセル145にデータ信号を書き込むためのスイッチング動作を交互に行う。

【0050】

具体的には、“ハイ”レベルの第1反転信号(INV)と“ロー”レベルの第2反転信号(INV__B)が第1スイッチ143に入力されると、第1スイッチ143はターンオンされソース駆動部120から提供されるデータ信号はSRAMセル145に書き込まれる。一方、第2スイッチ144に“ハイ”レベルの第2反転信号(INV__B)と“ロー”レベルの第1反転信号(INV)が入力されると、第2スイッチ144はターンオンされ、ソース駆動部120から供給されるデータ信号はSRAMセル145に書き込まれる。

【0051】

データ信号の出力のために、第1及び第2スイッチ(143、144)はSRAMセル145に保存されたデータ信号を出力するためのスイッチング動作を交互に行う。

【0052】

具体的には、第1スイッチ143に“ハイ”レベルの第1反転信号(INV)と“ロー”レベルの第2反転信号(INV__B)が入力されると、第1スイッチ143はターンオンされ、SRAMセル145に書き込まれたデータ信号はソース駆動部120に出力される。一方、第2スイッチ144に“ハイ”レベルの第2反転信号(INV__B)と“ロー

10

20

30

40

50

”レベルの第1反転信号(INV)が入力されると、第2スイッチ144はターンオンされ、SRAMセル145に書き込まれたデータ信号はソース駆動部120に出力される。

【0053】

これによって、液晶表示パネル130の部分画面に対してもライン反転が達成される。

SRAMセル145は、第1インバータ146及び第1インバータ146とループ接続された第2インバータ147を含む。第1インバータ146の入力端は第1スイッチ143に接続され、出力端は第2スイッチ144に接続される。第2インバータ147の入力端は第2スイッチ144に接続され、出力端は第1スイッチ143に接続される。

【0054】

SRAMセル145は、第1及び第2スイッチ(143、144)のスイッチング動作に基づいて設定される経路と部分データラインを經由してソース駆動部120から出力されるデータ信号を保存する。また、SRAMセル145は、第1及び第2スイッチ(143、144)のスイッチング動作に基づいて設定された経路を通じて部分データライン及び部分スイッチング素子(QP)を經由して液晶キャパシタ(CLC)にデータ信号を供給する。

10

【0055】

図9を参照すると、水平同期信号(HSYNC)が活性化し、第1反転信号(INV)が“ロー”レベルから“ハイ”レベルに遷移することによって、共通電圧(VCOM)と対比して負極性を有するデータ信号が単位メモリセル142から出力される。

【0056】

20

具体的には、第1スイッチ143の非反転制御端に“ハイ”レベルの第1反転信号(INV)が印加され、反転制御端に“ロー”レベルの第2反転信号(INV__B)が印加されると、第1スイッチ143はターンオンされる。したがって、第2インバータ147と第1インバータ146との間に保存された信号は第1スイッチ143を經由して画素群に形成された液晶キャパシタに出力される。ここで、第2スイッチ144の非反転制御端に“ロー”レベルの第2反転信号(INV__B)が印加され、反転制御端に“ハイ”レベルの第1反転信号(INV)が印加されるので、第2スイッチ144はターンオフされる。

【0057】

第1スイッチ143を經由して負極性のデータ信号が液晶キャパシタに出力されるホールド区間のうち、液晶キャパシタに電氣的に接続されたデータラインを通じて新しいデータ信号が印加されると、新しいデータ信号は、第1スイッチ143を經由してSRAMセル145に書き込まれる。なぜなら、新しいデータ信号に対応する電流はSRAMセル145から出力されるデータ信号に対応する電流より大きいので、新しい信号はSRAMセル145に書き込むことができる。

30

【0058】

一方、水平同期信号(HSYNC)がもう一度活性化して、第1反転信号(INV)は“ハイ”レベルから“ロー”レベルに遷移することによって、共通電圧(VCOM)と対比して正極性を有するデータ信号が単位メモリセル142から出力される。

【0059】

具体的には、第2スイッチ144の非反転制御端に“ハイ”レベルの第2反転信号(INV__B)が印加され、反転制御端に“ロー”レベルの第1反転信号(INV)が印加されると、第2スイッチ144はターンオンされる。したがって、第1インバータ146と第2インバータ147との間に保存された信号は第2スイッチ144を經由して画素群に形成された液晶キャパシタに出力される。ここで、第1スイッチ143の非反転制御端に“ロー”レベルの第1反転信号(INV)が印加され、反転制御端に“ハイ”レベルの第2反転信号(INV__B)が印加されるので、第1スイッチ143はターンオフされる。

40

【0060】

第2スイッチ144を經由して正極性のデータ信号が液晶キャパシタに出力されるホールド区間のうち、液晶キャパシタに電氣的に接続されたデータラインを通じて新しいデータ信号が印加されると、新しいデータ信号は第2スイッチ144を經由してSRAMセル

50

145に書き込まれる。なぜなら、新しいデータ信号に対応する電流はSRAMセル145で出力されるデータ信号に対応する電流より大きいので、新しいデータ信号はSRAMセル145に書き込むことができる。

【0061】

図10及び図11は、図1に示した部分画面に対応する液晶表示パネルを説明するための部分等価回路図である。

図1、図10、及び図11を参照すると、部分画面に対応する液晶表示パネル130において、マトリクス形状に配列された複数の部分スイッチング素子(QP)は、所定の数でグルーピングされ、グルーピングされた部分スイッチング素子(QP)は電氣的に接続される。本実施形態では、グルーピングされた部分スイッチング素子(QP)は(3×3)個である。グルーピングされた部分スイッチング素子は画素群を定義する。

10

【0062】

図10及び図11で、第1～第3メインゲートライン(G11、G12、G13)と第1～第3メインデータライン(S11、S12、S13)によって定義される9個のピクセル(P11、P12、P13、P14、P15、P16、P17、P18、P19)は第1画素群を定義する。第1～第3メインゲートライン(G11、G12、G13)と第4～第6メインデータライン(S21、S22、S23)によって定義される9個のピクセル(P21、P22、P23、P24、P25、P26、P27、P28、P29)は第2画素群を定義する。第1画素群と第2画素群とはメインゲートラインの方向に隣接するように配置される。

20

【0063】

第4～第6メインゲートライン(G21、G22、G23)と第1～第3メインデータライン(S11、S12、S13)によって定義される9個のピクセル(P41、P42、P43、P44、P45、P46、P47、P48、P49)は第3画素群を定義する。第4～第6メインゲートライン(G21、G22、G23)と第4～第6メインデータライン(S21、S22、S23)によって定義される9つのピクセル(P51、P52、P53、P54、P55、P56、P57、P58、P59)は第4画素群を定義する。第3画素群と第4画素群はメインゲートライン方向に隣接するように配置される。

【0064】

ブリッジライン(BL)は、部分ゲート(GLP)と平行に形成され、互いに隣接する部分データライン(DLP)を電氣的に接続する。ブリッジライン(BL)は、ロー(row)方向に配列された部分スイッチング素子(QP)を電氣的に接続する。

30

【0065】

図12及び図13は、図10及び図11に示した部分画面モードの動作の一例を説明するための波形図である。特に、ライン反転方式による部分画面モードの動作を説明する。

【0066】

図10～図13を参照すると、第1～第3メインゲートライン(G11、G12、G13)のいずれかがオンされる区間は「A」区間に定義し、第4～第6メインゲートライン(G21、G22、G23)のいずれかがオンされる区間は「B」区間に定義する。

【0067】

「A」区間期間、ソース駆動部120は、第1、第2、及び第3メインデータライン(S11、S12、S13)のそれぞれに共通電圧(VCOM)と対比して正極性の第1データ信号を提供する。

40

【0068】

「B」区間のうち、ソース駆動部120は、第4、第5、及び第6メインデータライン(S21、S22、S23)それぞれに共通電圧(VCOM)と対比して正極性の第2データ信号を提供する。本実施形態で、第1データ信号のレベルは第2データ信号のレベルより大きい。例えば、第1データ信号は6Vであり、第2データ信号は4Vである。

【0069】

本実施形態で、共通電圧(VCOM)は、「A」区間期間、相対的に低いレベルを有し

50

、「B」区間期間、相対的に高いレベルを有する。例えば、相対的に低いレベルの共通電圧（VCOM）は3Vであり、相対的に高いレベルの共通電圧（VCOM）は7Vである。

【0070】

「A」区間の間、第1～第3データライン（S11、S12、S13）に印加される第1データ信号は第1画素群（P11～P19）に印加され、第4～第6データライン（S21、S22、S23）に印加される第2データ信号は第2画素群（P21～P29）に印加される。

【0071】

ここで、共通電圧（VCOM）は相対的に低いレベルを有するので、第1画素群（P11～P19）に充電されるデータ信号の極性は共通電圧（VCOMと対比して正極性を有する。例えば、共通電圧（VCOM）が3Vであり、第1画素群（P11～P19）に充電されるデータ信号は6Vであるので、第1画素群（P11～P19）に充電されるデータ信号は共通電圧（VCOM）と対比して正極性を有する。

10

【0072】

また、第2画素群（P21～P29）に充電されるデータ信号の極性は共通電圧（VCOM）と対比して正極性を有する。例えば、共通電圧（VCOM）が3Vであり、第2画素群（P21～P29）に充電されるデータ信号が4Vであるので、第2画素群（P21～P29）に充電されるデータ信号は共通電圧（VCOM）と対比して正極性を有する。

【0073】

「B」区間期間、第1～第3データライン（S11、S12、S13）に印加される第1データ信号は第3画素群（P41～P49）に印加され、第4～第6データライン（S21、S22、S23）に印加される第2データ信号は第4画素群（P51～P59）に印加される。

20

【0074】

ここで、共通電圧（VCOM）は相対的に高いレベルを有するので、第3画素群（P41～P49）に充電されるデータ信号の極性は共通電圧（VCOM）と対比して負極性を有する。例えば、共通電圧が7Vであり、第3画素群（P41～P49）に充電されるデータ信号は6Vであるので、第3画素群（P41～P49）に充電されるデータ信号は共通電圧（VCOM）と対比して負極性を有する。

30

【0075】

また、第4画素群（P51～P59）に充電されるデータ信号の極性は共通電圧（VCOM）と対比して負極性を有する。例えば、共通電圧（VCOM）が7Vであり、第4画素群（P51～P59）に充電されるデータ信号が4Vであるので、第4画素群（P51～P59）に充電されるデータ信号は共通電圧（VCOM）と対比して負極性を有する。

【0076】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0077】

【図1】本発明の一実施形態による液晶表示装置を説明するブロック図である

40

【図2】図1に示した表示部の部分等価回路図である。

【図3】部分画面モードを説明するための概念図である。

【図4】全体画面モードを説明するための概念図である。

【図5】本発明の一実施形態によるデータ信号の書き込み動作を説明するための概略回路図である。

【図6】本発明の一実施形態によるデータ信号のホールド動作を説明するための概略回路図である。

【図7】ソース駆動部の複数の出力チャンネルと単位メモリセルに対応するデータ信号の書き込み動作を説明するための概略回路図である。

50

【図8】単位メモリセルの等価回路図である。

【図9】単位メモリセルの動作を説明するための波形図である。

【図10】図1に示した部分画面に対応する液晶表示パネルを説明するための部分等価回路図である。

【図11】図1に示した部分画面に対応する液晶表示パネルを説明するための部分等価回路図である。

【図12】図10及び図11に示した部分画面モードの動作を説明するための部分波形図である。

【図13】図10及び図11に示した部分画面モードの動作を説明するための部分波形図である。

10

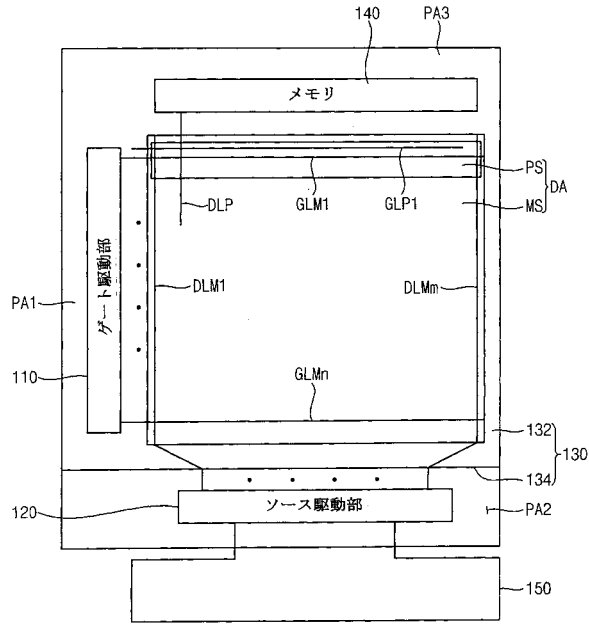
【符号の説明】

【0078】

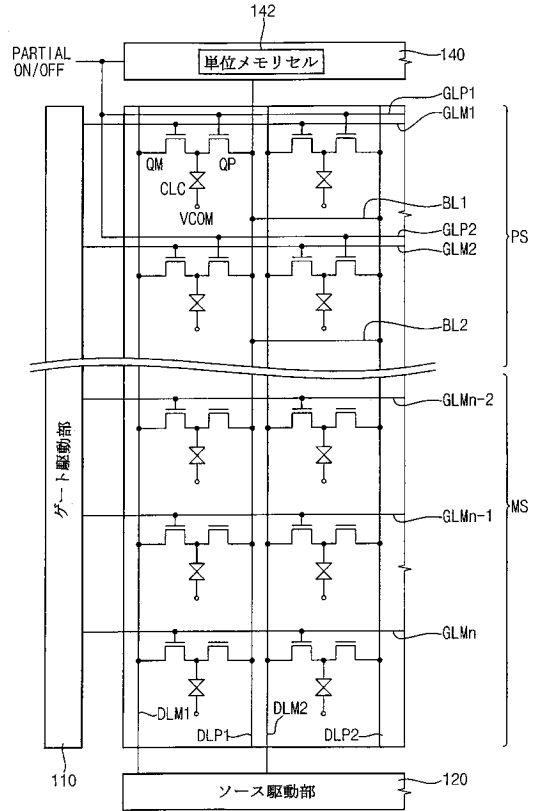
100	液晶表示装置
110	ゲート駆動部
120	ソース駆動部
130	液晶表示パネル
132	第1基板
134	第2基板
140	メモリ
142	単位メモリセル
143	第1スイッチ
144	第2スイッチ
145	S R A Mセル
146	第1インバータ
147	第2インバータ
150	可撓性印刷回路基板

20

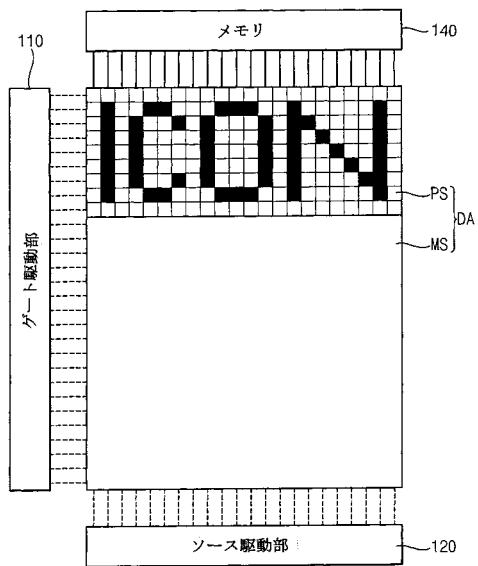
【図1】



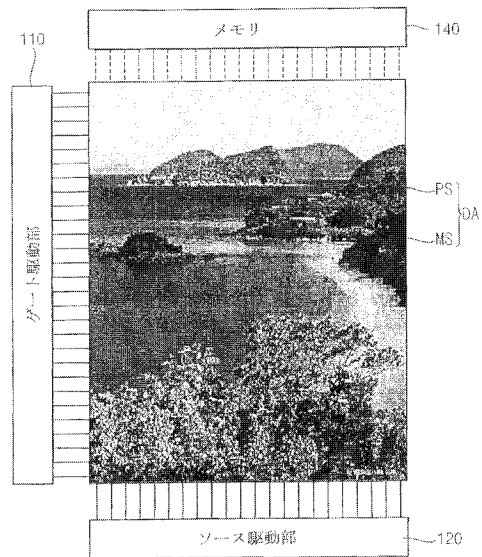
【図2】



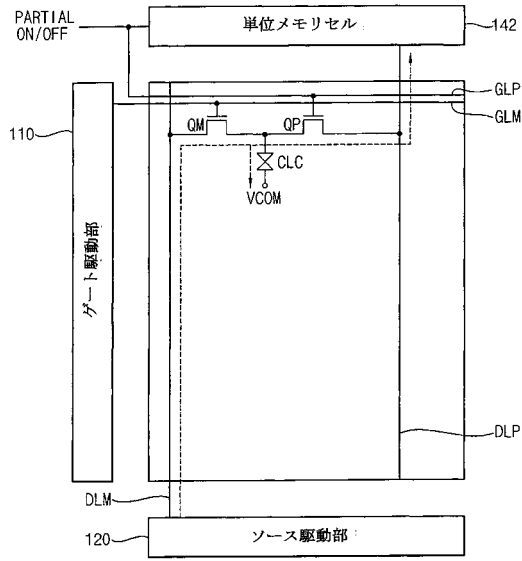
【図3】



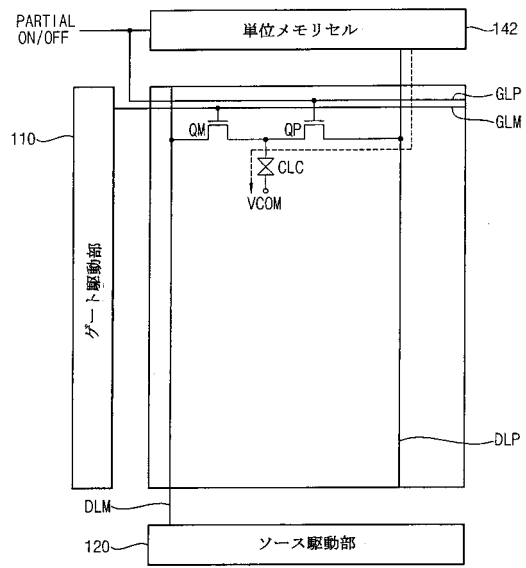
【図4】



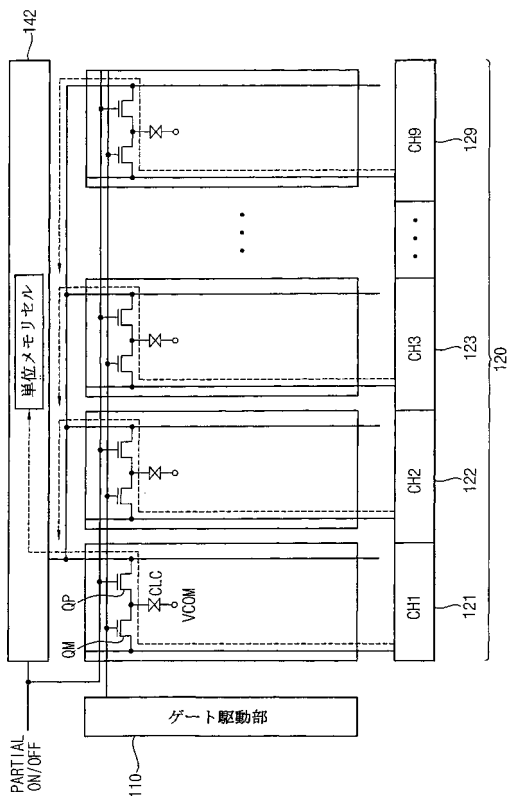
【図5】



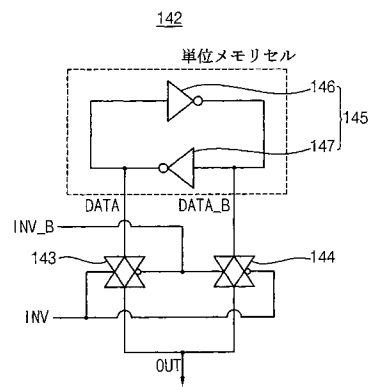
【図6】



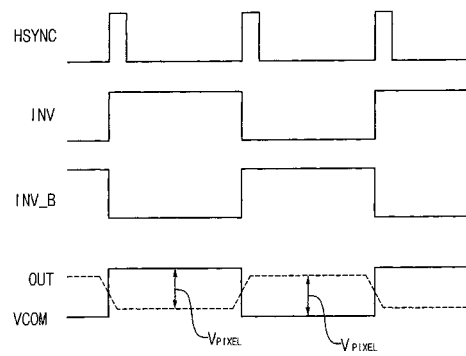
【図7】



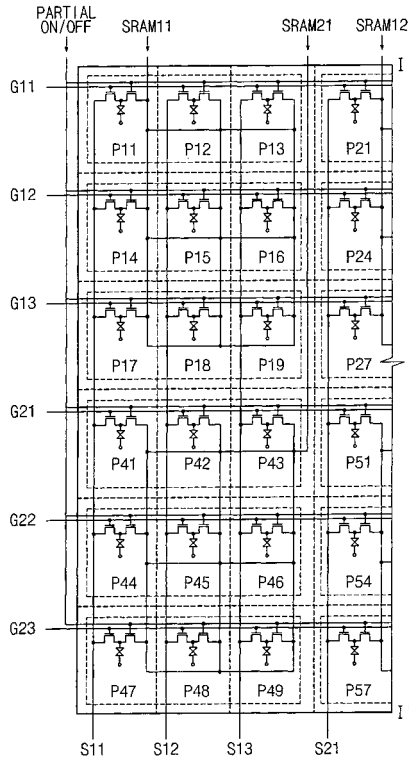
【図8】



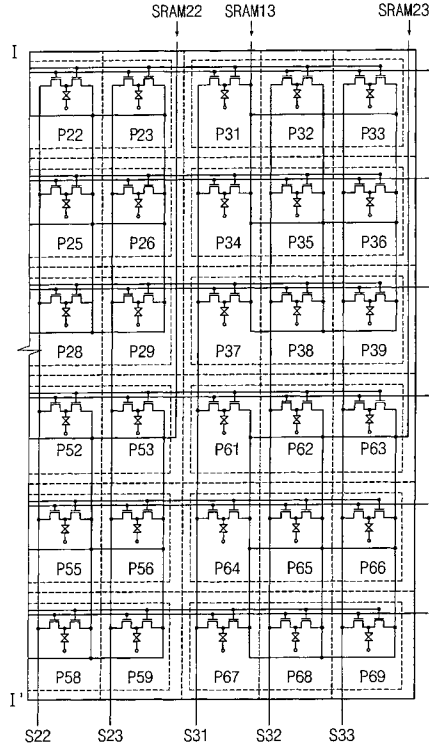
【図9】



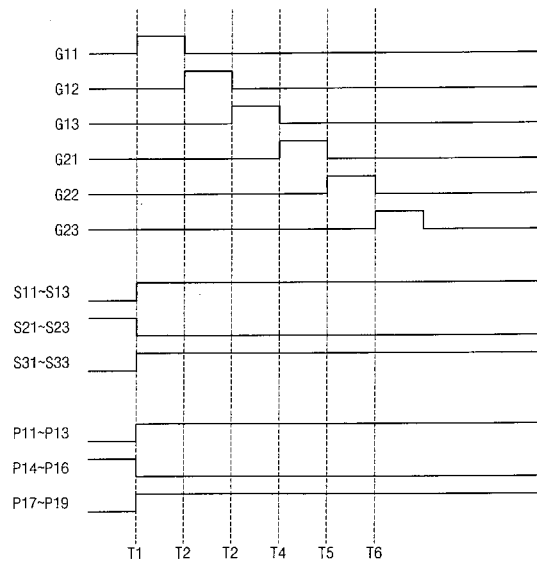
【図10】



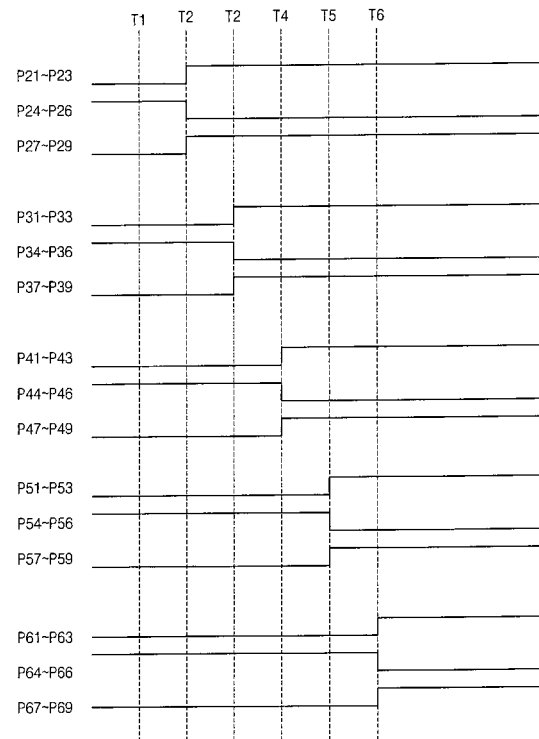
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 1 E
G 0 9 G 3/20 6 8 0 G
G 0 9 G 3/20 6 2 1 K
G 0 9 G 3/20 6 3 1 Q
G 0 9 G 3/20 6 2 2 K
G 0 9 G 3/20 6 2 3 V
G 0 9 G 3/20 6 1 1 A

(72)発明者 金 一 坤
大韓民国ソウル特別市銅雀区上道洞 4 3 1 番地来美安上道 3 次 3 2 7 棟 8 0 3 号

(72)発明者 金 哲 民
大韓民国ソウル特別市江南区大峙 2 洞銀馬アパート 2 7 棟 6 0 7 号

審査官 中村 直行

(56)参考文献 特開 2 0 0 2 - 2 9 7 1 0 6 (J P , A)
特開 2 0 0 4 - 0 4 5 7 4 8 (J P , A)
特開 2 0 0 6 - 0 8 4 8 4 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶显示面板		
公开(公告)号	JP5239073B2	公开(公告)日	2013-07-17
申请号	JP2008025076	申请日	2008-02-05
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	李在植 金一坤 金哲民		
发明人	李在植 金一坤 金哲民		
IPC分类号	G09G3/20 G02F1/133 G02F1/1368 G09G3/36		
CPC分类号	G09G3/3688 G09G3/3614 G09G3/3659 G09G2310/0281 G09G2330/021		
FI分类号	G09G3/20.621.D G02F1/133.550 G02F1/1368 G09G3/20.624.B G09G3/36 G09G3/20.621.E G09G3/20.680.G G09G3/20.621.K G09G3/20.631.Q G09G3/20.622.K G09G3/20.623.V G09G3/20.611.A		
F-TERM分类号	2H092/GA50 2H092/JA24 2H092/JB22 2H092/JB31 2H092/NA25 2H092/NA26 2H092/PA06 2H093/NA16 2H093/NA31 2H093/NA51 2H093/NC09 2H093/NC10 2H093/NC11 2H093/NC12 2H093/NC34 2H093/NC41 2H093/ND39 2H093/ND60 2H192/AA24 2H192/CB12 2H192/CC24 2H192/CC64 2H192/FB02 2H192/FB13 2H192/GD61 2H193/ZA04 2H193/ZA19 2H193/ZD21 2H193/ZF22 2H193/ZF36 5C006/AA02 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC25 5C006/AC27 5C006/AF03 5C006/AF04 5C006/AF05 5C006/AF06 5C006/AF27 5C006/AF31 5C006/AF38 5C006/AF42 5C006/AF43 5C006/AF69 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC22 5C006/BC23 5C006/BF02 5C006/BF24 5C006/BF25 5C006/BF27 5C006/FA04 5C006/FA05 5C006/FA16 5C006/FA47 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD21 5C080/DD26 5C080/EE02 5C080/EE17 5C080/EE26 5C080/EE27 5C080/EE30 5C080/FF11 5C080/FF13 5C080/GG13 5C080/GG15 5C080/GG17 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/KK07		
审查员(译)	中村直之		
优先权	1020070013642 2007-02-09 KR		
其他公开文献	JP2008197647A5 JP2008197647A		
外部链接	Espacenet		

摘要(译)

具有的液晶显示装置的液晶显示面板和同时具有基本主显示区域增加，这可以减小功率消耗。和多条栅极线，多条主数据线，主开关元件连接在所述主数据线和所述栅极线和电，其中多个电连接到主开关元件液晶电容器，多个用于传送从外部，多个用于传输数据信号的的部分的数据线提供的局部驱动信号的的部分的栅极线，并响应于局部驱动信号，所述主开关元件接通以及部分开关元件，其通过导通经由部分数据线将数据信号提供给存储器，并将存储在存储器中的数据信号提供给液晶电容器。点域1

【 図 1 】

