

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5085268号
(P5085268)

(45) 発行日 平成24年11月28日 (2012.11.28)

(24) 登録日 平成24年9月14日 (2012.9.14)

(51) Int.Cl.

F I

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 9 G 3/36

G 0 9 G 3/20 6 4 2 A

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 4 2 K

G 0 9 G 3/20 6 2 3 F

請求項の数 10 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2007-273085 (P2007-273085)
 (22) 出願日 平成19年10月19日 (2007.10.19)
 (65) 公開番号 特開2009-103766 (P2009-103766A)
 (43) 公開日 平成21年5月14日 (2009.5.14)
 審査請求日 平成22年5月14日 (2010.5.14)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 泉川 真規
 神奈川県川崎市中原区小杉町 1 丁目 4 0 3
 番 5 3 NEC マイクロシステム株式会社
 内
 (72) 発明者 久米田 誠之
 神奈川県川崎市中原区小杉町 1 丁目 4 0 3
 番 5 3 NEC マイクロシステム株式会社
 内

審査官 福村 拓

最終頁に続く

(54) 【発明の名称】 液晶表示装置とその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

(a) トリプルゲート構造を有する液晶パネルに画像を表示するためのデジタルデータを、液晶パネル駆動回路に供給するステップと、

(b) 前記液晶パネルが有する複数の画素の各々において一様の方向に並べられた所定数の副画素の各々に対する前記デジタルデータを、対応する階調電圧に変換するステップと、

(c) 前記液晶パネルの水平周期毎に、通電する走査線を切り換えるステップと、

(d) 前記通電された走査線に接続された前記所定数の副画素の各々に、前記変換された階調電圧を、複数の信号線のうち、前記所定数の副画素の各々に対応する信号線を介して印加するステップと

を具備し、

前記ステップ (b) において、同一の副画素に印加される前記階調電圧の極性は、前記画像の連続する 2 枚のフレームの間で反転し、

前記ステップ (c) は、

(c-1) 前記複数の画素の各々が有する前記副画素の所定数とは互いに素で 2 以上の一定数の隣接した副画素毎に、前記所定数の副画素の各々に前記階調電圧を印加するオペアンプの、前記階調電圧に対するオフセット電圧の極性を、反転するステップを具備し、

前記ステップ (c-1) における同じ極性のオフセット電圧が印加される前記隣接した副画素の数は、前記複数の画素の各々が有する前記副画素の所定数未満であり、

10

20

前記複数の画素の各々が有する前記所定数の副画素は、前記信号線の方に並んで配置されている

液晶表示装置駆動方法。

【請求項 2】

請求項 1 に記載の液晶表示装置駆動方法において、

前記ステップ (b) において、前記走査線の方に隣接する 2 つの前記副画素にそれぞれ印加される 2 つの前記階調電圧は、極性が互いに逆である

液晶表示装置駆動方法。

【請求項 3】

請求項 2 に記載の液晶表示装置駆動方法において、

前記ステップ (b) において、前記信号線の方に隣接する 2 つの前記副画素にそれぞれ印加される前記階調電圧は、極性が互いに逆である

液晶表示装置駆動方法。

【請求項 4】

請求項 1 ~ 3 のいずれかに記載の液晶表示装置駆動方法において、

前記複数の画素の各々が有する副画素の数は 3 であり、

前記ステップ (c - 1) において同じ極性のオフセット電圧が印加される前記隣接した副画素の数は 2 である

液晶表示装置駆動方法。

【請求項 5】

縦横に規則的に配置された複数の画素を有し、トリプルゲート構造を有する液晶パネルと、

前記液晶パネルを駆動する液晶パネル駆動回路とを具備し、

前記液晶パネルは、

互いに平行な複数の信号線と、

前記複数の信号線に直交し、互いに平行な複数の走査線とをさらに具備し、

前記複数の画素の各々は、特定の方向に並んで配置された所定数の副画素を具備し、

前記液晶パネル駆動回路は、

前記複数の走査線にそれぞれ接続され、水平周期毎に前記複数の走査線を順番に駆動する複数のゲートドライバと、

前記複数の信号線にそれぞれ接続されて、前記液晶パネルが画像を表示するためのデジタルデータを、前記所定数の副画素の各々に対応する階調電圧に変換する複数のソースドライバと、

前記所定数の副画素の各々について、前記画像の連続する 2 枚のフレーム間で、前記複数のソースドライバから出力される階調電圧の極性を反転するための極性切り換え部とを具備し、

前記複数のソースドライバの各々は、

前記信号線を介して前記所定数の副画素の各々に前記階調電圧を印加するためのオペアンプ

を具備し、

前記液晶パネル駆動回路は、

前記複数の画素の各々が有する前記所定数の副画素の数とは互いに素な一定数の隣接した副画素毎に、前記所定数の副画素の各々に前記階調電圧を印加する前記オペアンプの、前記階調電圧に対するオフセット電圧の極性を、反転するオフセットキャンセル制御回路をさらに具備し、

同じ極性のオフセット電圧が印加される前記隣接した副画素の数は、前記複数の画素の各々が有する前記所定数の副画素の数未満であり、

前記複数の画素の各々が有する前記所定数の副画素は、前記信号線の方に並んで配置

10

20

30

40

50

されている

液晶表示装置。

【請求項 6】

請求項 5 に記載の液晶表示装置において、

前記極性切り換え部はさらに、

前記走査線の方に隣接する 2 つの前記副画素にそれぞれ印加される前記階調電圧についても、互いに逆の極性を設定する

液晶表示装置。

【請求項 7】

請求項 6 に記載の液晶表示装置において、

前記極性切り換え部は、さらに、

前記信号線の方に隣接した 2 つの前記副画素間にそれぞれ印加される前記階調電圧についても、互いに逆の極性を設定する

液晶表示装置。

【請求項 8】

請求項 5 乃至 7 のいずれかに記載の液晶表示装置において、

前記複数の画素の各々が有する前記副画素の所定数は、3 であり、

前記オフセットキャンセル制御回路によって、同じ極性のオフセット電圧が印加される前記隣接した副画素の数は、2 である

液晶表示装置。

【請求項 9】

請求項 5 乃至 8 のいずれかに記載の液晶表示装置において、

前記複数のソースドライバは、

前記所定数の副画素に向けて正電圧を出力する複数の正極用ソースドライバと、

前記所定数の副画素に向けて負電圧を出力し、前記複数の正極用ソースドライバとそれぞれ対を成す、複数の負極用ソースドライバとを含み、

前記極性切り換え部は、

前記複数のソースドライバの前段に接続された入力側極性切り換えスイッチ群と、

前記複数のソースドライバの後段に接続された出力側極性切り換えスイッチ群と、

前記入力側極性切り換えスイッチ群と、前記出力側極性切り換えスイッチ群とを制御する極性切り換えスイッチ制御回路と

を具備し、

前記入力側極性切り換えスイッチ群と、前記出力側極性切り換えスイッチ群とは、前記極性切り換えスイッチ制御回路に制御されて、前記対を成す前記正極用ソースドライバと前記負極用ソースドライバとを回路的に入れ換える

液晶表示装置。

【請求項 10】

請求項 5 乃至 9 のいずれかに記載の液晶表示装置において、

前記複数のソースドライバは、

前記デジタルデータを保管するためのラッチ回路と、

前記ラッチ回路に接続されて、前記デジタルデータに所定の変換を行なうレベルシフト回路と、

前記レベルシフト回路に接続されて、変換後の前記デジタルデータに対応する前記階調電圧を前記オペアンプに向けて出力するデジタルアナログコンバータ回路と

をさらに具備し、

前記液晶パネル駆動回路は、

前記ラッチ回路と、前記極性切り換えスイッチ制御回路と、前記オフセットキャンセル制御回路とを制御するタイミングコントロール回路と、

前記複数のソースドライバにおける全てのデジタルアナログコンバータ回路を制御する

10

20

30

40

50

階調生成回路と
をさらに具備する

液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動方法に係り、特に、複数の副画素を組み合わせて1つの画素を表示する液晶表示装置の駆動方法に係る発明である。

【背景技術】

【0002】

従来技術による液晶表示装置について説明する。一般的なカラー液晶表示装置は、縦横に規則的に並べられた複数の画素を具備している。これらの画素がそれぞれ、様々な色相、明度、彩度を持つ色を表示することによって、カラー液晶表示装置は任意の画像を表示する。ここで、それぞれの画素は複数の副画素を具備しており、これら複数の副画素は一般的に3つであり、3つの副画素はそれぞれ光の三原色に対応する。以降、R(Red:赤)、G(Green:緑)、B(Blue:青)の3種類の副画素を具備するカラー液晶表示装置について説明する。

【0003】

一般的な液晶表示装置では、バックライトの光が各副画素の液晶と所定の色のフィルタとを透過することで、任意の画像が表示される。このとき、バックライトが透過する光量は、液晶の透過率に応じて変化し、液晶の透過率は液晶に印加される階調電圧の強弱によって変化する。液晶に印加される階調電圧の強弱は、例えばTFT(Thin Film Transistor:薄膜トランジスタ)などによって制御される。

【0004】

各副画素が1つずつ具備するTFTは、液晶表示装置全体でマトリックス状に接続されている。すなわち、例えば、横一列に並んだTFT同士は、ゲート電極同士が一本の導線で並列に接続される。同様に、縦一列に並んだTFT同士は、ソース電極同士が一本の導線で並列に接続される。ここで、一般的に、ゲート電極を接続する導線はゲート線または走査線などと呼ばれる。同様に、ソース電極を接続する導線はソース線または信号線などと呼ばれる。また、全TFTのドレイン電極は、液晶を介してコモン電極に接続されている。なお、この説明におけるソース電極とドレイン電極とは、TFTの極性に応じて適宜読み替えても良い。

【0005】

複数の信号線はお互いに平行であり、複数の走査線も同様にお互いに平行である。また、それぞれの信号線とそれぞれの走査線とは直角に交わり、信号線と走査線の交差点のそれぞれには1つのTFTすなわち1つの副画素が対応する。

【0006】

複数の走査線は、1つまたは複数のゲートドライバによって制御され、同時に1本の走査線だけが通電される。その一方で、複数の信号線は、1つまたは複数のソースドライバによって制御され、同時に全ての信号線が通電される。つまり、ある瞬間において、ソース電極とゲート電極が通電されて液晶の透過率が変化する副画素は、1本の走査線に接続された全ての副画素である。

【0007】

そこで、1つまたは複数のゲートドライバは、全ての走査線を順番に1本ずつ通電し、即ち走査する。この時、通電された走査線に接続された一列のTFTがオン状態になる。また、1つまたは複数のソースドライバは、1本の走査線が通電されている間に、全ての信号線を同時に通電する。この時、オン状態に成っている一列のTFTのうち、通電された信号線に接続されたそれぞれのTFTが、ソースドライバから給電された電圧を液晶に印加する。こうして、通電された走査線と信号線とに対応する副画素の液晶の透過率が決定し、その副画素の発色が決定する。

10

20

30

40

50

【 0 0 0 8 】

ここで、各画素における3つの副画素の配置に係る従来技術を説明する。

各画素において、3つの副画素を信号線の方に並べることによって、液晶パネルの製造コスト削減できることが知られている。こうすることで、液晶パネル全体で、走査線の本数を3倍にすることで、信号線の本数を1/3に削減出来る。ゲートドライバのコストを3倍しても、ソースドライバのコストを1/3に削減出来れば、液晶パネル全体のコストが削減される。この構造を、以降、トリプルゲート構造と呼ぶ。

【 0 0 0 9 】

図1は、トリプルゲート構造を用いた場合の液晶パネルにおける、副画素に係る配置図の一部の例である。縦軸は走査線の番号であり、横軸は信号線の番号である。実線は画素と画素との境を示し、破線は1つの画素における副画素同士の境を示す。走査線が横方向に走る液晶パネルにおいて、1つの画素において、3つの副画素R、G、Bは、縦方向に並んでいる。

10

【 0 0 1 0 】

図2は、トリプルゲート構造を用いた場合の液晶パネルにおける、1つの画素における回路図の例である。走査線G1～G4が横方向に平行に、信号線S1、S2が縦方向に平行に、それぞれ配置されている。3つの副画素R、G、Bには3つのトランジスタTのドレイン電極がそれぞれ接続されている。また、これらのトランジスタTのゲート電極には、走査線G1～G3がそれぞれ接続されている。さらに、これらのトランジスタTのソース電極には、信号線S1が接続されている。

20

【 0 0 1 1 】

図3は、液晶パネルを駆動するためのソースドライバとゲートドライバとが配置された液晶表示装置の構成図の例である。この例では、ソースドライバとゲートドライバとが、モバイル用にワンチップ化されている。

【 0 0 1 2 】

上記に関連して、特許文献1（特開平10-228263号公報）には、表示装置の駆動方法に係る発明が開示されている。

特許文献1発明の表示装置の駆動方法は、画素表示情報の1フレームを基本色数以上の数のフィールドに分割し、走査線を間引いて走査して各々のフィールド内で基本色を同一の割合で表示させることを特徴とする。ここで、駆動される表示装置は、複数の基本色を組み合わせて色を表示する画素が多数配列され、多数の走査線と多数の信号線とによって多数の画素がマトリクス駆動される。また、表示装置は、各信号線方向に沿って複数の基本色の組み合わせが繰り返し配列され、走査線の数、一信号線に沿って並ぶ対応する画素数と基本色数との乗算した数にされている。

30

なお、特許文献1発明における、走査線を間引いて走査する特徴は、一般的な液晶表示装置では用いられていない。

【 0 0 1 3 】

ここで、さらに低消費電力効果をもたらすカラム反転に係る従来技術を説明する。

一般的に、液晶は、直流電圧を長時間印加されると、焼き付きが生じてしまう。これを防ぐために、液晶に印加される階調電圧の極性を定期的に反転する技術が知られている。すなわち、液晶の両端におけるソース電極の電圧とコモン電極の電圧とを反転する技術が知られている。

40

【 0 0 1 4 】

図4は、ドット反転に係る従来技術を説明するための図である。それぞれのマスはR、G、Bの副画素を表す。また、それぞれのマスの中における「+」と「-」は、そのマスに対応する副画素に印加される電圧の極性が正か負かをそれぞれ表す。さらに、第mフレームにおける電圧の極性は、次の第m+1フレームでは逆転している。なお、図4において、1つの画素を構成する3つの副画素R、G、Bは、走査線と同じ横方向に並んでおり、上記に説明したトリプルゲート構造は用いられていない。

【 0 0 1 5 】

50

図4では、上下左右に隣接する2つの副画素はお互いに逆の極性の電圧が印加されている。このような場合をドット反転と呼ぶ。ドット反転では、一本の走査線が通電されている間に、信号線から印加される電圧の極性は副画素ごとに正負が入れ替わる。そこで、コモン電極の電圧が一定に保たれ、それぞれの副画素には一定のコモン電極電圧を基準に正負いずれかの電圧が印加される。

【0016】

図5は、カラム反転にかかわる従来技術を説明するための図である。図4同様、それぞれのマスはR、G、Bの副画素を表す。また、それぞれのマスの中における「+」と「-」は、そのマスに対応する副画素に印加される電圧の極性が正か負かをそれぞれ表す。さらに、第mフレームにおける電圧の極性は、次の第m+1フレームでは逆転している。

10

【0017】

図5では、上下に隣接する2つの副画素はお互いに同じ極性の電圧が印加されている。また、左右に隣接する2つの副画素はお互いに逆の極性の電圧が印加されている。このような場合をカラム反転と呼ぶ。

【0018】

ドット反転とカラム反転とを比較すると、一般的に、画質はドット反転の方が良く、消費電力はカラム反転の方が少ない。

【0019】

なお、上記に説明したトリプルゲート構造と、ドット反転またはカラム反転とに、技術的に排他的な要素は無く、同一の液晶表示装置に同時に適用可能である。

20

【0020】

上記に関連して、特許文献3（特開2005-345770号公報）には、液晶パネル駆動方法および液晶表示装置に係る発明が開示されている。

特許文献3発明の液晶パネル駆動方法は、液晶パネルを駆動する。ここで、液晶パネルは、それぞれが偶数本のデータ線からなる第1及び第2データ線組と、コモン電極の電位が一定に保たれる複数の画素とを備える。また、液晶パネル駆動方法は、(a)第1データ線組と第2データ線組とのそれぞれについて、データ線を時分割的に順次に選択するステップと、(b)選択されたデータ線にデータ信号を供給して、対応する画素にデータ信号を順次に書き込むステップとを備える。ここで、複数のデータ線が選択される順序と複数の画素のそれぞれに書き込まれるデータ信号の極性とは、第1データ線組のうちから選択されるデータ線に供給されるデータ信号の極性が第2データ線組のうちから選択されるデータ線に供給されるデータ信号の極性と異なるように決定されている。

30

【0021】

次に、オフセットキャンセル動作に係る従来技術を説明する。

ソースドライバの正負の電圧は、副画素ごとに異なる電圧を供給するために、オペアンプを介して信号線に供給される。しかし、実際のオペアンプには、多少のオフセット電圧が存在する。オフセット電圧は、オペアンプの出力目標電圧に加算される。副画素の発色は、液晶に印加されるオペアンプ出力電圧に対応するので、オフセット電圧の存在は発色の誤差をもたらす。

【0022】

40

さらに、複数のオペアンプは各々固有のオフセット電圧を持つ。すなわち、1枚の液晶表示パネルにおいて、全てのソースドライバにおけるオペアンプのオフセット電圧には、ばらつきが存在する。したがって、オペアンプのオフセット電圧は、液晶表示装置の画質に影響してしまう。

【0023】

この影響は同じ信号線に接続された一列の副画素全てに同様に及ぶので、液晶パネルの端から端またはその一部に渡る直線として現われるので、大変に目立ってしまう。これは液晶パネルの画質を大幅に劣化させてしまう。この問題を、ここでは「色線問題」と呼ぶことにする。

【0024】

50

なお、詳しくは後述するが、いわゆる市松模様においても色線問題が発生することが知られている。

【 0 0 2 5 】

ここで、オフセット電圧の具体的な作用について考える。オフセット電圧は、その絶対値も極性も一定である。オペアンプの出力目標電圧の極性が、オフセット電圧のそれと同じだった場合には、オペアンプの出力電圧の絶対値は目標値よりも高まる。したがって、対応する副画素は目標値より発色が強まる。反対に、オペアンプの出力目標電圧が、オフセット電圧のそれと逆極性だった場合には、オペアンプの出力電圧の絶対値は目標値よりも下がる。したがって、対応する副画素は目標値より発色が弱まる。このように、オペアンプの出力目標電圧の極性によって、オフセット電圧が副画素の発色に与える影響は正反対になる。

10

【 0 0 2 6 】

そこで、オペアンプのオフセット電圧による副画素の発色への影響を減少するために、目標値より強い発色と弱い発色とを混在させると良い。具体的には、目標値より強い発色と弱い発色とをそれぞれ有する複数の副画素を、空間的に混在させる。この動作を、以降、オフセットキャンセル動作と呼ぶ。

【 0 0 2 7 】

図6は、オフセットキャンセル動作が可能なオペアンプによる構成が採用された液晶表示装置の回路図の例である。この液晶表示装置は、インタフェース基板と、複数のドレインドライバと、複数のゲートドライバと、液晶パネルとを具備する。インタフェース基板は、表示データと、制御信号クロックと、ディスプレイタイミング信号と、水平同期信号と、垂直同期信号とを入力される。インタフェース基板は、表示制御装置と、電源回路とを具備する。表示制御装置は、全てのドレインドライバと全てのゲートドライバに画像信号を出力する。電源回路は、正電圧生成部と、負電圧生成部と、対向電極電圧生成部と、ゲート電極電圧生成部とを具備する。正電圧生成部は、正電圧を生成して全てのドレインドライバに供給する。また、負電圧生成部は、負電圧を生成して全てのドレインドライバに供給する。対向電極電圧生成部は、所定の電圧を生成してコモン電極に供給する。ゲート電極電圧生成部は、所定の電圧を生成して全てのゲートドライバに供給する。全てのドレインドライバはそれぞれ、複数のドレイン信号線を介して、液晶パネルに接続されている。また、全てのゲートドライバもそれぞれ、複数のゲート信号線を介して、液晶パネルに接続されている。

20

30

【 0 0 2 8 】

図7は、図6の液晶表示装置における、空間オフセットキャンセル動作のタイミングチャートの例である。図6の回路は、分周回路や論理回路を組み合わせ、最終的にCHOPA信号と、その反転信号であるCHOPB信号とを生成する。

【 0 0 2 9 】

図8は、図6の液晶表示装置における、空間オフセットキャンセル動作時におけるオペアンプの回路図の例である。図8のオペアンプは、図7のCHOPA信号とCHOPB信号とによって、反転入力部INMと、非反転入力部INPとに入力される信号を一定周期で反転する。

40

【 0 0 3 0 】

このように、同じ信号線に接続されて、かつ、隣接する2つの画素同士において、オペアンプのオフセット電圧による発色への影響が反対に働く。その結果、画面全体としてはオフセット電圧による画質の劣化が目立ちにくくなる。言い換えれば、画面全体としては高画質が実現される。

【 0 0 3 1 】

なお、従来技術によるオフセットキャンセル動作において、それぞれの画素における3つの副画素が走査線の方に並んでいることが一般的であることを強調しておく。すなわち、1つの画素における3つの副画素が同時に同一極性電圧が印加されるのが一般的であることを強調しておく。

50

【 0 0 3 2 】

上記に関連して、特許文献 2（特開平 1 1 - 2 4 9 6 2 4 号公報）には、液晶表示装置に係る発明が開示されている。

特許文献 2 発明の液晶表示装置は、液晶表示素子と、映像信号線駆動手段とを具備する。ここで、液晶表示素子は、複数の映像信号線により表示データに対応する映像信号電圧が印加される複数の画素を有する。また、液晶表示装置において、複数のアンプ回路は、入力される入力映像信号を増幅して表示データに対応する映像信号電圧を各映像信号線に出力する。さらに、映像信号線駆動手段は、表示データに対応する映像信号電圧を各映像信号線に供給する。また、映像信号線駆動手段は、切替手段と、切替指示手段とを有する。ここで、切替手段は、各アンプ回路において、一対の入力端子のうち一方を、反転入力端子あるいは非反転入力端子に、一対の入力端子のうち他方を、非反転入力端子あるいは反転入力端子に切り替える。切替指示手段は、切替制御信号を、前記アンプ回路の切替手段に対して、所定の周期毎に出力する。切替制御信号は、アンプ回路における一対の入力端子の一方を反転入力端子、他方を非反転入力端子、あるいは前記アンプ回路における一対の入力端子の一方を非反転入力端子、他方を反転入力端子に切り替えさせる。

10

【 0 0 3 3 】

【特許文献 1】特開平 1 0 - 2 2 8 2 6 3 号公報

【特許文献 2】特開平 1 1 - 2 4 9 6 2 4 号公報

【特許文献 3】特開 2 0 0 5 - 3 4 5 7 7 0 号公報

【発明の開示】

20

【発明が解決しようとする課題】

【 0 0 3 4 】

上述した 3 つの従来技術は、消費電力の節約や、画質の向上や、製造コストの削減などをもたらす。しかし、3 つの上記従来技術全てが用いられた液晶表示装置には、新たな問題が現れてしまう。すなわち、このような液晶表示装置では、いわゆる市松模様を表示した際に、色線問題が発生してしまう。

【 0 0 3 5 】

ここで、いわゆる市松模様における色線問題について説明する。市松模様とは、2 色の正方形または長方形が格子状に交互に並んだ模様である。つまり、上下または左右に隣接する任意の 2 つの正方形または長方形は、一方が第 1 色、もう一方が第 2 色となる。しかし、液晶パネルの画素のように、市松模様の単位となる正方形または長方形が十分に小さい場合、人間の視覚はその面積が単色での塗り潰されていると錯覚することが知られている。この錯視効果は、コンピュータグラフィックにおけるひとつのテクニックとして、積極的に利用されている。

30

【 0 0 3 6 】

これは、画像データの非可逆圧縮またはその他の理由により、使用可能な色数が制限されている場合において、大変有効なテクニックである。実際に圧縮画像規格である J P E G や G I F による画像でも市松模様は多用されている。したがって、市松模様の表示で色線問題が発生することは、画質の低下をもたらす重大な原因となる。

【 0 0 3 7 】

40

ここで、市松模様の表示が色線問題を引き起こす原理を説明する。

ソースドライバのオフセット電圧のばらつきによる色線問題は、市松模様においても発生する。実際には、オフセット電圧のばらつきによって色調に影響が出る画素は、1 つおきに発生する。つまり、色調が変化している 2 つの画素の間に、別の色の画素が 1 つ挟まれている。それでも、1 つおきに規則的に並んだ変色画素を、人間の視覚は直線として認識してしまい、結果的に色線問題による画質の低下として捉えてしまう。

【 0 0 3 8 】

しかし、2 つの変色画素の間に他の色の画素が 2 つ以上挟まれていれば、人間の視覚は繋がらない独立した 2 つの画素として捕らえ、結果的に色線問題が発生しないことが経験的に知られている。

50

【 0 0 3 9 】

図9は、一般的なオペアンプによるオフセットキャンセル回路の代表例である。オペアンプは、出力部OUTと、反転入力部INMと、非反転入力部INPとを具備する。図9のオフセットキャンセル回路は、入力部INと、オペアンプの出力部に直結された出力OUT部とを具備している。図9のオフセットキャンセル回路は、これら4つの端子を接続する4つのスイッチをさらに具備する。すなわち、第1のスイッチは、入力部INと、非反転入力部INPとを接続する。第2のスイッチは、入力部INと、反転入力部INMとを接続する。第3のスイッチは、出力部OUTと、非反転入力部INPとを接続する。第4のスイッチは、出力部OUTと、反転入力部INMとを接続する。

【 0 0 4 0 】

ここで、第1のスイッチと第4のスイッチは、CHOPA信号によって連動的に制御される。同様に、CHOPB信号によって連動的に制御される。ただし、CHOPA信号とCHOPB信号は、どちらか一方がHigh状態のとき、必ずもう一方はLow状態であるものとする。

【 0 0 4 1 】

すなわち、CHOPA信号がHigh状態のとき、CHOPB信号はLow状態である。これを、以降、オフセットキャンセル極性が状態Aであると記す。図9(a)は、オフセットキャンセル極性が状態Aである場合のオフセットキャンセル回路図の例である。状態Aにおいて、第1と第4のスイッチがオン状態となり、第2と第3のスイッチがオフ状態となる。その結果、入力部INが非反転入力部INPに接続され、出力部OUTが反転入力部INMに接続される。

【 0 0 4 2 】

また、CHOPB信号がHigh状態で、CHOPA信号がLow状態であることを、以降、オフセットキャンセル極性が状態Bであると記す。図9(b)は、オフセットキャンセル極性が状態Bである場合のオフセットキャンセル回路図の例である。状態Bにおいて、第2と第3のスイッチがオン状態となり、第1と第4のスイッチがオフ状態となる。その結果、入力部INが反転入力部INMに接続され、出力部OUTが非反転入力部INPに接続される。

【 0 0 4 3 】

図9のオフセットキャンセル回路は、このようにして、スイッチの接続を時間的に切り替えることによって、オペアンプのオフセットを空間的にキャンセルしている。

【 0 0 4 4 】

図10は、一般的な液晶表示装置で用いられる諸信号のタイムチャートの例である。水平同期信号の周期は、1本の走査線から次の走査線に移る周期に対応する。CHOPA信号は、水平同期信号の3周期分にわたってHigh状態となる。この時、CHOPB信号は3週期分にわたってLow状態となる。この状態を、以降、オフセットキャンセル極性が状態AAAであると記す。水平同期信号の3周期分は、R、G、Bの3副画素すなわち1画素分の描画に対応する。その次の3周期分にわたって、今度はCHOPB信号がHigh状態となり、CHOPA信号がLow状態になる。この状態を、以降、オフセットキャンセル極性が状態BBBであると記す。一般的には、このように、1つの画素を構成する3つの副画素に対するオフセットキャンセル動作は、同一極性で制御される。

【 0 0 4 5 】

図10のタイミングでCHOPA信号とCHOPB信号とを切り替えることによって、オフセットキャンセル動作を実施した場合を考える。この場合、例えば、所定の領域において全ての画素が白や黒などであれば、画質上の問題、特に色線問題は、発生しない。これは、フレーム毎にオフセットキャンセル動作が有効に発生するからである。

【 0 0 4 6 】

図11は、副画素が縦積みのトリプルゲート構造を有する液晶表示装置において、市松模様を表示した場合に発生する、色線問題を説明するための図である。図11(a)は、各走査線に対応する副画素の色とオフセット極性状態を説明するための図である。図11

10

20

30

40

50

(b)は、市松模様とオフセット極性状態との対応を説明するための図である。ここでは、一重の枠で表現される白と、二重の枠で表現される灰色とによる市松模様を例にあげて説明する。

【0047】

図12と図13は、オフセットキャンセル動作の例を説明するための図である。ここでは、各信号線に対応するオペアンプのオフセット電圧が、S3とS6において特に大きい場合を例に説明する。走査線G1～G24と信号線S1～S6の範囲に含まれる合計48の画素が、白と灰色の市松模様を表示している。ここでも、図11(b)と同じく、白を一重の枠で、灰色を二重の枠で、それぞれ表現している。さらに、太線の二重の枠は、オフセット電圧が特に大きいことを表現している。図12の左側に、各走査線について「A」または「B」と記入されているのは、状態Aまたは状態Bを表す。また、図12と図13の各画素について、「AAA」または「BBB」と記入されているのは、状態AAAまたは状態BBBを表す。

なお、この例では、各画素が副画素を3つ具備しているが、後述するように、各画素が具備する副画素の数は3つに限らない。

【0048】

ここで、オフセット電圧が高いS3の信号線に対応し、かつ、グレーを表示している、4つの画素に注目する。これら4つの画素のそれぞれについて、3つの副画素のオフセットキャンセル極性は、全て状態BBBである。このために、これら4つの画素に含まれる副画素のそれぞれについて、オフセットキャンセル動作が発生していない。その結果、これら4つの画素は周囲の他の画素よりも表示される色が多少異なり、色の違いは色線として現われてしまう。

【0049】

同様に、オフセット電圧が高いS6の信号線に対応し、かつ、グレーを表示している、4つの画素に注目する。これら4つの画素のそれぞれについて、3つの副画素は全て状態AAAであり、やはりオフセットキャンセル動作が発生しておらず、色線が現れてしまう。

【課題を解決するための手段】

【0050】

以下に、(発明を実施するための最良の形態)で使用される番号を用いて、課題を解決するための手段を説明する。これらの番号は、(特許請求の範囲)の記載と(発明を実施するための最良の形態)との対応関係を明らかにするために付加されたものである。ただし、それらの番号を、(特許請求の範囲)に記載されている発明の技術的範囲の解釈に用いてはならない。

【0051】

本発明の液晶表示装置駆動方法は、(a)液晶パネル(10)に画像を表示するためのデジタルデータを、液晶パネル駆動回路(20)に供給するステップと、(b)前記液晶パネル(10)が有する複数の画素(15)のそれぞれにおいて一様の方向に並べられた所定数の副画素(14)のそれぞれについて、デジタルデータを、対応する階調電圧に変換するステップと、(c)液晶パネル(10)の水平周期毎に、通電する走査線(12-j)を切り換えるステップと、(d)通電された走査線(12-j)に接続された複数の副画素(14)のそれぞれに、変換された階調電圧を、複数の副画素(14)のそれぞれに対応する複数の信号線(11-i)を介して印加するステップとを具備する。ここで、ステップ(b)において、同一の副画素(14)に印加される前記階調電圧の極性は、前記画像の連続する2枚のフレームの間で反転する。また、ステップ(c)は、(c-1)複数の画素(15)のそれぞれが有する複数の副画素(14)の数とは互いに素で2以上な一定数の隣接した副画素(14)毎に、複数の副画素(14)のそれぞれに階調電圧を印加するオペアンプ(35)の、階調電圧に対するオフセット電圧の極性を、反転するステップを具備する。

【0052】

本発明の液晶表示装置は、縦横に規則的に配置された複数の画素を具備する液晶パネル（１０）と、液晶パネル（１０）を駆動する液晶パネル駆動回路（２０）とを具備する。ここで、液晶パネル（１０）は、お互いに平行な複数の信号線（１１－ｉ）と、複数の信号線（１１－ｉ）に直交し、お互いに平行な複数の走査線（１２－ｊ）とをさらに具備する。複数の画素（１５）のそれぞれは、特定の方向に並んで配置された所定数の副画素（１４）を具備する。また、液晶パネル駆動回路（２０）は、複数のゲートドライバと、ソースドライバ（２５－ｉ、２６－ｉ）と、極性切り換え部とを具備する。ここで、複数のゲートドライバは、複数の走査線（１２－ｊ）にそれぞれ接続されている。複数のソースドライバ（２５－ｉ、２６－ｉ）は、複数の信号線（１１－ｉ）にそれぞれ接続されて、液晶パネルが画像を表示するためのデジタルデータを、複数の副画素（１４）のそれぞれに対応する階調電圧に変換する。極性切り換え部（２３、２４）は、複数の副画素（１４）のそれぞれについて、画像の連続する２枚のフレーム間で、複数のソースドライバ（２５－ｉ、２６－ｉ）から出力される階調電圧の極性を反転するためのものである。さらに、複数のソースドライバ（２５－ｉ、２６－ｉ）のそれぞれは、信号線（１１－ｉ）を介して複数の副画素（１４）のそれぞれに階調電圧を印加するためのオペアンプ（３５）を具備する。液晶パネル駆動回路は、オフセットキャンセル制御回路（２７）をさらに具備する。ここで、オフセットキャンセル制御回路（２７）は、複数の画素（１５）のそれぞれが有する複数の副画素（１４）の数とは互いに素な一定数の隣接した副画素（１４）毎に、複数の副画素（１４）のそれぞれに階調電圧を印加するオペアンプ（３５）の、階調電圧に対するオフセット電圧の極性を、反転する。

【発明の効果】

【００５３】

本発明の液晶表示装置の駆動方法では、各画素が具備する副画素の数と、定期的なオフセットキャンセル動作の１周期に含まれる副画素の数とが互いに素である。したがって、これら２つの数において、最小公倍数は積に等しい。その結果、市松模様を表示しても、色線問題を発生させるはずの副画素がお互いに十分離れて、人間の視覚は色線を認識しない。

【００５４】

また、本発明の液晶表示装置の駆動回路と、本発明の液晶表示装置の駆動回路を用いた液晶表示装置でも同様に、各画素が具備する副画素の数と、定期的なオフセットキャンセル動作の１周期に含まれる副画素の数とが互いに素である。したがって、これら２つの数において、最小公倍数は積に等しい。その結果、市松模様を表示しても、色線問題を発生させるはずの副画素がお互いに十分離れて、人間の視覚は色線を認識しない。

【発明を実施するための最良の形態】

【００５５】

添付図面を参照して、本発明による液晶表示装置の駆動方法を実施するための最良の形態を以下に説明する。

【００５６】

ここでは、最も一般的なカラー液晶表示装置と同じく、ＲＧＢにそれぞれ対応する３つの副画素を各画素が具備する例をあげて説明する。ただし、本発明の原理上、３つ以外の数の副画素を各画素が具備する液晶表示装置にも本実施例は適用可能である。また、ここではより複雑な例として、各画素において３つの副画素が信号線の方に配置されているトリプルゲート構造の液晶表示装置を例にあげて説明する。ただし、本発明の原理上、トリプルゲート構造でなくとも、信号線と走査線とを入れ替えて考えれば本実施例は適用可能である。

【００５７】

図１４は、本発明による液晶パネル１０と液晶パネル駆動回路２０の回路図の例である。液晶パネル駆動回路２０は、タイミングコントロール回路２１と、極性切り替えスイッチ制御回路２２と、入力側極性切り替えスイッチ群２３と、出力側極性切り替えスイッチ群２４と、複数の正極用ソースドライバ回路２５－ｉと、複数の負極用ソースドライバ回

路 26 - i と、オフセットキャンセル制御回路 27 と、階調生成回路 28 とを具備している。正極用ソースドライバ回路 25 - i はそれぞれ、ラッチ回路 31 と、正極用レベルシフタ回路 32 と、DAC (Digital Analog Converter: デジタルアナログコンバータ) 回路 34 と、駆動回路 35 とを具備している。負極用ソースドライバ回路 26 - i はそれぞれ、ラッチ回路 31 と、負極用レベルシフタ回路 33 と、DAC 回路 34 と、駆動回路 35 とを具備している。

【0058】

液晶パネル 10 は、複数の信号線 11 - i と、複数の走査線 12 - j と、複数の液晶セル回路 13 とを具備している。ここで、1つの液晶セル回路 13 は、1本の信号線 11 - i と 1本の走査線 12 - j とに接続されていて、1つの副画素 14 に対応する。

10

【0059】

ここで、本発明による液晶パネル駆動回路 20 の動作を説明する。液晶パネル駆動回路 2 は、まず、外部から画像を表示するためのデジタルデータを供給される。デジタルデータは、入力側極性切り替えスイッチ群 23 を介して、正極用ソースドライバ回路 25 - i または負極用のソースドライバ回路 26 - i に送られる。それぞれの副画素 14 について、対応するソースドライバ回路 25 - i、26 - i が、デジタルデータに対応する液晶印加電圧を出力する。液晶印加電圧は出力側極性切り替えスイッチ群 24 を介して、対応する信号線 11 - i に送られる。

【0060】

この時、入力側極性切り替えスイッチ群 23 と出力側極性切り替えスイッチ群 24 とは、いずれも極性切り替えスイッチ制御回路 22 によって制御されている。さらに具体的に説明すると、i 番目の正極用極性切り替えスイッチ 23 - i と、(i + 1) 番目の負極用極性切り替えスイッチ 24 - (i + 1) とが対を成している。すると、i 番目の信号線 11 - i と、(i + 1) 番目の信号線 11 - (i + 1) とに対応するデジタルデータの処理を、i 番目の正極用ソースドライバ回路 25 - i と、(i + 1) 番目の負極用ソースドライバ回路 26 - (i + 1) とで、交代出来る。

20

【0061】

この機構によって、従来技術で説明したカラム反転またはドット反転が実現される。すなわち、入力側と出力側の極性切り替えスイッチ群 23、24 が、極性の切り替えを、走査線単位で行なえばドット反転が、フレーム単位で行なえばカラム反転が、それぞれ実現される。なお、本発明の液晶パネル 10 と液晶パネル駆動回路 20 とは、ドット反転とカラム反転のいずれにも対応可能である。

30

【0062】

ここで、正極用ソースドライバ回路 25 - i の動作について説明する。入力側極性切り替えスイッチ 23 - i から供給されたデジタル画像データは、まずラッチ回路 31 に送られる。ラッチ回路 31 は、供給されたデジタルデータを一旦保存した上で、正極用レベルシフタ 32 に送る。この時、ラッチ回路 31 は、タイミングコントロール回路 21 によって、主にデジタルデータを入出力するタイミングを、制御されている。正極用レベルシフタ 32 は、供給されたデジタルデータの値に所定の変更を行なった上で、DAC 回路 34 に送る。DAC 回路 34 は、デジタルデータをアナログな階調電圧に変換し、この階調電圧を駆動回路 35 に送る。この時、DAC 回路 34 は、主に変換係数を、階調生成回路 28 によって制御されている。駆動回路 35 は、図 9 のオペアンプを具備しており、このオペアンプの動作は、上述したとおり、CHOPA 信号とCHOPB 信号とによって制御される。この時、CHOPA 信号とCHOPB 信号とは、オフセットキャンセル制御回路 27 から出力される。また、タイミングコントロール回路 21 は、上述したラッチ回路 31 の他に、極性切り替えスイッチ制御回路 22 と、オフセットキャンセル制御回路とをも制御している。極性切り替えスイッチ制御回路 22 は、入力側極性切り替えスイッチ群 23 と、出力側極性切り替えスイッチ群 24 とを制御している。

40

【0063】

ここで、本発明の従来技術との最大の違いについて説明する。

50

図15は、本発明の液晶パネル10と液晶駆動回路20とで用いられる諸信号のタイムチャートの例である。図10の従来技術におけるタイムチャートとの最大の違いは、CHOPA信号とCHOPB信号とにある。すなわち、CHOPA信号とCHOPB信号とが反転する周期（厳密には半周期）が、従来技術では3副画素ごとであったのに、本発明では2副画素ごとになっている。つまり、2副画素ごとにオフセットキャンセル動作が行なわれる。

【0064】

その結果、3つの副画素を具備する1つの画素を描画する最中に、オフセットキャンセル極性が必ず1度変更される。したがって、1つの画素におけるオフセットキャンセル極性状態が、従来技術のAAAやBBBではなく、AAB、BAA、BBA、ABBのいずれかになる。

10

【0065】

図16は、本発明の液晶パネル10と液晶パネル駆動回路20によって、市松模様の表示時に色線問題が発生しないことを説明するための図である。図11～図13の従来技術において、市松模様を表示した際に、色線問題が発生してしまうことは、上記に説明したとおりである。すなわち、図12において、対応するオペアンプのオフセットが大きい信号線S3に対応する状態BBBの4つの画素は、1画素おきに連続している為、色線として認識されてしまう。というのも、市松模様において同じ色を表示している画素だけに注目すると、1画素おきに配置されているからである。

【0066】

20

これに対して、本発明の液晶パネル10と液晶パネル駆動回路20によれば、図16のように、隣接した2本の走査線ごとにオフセットキャンセル動作を行なう。こうすることで、縦方向に発生するオペアンプのオフセットがキャンセル可能となる。例えば、オフセットが大きい信号線S3に対応する画素のうち、同じ色を表示しているのは、太線の二重の枠で囲まれた状態ABBの2つである。市松模様において同じ色を表示している画素だけを抜き出しても、これら2つの画素の間には、状態BAAの画素が存在する。すなわち、状態ABBにおける2つの画素の間には十分な距離が確保されており、したがって人間の視覚では色線問題として認識されない。

【0067】

さらに詳細に説明すると、本発明の原理上、各画素が具備する副画素の数と、オフセットキャンセル動作の周期に対応する副画素の数とが、互いに素であれば良い。すなわち、これら2つの数は、最大公約数が1であり、最小公倍数が積に等しいという十分条件を満たす組み合わせである。この十分条件が満たされると、オフセット電圧の影響によって異なる発色をする画素同士の間には十分な距離が生まれるため、色線問題の発生が抑制される。

30

【0068】

図17は、本発明の液晶パネル10と液晶パネル駆動回路20における、各画素におけるオフセットキャンセル極性状態の組み合わせの例を示す図である。図13の従来技術では、同じ色について1種類のオフセットキャンセル極性状態しかなかったので、オフセットキャンセル動作が不可能だった。本発明の場合は、任意の色について2つずつのオフセットキャンセル極性状態が存在する。しかも、任意の信号線に接続されて一列に並んだ複数の画素において、2つのオフセットキャンセル極性状態が交互に出現する。このため、オフセットキャンセル動作が色線問題を解消するために有効に働くことが分かる。

40

【0069】

なお、ここまで説明した本発明による液晶パネル10と液晶パネル駆動回路20に係る回路図は、あくまで1つの例である。オフセットキャンセル動作を制御する本発明による方法を実現可能であれば、その他の回路構成であっても構わない。

【図面の簡単な説明】

【0070】

【図1】図1は、従来技術において、トリプルゲート構造を用いた場合の液晶パネルにお

50

ける、副画素に係る配置図の一部の例である。

【図 2】図 2 は、従来技術において、トリプルゲート構造を用いた場合の液晶パネルにおける、1つの画素における回路図の例である。

【図 3】図 3 は、従来技術において、液晶パネルを駆動するためのソースドライバとゲートドライバとが配置された液晶表示装置の構成図の例である。

【図 4】図 4 は、ドット反転に係る従来技術を説明するための図である。

【図 5】図 5 は、カラム反転にかかわる従来技術を説明するための図である。

【図 6】図 6 は、従来技術において、オフセットキャンセル動作が可能な構成が採用された液晶表示装置の回路図の例である。

【図 7】図 7 は、従来技術において、2つのオペアンプによる構成による空間オフセットキャンセル動作のタイミングチャートの例である。 10

【図 8】図 8 は、従来技術において、空間オフセットキャンセル動作時におけるオペアンプの回路図の例である。

【図 9】図 9 は、一般的なオペアンプにオフセットキャンセル回路の代表例である。図 9 (a) は、オフセットキャンセル極性が状態 A である場合のオフセットキャンセル回路図の例である。図 9 (b) は、オフセットキャンセル極性が状態 B である場合のオフセットキャンセル回路図の例である。

【図 10】図 10 は、一般的な液晶表示装置で用いられる諸信号のタイムチャートの例である。

【図 11】図 11 は、副画素が縦積みのトリプルゲート構造を有する液晶表示装置において、市松模様を表示した場合に発生する、色線問題を説明するための図である。図 11 (a) は、各走査線に対応する副画素の色とオフセット極性状態を説明するための図である。図 11 (b) は、市松模様とオフセット極性状態との対応を説明するための図である。 20

【図 12】図 12 は、オフセットキャンセル動作の例を説明するための図である。

【図 13】図 13 は、オフセットキャンセル動作の例を説明するための図である。

【図 14】図 14 は、本発明による液晶表示装置 10 とその駆動回路 20 の、回路図の例である。

【図 15】図 15 は、本発明の液晶パネル 10 と液晶パネル駆動回路 20 とで用いられる諸信号のタイムチャートの例である。

【図 16】図 16 は、本発明の液晶パネル 10 と液晶パネル駆動回路 20 によって、市松模様の表示時に色線問題が発生しないことを説明するための図である。 30

【図 17】図 17 は、本発明の液晶パネル 10 と液晶パネル駆動回路 20 における、各画素におけるオフセットキャンセル極性状態の組み合わせの例を示す図である。

【符号の説明】

【0071】

10 液晶パネル

11 - i (i は自然数) (i 番目の) 信号線

12 - j (j は自然数) (j 番目の) 走査線

13 液晶セル回路

14 副画素

15 画素

20 液晶パネル駆動回路

21 タイミングコントロール回路

22 極性切り替えスイッチ制御回路

23 入力側極性切り替えスイッチ群

23 - i (i は自然数) (i 番目の) 入力側極性切り替えスイッチ

24 出力側極性切り替えスイッチ群

24 - i (i は自然数) (i 番目の) 出力側極性切り替えスイッチ

25 - i (i は奇数の自然数) (i 番目の) 正極用ソースドライバ回路

26 - i (i は偶数の自然数) (i 番目の) 負極用ソースドライバ回路

40

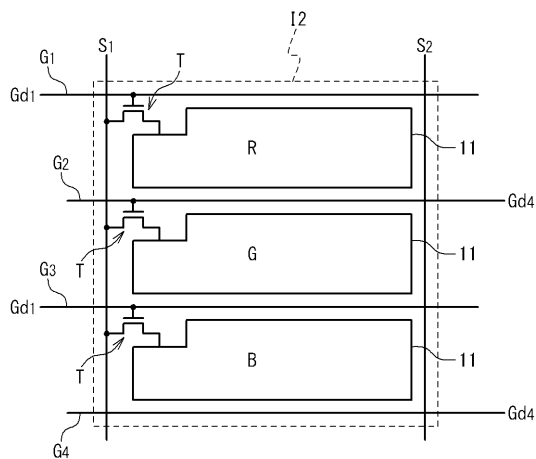
50

- 2 7 オフセットキャンセル制御回路
- 2 8 階調生成回路
- 3 1 ラッチ回路
- 3 2 正極用レベルシフタ
- 3 3 負極用レベルシフタ
- 3 4 D A C (D i g i t a l A n a l o g C o n v e r t e r) 回路
- 3 5 駆動回路

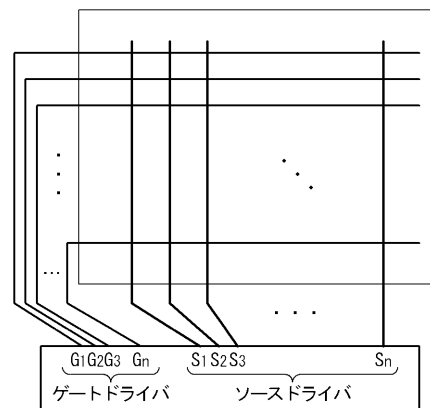
【図 1】

信号線No. 走査線No.	1	2	3
1	R	R	R
2	G	G	G
3	B	B	B
4	R	R	R
5	G	G	G
6	B	B	B
7	R	R	R
8	G	G	G
9	B	B	B

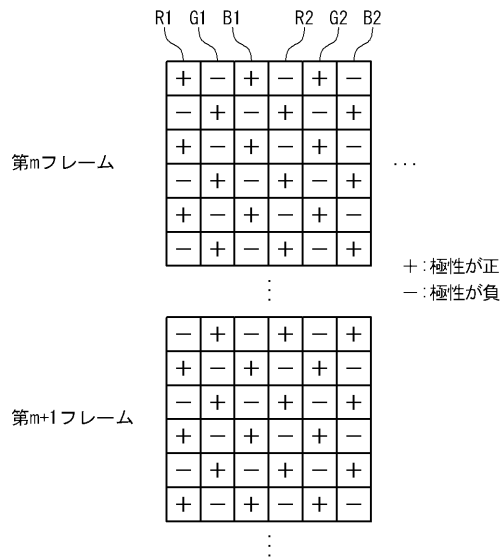
【図 2】



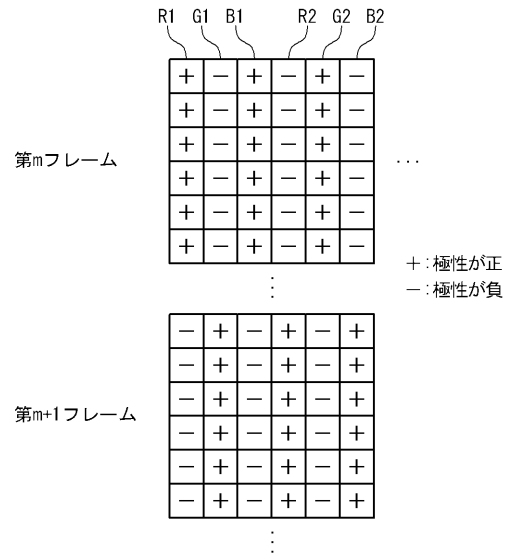
【図 3】



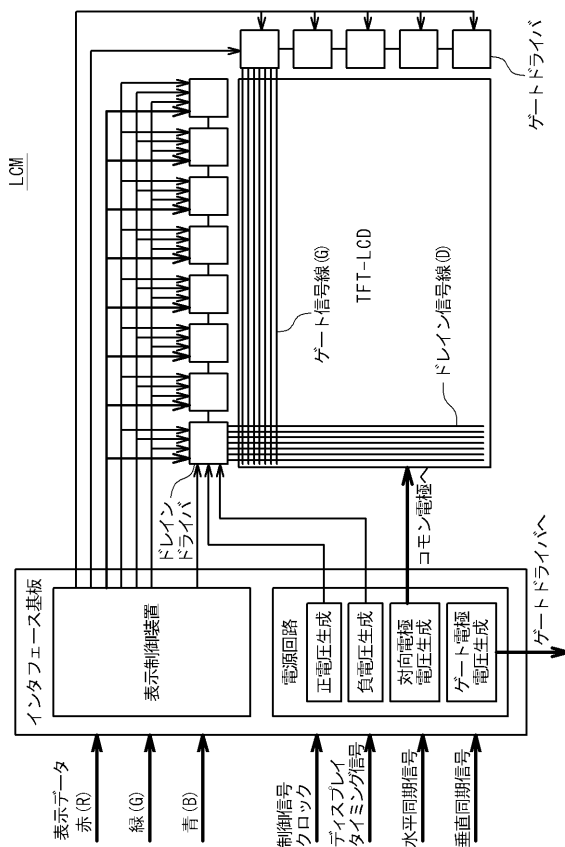
【図 4】



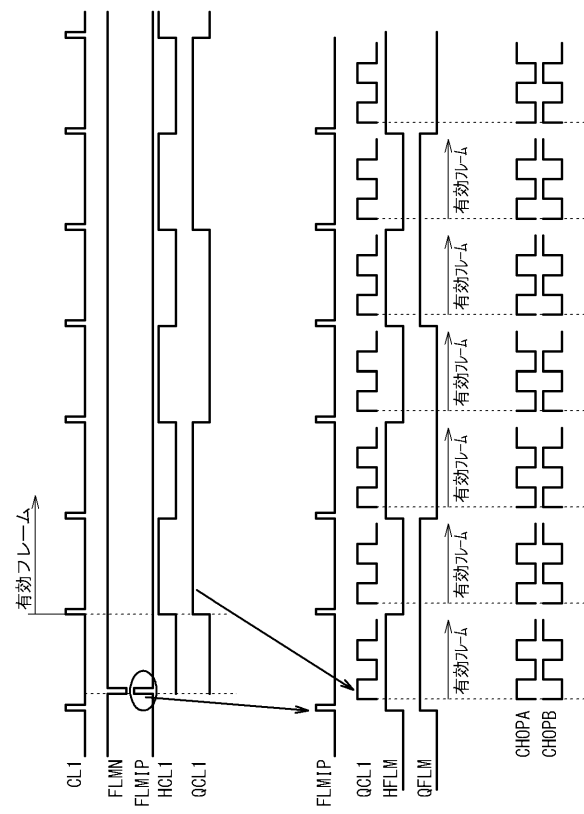
【図 5】



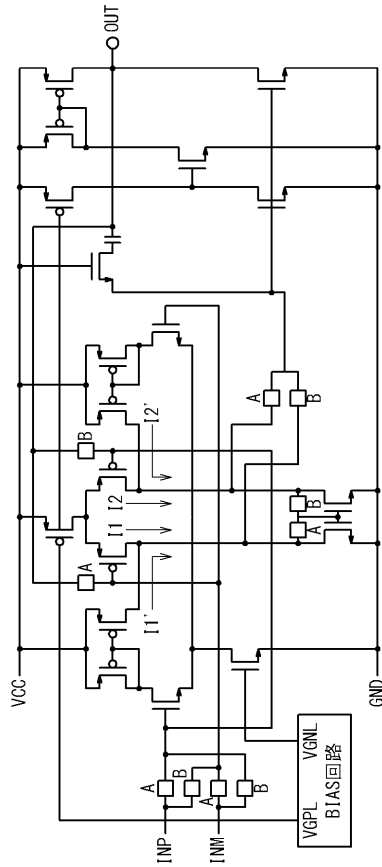
【図 6】



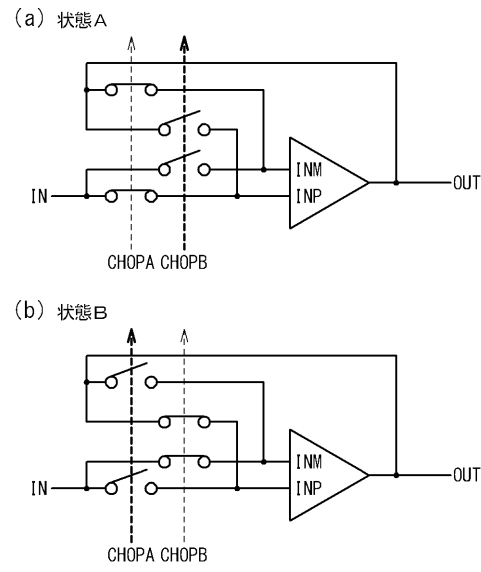
【図 7】



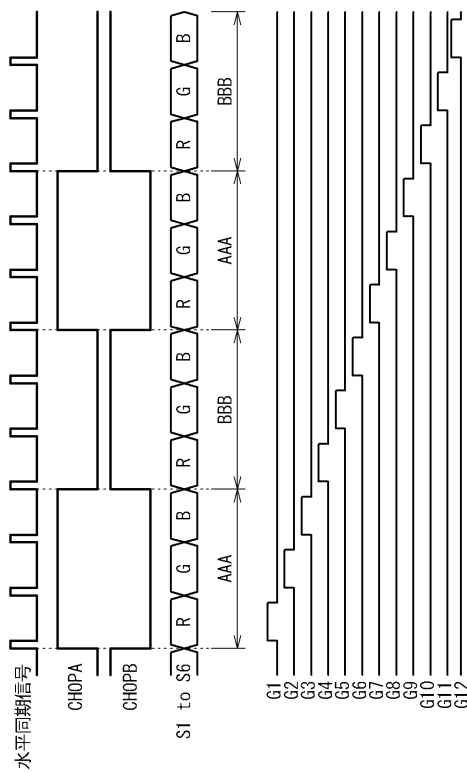
【図 8】



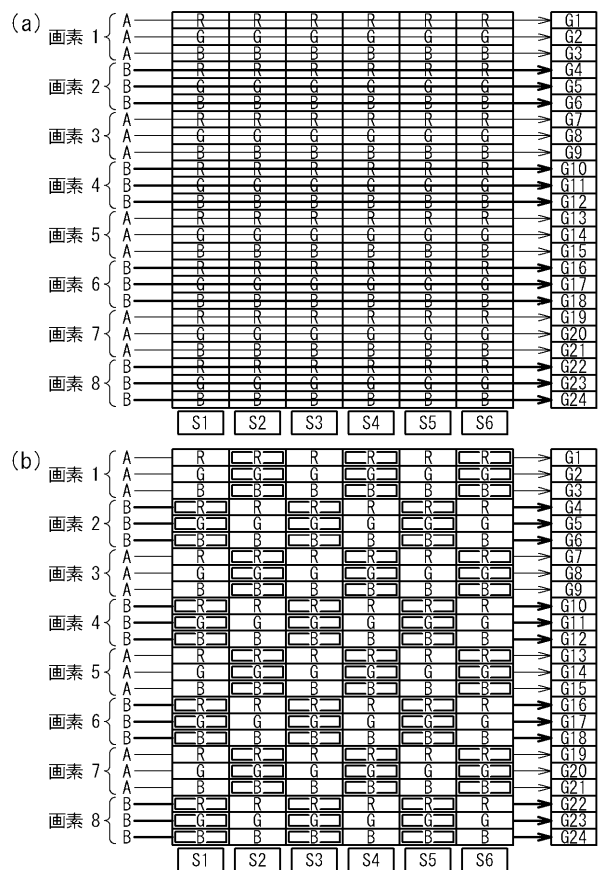
【図 9】



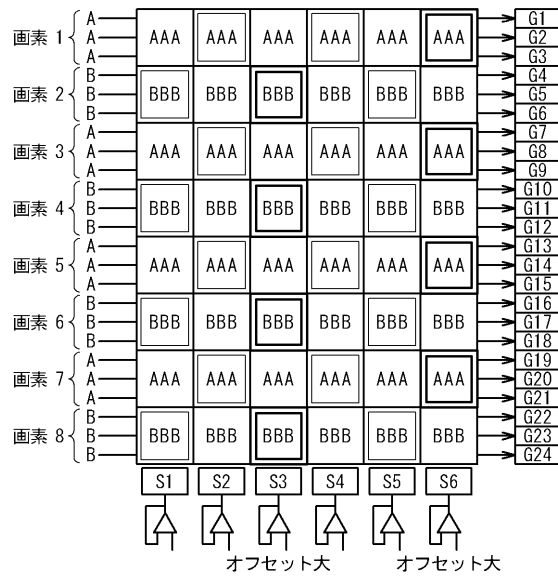
【図 10】



【図 11】



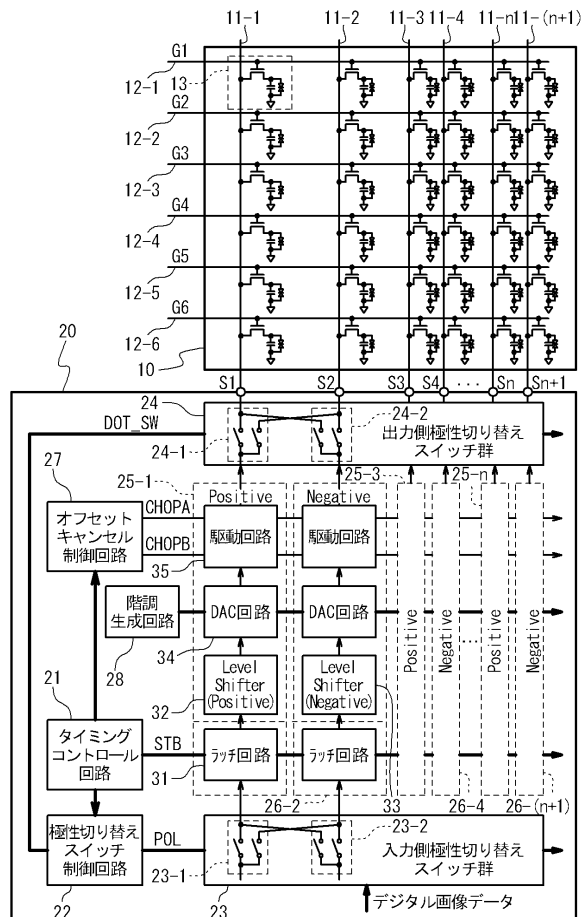
【図 1 2】



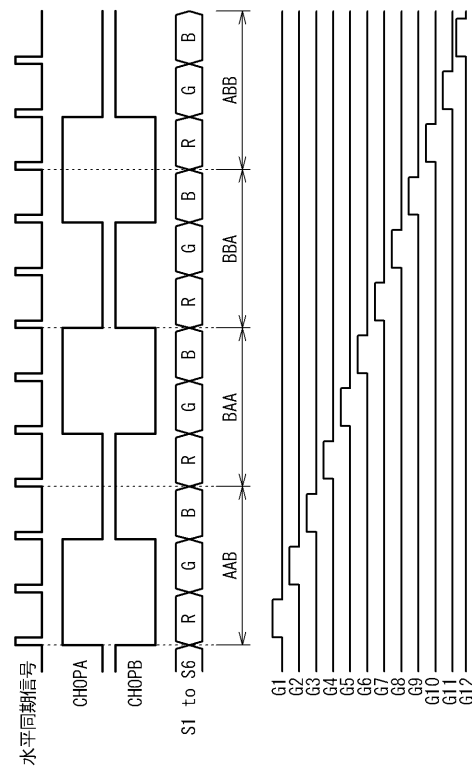
【図 1 3】

	S1	S2	S3	S4	S5	S6
画素1	AAA	AAA	AAA	AAA	AAA	AAA
画素2	BBB	BBB	BBB	BBB	BBB	BBB
画素3	AAA	AAA	AAA	AAA	AAA	AAA
画素4	BBB	BBB	BBB	BBB	BBB	BBB
画素5	AAA	AAA	AAA	AAA	AAA	AAA
画素6	BBB	BBB	BBB	BBB	BBB	BBB
画素7	AAA	AAA	AAA	AAA	AAA	AAA
画素8	BBB	BBB	BBB	BBB	BBB	BBB
Gray	BBB	AAA	BBB	AAA	BBB	AAA
White	AAA	BBB	AAA	BBB	AAA	BBB

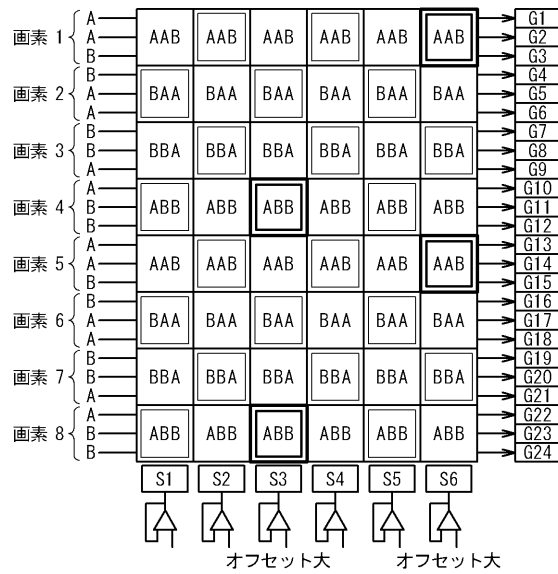
【図 1 4】



【図 1 5】



【図 16】



【図 17】

	S1	S2	S3	S4	S5	S6
画素1	AAB	AAB	AAB	AAB	AAB	AAB
画素2	BAA	BAA	BAA	BAA	BAA	BAA
画素3	BBA	BBA	BBA	BBA	BBA	BBA
画素4	ABB	ABB	ABB	ABB	ABB	ABB
画素5	AAB	AAB	AAB	AAB	AAB	AAB
画素6	BAA	BAA	BAA	BAA	BAA	BAA
画素7	BBA	BBA	BBA	BBA	BBA	BBA
画素8	ABB	ABB	ABB	ABB	ABB	ABB
Gray	BAA+ABB	AAB+BBA	BAA+ABB	AAB+BBA	BAA+ABB	AAB+BBA
White	AAB+BBA	BAA+ABB	AAB+BBA	BAA+ABB	AAB+BBA	BAA+ABB

 フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 B
	G 0 9 G	3/20	6 2 3 R
	G 0 9 G	3/20	6 2 3 Y
	G 0 2 F	1/133	5 5 0
	G 0 2 F	1/133	5 0 5
	G 0 2 F	1/133	5 7 5
	G 0 2 F	1/133	5 2 5
	G 0 2 F	1/133	5 1 0

(56)参考文献 特開平 1 1 - 2 4 9 6 2 4 (J P , A)
 特開 2 0 0 2 - 0 3 2 0 5 1 (J P , A)
 特開 2 0 0 1 - 0 2 2 3 2 8 (J P , A)
 特開 2 0 0 6 - 2 7 6 8 5 2 (J P , A)
 特表 2 0 0 4 - 5 2 5 4 0 2 (J P , A)
 特開平 1 0 - 2 2 8 2 6 3 (J P , A)
 特開 2 0 0 6 - 3 1 7 5 6 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
 G 0 9 G 3 / 3 6
 G 0 2 F 1 / 1 3 3
 G 0 9 G 3 / 2 0

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP5085268B2	公开(公告)日	2012-11-28
申请号	JP2007273085	申请日	2007-10-19
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	泉川真規 久米田誠之		
发明人	泉川 真規 久米田 誠之		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3688 G09G2320/0209		
FI分类号	G09G3/36 G09G3/20.642.A G09G3/20.641.C G09G3/20.642.K G09G3/20.623.F G09G3/20.623.B G09G3/20.623.R G09G3/20.623.Y G02F1/133.550 G02F1/133.505 G02F1/133.575 G02F1/133.525 G02F1/133.510		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA34 2H093/NA63 2H093/NA64 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC13 2H093/NC18 2H093/NC34 2H093/NC35 2H093/ND05 2H093/ND06 2H093/ND09 2H093/ND17 2H093/ND35 2H093/ND60 2H193/ZA04 2H193/ZC02 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC15 2H193/ZC16 2H193/ZC20 2H193/ZC25 2H193/ZD12 2H193/ZD32 2H193/ZD34 2H193/ZF03 2H193/ZF22 2H193/ZF33 2H193/ZF34 2H193/ZF35 2H193/ZF36 2H193/ZF52 2H193/ZF59 2H193/ZG02 5C006/AA16 5C006/AA22 5C006/AC28 5C006/FA25 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	工藤稔		
审查员(译)	福村 拓		
其他公开文献	JP2009103766A		
外部链接	Espacenet		

摘要(译)

在其中每个像素的多个子像素沿预定方向排列的液晶显示装置中，当由于源极驱动器中包括的运算放大器的偏移电压的变化而显示方格图案时，出现色线问题。它发生了。色线问题消除了图像质量，因为它极大地恶化。传统上以像素为单位执行的偏移消除操作是针对固定数量的子像素单元中的每一个执行的。此时，要经历偏移消除操作的子像素的单位数被设置为两个或更多，并且与每个像素中包括的子像素的数量一起是素数。结果，在受偏移电压影响的像素之间确保足够的距离，引起色线问题，并消除了色线问题。[选定图]图16

信号線No. 走査線No.	1	2	3
1	R	R	R
2	G	G	G
3	B	B	B
4	R	R	R
5	G	G	G
6	B	B	B
7	R	R	R
8	G	G	G
9	B	B	B