

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5000124号

(P5000124)

(45) 発行日 平成24年8月15日(2012.8.15)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/133 505

G09G 3/20 642A

G09G 3/20 622C

請求項の数 36 (全 46 頁) 最終頁に続く

(21) 出願番号 特願2005-329431 (P2005-329431)
 (22) 出願日 平成17年11月14日(2005.11.14)
 (65) 公開番号 特開2006-139288 (P2006-139288A)
 (43) 公開日 平成18年6月1日(2006.6.1)
 審査請求日 平成20年11月14日(2008.11.14)
 (31) 優先権主張番号 10-2004-0092607
 (32) 優先日 平成16年11月12日(2004.11.12)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 10-2004-0098028
 (32) 優先日 平成16年11月26日(2004.11.26)
 (33) 優先権主張国 韓国(KR)
 (31) 優先権主張番号 10-2005-0002543
 (32) 優先日 平成17年1月11日(2005.1.11)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市靈通区三星路129
 129, Samsung-ro, Yeon
 g-tong-gu, Suwon-si, G
 yeonggi-do, Republic
 of Korea
 (74) 代理人 100121382
 弁理士 山下 託嗣
 (74) 代理人 100094145
 弁理士 小野 由己男
 (74) 代理人 100106367
 弁理士 稲積 朋子

最終頁に続く

(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項1】

第1及び第2副画素を含む複数の画素、
 前記第1副画素と連結されていて、第1ゲート信号を伝達する第1ゲート線、
 前記第2副画素と連結されていて、第2ゲート信号を伝達する第2ゲート線、
 前記第1及び第2ゲート線と交差し、前記第1及び第2副画素に連結されていて、一つの画像情報から得られる第1データ電圧及び第2データ電圧をそれぞれ前記第1副画素及び前記第2副画素に伝達するデータ線、
 互いに異なる第1及び第2階調電圧集合を生成する階調信号生成回路、
 前記画像情報に基づく第1画像信号と第2画像信号に該当する階調電圧を前記第1及び
 前記第2階調電圧集合から各々選択して出力する選択回路、
 前記選択回路からの階調信号集合に基づいて画像データに対応する前記第1及び第2データ電圧を生成して前記第1及び第2副画素に各々印加する前記データ線に印加するデータ駆動部、及び
 前記第1及び第2ゲート線に順次に前記第1及び第2ゲートオン電圧を印加するゲート駆動部、

を含み、

同一のデータ線に接続される前記画素は同一極性のデータ電圧の印加を受け、隣接するデータ線に接続される前記画素に印加されるデータ電圧の極性は互いに異なるように列反転駆動され、

10

20

互いに隣接する前記第 1 副画素及び前記第 2 副画素に伝達される前記第 1 ゲート信号及び前記第 2 ゲート信号のゲートオン時間の少なくとも一部が重畳することで、順次に伝達される全ての前記第 1 ゲート信号と前記第 2 ゲート信号のゲートオン時間が順次に重畳している、

表示装置。

【請求項 2】

第 1 及び第 2 副画素を含む複数の画素、

前記第 1 副画素と連結されていて、第 1 ゲート信号を伝達する第 1 ゲート線、

前記第 2 副画素と連結されていて、第 2 ゲート信号を伝達する第 2 ゲート線、

前記第 1 及び第 2 ゲート線と交差し、前記第 1 及び第 2 副画素に連結されていて、一つの画像情報から得られる第 1 データ電圧及び第 2 データ電圧をそれぞれ前記第 1 副画素及び前記第 2 副画素に伝達するデータ線、

周期的に値が変化する複数の基準電圧を生成する基準電圧生成回路、

前記基準電圧に基づいて複数の階調電圧を生成する階調電圧生成回路、

前記階調電圧生成回路からの階調電圧集合より、前記画像情報に基づく第 1 画像信号と第 2 画像信号に対応する階調電圧を選択して、前記第 1 及び第 2 データ電圧として前記データ線に印加するデータ駆動部、及び

前記第 1 及び第 2 ゲート線に順次に前記第 1 及び第 2 ゲート信号を印加するゲート駆動部、

を含み、

同一のデータ線に接続される前記画素は同一極性のデータ電圧の印加を受け、隣接するデータ線に接続される前記画素に印加されるデータ電圧の極性は互いに異なるように列反転駆動され、

互いに隣接する前記第 1 副画素及び前記第 2 副画素に伝達される前記第 1 ゲート信号及び前記第 2 ゲート信号のゲートオン時間の少なくとも一部が重畳することで、順次に伝達される全ての前記第 1 ゲート信号と前記第 2 ゲート信号のゲートオン時間が順次に重畳している、

表示装置。

【請求項 3】

第 1 及び第 2 副画素を含む画素、

前記第 1 副画素に連結されていて、第 1 ゲート信号を伝達する第 1 ゲート線、

前記第 2 副画素と連結されていて、第 2 ゲート信号を伝達する第 2 ゲート線、

前記第 1 ゲート線と交差して前記第 1 副画素にデータ電圧を伝達する第 1 データ線、及び

前記第 2 ゲート線と交差して前記第 2 副画素にデータ電圧を伝達する第 2 データ線、

互いに異なる第 1 及び第 2 階調電圧集合を生成する階調信号生成回路、

画像情報に基づく第 1 画像信号と第 2 画像信号に該当する階調電圧を前記第 1 及び前記第 2 階調電圧集合から各々選択して出力する選択回路、

前記選択回路からの階調信号集合に基づいて画像データに対応する前記データ電圧を生成して前記第 1 及び第 2 副画素に各々印加する前記第 1 及び第 2 データ線に印加するデータ駆動部、及び

前記第 1 及び第 2 ゲート線に順次に前記第 1 及び第 2 ゲートオン電圧を印加するゲート駆動部、

を含み、

前記第 1 及び第 2 副画素は、互いに絶対値が異なる大きさのデータ電圧であり、かつ異なる極性のデータ電圧の印加を受け、

同一の前記第 1 データ線に接続される前記第 1 副画素は同一極性のデータ電圧の印加を受け、同一の前記第 2 データ線に接続される前記第 2 副画素は同一極性のデータ電圧の印加を受け、前記第 1 副画素に印加されるデータ電圧の極性と前記第 2 副画素に印加されるデータ電圧の極性とは互いに異なるように列反転駆動され、

前記第 1 データ線又は前記第 2 データ線を挟んで互いに隣接する前記第 1 副画素及び前記第 2 副画素に伝達される前記第 1 ゲート信号及び前記第 2 ゲート信号のゲートオン時間の少なくとも一部が重畳しており、

前記第 1 副画素に印加されるデータ電圧と前記第 2 副画素に印加されるデータ電圧は一つの前記画像情報から得られる、表示装置。

【請求項 4】

第 1 及び第 2 副画素を含む画素、

前記第 1 副画素に連結されていて、第 1 ゲート信号を伝達する第 1 ゲート線、

前記第 2 副画素と連結されていて、第 2 ゲート信号を伝達する第 2 ゲート線、

前記第 1 ゲート線と交差して前記第 1 副画素にデータ電圧を伝達する第 1 データ線、及び

10

前記第 2 ゲート線と交差して前記第 2 副画素にデータ電圧を伝達する第 2 データ線、

周期的に値が変化する複数の基準電圧を生成する基準電圧生成回路、

前記基準電圧に基づいて複数の階調電圧を生成する階調電圧生成回路、

前記階調電圧生成回路からの階調電圧集合より、画像情報に基づく第 1 画像信号と第 2 画像信号に対応する階調電圧を選択して、前記データ電圧として前記第 1 及び第 2 データ線に印加するデータ駆動部、及び

前記第 1 及び第 2 ゲート線に順次に前記第 1 及び第 2 ゲート信号を印加するゲート駆動部、

を含み、

20

前記第 1 及び第 2 副画素は、互いに絶対値が異なる大きさのデータ電圧であり、かつ異なる極性のデータ電圧の印加を受け、

同一の前記第 1 データ線に接続される前記第 1 副画素は同一極性のデータ電圧の印加を受け、同一の前記第 2 データ線に接続される前記第 2 副画素は同一極性のデータ電圧の印加を受け、前記第 1 副画素に印加されるデータ電圧の極性と前記第 2 副画素に印加されるデータ電圧の極性とは互いに異なるように列反転駆動され、

前記第 1 データ線又は前記第 2 データ線を挟んで互いに隣接する前記第 1 副画素及び前記第 2 副画素に伝達される前記第 1 ゲート信号及び前記第 2 ゲート信号のゲートオン時間の少なくとも一部が重畳しており、

前記第 1 副画素に印加されるデータ電圧と前記第 2 副画素に印加されるデータ電圧は一つの前記画像情報から得られる、表示装置。

30

【請求項 5】

前記第 1 副画素は、前記第 1 ゲート線と連結されている第 1 スイッチング素子、及びこれに連結されている第 1 液晶キャパシタを含み、

前記第 2 副画素は、前記第 2 ゲート線と連結されている第 2 スイッチング素子、及びこれに連結されている第 2 液晶キャパシタを含む、請求項 1 ~ 2 のいずれかに記載の表示装置。

【請求項 6】

前記第 1 液晶キャパシタは、前記第 1 スイッチング素子と連結されている第 1 副画素電極を含み、

40

前記第 2 液晶キャパシタは、前記第 2 スイッチング素子と連結されている第 2 副画素電極を含む、請求項 5 に記載の表示装置。

【請求項 7】

前記第 1 副画素電極と第 2 副画素電極との間隙の延在する方向は、前記第 1 ゲート線、前記第 2 ゲート線及び前記データ線と斜角をなしている、請求項 6 に記載の表示装置。

【請求項 8】

前記第 1 及び第 2 副画素電極のうちの少なくとも一つは切開部を有しており、前記切開部の延在する方向は、前記第 1 ゲート線、前記第 2 ゲート線及び前記データ線と斜角をなしている、請求項 6 に記載の表示装置。

【請求項 9】

50

前記第 1 及び第 2 副画素電極は、前記第 1 及び第 2 副画素電極と対向する共通電極を共通にさらに含み、

前記共通電極は切開部を有しており、前記切開部の延在する方向は、前記第 1 ゲート線、前記第 2 ゲート線、前記データ線と斜角をなしている、請求項 6 に記載の表示装置。

【請求項 10】

第 1 副画素に含まれる第 1 スイッチング素子は前記第 1 ゲート線及び前記データ線と連結されており、第 2 副画素に含まれる第 2 スイッチング素子は前記第 2 ゲート線及び前記データ線と連結されており、

前記第 1 スイッチング素子は、前記第 1 ゲート線からの信号によって導通して前記データ線からの信号を伝達し、

10

前記第 2 スイッチング素子は、前記第 2 ゲート線からの信号によって導通して前記データ線からの信号を伝達する、請求項 1 又は 2 に記載の表示装置。

【請求項 11】

第 1 副画素に含まれる第 1 スイッチング素子は前記第 1 ゲート線及び前記第 1 データ線と連結されており、第 2 副画素に含まれる第 2 スイッチング素子は前記第 2 ゲート線及び前記第 2 データ線と連結されており、

前記第 1 スイッチング素子は、前記第 1 ゲート線からの信号によって導通して前記第 1 データ線からの信号を伝達し、

前記第 2 スイッチング素子は、前記第 2 ゲート線からの信号によって導通して前記第 2 データ線からの信号を伝達する、請求項 3 に記載の表示装置。

20

【請求項 12】

前記第 1 副画素は、前記第 1 スイッチング素子と連結されている第 1 ストレージキャパシタをさらに含み、

前記第 2 副画素は、前記第 2 スイッチング素子と連結されている第 2 ストレージキャパシタをさらに含む、請求項 5 に記載の表示装置。

【請求項 13】

前記各画素の第 1 副画素と第 2 副画素は容量性結合されている、請求項 1 ~ 3 のいずれかに記載の表示装置。

【請求項 14】

前記第 1 データ電圧の極性は、所定時間一定であることを特徴とする請求項 1 ~ 2 のいずれかに記載の表示装置。

30

【請求項 15】

前記階調電圧はアナログ階調電圧を含む、請求項 1 又は 3 に記載の表示装置。

【請求項 16】

前記選択回路はアナログスイッチを含む、請求項 1 5 に記載の表示装置。

【請求項 17】

前記選択回路はアナログマルチプレクサーを含む、請求項 1 5 に記載の表示装置。

【請求項 18】

前記選択回路は前記データ駆動部と統合されている、請求項 1 5 に記載の表示装置。

【請求項 19】

前記階調信号生成回路は各々複数の抵抗列を有する複数のアナログ電圧生成回路を含む、請求項 1 5 に記載の表示装置。

40

【請求項 20】

前記階調電圧はデジタル階調データを含む、請求項 1 又は 3 に記載の表示装置。

【請求項 21】

前記選択回路が選択したデジタル階調データ集合の各階調データをアナログ変換して、複数の階調電圧を生成するデジタル - アナログ変換器をさらに含む、請求項 2 0 に記載の表示装置。

【請求項 22】

前記選択回路は前記階調信号生成回路に連結されている複数のマルチプレクサーを含む

50

、請求項 2 1 に記載の表示装置。

【請求項 2 3】

前記第 1 ゲート信号の第 1 ゲートオン電圧の印加時間と前記第 2 ゲート信号の第 2 ゲートオン電圧の印加時間とは同一である、請求項 1 ~ 3 のいずれかに記載の表示装置。

【請求項 2 4】

前記第 2 副画素電極の前記データ線に沿う第 2 方向の長さが前記第 1 副画素電極よりも長く、前記第 1 副画素電極は前記第 2 副画素電極の第 2 方向の長さ内に位置する、請求項 6 に記載の表示装置。

【請求項 2 5】

前記第 1 及び第 2 副画素電極は各々前記第 1 ゲート線及び前記第 2 ゲート線に沿う第 1 方向に延在した一つの直線を中心に実質的に対称の形状を有している、請求項 1 ~ 2 のいずれかに記載の表示装置。

10

【請求項 2 6】

前記第 1 及び第 2 副画素電極と重畳する維持電極線をさらに含む、請求項 2 4 又は 2 5 に記載の表示装置。

【請求項 2 7】

前記第 1 及び第 2 薄膜トランジスタは、各々前記第 1 または第 2 ゲート線と連結されているゲート電極、前記データ線と連結されているソース電極及び前記第 1 または第 2 副画素電極と連結されているドレイン電極を含み、

前記維持電極線は前記ドレイン電極と重畳する、請求項 2 6 に記載の表示装置。

20

【請求項 2 8】

前記第 1 副画素電極の電圧と所定電圧との差は、前記第 2 副画素電極の電圧と前記所定電圧との差よりも小さい、請求項 2 4 又は 2 5 に記載の表示装置。

【請求項 2 9】

前記データ線と重畳し、前記第 1 及び第 2 表示電極と同一層に位置する遮蔽電極をさらに含む、請求項 2 4 又は 2 5 に記載の表示装置。

【請求項 3 0】

請求項 1 に記載の表示装置の駆動方法であって、

入力画像データの入力を受ける段階、

前記入力画像データを二つ以上のデータ電圧に変換する段階、及び

前記変換されたデータ電圧を前記第 1 副画素及び前記第 2 副画素に印加する段階、を含み、

30

前記変換する段階は、

二つ以上の階調電圧集合を生成する段階、及び

前記二つ以上の階調電圧集合のそれぞれから前記入力画像データに対応する階調電圧を選択してデータ電圧にする段階、を含む、駆動方法。

【請求項 3 1】

請求項 2 に記載の表示装置の駆動方法であって、

入力画像データの入力を受ける段階、

前記入力画像データを二つ以上のデータ電圧に変換する段階、及び

前記変換されたデータ電圧を前記第 1 副画素及び前記第 2 副画素に印加する段階、を含み、

40

前記変換する段階は、

前記入力画像データを二つ以上の出力画像データに変換する段階、及び

一つの階調電圧集合から前記二つ以上の出力画像データに対応する階調電圧を選択してデータ電圧にする段階、

を含む、駆動方法。

【請求項 3 2】

請求項 1 ~ 2 のいずれかに記載の表示装置の駆動方法であって、

行列状に配列されていて、第 1 及び第 2 副画素を各々含む複数の画素を含む液晶表示装

50

置の駆動方法であって、

前記第 1 副画素に第 1 極性の第 1 データ電圧を印加する段階、及び

前記第 2 副画素に前記第 1 極性と反対である第 2 極性の第 2 データ電圧を印加する段階

、

を含む、駆動方法。

【請求項 3 3】

前記各データ電圧は二つ以上の副画素に同時に印加される、請求項 3 2 に記載の駆動方法。

【請求項 3 4】

請求項 1 に記載の表示装置の駆動方法であって、

画像データを伝送する段階、

第 1 階調電圧集合を出力する段階、

前記画像データを前記第 1 階調電圧集合の階調電圧の中から選択された第 1 データ電圧に変換する段階、

前記第 1 データ電圧を前記第 1 副画素に印加する段階、

マルチプレクサーを利用して前記第 1 階調電圧集合を前記第 1 階調電圧集合と値の異なる第 2 階調電圧集合に代替して出力する段階、

前記画像データを前記第 2 階調電圧集合の階調電圧の中から選択された第 2 データ電圧に変換する段階、及び

前記第 2 データ電圧を前記第 2 副画素に印加する段階、

を含む、駆動方法。

【請求項 3 5】

前記駆動方法は前記第 1 及び第 2 階調電圧集合を生成する段階をさらに含み、

前記第 1 階調電圧集合の出力段階は、前記マルチプレクサーを利用して前記第 1 及び第 2 階調電圧集合の中から前記第 1 階調電圧集合を選択する段階を含み、

前記第 2 階調電圧集合の出力段階は、前記マルチプレクサーを利用して前記第 1 及び第 2 階調電圧集合の中から前記第 2 階調電圧集合を選択する段階を含む、請求項 3 4 に記載の駆動方法。

【請求項 3 6】

前記駆動方法は第 1 及び第 2 デジタル階調データ集合を記憶する段階をさらに含み、

前記第 1 階調電圧集合の出力段階は、

前記マルチプレクサーを利用して前記第 1 及び第 2 デジタル階調データ集合の中から前記第 1 デジタル階調データ集合を選択する段階、及び

前記第 1 デジタル階調データ集合をアナログ変換して前記第 1 階調電圧集合を生成する段階、

を含み、

前記第 2 階調電圧集合の出力段階は、

前記マルチプレクサーを利用して前記第 1 及び第 2 デジタル階調データ集合の中から前記第 2 デジタル階調データ集合を選択する段階、及び

前記第 2 デジタル階調データ集合をアナログ変換して前記第 2 階調電圧集合を生成する段階、

を含む、請求項 3 5 に記載の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動方法に関する。

【背景技術】

【0002】

一般的な液晶表示装置（LCD）は、画素電極及び共通電極が具備された二つの表示板と、その間に入っている誘電率異方性を有する液晶層とを含む。画素電極は、行列状に配

10

20

30

40

50

列されており、薄膜トランジスタ（ＴＦＴ）などのスイッチング素子に連結されて一行ずつ、順次、データ電圧の印加を受ける。共通電極は、表示板の全面に亘って形成されており、共通電圧の印加を受ける。画素電極と共通電極及びその間の液晶層は、回路的に見れば液晶キャパシタを成し、液晶キャパシタは、これに連結されたスイッチング素子と共に画素を構成する基本単位となる。

【０００３】

このような液晶表示装置では、二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。

その中でも、電界が印加されていない状態で液晶分子の長軸を上下表示板に対して垂直をなすように配列した垂直配向モード液晶表示装置は、コントラスト比が大きく広い基準視野角実現が容易であるため、脚光を浴びている。ここで、基準視野角とは、コントラスト比が１：１０である視野角または階調間輝度反転限界角度を意味する。

【０００４】

垂直配向方式液晶表示装置において、広視野角を実現するための手段としては、電界生成電極に切開部を形成する方法と、電界生成電極上に突起を形成する方法などがある。切開部と突起によって液晶分子が傾く方向を決定することができるので、これらを用いて液晶分子の傾斜方向をいろいろな方向に分散させることによって基準視野角を広くすることができる。

【０００５】

しかし、垂直配向方式の液晶表示装置は前面視認性に比べて側面視認性が劣る問題点がある。例えば、切開部が具備されたＰＶＡ方式液晶表示装置の場合には、側面に行くほど画像が明るくなって、激しい場合には高い階調の間の輝度差がなくなり画像が歪んで見える場合も発生する。

このような問題点を改善するために、一つの画素を二つの副画素に分割し、二つの副画素を容量性結合させた後、一方の副画素には直接電圧を印加し、他方の副画素には容量性結合による電圧下降を起こして、二つの副画素の電圧を異にすることによって透過率を異にする方法が提示されている。

【０００６】

しかし、このような方法は、二つの副画素の透過率を所望の水準に正確に合わせることができないという問題点がなく、特に色相によって光透過率が異なるので、各色相に対する電圧配合を異にしなければならないにもかかわらず、これを行うことができない。また、容量性結合のための導電体の追加などによる開口率の低下が現れ、容量性結合による電圧降下によって透過率が減少する問題がある。

【０００７】

一方、この時、液晶層に一方向の電界が長く印加されることによって発生する劣化現象などを防止するために、フレーム毎に、所定数の行または列毎に、または画素毎に共通電圧に対するデータ電圧の極性を反転させる。このようなデータ電圧の反転方式の中で、所定列毎にデータ電圧の極性を反転させる列反転（column inversion）の場合、一つのデータ線を流れるデータ電圧の極性が１フレーム内では一定に維持されるので、データ線の信号遅延問題が大幅減るだけでなく、消費電力が小さいという長所がある。

【０００８】

しかし、列反転は垂直フリッカー現象や垂直クロストルク現象などによって液晶表示装置の画質が良好でないことがある。

【発明の開示】

【発明が解決しようとする課題】

【０００９】

これを改善するために、データ線を流れるデータ電圧の極性反転形態は列反転を維持し、各画素列の画素を左右のデータ線に交互に連結して、実質的にドット反転（dot inversion）

10

20

30

40

50

n v e r s i o n) の形態を有するようにする方法がある。

しかし、このように画素を設計する場合、下上に隣接した二つの画素の形態を正確に一致させ難いため、次のような問題が発生することがある。第一に、二つの画素の開口率を正確に一致させ難く、開口率が一致しない場合には使用者の目に立ちやすい。第二に、開口率を同一に設計しても整列偏差によって二つの画素の電氣的、光学的特性が変わることがある。第三に、画素電極にV字状 (c h e v r o n) の切開部を設ける場合、開口率などを同一にするためには二つの画素の切開部方向を反対にしなければならず、このようなパターンの不一致によって横縞または縦縞が生じることがある。最後に、液晶表示装置を検査する時、上下二つの画素を一つの単位として検査を行わなければならないので面倒である。

10

【 0 0 1 0 】

本発明が目的とする技術的課題はこのような問題点を解決することである。

【課題を解決するための手段】

【 0 0 1 1 】

第 1 及び第 2 副画素を含む複数の画素、

前記第 1 副画素と連結されていて、第 1 ゲート信号を伝達する第 1 ゲート線、

前記第 2 副画素と連結されていて、第 2 ゲート信号を伝達する第 2 ゲート線、

前記第 1 及び第 2 ゲート線と交差し、前記第 1 及び第 2 副画素に連結されていて、一つの画像情報から得られる第 1 データ電圧及び第 2 データ電圧をそれぞれ前記第 1 副画素及び前記第 2 副画素に伝達するデータ線、

20

互いに異なる第 1 及び第 2 階調電圧集合を生成する階調信号生成回路、

前記画像情報に基づく第 1 画像信号と第 2 画像信号に該当する階調電圧を前記第 1 及び前記第 2 階調電圧集合から各々選択して出力する選択回路、

前記選択回路からの階調信号集合に基づいて画像データに対応する前記第 1 及び第 2 データ電圧を生成して前記第 1 及び第 2 副画素に各々印加する前記データ線に印加するデータ駆動部、及び

前記第 1 及び第 2 ゲート線に順次に前記第 1 及び第 2 ゲートオン電圧を印加するゲート駆動部、

を含み、

同一のデータ線に接続される前記画素は同一極性のデータ電圧の印加を受け、隣接するデータ線に接続される前記画素に印加されるデータ電圧の極性は互いに異なるように列反転駆動され、

30

互いに隣接する前記第 1 副画素及び前記第 2 副画素に伝達される前記第 1 ゲート信号及び前記第 2 ゲート信号のゲートオン時間の少なくとも一部が重疊することで、順次に伝達される全ての前記第 1 ゲート信号と前記第 2 ゲート信号のゲートオン時間が順次に重疊している、

表示装置を提供する。

【 0 0 1 2 】

第 1 及び第 2 副画素を含む複数の画素、

前記第 1 副画素と連結されていて、第 1 ゲート信号を伝達する第 1 ゲート線、

前記第 2 副画素と連結されていて、第 2 ゲート信号を伝達する第 2 ゲート線、

前記第 1 及び第 2 ゲート線と交差し、前記第 1 及び第 2 副画素に連結されていて、一つの画像情報から得られる第 1 データ電圧及び第 2 データ電圧をそれぞれ前記第 1 副画素及び前記第 2 副画素に伝達するデータ線、

40

周期的に値が変化する複数の基準電圧を生成する基準電圧生成回路、

前記基準電圧に基づいて複数の階調電圧を生成する階調電圧生成回路、

前記階調電圧生成回路からの階調電圧集合より、前記画像情報に基づく第 1 画像信号と第 2 画像信号に対応する階調電圧を選択して、前記第 1 及び第 2 データ電圧として前記データ線に印加するデータ駆動部、及び

前記第 1 及び第 2 ゲート線に順次に前記第 1 及び第 2 ゲート信号を印加するゲート駆動

50

部、

を含み、

同一のデータ線に接続される前記画素は同一極性のデータ電圧の印加を受け、隣接するデータ線に接続される前記画素に印加されるデータ電圧の極性は互いに異なるように列反転駆動され、

互いに隣接する前記第1副画素及び前記第2副画素に伝達される前記第1ゲート信号及び前記第2ゲート信号のゲートオン時間の少なくとも一部が重畳することで、順次に伝達される全ての前記第1ゲート信号と前記第2ゲート信号のゲートオン時間が順次に重畳している、

表示装置を提供する。

10

【0013】

第1及び第2副画素を含む画素、

前記第1副画素に連結されていて、第1ゲート信号を伝達する第1ゲート線、

前記第2副画素と連結されていて、第2ゲート信号を伝達する第2ゲート線、

前記第1ゲート線と交差して前記第1副画素にデータ電圧を伝達する第1データ線、及び

前記第2ゲート線と交差して前記第2副画素にデータ電圧を伝達する第2データ線、

を含み、

前記第1及び第2副画素は、互いに異なる大きさであり、かつ異なる極性のデータ電圧の印加を受け、

20

同一の前記第1データ線に接続される前記第1副画素は同一極性のデータ電圧の印加を受け、同一の前記第2データ線に接続される前記第2副画素は同一極性のデータ電圧の印加を受け、前記第1副画素に印加されるデータ電圧の極性と前記第2副画素に印加されるデータ電圧の極性とは互いに異なるように列反転駆動され、

前記第1データ線又は前記第2データ線を挟んで互いに隣接する前記第1副画素及び前記第2副画素に伝達される前記第1ゲート信号及び前記第2ゲート信号のゲートオン時間の少なくとも一部が重畳している、表示装置を提供する。

【0014】

前記第1副画素に印加されるデータ電圧と前記第2副画素に印加されるデータ電圧は一つの画像情報から得られると好ましい。

30

前記第1副画素は、前記第1ゲート線と連結されている第1スイッチング素子、及びこれに連結されている第1液晶キャパシタを含み、

前記第2副画素は、前記第2ゲート線と連結されている第2スイッチング素子、及びこれに連結されている第2液晶キャパシタを含むと好ましい。

【0015】

ここで、前記第1液晶キャパシタは、前記第1スイッチング素子と連結されている第1副画素電極を含み、

前記第2液晶キャパシタは、前記第2スイッチング素子と連結されている第2副画素電極を含むと好ましい。

ここで、前記第1副画素電極と第2副画素電極との間隙の延在する方向は、前記第1ゲート線、前記第2ゲート線及び前記データ線と斜角をなしていると好ましい。

40

【0016】

前記第1及び第2副画素電極のうちの少なくとも一つは切開部を有しており、前記切開部の延在する方向は、前記第1ゲート線、前記第2ゲート線及び前記データ線と斜角をなしていると好ましい。

ここで、前記第1及び第2副画素電極は、前記第1及び第2副画素電極と対向する共通電極を共通にさらに含み、

前記共通電極は切開部を有しており、前記切開部の延在する方向は、前記第1ゲート線、前記第2ゲート線、前記データ線と斜角をなしていると好ましい。

【0017】

50

ここで、第 1 副画素に含まれる第 1 スイッチング素子は前記第 1 ゲート線及び前記データ線と連結されており、第 2 副画素に含まれる第 2 スイッチング素子は前記第 2 ゲート線及び前記データ線と連結されており、

前記第 1 スイッチング素子は、前記第 1 ゲート線からの信号によって導通して前記データ線からの信号を伝達し、

前記第 2 スイッチング素子は、前記第 2 ゲート線からの信号によって導通して前記データ線からの信号を伝達すると好ましい。

【 0 0 1 8 】

ここで、第 1 副画素に含まれる第 1 スイッチング素子は前記第 1 ゲート線及び前記第 1 データ線と連結されており、第 2 副画素に含まれる第 2 スイッチング素子は前記第 2 ゲート線及び前記第 2 データ線と連結されており、

10

前記第 1 スイッチング素子は、前記第 1 ゲート線からの信号によって導通して前記第 1 データ線からの信号を伝達し、

前記第 2 スイッチング素子は、前記第 2 ゲート線からの信号によって導通して前記第 2 データ線からの信号を伝達すると好ましい。

【 0 0 1 9 】

ここで、前記第 1 副画素は、前記第 1 スイッチング素子と連結されている第 1 ストレージキャパシタをさらに含み、

前記第 2 副画素は、前記第 2 スイッチング素子と連結されている第 2 ストレージキャパシタをさらに含むと好ましい。

20

【 0 0 2 0 】

ここで、互いに異なる第 1 及び第 2 階調電圧集合を生成する階調信号生成回路、

前記画像情報に基づく第 1 画像信号と第 2 画像信号に該当する階調電圧を前記第 1 及び前記第 2 階調電圧集合から各々選択して出力する選択回路、

前記選択回路からの階調信号集合に基づいて画像データに対応する前記データ電圧を生成して前記第 1 及び第 2 副画素に各々印加する前記第 1 及び第 2 データ線に印加するデータ駆動部、及び

前記第 1 及び第 2 ゲート線に順次に前記第 1 及び第 2 ゲートオン電圧を印加するゲート駆動部、

をさらに含むと好ましい。

30

【 0 0 2 1 】

ここで、周期的に値が変化する複数の基準電圧を生成する基準電圧生成回路、

前記基準電圧に基づいて複数の階調電圧を生成する階調電圧生成回路、

前記階調電圧生成回路からの階調電圧集合より、前記画像情報に基づく第 1 画像信号と第 2 画像信号に対応する階調電圧を選択して、前記データ電圧として前記第 1 及び第 2 データ線に印加するデータ駆動部、及び

前記第 1 及び第 2 ゲート線に順次に前記第 1 及び第 2 ゲート信号を印加するゲート駆動部、

をさらに含むと好ましい。

【 0 0 2 2 】

40

ここで、前記各画素の第 1 副画素と第 2 副画素は容量性結合されていると好ましい。

ここで、前記第 1 データ電圧の極性は、所定時間一定であると好ましい。

ここで、前記階調電圧はアナログ階調電圧を含むと好ましい。

ここで、前記選択回路はアナログスイッチを含むと好ましい。

ここで、前記選択回路はアナログマルチプレクサーを含むと好ましい。

ここで、前記選択回路は前記データ駆動部と統合されていると好ましい。

【 0 0 2 3 】

ここで、前記階調信号生成回路は各々複数の抵抗列を有する複数のアナログ電圧生成回路を含むと好ましい。

ここで、前記階調電圧はデジタル階調データを含むと好ましい。

50

ここで、前記選択回路が選択したデジタル階調データ集合の各階調データをアナログ変換して、複数の階調電圧を生成するデジタル - アナログ変換器をさらに含むと好ましい。

ここで、前記選択回路は前記階調信号生成回路に連結されている複数のマルチプレクサーを含むと好ましい。

【0024】

ここで、前記第1ゲートオン電圧の印加時間と前記第2ゲートオン電圧の印加時間とは同一であると好ましい。

ここで、前記第2副画素電極の前記第2方向の長さが前記第1副画素電極よりも長く、前記第1副画素電極は前記第2副画素電極の第2方向の長さ内に位置すると好ましい。

【0025】

ここで、前記第1及び第2副画素電極は各々前記第1方向に延在した一つの直線を中心に実質的に対称の形状を有していると好ましい。

ここで、前記第1及び第2副画素電極と重畳する維持電極線をさらに含むと好ましい。

【0026】

ここで、前記第1及び第2薄膜トランジスタは、各々前記第1または第2ゲート線と連結されているゲート電極、前記データ線と連結されているソース電極及び前記第1または第2副画素電極と連結されているドレイン電極を含み、

ここで、前記維持電極線は前記ドレイン電極と重畳すると好ましい。

ここで、前記第1副画素電極の電圧と所定電圧との差は、前記第2副画素電極の電圧と前記所定電圧との差よりも小さいと好ましい。

【0027】

ここで、前記データ線と重畳し、前記第1及び第2表示電極と同一層に位置する遮蔽電極をさらに含むと好ましい。

【0028】

絶縁基板上に形成されており、第1及び第2副画素を含む画素のうち、前記第1副画素と連結されていて第1ゲート信号を伝達する第1ゲート線と、前記第2副画素と連結されていて第2ゲート信号を伝達する第2ゲート線と、を含むゲート線、

前記第1及び第2ゲート線と絶縁されて交差している第1及び第2データ線、

前記第1ゲート線と前記第1データ線に連結されていて、第1ドレイン電極を含む第1薄膜トランジスタ、

前記第2ゲート線と前記第2データ線に連結されていて、第2ドレイン電極を含む第2薄膜トランジスタ、

前記第1及び第2ゲート線、前記第1及び第2データ線及び前記第1及び第2薄膜トランジスタを覆っており、前記第1データ線の一部を露出する第1接触孔と、前記第2データ線の一部を露出する第2接触孔を有する保護膜、及び

前記第1接触孔を通じて前記第1ドレイン電極と連結されている第1副画素電極と、前記第2接触孔を通じて前記第2ドレイン電極と連結されている第2副画素電極とを含む画素電極、

を含み、

前記第1及び第2副画素は、互いに異なる大きさであり、かつ異なる極性のデータ電圧の印加を受け、

同一の前記第1データ線に接続される前記第1副画素は同一極性のデータ電圧の印加を受け、同一の前記第2データ線に接続される前記第2副画素は同一極性のデータ電圧の印加を受け、前記第1副画素に印加されるデータ電圧の極性と前記第2副画素に印加されるデータ電圧の極性とは互いに異なるように列反転駆動され、

前記第1データ線又は前記第2データ線を挟んで互いに隣接する前記第1副画素及び前記第2副画素に伝達される前記第1ゲート信号及び前記第2ゲート信号のゲートオン時間の少なくとも一部が重畳している、薄膜トランジスタ表示板を提供する。

【0029】

ここで、前記第1及び第2副画素電極と絶縁されていて、前記第1及び第2ゲート線ま

10

20

30

40

50

たは前記第 1 及び第 2 データ線と少なくとも一部重畳している遮蔽電極をさらに含むと好ましい。

ここで、前記画素電極と前記遮蔽電極は前記保護膜上部に位置すると好ましい。

ここで、前記第 1 及び第 2 ドレイン電極と重畳して保持容量を形成する維持電極を有する維持電極線をさらに含むと好ましい。

ここで、前記遮蔽電極と前記維持電極は実質的に同一の電圧の印加を受けると好ましい。

ここで、前記遮蔽電極は前記第 1 及び第 2 データ線を完全に覆うと好ましい。

ここで、前記第 1 副画素電極の面積は前記第 2 副画素電極の面積と異なると好ましい。

【0030】

10

前記表示装置の駆動方法であって、

画像データの入力を受ける段階、

前記入力画像データを二つ以上のデータ電圧に変換する段階、及び

前記変換されたデータ電圧を当該副画素に印加する段階、

を含み、

前記変換段階は、

二つ以上の階調電圧集合を生成する段階、及び

前記二つ以上の階調電圧集合のそれぞれから前記入力画像データに対応する階調電圧を選択してデータ電圧にする段階、を含む、表示装置の駆動方法を提供する。

【0031】

20

ここで、前記表示装置の駆動方法であって、

画像データの入力を受ける段階、

前記入力画像データを二つ以上のデータ電圧に変換する段階、及び

前記変換されたデータ電圧を当該副画素に印加する段階、

を含み、

前記変換段階は、

前記入力画像データを二つ以上の出力画像データに変換する段階、及び

一つの階調電圧集合から前記二つ以上の出力画像データに対応する階調電圧を選択してデータ電圧にする段階、

を含むと好ましい。

30

【0032】

前記表示装置の駆動方法であって、

行列状に配列されていて、第 1 及び第 2 副画素を各々含む複数の画素を含む液晶表示装置の駆動方法であって、

前記第 1 副画素に第 1 極性の第 1 データ電圧を印加する段階、及び

前記第 2 副画素に前記第 1 極性と反対である第 2 極性の第 2 データ電圧を印加する段階、

を含む、表示装置の駆動方法を提供する。

【0033】

ここで、前記各データ電圧は二つ以上の副画素に同時に印加されると好ましい。

40

【0034】

前記表示装置の駆動方法であって、

画像データを伝送する段階、

第 1 階調電圧集合を出力する段階、

前記画像データを前記第 1 階調電圧集合の階調電圧の中から選択された第 1 データ電圧に変換する段階、

前記第 1 データ電圧を前記第 1 副画素に印加する段階、

マルチプレクサーを利用して前記第 1 階調電圧集合を前記第 1 階調電圧集合と値の異なる第 2 階調電圧集合に代替して出力する段階、

前記画像データを前記第 2 階調電圧集合の階調電圧の中から選択された第 2 データ電圧

50

に変換する段階、及び

前記第 2 データ電圧を前記第 2 副画素に印加する段階、
を含む、表示装置の駆動方法を提供する。

【0035】

ここで、前記駆動方法は前記第 1 及び第 2 階調電圧集合を生成する段階をさらに含み、
前記第 1 階調電圧集合の出力段階は、前記マルチプレクサーを利用して前記第 1 及び第
2 階調電圧集合の中から前記第 1 階調電圧集合を選択する段階を含み、
前記第 2 階調電圧集合の出力段階は、前記マルチプレクサーを利用して前記第 1 及び第
2 階調電圧集合の中から前記第 2 階調電圧集合を選択する段階を含むと好ましい。

【0036】

ここで、前記駆動方法は第 1 及び第 2 デジタル階調データ集合を記憶する段階をさらに
含み、

前記第 1 階調電圧集合の出力段階は、

前記マルチプレクサーを利用して前記第 1 及び第 2 デジタル階調データ集合の中から前
記第 1 デジタル階調データ集合を選択する段階、及び

前記第 1 デジタル階調データ集合をアナログ変換して前記第 1 階調電圧集合を生成する
段階、

を含み、

前記第 2 階調電圧集合の出力段階は、

前記マルチプレクサーを利用して前記第 1 及び第 2 デジタル階調データ集合の中から前
記第 2 デジタル階調データ集合を選択する段階、及び

前記第 2 デジタル階調データ集合をアナログ変換して前記第 2 階調電圧集合を生成する
段階、

を含むと好ましい。

【発明の効果】

【0037】

本発明によれば、二つの副画素電圧を所望の水準に正確に合わせることによって、視認
性を向上し、開口率を高め、透過率を向上させる。

【発明を実施するための最良の形態】

【0038】

添付図面を参照して本発明の実施形態について本発明の属する技術分野における通常の
知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な相異
な形態に実現でき、ここで説明する実施形態に限定されない。

図面において、複数の層及び領域を明確に表現するために厚さを拡大して示した。明細
書全体にわたって類似な部分については同一図面符号を付けた。層、膜、領域、板などの
部分が他の部分の“上”にあるとする時、これは他の部分の“直上”にある場合だけでなく、
その中間に他の部分がある場合も含む。逆に、ある部分が他の部分の“直上”にある
とする時は中間に他の部分がないことを意味する。

【0039】

まず、図 1 及び図 2 を参照して本発明の一実施形態による液晶表示装置について詳細に
説明する。

図 1 は本発明の一実施形態による液晶表示装置のブロック図であり、図 2 は本発明の一
実施形態による液晶表示装置の二つの副画素に対する等価回路図である。

図 1 を参考すれば、本発明の一実施形態による液晶表示装置は、液晶表示板組立体 300
と、これに連結されたゲート駆動部 400、データ駆動部 500、データ駆動部 500
に連結された階調電圧生成部 800、並びにこれらを制御する信号制御部 600 を含む。

【0040】

液晶表示板組立体 300 は、等価回路的には、複数の信号線（図示せず）と、これに連
結されてほぼ行列状に配列された複数の画素 PX を含む。反面、図 2 に示した構造を参考
すれば、液晶表示板組立体 300 は、互いに対向する下部表示板 100 及び上部表示板 2

10

20

30

40

50

00と、その間に入っている液晶層3を含む。

信号線は、ゲート信号（“走査信号”とも言う）を伝達する複数のゲート線（図示せず）と、データ信号を伝達する複数のデータ線（図示せず）を含む。ゲート線は、ほぼ行方向に延在して、互いにほぼ平行であり、データ線は、ほぼ列方向に延在して、互いにほぼ平行である。

【0041】

図2を参考すれば、各画素PXは一对の副画素を含み、各副画素は液晶キャパシタC1ca/C1cbと、ゲート線、データ線及び液晶キャパシタC1ca/C1cbと連結されたスイッチング素子Qa/Qbを含む。

各スイッチング素子Qa/Qbは、下部表示板100に備えられている薄膜トランジスタなどからなり、ゲート線と連結されている制御端子、データ線と連結されている入力端子、並びに液晶キャパシタC1ca/C1cbと連結されている出力端子を有する三端子素子である。

【0042】

液晶キャパシタC1ca/C1cbは、下部表示板100の副画素電極PEa/PEbと上部表示板200の共通電極CEとを二つの端子とし、副画素電極PEa/PEbと共通電極CEとの間の液晶層3が誘電体として機能する。一对の副画素電極PEa、PEbは、互いに分離されており、一つの画素電極PEをなす。共通電極CEは、上部表示板200の全面に形成されており、共通電圧Vcomの印加を受ける。図2とは異なって、共通電極CEが下部表示板100に備えられることもあり、その場合には二つの電極PE、CEのうちの少なくとも一つを線状または棒状に作ることができる。

【0043】

一方、色表示を実現するため、各画素PXが基本色のうちの一つを固有に表示したり（空間分割）、各画素PXが時間によって交互に基本色を表示するように（時間分割）し、これら基本色の空間的、時間的作用によって所望の色相が認識できるようにする。基本色の例としては、赤色、緑色、青色などの三原色がある。図2は、空間分割の一例であって、各画素PXが上部表示板200の領域に基本色のうちの一つの色のカラーフィルタCFを備えている様子を示す。図2とは異なって、カラーフィルタCFは、下部表示板100の副画素電極PEa、PEb上または下に形成することもできる。

【0044】

表示板100、200の外側面には、各々偏光子（図示せず）が付着されているが、反射型液晶表示装置の場合には二つの偏光子のうちの一つを省略することができる。

再び図1を参考にすれば、階調電圧生成部800は、画素PXの透過率に関わる複数の階調電圧を生成する。しかし、階調電圧生成部800が全階調に対する階調電圧を直接生成せず、階調電圧を生成する基準となる階調基準電圧のみを生成して出力することもできる。

【0045】

ゲート駆動部400は、液晶表示板組立体300のゲート線に連結され、ゲートオン電圧Vonとゲートオフ電圧Voffの組み合わせからなるゲート信号Vgをゲート線に印加する。

データ駆動部500は、液晶表示板組立体300のデータ線に連結され、階調電圧生成部800からの階調電圧を選択して、これをデータ信号Vdとしてデータ線に印加する。しかし、階調電圧生成部800が全階調に対する電圧を全て提供せず、決められた数の基準階調電圧のみを提供する場合に、データ駆動部500は基準階調電圧を分圧して全体階調に対する階調電圧を生成し、この中でデータ信号Vdを選択する。

【0046】

信号制御部600は、ゲート駆動部400及びデータ駆動部500などを制御する。

このような駆動装置400、500、600、800は、各々少なくとも一つの集積回路チップの形態で液晶表示板組立体300上に直接装着されたり、可撓性印刷回路膜（図示せず）上に装着されて、TCP（tape carrier package）の形態

10

20

30

40

50

で液晶表示板組立体300に付着されたり、別途の印刷回路基板(図示せず)上に装着されることもできる。これとは異なって、これら駆動装置400、500、600、800が液晶表示板組立体300に集積されることもできる。また、駆動装置400、500、600、800は、単一チップで集積されることができ、この場合にはこれらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子が単一チップの外側に位置することができる。

【0047】

以下、図3a乃至図4bを参照して、本発明の一実施形態による液晶表示装置について詳細に説明する。

図3a乃至図3cは、本発明の実施形態による液晶表示装置のブロック図であり、図4a及び図4bは、本発明の実施形態による液晶表示装置の一画素に対する等価回路図である。

10

【0048】

図3a乃至図3cを参考すれば、本発明の実施形態による液晶表示装置は、液晶表示板組立体300、一對または一つのゲート駆動部400a、400b、410、420、データ駆動部500、階調電圧生成部800、並びに信号制御部600を含む。

液晶表示板組立体300は、複数の信号線と、これに連結されてほぼ行列状に配列された複数の画素PXを含む。

【0049】

信号線は、下部表示板100(図2参考)に備えられており、ゲート信号(“走査信号”とも言う)を伝達する複数のゲート線 $G_{1a} - G_{nb}$ と、データ信号を伝達するデータ線 $D_1 - D_m$ を含む。

20

図4a及び図4bには、信号線と画素PXの等価回路が示されているが、図面符号GLa、GLbで示した上部及び下部ゲート線と、図面符号DLで示したデータ線、その他にも表示信号線は、ゲート線 $G_1 - G_{2b}$ とほぼ並んで延在した維持電極線SLを含む。

【0050】

図4aに示した液晶表示装置の場合、各画素PXは、一對の副画素PXa、PXbを含み、各副画素PXa/PXbは、該当ゲート線GLa/GLb及びデータ線DLに連結されているスイッチング素子Qa/Qb、これに連結された液晶キャパシタ C_{1ca}/C_{1cb} 、並びにスイッチング素子Qa/Qbと維持電極線SLの間に連結されているストレージキャパシタ C_{sta}/C_{stb} を含む。ストレージキャパシタ C_{sta} 、 C_{stb} は、必要に応じて省略することができ、その場合には維持電極線SLも必要ない。

30

【0051】

図4bに示した液晶表示装置の場合、各画素PXは、一對の副画素PXa、PXbと、これらの間に連結されている結合キャパシタCcpを含み、各副画素PXa/PXbは、該当ゲート線GLa/GLb及びデータ線DLに連結されているスイッチング素子Qa/Qbと、これに連結された液晶キャパシタ C_{1ca}/C_{1cb} を含む。そして、二つの副画素PXa、PXbのうちの一つPXaは、スイッチング素子Qaと維持電極線SLの間に連結されているストレージキャパシタ C_{sta} を含む。

【0052】

40

液晶キャパシタ C_{1ca}/C_{1cb} の補助的な役割を果たすストレージキャパシタ C_{sta}/C_{stb} は、構造的な側面で、維持電極線SLと画素電極PEa/PEbが絶縁体を介して重畳してなり、維持電極線SLには共通電圧Vcomなどの決められた電圧が印加される。しかし、ストレージキャパシタ C_{sta} 、 C_{stb} は、副画素電極PEa、PEbが絶縁体を媒介としてすぐ上の前段ゲート線と重畳してなることができる。

【0053】

再び図3a乃至図3cを参考すれば、ゲート駆動部400a、400b、410、420は、ゲート線 $G_{1a} - G_{nb}$ に連結され、外部からのゲートオン電圧Vonとゲートオフ電圧Voffの組み合わせからなるゲート信号をゲート線 $G_{1a} - G_{nb}$ に印加する。図3aでは、一對のゲート駆動部400a、400bが、各々液晶表示板組立体300の左右に位

50

置し、奇数番目及び偶数番目ゲート線 $G_{1a} - G_{nb}$ に各々連結され、図 3 b 及び図 3 c に示した一つのゲート駆動部 4 1 0、4 2 0 は、液晶表示板組立体 3 0 0 の一側に位置し、全ゲート線 $G_{1a} - G_{nb}$ に連結されており、図 3 c の場合、ゲート駆動部 4 2 0 内に二つの駆動回路 4 2 1、4 2 2 が内装されており、各々奇数番目及び偶数番目ゲート線 $G_{1a} - G_{nb}$ に連結される。

【 0 0 5 4 】

階調電圧生成部 8 0 0 は、画素の透過率に関わる二つの階調電圧集合（または、基準階調電圧集合）を生成する。二つの階調電圧集合は、一つの画素 PX を構成する二つの副画素 PXa 、 PXb に独立的に提供されるものであって、各階調電圧集合は、共通電圧 V_{com} に対して正の値を有するものと、負の値を有するものを含む。しかし、二つの（基準）階調電圧集合の代わりに、一つの（基準）階調電圧集合のみを生成することもできる。

10

【 0 0 5 5 】

以下、図 3 a 乃至図 4 b に示した液晶表示装置における階調電圧生成部とデータ駆動部の多様な例について、図 5 a 乃至 5 c を参照して詳細に説明する。

図 5 a に示した例の液晶表示装置は、二つの電圧生成抵抗列 $GStr1$ 、 $GStr2$ を含む階調電圧生成部 8 0 0 と、データ駆動部 5 0 0 の他に、これらの間に連結され、選択信号 SE によって階調電圧生成部 8 0 0 からの二つの階調電圧集合のうちの一つを選択するアナログスイッチ $SW850$ を別個の部分としてさらに含む。

【 0 0 5 6 】

図 5 b に示した例の液晶表示装置は、図 5 a に示したアナログスイッチ 8 5 0 をデータ駆動部 5 0 0 内に統合した構造を有している。図面において、図面符号 5 1 0 は、従来のデータ駆動部機能ブロックを示す。

20

図 5 c に示した例の液晶表示装置は、階調電圧生成部 8 0 0 の代わりに、基準電圧変更回路 $VCC860$ のみを設けて、選択信号 SE によって大きさが変わる所定数の基準電圧を生成するようにし、データ駆動部 5 0 0 内に階調電圧を生成することができる電圧生成抵抗列 $GStr560$ を設けて、基準電圧変更回路 $VVC860$ から供給される基準電圧によって互いに異なる複数のガンマ電圧集合を生成するようにしている。

【 0 0 5 7 】

図 5 c に示した基準電圧変更回路と電圧生成抵抗列の一例を図 6 に示した。

図 6 を参考すれば、電圧生成抵抗列 5 6 0 は、一列に連結されている複数の抵抗 $R201 \sim R211$ を含み、中央の抵抗 $R206$ と、その両側に連結されており、各々五つの抵抗 $R201 \sim R205$ 、 $R207 \sim R211$ を含む第 1 及び第 2 抵抗集合に分けることができる。第 1 抵抗集合 $R201 \sim R205$ と第 2 抵抗集合 $R207 \sim R211$ の一端は、各々接地電圧などの低電圧と電源電圧 ($AVDD$) に連結されている。

30

【 0 0 5 8 】

基準電圧変更回路 8 6 0 は、中央抵抗 $R206$ 、第 1 抵抗集合 $R201 \sim R205$ 、及び第 2 抵抗集合 $R207 \sim R211$ の両端に各々連結されている NPN 及び PNP 双極性 ($bipolar$) トランジスタ $Q1$ 、 $Q2$ 、 $Q3$ 、その間に連結されており、直列に連結された抵抗 $R1$ 、 $R2$ 、及びダイオード $D1$ 、 $D2$ 対を含む。電源電圧 $AVDD$ が入力される高電圧入力端とトランジスタ $Q3$ の間には、抵抗 $R5$ 、 $R7$ を介してベースに低電圧の印加を受ける PNP トランジスタ $Q4$ が、ダイオード $D3$ を介在して連結されている。 NPN トランジスタ $Q2$ は、抵抗 $R3$ を介して選択信号 SE 入力端に連結されており、 PNP トランジスタ $Q3$ は、抵抗 $R4$ 、 $R6$ を介して高電圧入力端に連結されている。トランジスタ $Q1$ 、 $Q3$ のベースの間にはキャパシタ $C2$ が、トランジスタ $Q2$ 、 $Q4$ の間には抵抗 $R3$ 、 $R5$ を介在してキャパシタ $C1$ が連結されており、抵抗 $R4$ 、 $R6$ の間にはキャパシタ $C3$ が連結されている。

40

【 0 0 5 9 】

このような基準電圧変更回路 8 6 0 において、トランジスタ $Q3$ は常に導通状態であるので、その一端には電源電圧 $AVDD$ が印加される。選択信号 SE が低い値である場合、トランジスタ $Q4$ はターンオフされて、高電圧との連結を遮断し、トランジスタ $Q2$ は導

50

通して、低電圧との通路を作る。これによって、接点N 1、N 2には低い電圧が印加される。逆に、選択信号S Eが高い値である場合、トランジスタQ 2がターンオフされて、低電圧との連結を遮断し、トランジスタQ 4が導通して、高電圧との通路を作る。これによって、接点N 1、N 2には抵抗R 1、R 6などによって決定される高い電圧が印加される。

【0060】

以下、このような液晶表示装置の表示動作について詳細に説明する。

信号制御部600は、外部のグラフィック制御器(図示せず)から入力画像信号R、G、B、及びその表示を制御する入力制御信号を受信する。入力画像信号R、G、Bは、各画素P Xの輝度情報を含んでおり、輝度は決められた数、例えば、1024($=2^{10}$)、256($=2^8$)、または64($=2^6$)個の階調を有している。入力制御信号の例としては、垂直同期信号V s y n c、水平同期信号H s y n c、メインクロックM C L K、データイネーブル信号D Eなどがある。

10

【0061】

信号制御部600は、入力画像信号R、G、Bと入力制御信号に基づいて画像信号R、G、Bを液晶表示板組立体300の動作条件に合うように適切に処理し、ゲート制御信号C O N T 1及びデータ制御信号C O N T 2などを生成した後、ゲート制御信号C O N T 1をゲート駆動部400 a、400 b、410、420に送出し、データ制御信号C O N T 2と処理した画像信号D A Tをデータ駆動部500に送出する。

【0062】

20

ゲート制御信号C O N T 1は、走査開始を指示する走査開始信号S T Vと、ゲートオン電圧V o nの出力周期を制御する少なくとも一つのクロック信号を含む。ゲート制御信号C O N T 1は、また、ゲートオン電圧V o nの持続時間を限定する出力イネーブル信号O Eを含むことができる。ここで、クロック信号は、図5 a乃至図5 c及び図6に示した選択信号S Eとして使用されることができる。

【0063】

データ制御信号C O N T 2は、一束の副画素P X a、P X bに対するデジタル画像信号D A Tの伝送を知らせる水平同期開始信号S T Hとデータ線D₁ - D_mに該当データ電圧の印加を指示するロード信号L O A D、及びデータクロック信号H C L Kを含む。データ制御信号C O N T 2は、また、共通電圧V c o mに対するデータ電圧の極性(以下、“共通電圧に対するデータ電圧の極性”を略して“データ電圧の極性”という)を反転させる反転信号R V Sを含むことができる。

30

【0064】

信号制御部600からのデータ制御信号C O N T 2によって、データ駆動部500は、一束の副画素P X a、P X bに対する画像データD A Tを受信し、階調電圧生成部800からの二つの階調電圧集合のうちの一つの集合を選択し、選択した階調電圧集合のうちの各画像データD A Tに対応する階調電圧を選択することによって、画像データD A Tを該当データ電圧に変換した後、これを該当データ線D₁ - D_mに印加する。

【0065】

これとは異なって、図5 aのように、データ駆動部500ではなく、別途に具備された外部の選択回路850で二つの階調電圧集合のうちのいずれか一つを選択してデータ駆動部500に伝達したり、図5 cのように、階調電圧生成部800は値が変化する基準電圧を提供し、データ駆動部500はこれを分圧して自ら階調電圧を生成することもできる。

40

ゲート駆動部400 a、400 b、410、420は、信号制御部600からのゲート制御信号C O N T 1によって、ゲートオン電圧V o nをゲート線G_{1a} - G_{nb}に印加し、このゲート線G_{1a} - G_{nb}に連結されたスイッチング素子Q a、Q bを導通させる。これによって、データ線D₁ - D_mに印加されたデータ電圧が、導通したスイッチング素子Q a、Q bを介して該当副画素P X a、P X bに印加される。

【0066】

副画素P X a、P X bに印加されたデータ電圧と共通電圧V c o mの差は、液晶キャパ

50

シタC1c a、C1c bの充電電圧、つまり、画素電圧として現れる。液晶分子は、画素電圧の大きさに応じてその配列を異にし、そのため液晶層3を通過する光の偏光が変化する。このような偏光の変化は表示板100、200に付着された偏光子(図示せず)によって光透過率の変化として現れ、これによって、画素PXは画像信号DATの階調が示す輝度を表示する。

【0067】

前述の二つの階調電圧集合は、図7aに示したように、互いに異なるガンマ曲線Ta、Tbを示し、これらが一つの画素PXの二つの副画素Pxa、Pxbに印加されるので、一つの画素PXのガンマ曲線は、これらを合成した曲線Tとなる。二つの階調電圧集合を決定する際には合成ガンマ曲線Tが正面での基準ガンマ曲線に近くなるようにし、例えば、正面での合成ガンマ曲線Tは、最も適するように決められた正面での基準ガンマ曲線と一致するようにし、側面での合成ガンマ曲線Tは正面での基準ガンマ曲線と最も近くなるようにする。図7aにおいて、GS1とGSfは、最も低い入力階調と最も高い入力階調を意味する。例えば、下方に位置したガンマ曲線を低階調でさらに低くすれば、視認性がさらに向上することができる。

【0068】

1/2水平周期(または“1/2H”)[水平同期信号Hsync及びゲートクロックCPVの一周期]を単位として、データ駆動部500とゲート駆動部400a、400b、410、420は、同一の動作を繰り返す。このような方法で、1フレーム期間中、全ゲート線G₁-G_{2n}に対して、順次ゲートオン電圧Vonを印加して全画素にデータ電圧を印加する。1フレームが終了すれば次のフレームが開始し、各画素に印加されるデータ電圧の極性が直前フレームでの極性と逆になるように、データ駆動部500に印加される反転信号RVSの状態が制御される(フレーム反転)。この時、1フレーム期間内であっても反転信号RVSの特性に応じて、一つのデータ線を介して流れるデータ電圧の極性が変わったり(例：行反転、ドット反転)、隣接データ線を介して同時に流れるデータ電圧の極性も互いに異なることができる(例：列反転、ドット反転)。

【0069】

しかし、このような液晶表示装置の場合、通常の液晶表示装置に比べて2倍のゲート線を有するので、通常の方法でデータ電圧を印加すれば、電圧充電時間が短いため画素が目標輝度に到達できないことがあり、これは極性反転のためさらにそうである。したがって、隣接した二つのゲート線にゲートオン電圧Vonを印加する時間を一部重疊することができ、これは図3a及び図3cに示したゲート駆動部を採用すれば可能である。

【0070】

以下、多様なデータ電圧印加類型について、図8a乃至図8cを参照して詳細に説明する。

図8a乃至図8cは、本発明の実施形態による液晶表示装置の信号波形を時間によって示した図面であって、Vgaは上部ゲート線に印加されるゲート信号、Vgbは下部ゲート線に印加されるゲート信号、Vdは一つのデータ線に流れるデータ電圧である。

【0071】

ドット反転である場合には、隣接画素の極性が逆であるので、隣接画素のデータ電圧の印加を受けることが充電時間を減らすのにあまり役立たない。したがって、図8aに示したように、隣接画素の充電時間は重ならないようにし、一つの画素の二つの副画素の充電時間を重疊させるのが好ましい。これによって、後で充電される副画素は充電時間が減るので、図8a及び図8bに示したように、最初に充電される副画素に印加される階調電圧集合の大きさVgaより、後で充電される副画素に印加される階調電圧集合の大きさVgbを大きくするのが好ましい。

【0072】

しかし、列反転の場合には、上下に隣接した画素の極性が同一なので、隣接画素のデータ電圧を印加して事前充電をすることができる。したがって、図8bに示したように、全副画素の充電時間を一定時間以上重疊させることができる。

図 8 c は、図 1 B のゲート駆動部のように、一回に一つのゲート線にゲートオン電圧 V_{on} を印加することができる場合を示す。

【 0 0 7 3 】

以下、本発明の他の実施形態による液晶表示装置について、図 9 乃至図 1 1 を参照して詳細に説明する。

図 9 は、本発明の他の実施形態による液晶表示装置のブロック図であり、図 1 0 は、本発明の一実施形態による階調電圧生成部のブロック図であり、図 1 1 は、本発明の他の実施形態による液晶表示装置の階調電圧生成部のブロック図である。

【 0 0 7 4 】

図 9 に示した液晶表示装置は、図 3 b に示した液晶表示装置とほぼ同一である。つまり、本実施形態による液晶表示装置は、液晶表示板組立体 3 0 0、これに連結された一つのゲート駆動部 4 3 0、データ駆動部 5 0 0、データ駆動部 5 0 0 に連結された階調電圧生成部 9 0 0、並びにこれらを制御する信号制御部 6 0 0 を含む。

本実施形態による信号制御部 6 0 0 は、ゲート制御信号 $C_{ONT}1$ 及びデータ制御信号 $C_{ONT}2$ の他にも、階調電圧生成部 6 0 0 を制御する選択信号 S_E を生成して出力する。

【 0 0 7 5 】

また、本実施形態による階調電圧生成部 9 0 0 は、二つのアナログ階調電圧集合を別個に生成し、選択信号 S_E によって二つの階調電圧集合を交互に出力したり、予め保存されている二つのデジタル階調データ集合を選択信号 S_E によって交互に選択し、選択したデジタル階調データ集合に基づいてアナログ階調電圧集合を生成して出力する。後者の場合、二つのデジタル階調データ集合に各々対応する二つのアナログ階調電圧集合が交互に生成されると見ることができる。二つの階調電圧集合は、一つの画素を構成する二つの副画素に独立的に提供されるものであり、各階調電圧集合は、共通電圧 V_{com} に対して正の値を有するものと、負の値を有するものを含む。前述したように、階調電圧生成部 9 0 0 が全階調に対する階調電圧を直接生成せず、階調電圧を生成する基準となる階調基準電圧のみを生成して出力することもできる。

【 0 0 7 6 】

図 1 0 に示した階調電圧生成部 9 0 0 は、一対のデジタルレジスター 9 1 1、9 1 2 を含むレジスター部 9 1 0、デジタルレジスター 9 1 1、9 1 2 に連結されている複数のマルチプレクサー MUX を含むデータ選択部 9 2 0、及びマルチプレクサー MUX に各々連結されている複数の $DC-AC$ 変換器 DAC を含む変換部 9 3 0 を含む。

二つのデジタルレジスター 9 1 1、9 1 2 は、互いに異なるデジタル階調データ集合 $1a - X_a$ 、 $1b - X_b$ を記憶し、二つの階調データ集合 $1a - X_a$ 、 $1b - X_b$ は、対をなして互いに対応する。

【 0 0 7 7 】

各マルチプレクサー MUX は、二つのデジタルレジスター 9 1 1、9 1 2 から対応する一対の電圧 $r_{1a} \cdot r_{1b}$ 、 $r_{2a} \cdot r_{2b}$ 、 $r_{Xa} \cdot r_{Xb}$ を入力で受け、選択信号 S_E によって二つのうちの一つを選択して出力する。

各 $DC-AC$ 変換器 DAC は、マルチプレクサー MUX からのデジタルデータをアナログ電圧 r_1 、 r_2 、 r_X に変換して出力する。

【 0 0 7 8 】

図 1 1 に示した階調電圧生成部 9 0 0 は、一対の抵抗列 9 4 1、9 4 2 を含む電圧生成部 9 4 0 と、これに連結されているアナログマルチプレクサー $AMUX$ 9 5 0 を含む。

各抵抗列 9 4 1 は、複数の階調電圧からなる一つの階調電圧集合を生成し、二つの抵抗列 9 4 1 の階調電圧は互いに異なる。

アナログマルチプレクサー 9 5 0 は、電圧生成部 9 4 0 から入力を受けた二対の階調電圧集合のうちで一対の階調電圧集合を選択信号 S_E によって選択して出力する。

【 0 0 7 9 】

以下、図 9 乃至図 1 1 に示した液晶表示装置の動作について図 1 2 を参照して詳細に説

10

20

30

40

50

明する。

図12は、図9乃至図11に示した液晶表示装置に使用される多様な信号の波形図である。

前述の実施形態で説明したように、信号制御部600は、入力画像信号R、G、Bと入力制御信号に基づいて画像信号R、G、Bを処理する。信号制御部600は、ゲート制御信号CONT1、データ制御信号CONT2、及び選択信号SEなどを生成した後、ゲート制御信号CONT1をゲート駆動部430に送出し、データ制御信号CONT2と処理した画像信号DATをデータ駆動部500に送出し、選択信号SEは階調電圧生成部900に送出する。

【0080】

ゲート制御信号CONT1は、走査開始信号STVと少なくとも一つのクロック信号を含み、出力イネーブル信号OEをさらに含むことができる。データ制御信号CONT2は、水平同期開始信号STH、ロード信号TP、及びデータクロック信号HCLKを含み、反転信号RVSをさらに含むことができる。

選択信号SEは、階調電圧生成部900が生成した二つの階調電圧集合のうちのいずれか一つを選択することを指示する信号であって、水平同期開始信号STH、ロード信号TPなどと周期が同一である。

【0081】

一方、前述でゲート制御信号のうちのクロック信号の周期は、水平同期開始信号STHの2倍であることができ、この場合、これを選択信号SEとして使用することができる。

信号制御部600からの水平同期開始信号STHパルスにตอบสนองして、データ駆動部500は、一束の画素PX、例えば、i番目画素行に対する画像データdiをデータクロック信号HCLKに合せて受信する。画像データdiを受信する期間中、データ駆動部500は、以前画素行に対するデータ電圧をデータ線D₁ - D_mに印加する。画像データdiの受信が終了すれば、階調電圧生成部900は、信号制御部600からの選択信号SEによって決められた一つの階調(基準)電圧集合を出力し、データ駆動部500は、信号制御部600からのロード信号TPのパルスによって、階調電圧生成部900からの階調電圧のうちで各画像データdiに対応する階調電圧を選択することによって、画像データdiを該当データ電圧に変換した後、これを該当データ線D₁ - D_mに印加する。

【0082】

前述したように、階調電圧生成部900は階調基準電圧のみを提供する場合には、データ駆動部500は階調基準電圧を分圧して自ら階調電圧を生成することもできる。

ゲート駆動部430は、信号制御部600からのゲート制御信号CONT1によって、ゲートオン電圧Vonをゲート線G_{1a} - G_{nb}、例えば、i番目画素行の上側副画素PXaに連結されたゲート線G_{ia}に印加して、このゲート線G_{ia}に連結されたスイッチング素子Qaをターンオンさせ、そのためデータ線D₁ - D_mに印加されたデータ電圧が導通したスイッチング素子Qaを介して該当副画素PXaに印加される。

【0083】

次に、信号制御部600は、選択信号SEの値を変えて、階調電圧生成部900が異なる階調(基準)電圧集合を生成してデータ駆動部500に供給するようにする。これによって、データ駆動部500は、新たな階調電圧のうちで各画像データdiに対応する階調電圧を再び選択し、これをデータ電圧として該当データ線D₁ - D_mに印加する。

ゲート駆動部430は、信号制御部600からのゲート制御信号CONT1によってゲートオン電圧Vonを次のゲート線G_{1a} - G_{nb}、つまり、i番目画素行の下側副画素PXbに連結されたゲート線G_{ib}に印加して、このゲート線G_{ib}に連結されたスイッチング素子Qbをターンオンさせ、そのためデータ線D₁ - D_mに印加されたデータ電圧が導通したスイッチング素子Qbを介して該当副画素PXbに印加される。

【0084】

次に、図13及び図14を参照して本発明の他の実施形態による液晶表示装置について詳細に説明する。

図 1 3 は本発明の実施形態による液晶表示装置のブロック図であり、図 1 4 は図 1 3 に示す液晶表示装置に使用される多様な信号の波形図である。

図 1 3 を参照すれば、本発明の一実施形態による液晶表示装置は図 9 に示す液晶表示装置とほぼ同一な構造を有する。つまり、本実施形態による液晶表示装置は液晶表示板組立 3 0 0、ゲート駆動部 4 4 0、データ駆動部 5 0 0、階調電圧生成部 8 0 0、及び信号制御部 6 0 0 を含む。

【 0 0 8 5 】

但し、本実施形態の信号制御部 6 0 0 は別途に選択信号 $S E$ を生成することなく、階調電圧生成部 8 0 0 及びデータ駆動部 5 0 0 は画素の透過率に係る一つの（基準）階調電圧の集合のみを生成し、これを基準にデータ電圧を生成する。

その代わりに信号制御部 6 0 0 は一つの入力画像信号 R 、 G 、 B を一対の出力画像信号 $D A T a$ 、 $D A T b$ に変換して出力する。ここで、画像信号の変換は実験などによって予め決められて、ルックアップテーブル（図示せず）に記憶されているマッピング（ $m a p p i n g$ ）を通じて行われるか信号制御部 6 0 0 の演算を通じて行われる。

【 0 0 8 6 】

信号制御部 6 0 0 からの水平同期開始信号 $S T H$ 及びデータクロック信号 $H C L K$ によって、データ駆動部 5 0 0 は一組の副画素 $P X a$ 、 $P X b$ 、例えば、 i 番目の画素行の上側副画素 $P X a$ に対する画像データ $d i a$ を受信する。画像データ $d i a$ を受信する間、データ駆動部 5 0 0 は直前の画素行の下側副画素 $P X b$ に対するデータ電圧をデータ線 $D_1 - D_m$ に印加する。画像データ $d i a$ の受信が終われば、データ駆動部 5 0 0 は信号制御部 6 0 0 からのロード信号 $T P$ のパルスによって階調電圧生成部 8 0 0 からの階調電圧の中で各画像データ $d i a$ に対応する階調電圧を選択する。これによって画像データ $d i a$ を当該データ電圧に変換した後、これを当該データ線 $D_1 - D_m$ に印加する。

【 0 0 8 7 】

ゲート駆動部 4 4 0 は信号制御部 6 0 0 からのゲート制御信号 $C O N T 1$ によってゲートオン電圧 $V o n$ をゲート線 $G_{1a} - G_{nb}$ 、例えば、 i 番目の画素行の上部ゲート線 G_{ia} に印加して、このゲート線 G_{ia} に連結されたスイッチング素子 $Q a$ をターンオンさせる。これによってデータ線 $D_1 - D_m$ に印加されたデータ電圧がターンオンされたスイッチング素子 $Q a$ を通じて当該副画素 $P X a$ に印加される。図 1 4 で、 g_{ia} 、 g_{ib} は各々 i 番目の画素行の上部及び下部ゲート線 G_{ia} 、 G_{ib} に印加されるゲート信号を示す。

【 0 0 8 8 】

一方、信号制御部 6 0 0 は i 番目の画素行の上側副画素 $P X a$ に対する画像データ d_{ia} の伝送を終えた後、 i 番目の画素行の下側副画素 $P X b$ に対する画像データ d_{ib} を水平同期信号 $S T H$ の新たなパルスと共にデータ駆動部 5 0 0 に伝送する。その後、再びロード信号 $T P$ にパルスを与えてデータ駆動部 5 0 0 が再び階調電圧の中で各画像データ d_{ib} に対応する階調電圧を選択して、これをデータ電圧として当該データ線 $D_1 - D_m$ に印加するようにする。

【 0 0 8 9 】

ゲート駆動部 4 4 0 は信号制御部 6 0 0 からのゲート制御信号 $C O N T 1$ によってゲートオン電圧 $V o n$ を次のゲート線 $G_{1a} - G_{nb}$ 、つまり、 i 番目の画素行の下部ゲート線 G_{ib} に印加して、このゲート線 G_{ib} に連結されたスイッチング素子 $Q b$ をターンオンさせる。これによってデータ線 $D_1 - D_m$ に印加されたデータ電圧がターンオンされたスイッチング素子 $Q b$ を通じて当該副画素 $P X b$ に印加される。

【 0 0 9 0 】

前述のように、一つの入力画像データは一対の出力画像データに変換され、これらは一対の副画素 $P X a$ 、 $P X b$ に互いに異なる透過率を付与する。したがって、図 7 a に示すように、二つの副画素 $P X a$ 、 $P X b$ は互いに異なるガンマ曲線 $T a$ 、 $T b$ を示し、一つの画素 $P X$ のガンマ曲線はこれらを合成した曲線 T になる。二つのガンマ曲線 $T a$ 、 $T b$ を決定する時には、合成ガンマ曲線 T が正面での基準ガンマ曲線に近くなるようにする。

【 0 0 9 1 】

次に、本発明の他の実施形態による液晶表示装置について図 15 乃至図 18 を参照して詳細に説明する。

図 15 は本発明の他の実施形態による液晶表示装置のブロック図であり、図 16 は本発明の他の実施形態による液晶表示装置の一つの画素の等価回路図であり、図 17 a は本発明の一実施形態による液晶表示装置の概略的な画素配置及びデータ電圧の極性を示した図面であり、図 17 b は図 17 a に示す液晶表示装置における各副画素の極性を示した表であり、図 18 は図 17 a に示す液晶表示装置に使用される各種信号の波形図である。

【0092】

図 15 乃至図 18 に示す液晶表示装置は、図 3 a に示す液晶表示装置とほぼ同一である。つまり、本実施形態による液晶表示装置は液晶表示板組立体 300、一对のゲート駆動部 440 a、440 b、データ駆動部 500、階調電圧生成部 800、及びこれらを制御する信号制御部 600 を含む。

10

図 15 に示すように、液晶表示板組立体 300 は複数対のゲート線 $G_{1a} - G_{nb}$ 、複数のデータ線 $D_0 - D_m$ 及び複数の画素 PX を含み、データ線 $D_0 - D_m$ の数が図 3 a に示す液晶表示装置よりも一つ多い。

【0093】

図 16 及び図 17 a に示すように、本実施形態による液晶表示装置の各画素 PX は二つの副画素 $PX a$ 、 $PX b$ を含む。二つの副画素 $PX a$ 、 $PX b$ のうちの一つ $PX a$ (以下、第 1 副画素という) は、上部ゲート線及び左側データ線に連結されたスイッチング素子 $Q a$ と液晶キャパシタ $C_{1c a}$ 及びストレージキャパシタ $C_{s t a}$ を含む。液晶キャパシタ $C_{1c a}$ を構成する副画素電極 190 a はほぼ三角形である。もう一つの副画素 $PX b$ (以下、第 2 副画素という) は、下部ゲート線及び右側データ線に連結されたスイッチング素子 $Q b$ と液晶キャパシタ $C_{1c b}$ 及びストレージキャパシタ $C_{s t b}$ を含む。液晶キャパシタ $C_{1c b}$ を構成する副画素電極 190 b は第 1 副画素 $PX a$ の副画素電極 190 a と噛み合っ

20

【0094】

て、反転形態は列反転であって、図 17 b に示すように各画素 PX の第 1 副画素 $PX a$ と第 2 副画素 $PX b$ とは極性が反対である。列方向に隣接した画素 PX に対応する副画素 $PX a$ 、 $PX b$ は同一極性を有し、行方向に隣接した画素 PX に対応する副画素 $PX a$ 、 $PX b$ は反対極性を有する。

30

この時、図 18 に示すように、ゲート線の数が増えることによって充電時間が足りなくなる。これを補充するために、隣接した二つのゲート線にゲート信号 $g a$ 、 $g b$ を印加する時間を重畳することで事前充電を行うことができる。図 17 a の連結関係を見れば、第 1 副画素 $PX a$ は上側画素行の左側画素 PX の第 2 副画素 $PX b$ に印加されるデータ電圧で事前充電される。第 2 副画素 $PX b$ は右側画素 PX の第 1 副画素 $PX a$ のデータ電圧で事前充電される。ドット反転を行う場合には、一つのデータ線に印加される電圧の極性が変わるために事前充電が難しい反面、列反転の場合には事前充電が容易である。図 18 で $V d$ は特定のデータ線に印加されるデータ電圧を意味し、 $V p a$ は第 1 副画素の画素電圧、 $V p b$ は第 2 副画素の画素電圧を意味する。

【0095】

40

このように一つの画素の副画素を互いに異なるデータ線に連結してデータ駆動部 500 で列反転を行えば、副画素を基準に見る時にはドット反転と同一な形態になるので、列反転の長所とドット反転の長所を両方有するようになる。

また、各画素の形態が完全に同一なので、前述した開口率などのいろんな問題が発生しない。

【0096】

以下、前述した液晶表示板組立体の例について図 19 乃至図 24 を参照して詳細に説明する。

図 19 は本発明の一実施形態による下部表示板の配置図であり、図 20 は本発明の一実施形態による上部表示板の配置図であり、図 21 は図 19 の下部表示板及び図 20 の上部

50

表示板を含む液晶表示板組立体の配置図であり、図 2 2 及び図 2 3 は各々図 2 1 の液晶表示板組立体を X X I I - X X I I 線及び X X I I I - X X I I I 線に沿って切断した断面図であり、図 2 4 は本発明の他の実施形態による液晶表示板組立体の配置図である。図 1 9 乃至図 2 3 は図 4 a に示す液晶表示装置の液晶表示板組立体の一例であり、図 2 4 は図 4 b に示す液晶表示装置の液晶表示板組立体の一例である。

【 0 0 9 7 】

以下、図 1 9 乃至図 2 3 に示す液晶表示板組立体を主に説明するが、図 2 4 に示す液晶表示板組立体については異なる部分だけ説明する。

図 1 9 乃至図 2 3 を参照すれば、本実施形態による液晶表示板組立体 3 0 0 は下部表示板 1 0 0、これと対向している上部表示板 2 0 0 及びこれらの間に入っている液晶層 3 を含む。

10

【 0 0 9 8 】

まず、図 1 9、図 2 1 乃至図 2 3 及び図 2 4 を参照して下部表示板 1 0 0 について詳細に説明する。

透明なガラスまたはプラスチックなどで作られた絶縁基板 1 1 0 上に複数対の第 1 及び第 2 ゲート線 1 2 1 a、1 2 1 b と複数の維持電極線 1 3 1 が形成されている。図 2 4 の場合には基板 1 1 0 上にまた複数の結合電極 1 2 6 が形成されている。

【 0 0 9 9 】

ゲート線 1 2 1 a、1 2 1 b はゲート信号を伝達し、主に横方向に延在して物理的、電氣的に互いに分離されている。第 1 及び第 2 ゲート線 1 2 1 a、1 2 1 b は各々上側及び下側に配置されており、上下に突出した複数の第 1 及び第 2 ゲート電極 1 2 4 a、1 2 4 b と他の層または外部駆動回路との連結のために面積が広く、各々左側及び右側に配置されている端部 1 2 9 a、1 2 9 b を含む。しかし、これら端部 1 2 9 a、1 2 9 b は二つとも左側または右側に配置されることもできる。ゲート信号を生成するゲート駆動回路（図示せず）は基板 1 1 0 上に付着される可撓性印刷回路膜（図示せず）上に装着されるか、基板 1 1 0 上に直接装着されるか、基板 1 1 0 に集積される。ゲート駆動回路が基板 1 1 0 上に集積されている場合、ゲート線 1 2 1 が延在してこれと直接連結されることもできる。

20

【 0 1 0 0 】

維持電極線 1 3 1 は共通電圧など所定の電圧の印加を受けて、ゲート線 1 2 1 a、1 2 1 b とほぼ並んで延在した分岐と、これから分かれた複数対の第 1 及び第 2 維持電極 1 3 7 a、1 3 7 b を含む。維持電極線 1 3 1 各々は第 1 ゲート線 1 2 1 a と第 2 ゲート線 1 2 1 b との間に位置し、第 2 ゲート線 1 2 1 b より第 1 ゲート線 1 2 1 a の方に近い。

30

第 1 維持電極 1 3 7 a は第 2 維持電極 1 3 7 b に比べて長さは長くて幅は狭い。その反面、図 2 4 に示す維持電極線 1 3 1 は第 1 維持電極 1 3 7 a とほぼ対応する一つの維持電極 1 3 7 だけを含む。しかし、維持電極 1 3 7 a、1 3 7 b、1 3 7 をはじめとする維持電極線 1 3 1 の形態及び配置は多様に変更できる。

【 0 1 0 1 】

図 2 4 の結合電極 1 2 6 は維持電極 1 3 7 と隣接して並んで延在しており、他の層との接続のために下に延在して拡張された突出部を有している。

40

ゲート線 1 2 1 及び維持電極線 1 3 1 はアルミニウム（A l）やアルミニウム合金などアルミニウム系金属、銀（A g）や銀合金など銀系金属、銅（C u）や銅合金など銅系金属、モリブデン（M o）やモリブデン合金などモリブデン系金属、クロム（C r）、タンタル（T a）及びチタニウム（T i）などで作られることができる。しかし、これらは物理的性質が異なる二つの導電膜（図示せず）を含む多重膜構造を有することもできる。このうちの一つの導電膜は信号遅延や電圧降下を減らすことができるように比抵抗の低い金属、例えば、アルミニウム系金属、銀系金属、銅系金属などで作る。これとは違って、他の導電膜は他の物質、特に I T O（i n d i u m t i n o x i d e）及び I Z O（i n d i u m z i n c o x i d e）との物理的、化学的、電氣的接触特性に優れている物質、例えばモリブデン系金属、クロム、タンタル、チタニウムなどで作る。このような

50

組み合わせの良い例としては、クロム下部膜とアルミニウム（合金）上部膜、及びアルミニウム（合金）下部膜とモリブデン（合金）上部膜などが挙げられる。しかし、ゲート線 1 2 1 及び維持電極線 1 3 1 は、その他にも多様な金属または導電体で作ることができる。

【0102】

ゲート線 1 2 1 と維持電極線 1 3 1 の側面は、基板 1 1 0 の表面に対して傾斜しており、その傾斜角は約 30° ～ 約 80° であるのが好ましい。

ゲート線 1 2 1 a、1 2 1 b 及び維持電極線 1 3 1 上には窒化ケイ素（ SiN_x ）または酸化ケイ素（ SiO_x ）などで構成されるゲート絶縁膜 1 4 0 が形成されている。

ゲート絶縁膜 1 4 0 上には水素化非晶質シリコン（非晶質シリコンは略称 a-Si という）または多結晶シリコンなどで構成される複数の線状半導体 1 5 1 が形成されている。線状半導体 1 5 1 は主に縦方向に延在しており、第 1 及び第 2 ゲート電極 1 2 4 a、1 2 4 b に向かって各々のび出た複数の第 1 及び第 2 突出部 1 5 4 a、1 5 4 b を含む。また、線状半導体 1 5 1 はゲート線 1 2 1 a、1 2 1 b 及び維持電極線 1 3 1 と合う地点付近で幅が広がってこれらを幅広く覆っている。

【0103】

半導体 1 5 1 上には複数の線状及び島状抵抗性接触部材 1 6 1、1 6 5 a が形成されている。抵抗性接触部材 1 6 1、1 6 5 a はシリサイドまたは n 型不純物が高濃度にドーピングされている n+水素化非晶質シリコンなどの物質で作られる。線状接触部材 1 6 1 は複数の突出部 1 6 3 a を有しており、この突出部 1 6 3 a と島状接触部材 1 6 5 a は対をなして半導体 1 5 1 の突出部 1 5 4 a 上に位置する。

【0104】

一方、図示していないが、半導体 1 5 1 の第 2 突出部 1 5 4 b 上にも線状接触部材 1 6 1 の突出部と島状接触部材が対をなして備えられている。

半導体 1 5 1 と抵抗性接触部材 1 6 1、1 6 5 a の側面もまた基板 1 1 0 の表面に対して傾斜しており、その傾斜角は 30° ～ 80° 程度である。

抵抗接触部材 1 6 1、1 6 5 a 及びゲート絶縁膜 1 4 0 上には、複数のデータ線 1 7 1 と複数対の第 1 及び第 2 ドレイン電極 1 7 5 a、1 7 5 b が形成されている。

【0105】

データ線 1 7 1 はデータ電圧を伝達し、主に縦方向に延在してゲート線 1 2 1 及び維持電極線 1 3 1 と交差する。各データ線 1 7 1 は第 1 及び第 2 ゲート電極 1 2 4 a、1 2 4 b に向かって各々延在して C 字形に曲がった複数の第 1 及び第 2 ソース電極 1 7 3 a、1 7 3 b と他の層または外部装置との接続のための広い端部 1 7 9 を含む。データ電圧を生成するデータ駆動回路（図示せず）は、基板 1 1 0 上に付着される可撓性印刷回路膜（図示せず）上に装着されるか、基板 1 1 0 上に直接装着されるか、基板 1 1 0 に集積される。データ駆動回路が基板 1 1 0 上に集積されている場合、データ線 1 7 1 が延在してこれと直接連結されることもできる。

【0106】

第 1 及び第 2 ドレイン電極 1 7 5 a、1 7 5 b はデータ線 1 7 1 と分離されており、各々第 1 及び第 2 ゲート電極 1 2 4 a、1 2 4 b を中心にソース電極 1 7 3 a、1 7 3 b と対向する。第 1 及び第 2 ドレイン電極 1 7 5 a、1 7 5 b 各々は、広い一端部 1 7 7 a、1 7 7 b 及び棒状であるもう一方の端部を含む。広い端部は第 1 及び第 2 維持電極 1 3 7 a、1 3 7 b と重畳し、棒状である端部は半導体 1 5 1 の第 1 及び第 2 突出部 1 5 4 a、1 5 4 b 上に位置し、第 1 及び第 2 ソース電極 1 7 3 a、1 7 3 b で一部囲まれている。しかし、図 2 4 の第 2 ドレイン電極 1 7 5 b は長く延在されず短く延在しており、第 1 ドレイン電極 1 7 5 a は維持電極 1 3 7 及び結合電極 1 2 6 と重畳する。

【0107】

第 1 / 第 2 ゲート電極 1 2 4 a / 1 2 4 b、第 1 / 第 2 ソース電極 1 7 3 a / 1 7 3 b、及び第 1 / 第 2 ドレイン電極 1 7 5 a / 1 7 5 b は半導体 1 5 1 の第 1 / 第 2 突出部 1 5 4 a / 1 5 4 b と共に第 1 / 第 2 薄膜トランジスタ（TFT）Q a / Q b を構成する。

薄膜トランジスタQ a / Q bのチャンネルは第1 / 第2ソース電極173 a / 173 bとドレイン電極175 a / 175 bとの間の突出部154 a / 154 bに形成される。

【0108】

データ線171及びドレイン電極175 a、175 bはモリブデン、クロム、タンタル及びチタニウムなど耐火性金属またはこれらの合金で作ることが好ましく、耐火性金属膜（図示せず）及び低抵抗導電膜（図示せず）を含む多重膜構造を有することができる。多重膜構造の例としては、クロムまたはモリブデン（合金）下部膜とアルミニウム（合金）上部膜の二重膜、モリブデン（合金）下部膜とアルミニウム（合金）中間膜とモリブデン（合金）上部膜の三重膜などが挙げられる。しかし、データ線171及びドレイン電極175 a、175 bは、その他にも多様な金属または導電体で作ることができる。

10

【0109】

データ線171及びドレイン電極175 a、175 bもまた基板110の表面に対して傾斜しており、その傾斜角は30° ~ 80° 程度であるのが好ましい。

抵抗性接触部材161、165 aはその下部の半導体151とその上部のデータ線171及びドレイン電極175 a、175 bの間にだけ存在して接触抵抗を低くする。殆どの所では線状半導体151がデータ線171より狭いが、既に説明したようにゲート線121 a、121 b及び維持電極線131と合う部分で幅が広がって表面のプロファイルをスムーズにすることによってデータ線171の断線を防止する。線状半導体151にはソース電極173 a、173 bとドレイン電極175 a、175 bとの間をはじめ、データ線171及びドレイン電極175 a、175 bで覆われず露出された部分がある。

20

【0110】

データ線171及びドレイン電極175 a、175 bと半導体151の露出された部分の上には保護膜180が形成されている。保護膜180は無機絶縁物または有機絶縁物などで作られて表面が平坦であり得る。無機絶縁物の例としては、窒化ケイ素及び酸化ケイ素が挙げられる。有機絶縁物は感光性を有することができ、その誘電常数は約4.0以下であるのが好ましい。しかし、保護膜180は有機膜の優れる絶縁特性を生かしながらも半導体151の露出された部分には害を及ぼさないように、下部無機膜と上部有機膜との二重膜構造を有することができる。

【0111】

保護膜180にはデータ線171の端部179及びドレイン電極175 a、175 bの広い端部177 a、177 bを各々露出する複数の接触孔182、187 a、187 bが形成されており、保護膜180及びゲート絶縁膜140にはゲート線121 a、121 bの端部129 a、129 bを露出する複数の接触孔181 a、181 bが形成されている。図24の場合、保護膜180及びゲート絶縁膜140には結合電極126の端部129 a、129 bを露出する複数の接触孔186が形成されている。

30

【0112】

保護膜180上には第1及び第2副画素電極190 a、190 bを各々含む複数の画素電極190、複数の遮蔽電極88、及び複数の接触補助部材81 a、81 b、82が形成されている。画素電極190及び接触補助部材81 a、81 b、82はITOまたはIZOなどの透明導電体またはアルミニウム、銀、クロムまたはその合金などの反射性導電体で作る。

40

【0113】

第1 / 第2副画素電極190 a / 190 bは接触孔187 a / 187 bを通じて第1 / 第2ドレイン電極175 a / 175 bと物理的・電氣的に連結されて、第1 / 第2ドレイン電極175 a / 175 bからデータ電圧の印加を受ける。図24の場合、第2副画素電極190 bは接触孔186を通じて結合電極126と連結されており、第1副画素電極190 aは結合電極126と重畳する。

【0114】

データ電圧が印加された副画素電極190 a、190 bは共通電極270と共に電場を生成することによって二つの電極190、270の間の液晶層3の液晶分子の配列を決定

50

する。

また、前述したように、各副画素電極 190a、190b 及び共通電極 270 は液晶キャパシタ C1ca、C1cb を構成して薄膜トランジスタ Qa、Qb がターンオフされた後にも印加された電圧を維持する。電圧維持能力を強化するために液晶キャパシタ C1ca、C1cb と並列に連結されたストレージキャパシタ Csta、Cstb は、第 1 及び第 2 副画素電極 190a、190b 及びこれに連結されているドレイン電極 175a、175b と第 1 及び第 2 維持電極 137a、137b の重畳などで作られる。

【0115】

各画素電極 190 は左側角部が面取りされており、面取りされた斜辺はゲート線 121a、121b に対して約 45° の角度を構成する。

10

一つの画素電極 190 をなす一对の第 1 及び第 2 副画素電極 190a、190b は間隙 94 を間に置いて互いに噛み合っており、その外側境界はほぼ四角形である。第 1 副画素電極 190a は回転した等辺台形であって、第 2 維持電極 137b の付近に位置した左辺とその向い側の右辺、そしてゲート線 121a、121b とほぼ 45° を構成する上の斜辺及び下の斜辺を有する。第 2 副画素電極 190b は第 1 副画素電極 190a の斜辺と対向する一对の台形部及び第 1 副画素電極 190a の左辺と対向する縦部を含む。従って、第 1 副画素電極 190a と第 2 副画素電極 190b との間の間隙 94 は、ほぼ均一な幅を有し、ゲート線 121a、121b と約 45° を構成する上部及び下部斜線部 91、93 と実質的に均一な幅を有する縦部 92 を含む。

【0116】

20

第 1 副画素電極 190a は維持電極線 131 に沿って延在した切開部 95 を有し、この切開部 95 によって上半部及び下半部に二等分される。切開部 95 は第 1 副画素電極 190a の右辺に入口を有している。切開部 95 の入口は間隙 94 の上部斜線部 91 及び下部斜線部 93 と各々実質的に平行な一对の斜辺を有している。間隙 94 及び切開部 95 は維持電極線 131 に対してほぼ反転対称をなす。

【0117】

この時、分けられた部分の数または切開部の数は画素の大きさ、画素電極 190 の横辺と縦辺との長さ比、液晶層 3 の種類や特性など設計要素によって変わる。以下、説明の便宜のために間隙 94 も切開部であると表現する。

また、第 1 副画素電極 190a は第 1 ゲート線 121a と重畳し、第 2 副画素電極 190b は第 1 及び第 2 ゲート線 121a、121b 全てと重畳し、第 1 ゲート線 121a は画素電極 190 の上半部中心辺りを通過する。

30

【0118】

遮蔽電極 88 はデータ線 171 に沿って延在しており、データ線 171 を完全に覆う。遮蔽電極 88 には共通電圧が印加されるが、このために保護膜 180 及びゲート絶縁膜 140 の接触孔（図示せず）を通じて維持電極線 131 に連結されるか、薄膜トランジスタ表示板 100 から共通電極表示板 200 に共通電圧を伝達する短絡点（図示せず）に連結されることもできる。この時、開口率の減少が最少になるように遮蔽電極 88 と画素電極 190 との間の距離を最少にするのが好ましい。

【0119】

40

このように共通電圧が印加される遮蔽電極 88 をデータ線 171 の上部に配置すれば、遮蔽電極 88 がデータ線 171 と画素電極 190 との間、及びデータ線 171 と共通電極 270 との間で形成される電界を遮断して画素電極 190 の電圧歪曲やデータ線 171 が伝達するデータ電圧の信号遅延が減少する。

また、画素電極 190 及び遮蔽電極 88 の短絡を防止するためにこれらの間に距離を置かなければならないので、画素電極 190 がデータ線 171 からもっと遠くなってこれらの間の寄生容量が減少する。さらに、液晶層 3 の誘電率が保護膜 180 の誘電率より高いので、データ線 171 と遮蔽電極 88 との間の寄生容量が遮蔽電極 88 がない場合のデータ線 171 と共通電極 270 との間の寄生容量に比べて小さい。

【0120】

50

それだけでなく、画素電極 190 及び遮蔽電極 88 が同一層で作られるので、これらの間の距離が一定に維持され、そのためにこれらの間の寄生容量が一定である。画素電極 190 とデータ線 171 との間の寄生容量が依然として分割露光過程で分割された露光領域によって変わることもあるが、画素電極 190 とデータ線 171 との間の寄生容量が相対的に減少するので、全体の寄生容量はほぼ一定であるといえる。従って、ステッチ欠陥を最少化することができる。

【0121】

接触補助部材 81a、81b、82 は接触孔 181a、181b、182 を通じてゲート線 121a、121b の端部 129a、129b 及びデータ線 171 の端部 179 と各々連結される。接触補助部材 81a、81b、82 はゲート線 121a、121b の端部 129a、129b 及びデータ線 171 の各端部 179 と外部装置との接着性を補完してこれらを保護する役割を果たす。

10

【0122】

ゲート駆動部 400a、400b またはデータ駆動部 500 が組立体 300 上に集積される場合には、ゲート線 121a、121b またはデータ線 171 が延在してこれらと直接連結されることもできる。この場合には、接触補助部材 81a、81b、82 がゲート線 121a、121b またはデータ線 171 とこれら駆動部 400a、400b、500 を連結するなどに用いられる。

【0123】

次に、図 20 乃至図 24 を参照して上部表示板 200 について説明する。

20

透明なガラスまたはプラスチックなどで作られた絶縁基板 210 上に光漏れを防止するためのブラックマトリックスという遮光部材 220 が形成されている。遮光部材 220 は画素電極 190 と対向して画素電極 190 とほぼ同一な形態を有する複数の開口部を有している。これとは違って、遮光部材 220 はデータ線 171 に対応する部分及び薄膜トランジスタに対応する部分で構成されることもできる。しかし、遮光部材 220 は画素電極 190 及び薄膜トランジスタ Qa、Qb 付近での光漏れを遮断するために多様な形態を有することができる。

【0124】

基板 210 上にはまた複数のカラーフィルタ 230 が形成されている。カラーフィルタ 230 は遮光部材 220 で囲まれた領域内にほとんど位置し、画素電極 190 に沿って縦方向に長く延在することができる。カラーフィルタ 230 は赤色、緑色、及び青色などの基本色のうちの一つを表示することができる。

30

カラーフィルタ 230 及び遮光部材 220 上には、カラーフィルタ 230 が露出されることを防止し、平坦面を提供するための蓋膜 250 が形成されている。

【0125】

蓋膜 250 の上には ITO、IZO などの透明な導電体などで構成される共通電極 270 が形成されている。

共通電極 270 は複数の切開部 271、273、275 の集合を有する。

一つの切開部の集合 271、273、275 は一つの画素電極 190 と対向して上部切開部 271、中央切開部 272、及び下部切開部 273 を含む。切開部 271、273、275 各々は画素電極 190 の隣接切開部 94、95 の間または切開部 94 と画素電極 190 の斜辺との間に配置されている。また、各切開部 271、273、275 は間隙 94 の上部斜線部 91 または下部斜線部 93 と平行に延在した少なくとも一つの斜線部 271o、273o、275o1、275o2 を含み、維持電極線 131 に対してほぼ反転対称である。

40

【0126】

上部及び下部切開部 271、273 各々はほぼ画素電極 190 の左側辺で上側または下側辺に向かって延在した斜線部 271o、273o、そして斜線部 271o、273o の各端から画素電極 190 の辺に沿って辺と重畳しながら延在して斜線部 271o、273o と鈍角をなす横部 271t、273t 及び縦部 271l、273l を含む。

50

中央切開部 275 はほぼ画素電極 190 の左側辺中央から斜めに画素電極 190 の右側辺に向かって延在した一对の斜線部 275o1、275o2、そして斜線部 275o1、275o2 の各端から画素電極 190 の右側辺に沿って右側辺と重畳しながら延在して斜線部 275o1、275o2 と鈍角をなす縦部 275l1、275l2 を含む。

【0127】

切開部 271、273、275 の数々は設計要素によって変わることがあって、遮光部材 220 が切開部 271、273、275 と重畳して切開部 271、273、275 付近の光漏れを遮断することができる。

表示板 100、200 の内側面には配向膜 (alignment layer) 11、21 が塗布されていてこれらは垂直配向膜であり得る。

10

【0128】

表示板 100、200 の外側面には偏光子 (polarizer) 12、22 が備えられているが、二つの偏光子 12、22 の偏光軸は直交して切開部 94、95 及び切開部 271、273、275 の斜線部とほぼ 45° の角度をなすのが好ましい。反射型液晶表示装置の場合には二つの偏光子 12、22 のうちの一つを省略できる。

本実施例による液晶表示板組立体は液晶層 3 の遅延を補償するための位相遅延膜 (retardation film) (図示せず) をさらに含むことができる。液晶表示板組立体はまた、偏光子 12、22、位相遅延膜、表示板 100、200 及び液晶層 3 に光を供給する照明部 (backlight unit) (図示せず) を含むことができる。

【0129】

20

液晶層 3 は負の誘電率異方性を有し、液晶分子は電界がない時その長軸が二つの表示板 100、200 の表面に対して実質的に垂直をなすように配向されている。したがって、入射光は直交偏光子 12、22 を通過できず、遮断される。

共通電極 270 に共通電圧を印加して画素電極 190 にデータ電圧を印加すれば表示板 100、200 の表面にほとんど垂直である電場 (電界) が生成される。[ここからは画素電極 190 と共通電極 270 をひっくるめて電場生成電極という。] 液晶分子は電場に応答してその長軸が電場の方向に垂直をなすように方向を変えようとする。

【0130】

電場生成電極 190、270 の切開部 94、95、271、273、275 と画素電極 190 の辺は電場を歪曲して液晶分子の傾斜方向を決定する水平成分を作りだす。電場の水平成分は切開部 94、95、271、273、275 の辺と画素電極 190 の辺にほとんど垂直である。

30

そのために電場は表示板 100、200 の表面に垂直である方向に対して傾いた方向を指す。液晶分子は電場に応答してその長軸が電界の方向に垂直をなすように方向を変えようとするが、この時切開部 94、95、271、273、275 及び画素電極 190 の辺付近の電場は液晶分子の長軸方向と並んでいなく一定の角度をなしているので液晶分子の長軸方向と電場がなす平面上で移動距離が短い方向に液晶分子が回転する。

【0131】

図 21 を参考にすれば、一つの切開部集合 94、95、271、273、275 は画素電極 190 を複数の副領域 (sub-area) に分け、各副領域は画素電極 190 の主辺と斜角をなす二つの主辺 (primary edge) を有する。各副領域の主辺は偏光子 12、22 の偏光軸と約 45° をなし、これは光効率を最大にするためである。

40

各副領域上の液晶分子はほとんど主辺に垂直である方向に傾くので、傾く方向を選び出せば、ほぼ四つの方向である。このように液晶分子が傾く方向を多様にすると液晶表示装置の基準視野角が大きくなる。

【0132】

切開部 94、95、271、273、275 の模様及び配置は多様に変更することができる。

少なくとも一つの切開部 94、95、271、273、275 は突起 (protrusion) (図示せず) や陥没部 (depression) (図示せず) に代替することが

50

できる。突起は有機物または無機物で作ることができて電場生成電極 190、270 の上のまたは下に配置される。

【0133】

では本発明の他の実施例による液晶表示装置に対して図25及び図26を参照して説明する。

図25は本発明の実施例による液晶表示装置のブロック図であり、図26は本発明の実施例による液晶表示装置の一つの画素に対する等価回路図である。

図25に示したように、本発明の一つの実施例による液晶表示装置も液晶表示板組立体300、ゲート駆動部490、データ駆動部590、階調電圧生成部800及び信号制御部600を含む。

【0134】

図25に示したように、液晶表示板組立体300は複数のゲート線 G_1-G_n 、複数対のデータ線 D_1-D_{2m} 及び複数の画素 PX を含み、ゲート線 G_1-G_n の数又は以前の実施例より少ない代わりにデータ線 D_1-D_{2m} の数又は以前の実施例の2倍である。一对のデータ線 D_1-D_{2m} は一つの画素列を中心に左右に位置する。

図25及び図26に示したように本実施例による液晶表示装置の各画素 PX は二つの副画素 PXa 、 PXb を含む。二つの副画素 PXa 、 PXb のうちの一つ PXa （以下、第1副画素とする）はゲート線及び右側データ線に連結されたスイッチング素子 Qa と液晶キャパシタ $C1ca$ 及びストレージキャパシタ $Csta$ を含み、他の副画素 PXb （以下、第2副画素とする）はゲート線及び左側データ線に連結されたスイッチング素子 Qb と液晶キャパシタ $C1cb$ 及びストレージキャパシタ $Cstb$ を含む。

【0135】

以下、このような図25及び図26に示した液晶表示装置の例に対し図27乃至図30bを参照して詳細に説明する。

図27は本発明の一つの実施例による液晶表示板組立体用薄膜トランジスタ表示板の配置図であり、図28は本発明の一つの実施例による液晶表示板組立体用共通電極表示板の配置図であり、図29は図27の薄膜トランジスタ表示板と図28の共通電極表示板を含む液晶表示板組立体の配置図であり、図30a及び図30bは各々図29の液晶表示板組立体を $XXXa-XXXa$ 線及び $XXXb-XXXb$ 線に沿って切断した断面図である。

【0136】

まず、図27、図30a及び図30bを参照して薄膜トランジスタ表示板100に対して詳細に説明する。

透明なガラスなどからなる絶縁基板110上に複数のゲート線121と複数の維持電極線131が形成されている。各ゲート線121は複数のゲート電極（gate electrode）124と広い端部129を含む。それぞれの維持電極線131は上下に拡張された長方形の維持電極133を含む。維持電極線131は隣接した二つのゲート線121の間に位置し、二つのゲート線121からほぼ等距離である。

【0137】

ゲート線121及び維持電極線131上にはゲート絶縁膜（gate insulating layer）140が形成されている。

ゲート絶縁膜140上には複数の島型半導体154a、154bが形成されている。それぞれの島型半導体154a、154bは主にゲート電極124の上部に位置する。

半導体154a、154b上には各々複数の島型抵抗性接触部材（ohmic contact）163a、163b、165a、165bが形成されている。二つの島型抵抗性接触部材163a、163b、165a、165bは対をなして半導体154a、154b上に各々配置されていて、ゲート電極124を中心に互いに対向する。

【0138】

抵抗接触部材163a、163b、165a、165b及びゲート絶縁膜140上には複数対のデータ線（data line）171a、171bと複数のドレーン電極（drain electrode）175a、175bが形成されている。

各データ線 171a、171b は U 字型のソース電極 (source electrode) 173a、173b と広い端部 179a、179b を含む。各ドレーン電極 175a、175b は広い端部と棒状端部を含み、広い端部は維持電極 133 と重畳する。ドレーン電極 175a、175b の拡張部の辺は維持電極 133 の辺と実質的に平行する。

【0139】

データ線 171a、171b 及びドレーン電極 175a、175b と露出された半導体 154a、154b 部分の上には保護膜 (passivation layer) 180 が形成されている。

保護膜 180 にはドレーン電極 175a、175b とデータ線 171a、171b の端部 179a、179b を各々露出する複数の接触孔 (contact hole) 185a、185b、182a、182b が形成されており、保護膜 180 とゲート絶縁膜 140 にはゲート線 121 の端部 129 を露出する複数の接触孔 181 が形成されている。

【0140】

保護膜 180 上には第 1 及び第 2 副画素電極 190a、190b を各々含む複数の画素電極 190 と複数の遮蔽電極 (shielding electrode) 88 及び複数の接触補助部材 (contact assistant) 81、82a、82b が形成されている。

第 2 副画素電極 190b の面積は第 1 副画素電極 190a の面積より大きくて、約 2 : 1 の面積比を有するのが好ましい。低いデータ電圧、つまり、低階調のデータ電圧の印加で副画素 Px b の液晶分子は副画素 Px a の液晶分子より相対的に側面視認性に影響をあまり与えない初期状態程度の配列を維持するので、この副画素電極 190b の面積が広くなることによって側面視認性が向上する。特に、第 2 副画素電極 190b と第 1 副画素電極 190a の面積比が約 2 : 1 である場合、側面視認性に最も効果的である。

【0141】

一对の第 1 及び第 2 副画素電極 190a、190b はデータ線 171a、171b とゲート線 121 で囲まれた領域内にほとんど存在して境界のほとんどがゲート線 121 及びデータ線 171a、171b と平行して長方形をなす。第 1 及び第 2 副画素電極 190a、190b は互いに分離されていて、第 1 副画素電極 190a は第 2 副画素電極 190b を中心に上部及び下部に位置して互いに連結されている二つの部分からなっていて、第 2 副画素電極 190b は第 1 副画素電極 190a の二つの部分の間に挟まれて、第 1 及び第 2 画素電極 190a、190b は互いに噛み合った形態である。

【0142】

第 1 及び第 2 画素電極 190a、190b の四つの角は面取りされていて、面取りされた斜辺はゲート線 121 に対して約 45° の角度をなす。各第 2 画素電極 190b の右側二つの角部は残り二つの角部より長い斜辺を有していて、中心付近から左に拡張された拡張部を有している。

一对の第 1 及び第 2 副画素 190a、190b は一つの画素電極 190 をなす。

【0143】

画素電極 190 は中央切開部 91、92、下部切開部 93a、94a、95a 及び上部切開部 93b、94b、95b を有し、画素電極 190 はこれら切開部 91、92、93a、93b、94a、94b、95a、95b によって複数の領域に分割される。切開部 91、92、93a、93b、94a、94b、95a、95b は維持電極線 131 の横中心線に対しほとんど反転対称をなしていて、第 1 及び第 2 副画素電極 190a、190b は対向する二つの切開部 93a、93b 及びこれらを連結する切開連結部 99 を通じて分離されている。

【0144】

下部及び上部切開部 93a、93b、94a、94b、95a、95b はほぼ画素電極 190 の左側辺、左側角部、上側辺及び下側辺から右側辺に斜めに延在していて、維持電極線 131 に分ける下半部と上半部に各々位置している。下部及び上部切開部 93a - 95b はゲート線 121 に対して約 45° の角度をなして互いに垂直に延在している。

中央切開部 9 1、9 2 は下部切開部 9 3 a、9 4 a、9 5 a と上部切開部 9 3 b、9 4 b、9 5 b に各々ほとんど平行な一对の分枝からなる。中央切開部 9 1、9 2 は中央から横方向に延在した横部を有し、内側に位置する中央切開部 9 2 の横部は切開連結部 9 9 と連結されている。

【0145】

したがって、画素電極 1 9 0 の上半面と下半面は切開部 9 1-9 5 b によって各々六個の領域に分けられる。この時、領域の数又は切開部の数又は画素の大きさ、画素電極の横辺と縦辺の長さ比、液晶層 3 の種類や特性など設計要素によって変わる。

画素電極 1 9 0 はまた、隣接するゲート線 1 2 1 またはデータ線 1 7 1 a、1 7 1 b と重畳して開口率 (aperture ratio) を高めている。

10

【0146】

接触補助部材 8 1、8 2 a、8 2 b は接触孔 1 8 1、1 8 2 a、1 8 2 b を通じてゲート線 1 2 1 の端部 1 2 9 及びデータ線 1 7 1 a、1 7 1 b の端部 1 7 9 a、1 7 9 b と各々連結される。

遮蔽電極 8 8 はデータ線 1 7 1 a、1 7 1 b 及びゲート線 1 2 1 に沿って延在していてデータ線 1 7 1 a、1 7 1 b 上部に位置する部分はデータ線 1 7 1 a、1 7 1 b を完全に覆って、ゲート線 1 2 1 上部に位置する部分はゲート線 1 2 1 の幅より小さい幅を有してゲート線 1 2 1 の境界線の内に位置する。隣接した二つのデータ線 1 7 1 b、1 7 1 a は完全に遮蔽電極 8 8 によって覆われている。しかし、その幅を調節してデータ線 1 7 1 a、1 7 1 b より小さいこともあって、ゲート線 1 2 1 の境界線の外に位置する境界線を有

20

【0147】

次に、図 2 8 及び図 3 0 b を参照して、共通電極表示板 2 0 0 について説明する。

絶縁基板 2 1 0 上に遮光部材 2 2 0 が形成されている。遮光部材 2 2 0 はデータ線 1 7 1 a、1 7 1 b に対応する部分と薄膜トランジスタ Q a、Q b に対応する部分からなる。これとは異なって遮光部材 2 2 0 は画素電極 1 9 0 と対向して画素電極 1 9 0 とほとんど同一な模様の複数の開口部を有することができる。

【0148】

基板 2 1 0 上にはまた、複数のカラーフィルタ 2 3 0 が形成されており、カラーフィルタ 2 3 0 及び遮光部材 2 2 0 上には蓋膜 2 5 0 が形成されている。

30

蓋膜 2 5 0 の上には共通電極 2 7 0 が形成されており、共通電極 2 7 0 は複数の対の切開部 7 1-7 6 b 集合を有する。

一对の切開部 7 1-7 6 b は一つの画素電極 1 9 0 と対向して中央切開部 7 1-7 3、下部切開部 7 4 a、7 5 a、7 6 a 及び上部切開部 7 4 b、7 5 b、7 6 b を含む。切開部 7 1-7 6 b 各々は隣接した画素電極 1 9 0 の切開部 9 1-9 5 b の間または周縁切開部 9 5 a、9 5 b と画素電極 1 9 0 の斜辺の間に配置されている。また、各切開部 7 1-7 6 b は画素電極 1 9 0 の切開部 9 1-9 5 b と平行に延在した少なくとも一つの斜線部を含む。

【0149】

下部及び上部切開部 7 4 a-7 6 b 各々はほぼ画素電極 1 9 0 の右側辺から左側、下側または上側辺に向かって延在した斜線部、そして斜線部の各端から画素電極 1 9 0 の辺に沿って辺と重畳しながら延在して斜線部と鈍角をなす横部及び縦部を含む。

40

中央切開部 7 1-7 3 はほぼ画素電極 1 9 0 の左側辺から横部に延在した中央横部、この中央横部の端から中央横部と斜角をなして画素電極 1 9 0 の左側辺に向かって延在した一对の斜線部、そして斜線部の各端から画素電極 1 9 0 の左側辺に沿って左側辺と重畳しながら延在して斜線部と鈍角をなす縦断縦部を含む。

【0150】

切開部 7 1-7 6 b の数又は設計要素によって変わることができ、遮光部材 2 2 0 が切開部 7 1-7 6 b と重畳して切開部 7 1-7 6 b 付近の光漏れを遮断することができる。

共通電極 2 7 0 と遮蔽電極 8 8 に同一な共通電圧が印加されるので両者には電界がほと

50

んどない。したがって、共通電極 270 と遮蔽電極 88 の間に位置した液晶分子は初期垂直配向状態をそのまま維持するのでこの部分に入射された光は透過されず、遮断される。

【0151】

少なくとも一つの切開部 91-95b、71-76b は突起や陥没部に代替することができ、切開部 91-95b、71-76b の模様及び配置は変更することができる。

表示板 100、200 の内側面には液晶分子を配向する配向膜 11、21 が各々塗布されている。配向膜 11、21 は水平配向膜であり得る。

表示板 100、200 の外側面には直交偏光板 12、22 が備えられているが、二つの偏光板 12、22 の透過軸は直交してこのうち、一つの透過軸（または吸収軸）は横方向と並んでいる。反射型液晶表示装置の場合には二つの偏光板 12、22 のうちの一つを省略できる。

10

【0152】

液晶層 3 は負の誘電率異方性を有して液晶層 3 の液晶分子 310 は電界がない状態でその長軸が二つの表示板の表面に対して垂直をなすように配向されている。

このような本発明の一つの実施例による液晶表示装置用薄膜トランジスタ表示板は一つの画素電極 190 をなす二つの副画素電極 190a、190b に各々連結されている薄膜トランジスタ Qa、Qb が形成されており、これら薄膜トランジスタ Qa、Qb に各々連結されているデータ線 171a、171b が形成されている。これによって、二つの副画素 Px a、Px b には別個のデータ信号が各々印加される。

【0153】

20

次に、図 31 乃至図 32b を参照して本発明の他の実施例による液晶表示装置用薄膜トランジスタ表示板について詳細に説明する。

図 31 は本発明の他の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図であり、図 32a は図 31 に示した薄膜トランジスタ表示板を XXXII a-XXXII a 線に沿って切断した断面図であり、図 32b は図 31 に示した薄膜トランジスタ表示板を XXXII b-XXXII b 線に沿って切断した断面図である。

【0154】

図 31 乃至図 32b に示したように、本実施例による液晶表示装置用薄膜トランジスタ表示板の層状構造はほとんど図 29 乃至図 30b に示した液晶表示装置用薄膜トランジスタ表示板の層状構造と同一である。つまり、基板 110 上にゲート電極 124 を含む複数のゲート線 121 及び維持電極 133 を含む複数の維持電極線 131 が形成されており、その上にゲート絶縁膜 140、突出部 154a、154b を含む半導体 151a、151b、突出部 163a、163b を含む抵抗性接触部材 161a、161b、165a、165b が順次に形成されている。抵抗性接触部材 161a、161b、165a、165b 及びゲート絶縁膜 140 上には複数のソース電極 173a、173b を含む複数のデータ線 171a、171b、複数のドレーン電極 175 が形成されていてその上に保護膜 180 が形成されている。

30

【0155】

保護膜 180 及び/またはゲート絶縁膜 140 には複数の接触孔 181、182a、182b、185a、185b が形成されており、保護膜 180 上には複数の副画素電極 190a、190b を含んで切開部 91-95b を有する複数の画素電極 190 と遮蔽電極 88、複数の接触補助部材 81、82a、82b が形成されている。そして保護膜 180 上には配向膜 11 が形成されている。

40

【0156】

しかし、図 29 乃至図 30b に示した薄膜トランジスタ表示板とは異なって、半導体 151a、151b は薄膜トランジスタ Qa、Qb が各々位置する突出部 154a、154b を除けばデータ線 171a、171b、ドレーン電極 175a、175b 及びその下部の抵抗性接触部材 161a、161b、165a、165b と実質的に同一な平面形態を有している。具体的には、線状半導体 151a、151b はデータ線 171a、171b 及びドレーン電極 175a、175b とその下部の抵抗性接触部材 161a、161b、

50

165a、165bの下に存在する部分の以外にもソース電極173a、173bとドレーン電極175a、175bの間にこれらに遮られないで露出された部分を有している。

【0157】

このような薄膜トランジスタ表示板100を本発明の一つの実施例によって製造する方法ではデータ線171a、171b、ドレーン電極175a、175b、半導体151及び抵抗性接触部材161a、161b、165a、165bを一回の写真工程として形成する。

このような写真工程で使用する感光膜は位置によって厚さが異なって、特に厚さが薄くなる順に第1部分と第2部分を含む。第1部分はデータ線171a、171b及びドレーン電極175a、175bが占める配線領域に位置し、第2部分は薄膜トランジスタのチャンネル領域に位置する。

10

【0158】

位置によって感光膜の厚さを異ならせる方法としていろいろあり得るが、例えば、光マスクに投光領域(light transmitting area)及び遮光領域(light blocking area)の他に半透明領域(translucent area)を備える方法がある。半透明領域にはスリット(split)パターン、格子パターン(lattice pattern)または透過率が中間であるか厚さが中間である薄膜が備わる。スリットパターンを使用する時には、スリットの幅やスリットの間の間隔が写真工程に使用する露光器の分解能(resolution)より小さいのが好ましい。他の例としてはリフローが可能な感光膜を使用する方法がある。つまり、投光領域と遮光領域のみを有する通常の露光マスクにリフローが可能な感光膜を形成した後、リフローさせて感光膜が残留しない領域に流れるようにすることによって薄い部分を形成することである。

20

【0159】

このようにすると一回の写真工程を減らすことができるので製造方法が簡単になる。

次に、このような液晶表示装置では信号制御部600が一つの行の画素PXに二つの副画素PXa、PXbに関する画像データDATを全て出力し、データ駆動部590は一对のデータ線を通して二つの副画素PXa、PXbに同時にデータ電圧を印加する。

したがってゲート駆動部490及びデータ駆動部590の動作周期は1水平周期となる。

30

【0160】

では本発明の実施例による反転形態に対して図25と共に図33を参照して詳細に説明する。

図33は本発明の実施例によって、列反転を実現する時、画素電極の極性状態を示した図面である。

図33でデータ駆動部590においての反転は列反転であり、一つのデータ線に流れるデータ電圧は1フレーム内、常に同一極性であり隣接した二つのデータ線に流れるデータ電圧は反対極性である。

【0161】

このようなデータ駆動部590の列反転によって、図33に示したように、一つの画素電極190をなす第1及び第2副画素電極190a、190bの極性は反転であり、第1副画素電極190a同士は同一極性を有し、第2副画素電極190b同士も同一極性を有する。例えば、図33に示したように、副画素電極190aは1フレーム内(-)極性を有するようになって、副画素電極190bは1フレーム内(+)極性を有するようになる。

40

【0162】

これによって、データ駆動部590は列反転であるが、一つの画素電極190に(-)極性と(+)極性が共に存在するので縦線模様のような画質不良がなくなる。また、同一な色相を示す画素の極性状態が全て同一であるので、同一色相の画素間の極性差による画質不良がなくなる。さらに、一つのデータ線を通じて流れるデータ電圧の極性がフレーム

50

別にのみ反転するので、所定行ごとにデータ電圧の極性が反転する時、発生する液晶の応答速度遅延やデータ線の信号遅延が大きく減る。

【0163】

このように二つの副画素電圧を所望の水準に正確に合わせることによって、視認性を向上し、開口率を高め、透過率を向上させる。

以上で本発明の好ましい実施例について詳細に説明したが本発明の権利範囲はこれに限定されず、請求範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属することである。

【図面の簡単な説明】

【0164】

10

【図1】本発明の一実施形態による液晶表示装置のブロック図である。

【図2】本発明の一実施形態による液晶表示装置の二つの副画素に対する等価回路図である。

【図3a】本発明の実施形態による液晶表示装置のブロック図である。

【図3b】本発明の実施形態による液晶表示装置のブロック図である。

【図3c】本発明の実施形態による液晶表示装置のブロック図である。

【図4a】本発明の実施形態による液晶表示装置の一画素に対する等価回路図である。

【図4b】本発明の実施形態による液晶表示装置の一画素に対する等価回路図である。

【図5a】本発明の実施形態による階調電圧生成部とデータ駆動部の多様な例を示したブロック図である。

20

【図5b】本発明の実施形態による階調電圧生成部とデータ駆動部の多様な例を示したブロック図である。

【図5c】本発明の実施形態による階調電圧生成部とデータ駆動部の多様な例を示したブロック図である。

【図6】本発明の一実施形態による基準電圧変更回路と電圧生成抵抗列のブロック図である。

【図7a】本発明の一実施形態による液晶表示装置のガンマ曲線を示したグラフである。

【図7b】本発明の一実施形態による液晶表示装置の入力階調に対する階調電圧を示したグラフである。

【図8a】本発明の実施形態による液晶表示装置の信号波形を時間によって示した図面である。

30

【図8b】本発明の実施形態による液晶表示装置の信号波形を時間によって示した図面である。

【図8c】本発明の実施形態による液晶表示装置の信号波形を時間によって示した図面である。

【図9】本発明の他の実施形態による液晶表示装置のブロック図である。

【図10】本発明の一実施形態による階調電圧生成部のブロック図である。

【図11】本発明の他の実施形態による液晶表示装置の階調電圧生成部のブロック図である。

【図12】図9乃至図11に示した液晶表示装置に使用される多様な信号の波形図である

40

【図13】本発明の実施形態による液晶表示装置のブロック図である。

【図14】図13に示した液晶表示装置に使用される多様な信号の波形図である。

【図15】本発明の他の実施形態による液晶表示装置のブロック図である。

【図16】本発明の他の実施形態による液晶表示装置の一画素の等価回路図である。

【図17a】本発明の一実施形態による液晶表示装置の概略的な画素配置とデータ電圧の極性を示した図面である。

【図17b】図17aに示した液晶表示装置における各副画素の極性を示した表である。

【図18】図17aに示した液晶表示装置に使用される各種信号の波形図である。

【図19】本発明の一実施形態による下部表示板の配置図である。

50

【図 20】本発明の一実施形態による上部表示板の配置図である。

【図 21】図 19 の下部表示板と図 20 の上部表示板とを含む液晶表示板組立体の配置図である。

【図 22】図 21 の液晶表示板組立体を X X I I - X X I I 線に沿って切断した断面図である。

【図 23】図 21 の液晶表示板組立体を X X I I I - X X I I I 線に沿って切断した断面図である。

【図 24】本発明の他の実施形態による液晶表示板組立体の配置図である。

【図 25】本発明の他の実施形態による液晶表示装置のブロック図である。

【図 26】図 25 に示した液晶表示装置の一画素に対する等価回路図である。

【図 27】本発明の他の実施形態による液晶表示装置用薄膜トランジスタ表示板の配置図である。

【図 28】本発明の他の実施形態による液晶表示装置用共通電極表示板の配置図である。

【図 29】図 27 の薄膜トランジスタ表示板と図 28 の共通電極表示板を含む液晶表示板組立体の配置図である。

【図 30 a】各々図 29 の液晶表示板組立体を X X X a - X X X a 線及び X X X b - X X X b 線に沿って切断した断面図である。

【図 30 b】各々図 29 の液晶表示板組立体を X X X a - X X X a 線及び X X X b - X X X b 線に沿って切断した断面図である。

【図 31】本発明の他の実施形態による薄膜トランジスタ表示板の配置図である。

【図 32 a】図 31 に示した薄膜トランジスタ表示板を I X a - I X a ' 線に沿って切断した断面図である。

【図 32 b】図 31 に示した薄膜トランジスタ表示板を I X b - I X b ' 線に沿って切断した断面図である。

【図 33】図 25 乃至図 32 に示した液晶表示装置で列反転を実現する時の画素電極の極性状態を示した図面である。

【符号の説明】

【0165】

3 液晶層

11、21 配向膜

12、22 偏光子

71 - 76 b、91 - 95、271 - 275 切開部

81、82 a、82 b 接触補助部材

88 遮蔽電極

100、200 表示板

110、210 絶縁基板

121、121 a、121 b、129、129 a、129 b ゲート線

124、124 a、124 b ゲート電極

126 結合電極

133、137、137 a、137 b 維持電極

140 絶縁膜

151、151 a、151 b、154 a、154 b 半導体

171、171 a、171 b、179、179 a、179 b データ線

175 a、175 b、177 a、177 b ドレイン電極

180 保護膜

181、181 a、181 b、182、182 a、182 b、185 a、185 b、1

86、187 a、187 b 接触孔

190 画素電極

190 a、190 b 副画素電極

220 遮光部材

10

20

30

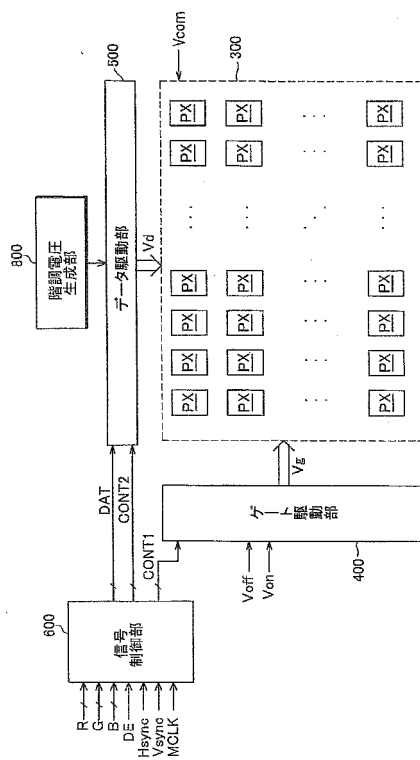
40

50

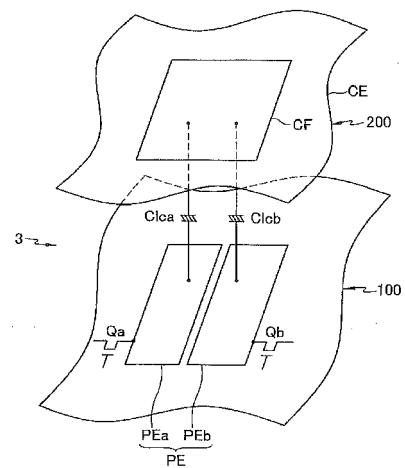
230 カラーフィルタ
 250 蓋膜
 270 共通電極
 271、273、275 切開部
 300 液晶表示板組立体
 310 液晶分子
 400、400a、400b、410、420、430、440、440a、440b
 、
 500、590 データ駆動部
 600 信号制御部
 800、900 階調電圧生成部

10

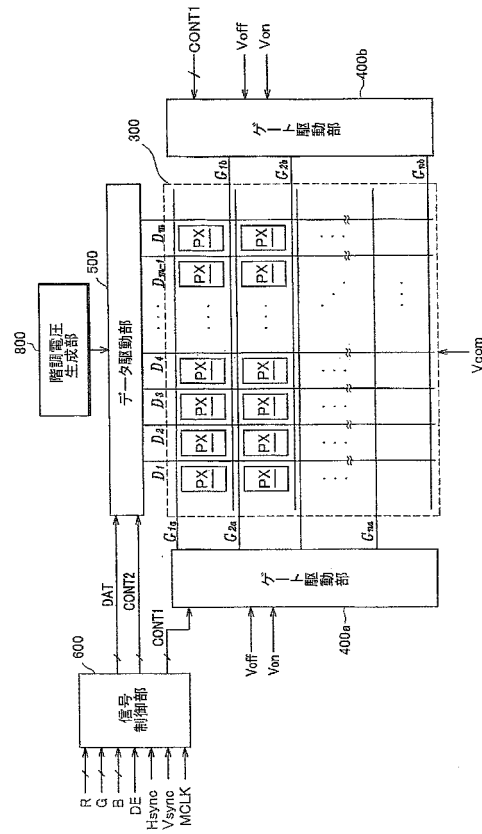
【図1】



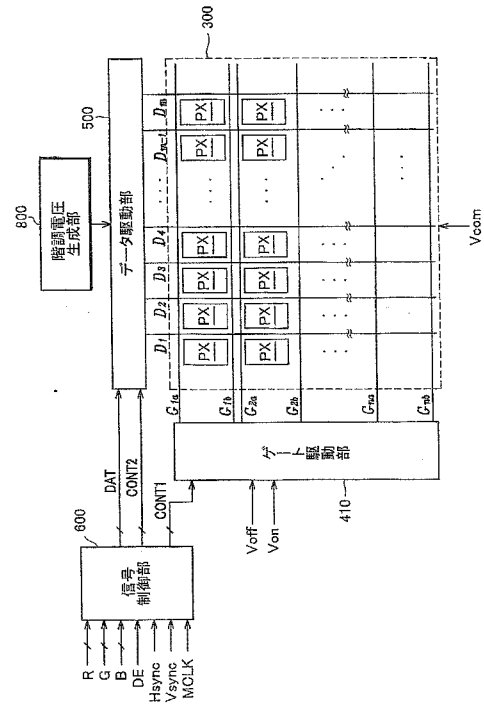
【図2】



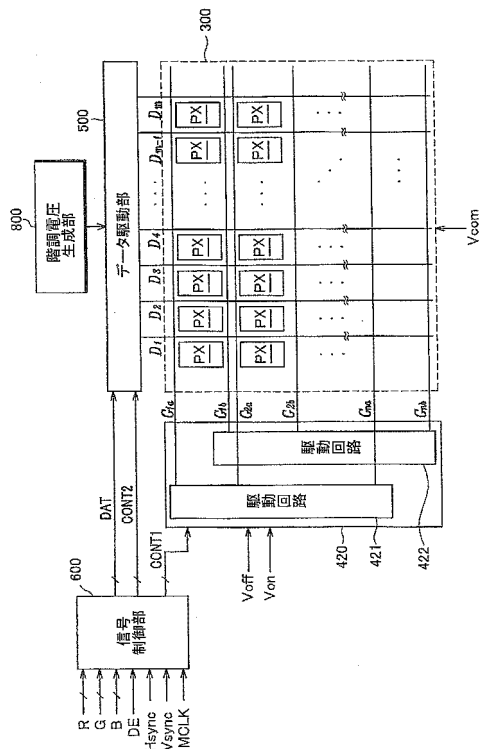
【図 3 a】



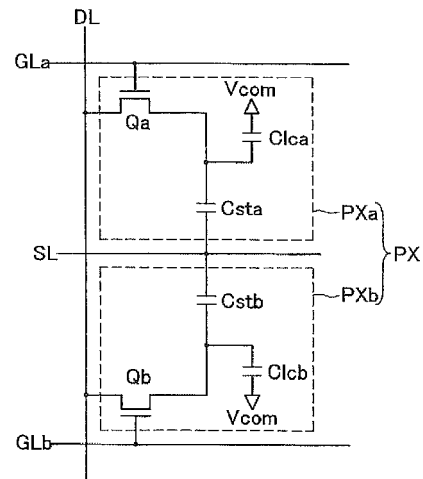
【図 3 b】



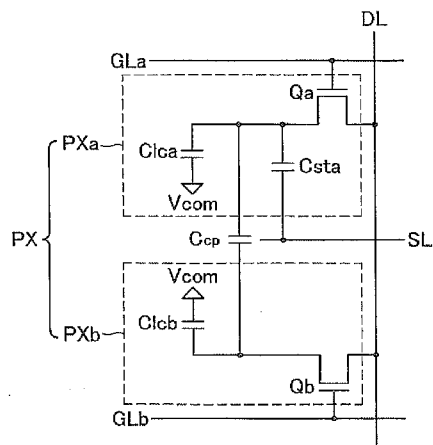
【図 3 c】



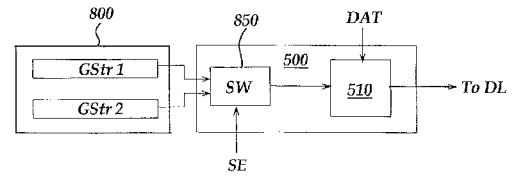
【図 4 a】



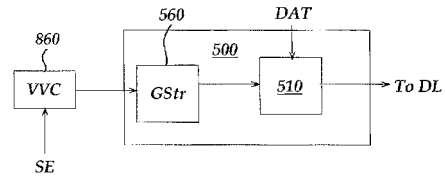
【図 4 b】



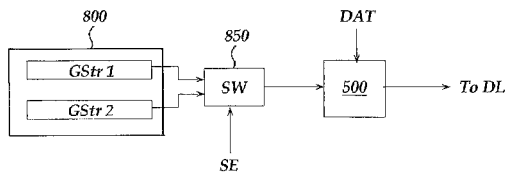
【図 5 b】



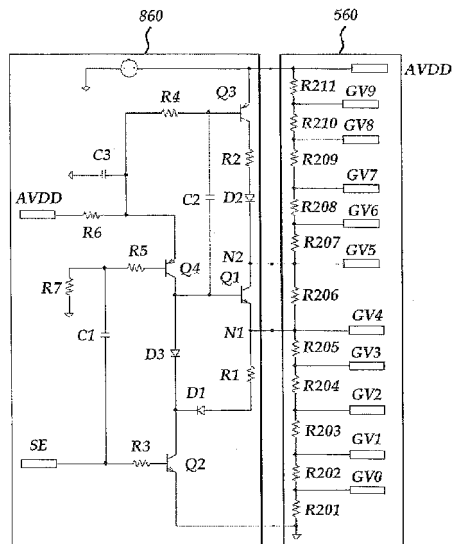
【図 5 c】



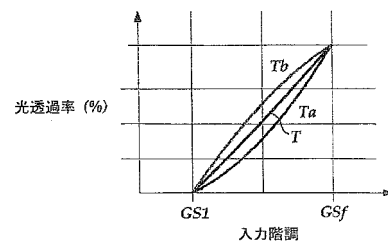
【図 5 a】



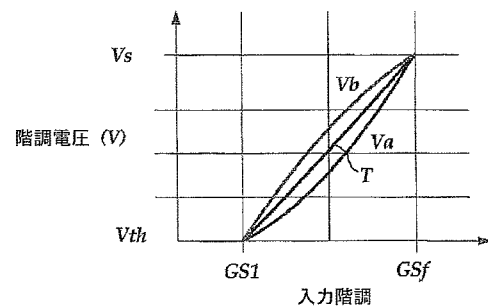
【図 6】



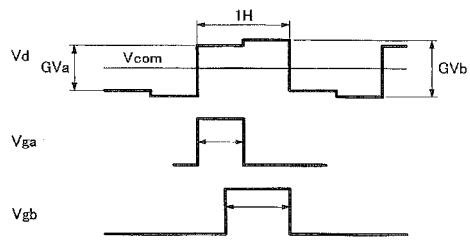
【図 7 a】



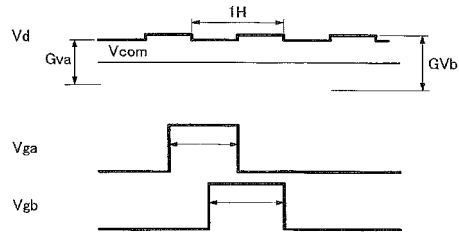
【図 7 b】



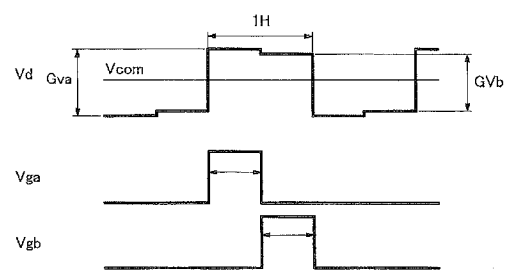
【図 8 a】



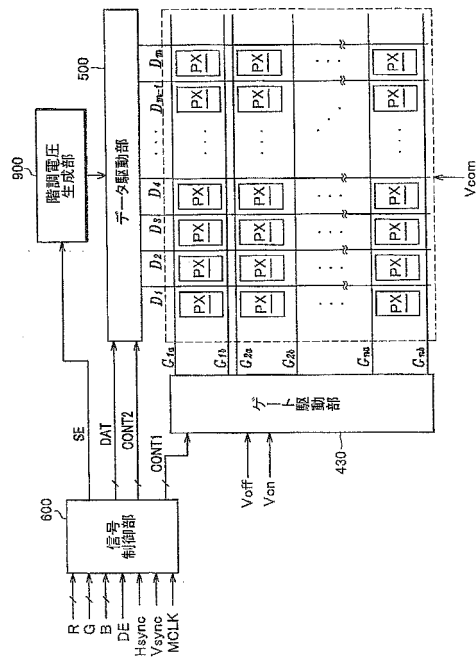
【図 8 b】



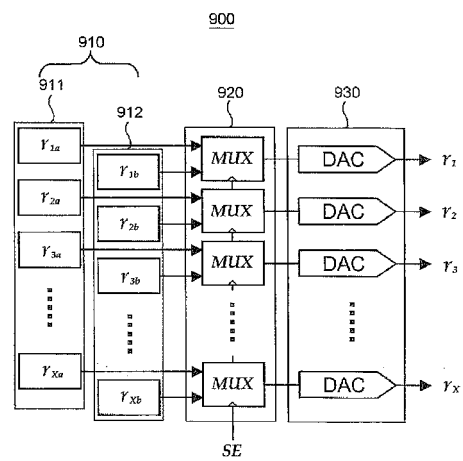
【図 8 c】



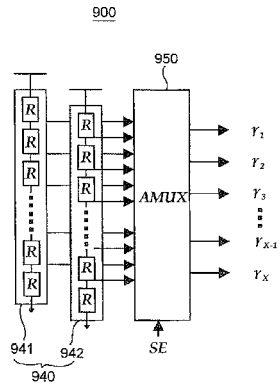
【図 9】



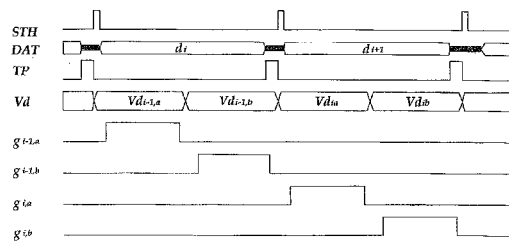
【図 10】



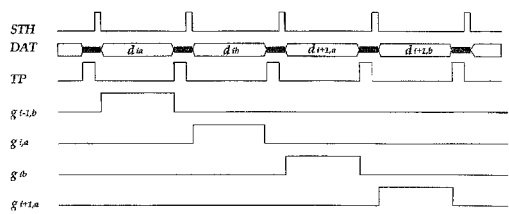
【図 1 1】



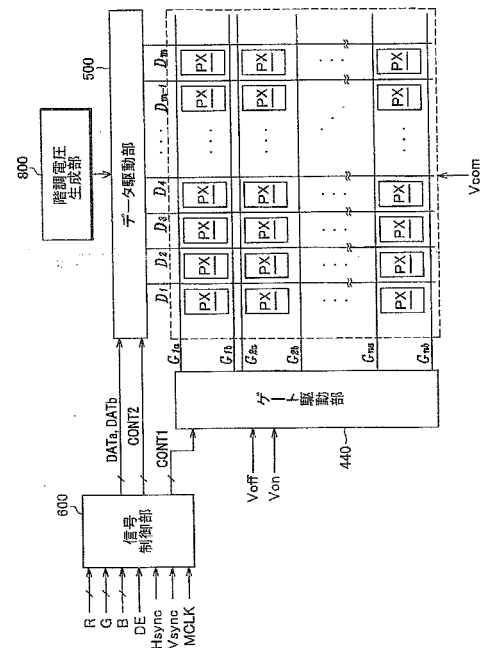
【図 1 2】



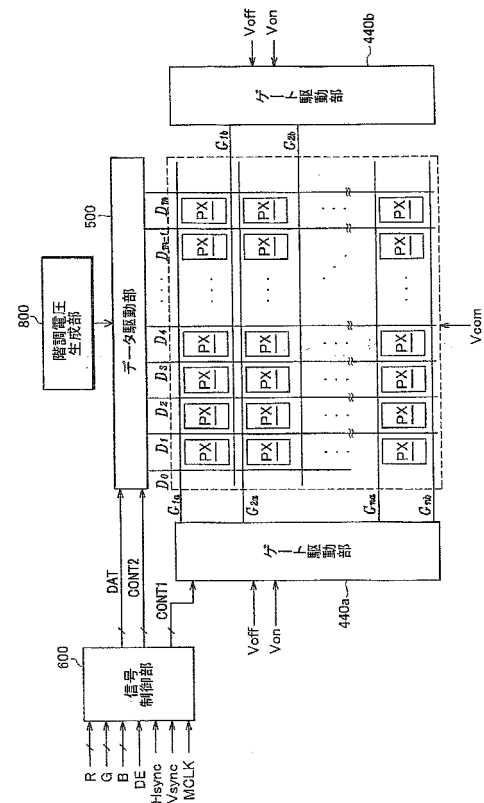
【図 1 4】



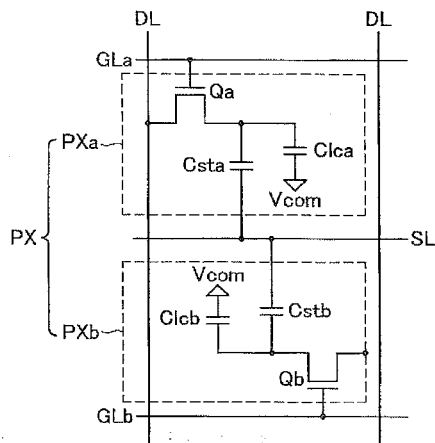
【図 1 3】



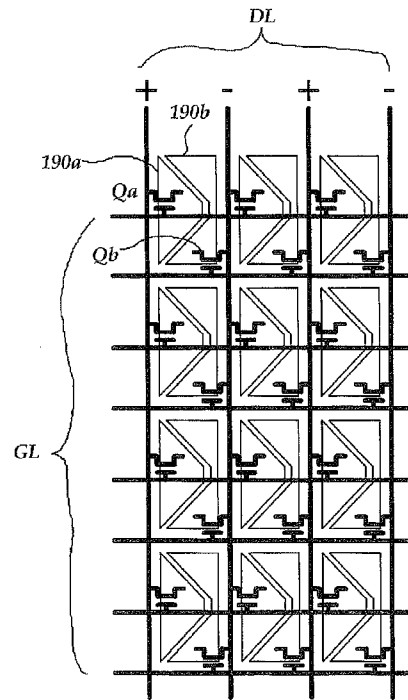
【図 1 5】



【図 16】



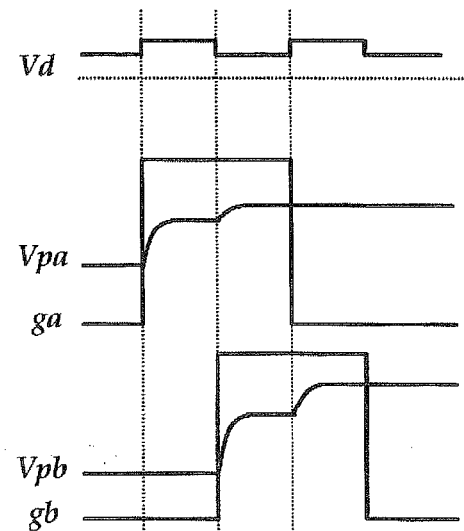
【図 17 a】



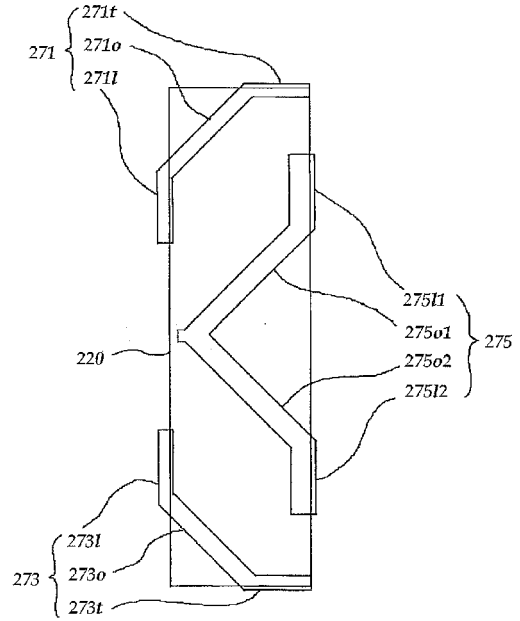
【図 17 b】

+	-	+
-	+	-
+	-	+
-	+	-
+	-	+
-	+	-
+	-	+
-	+	-

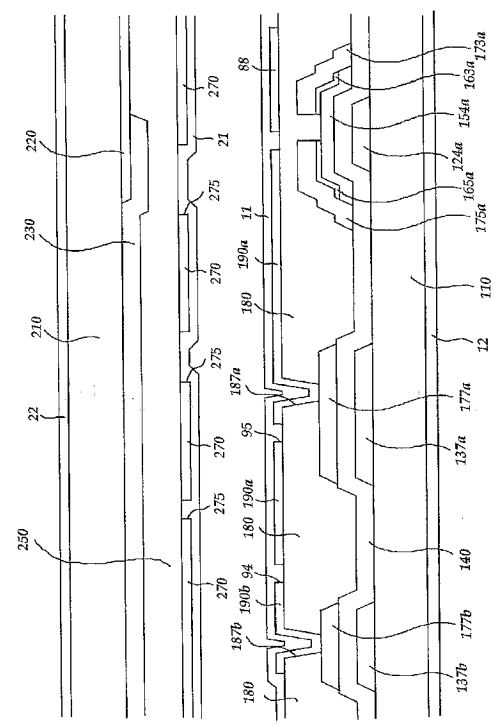
【図 18】



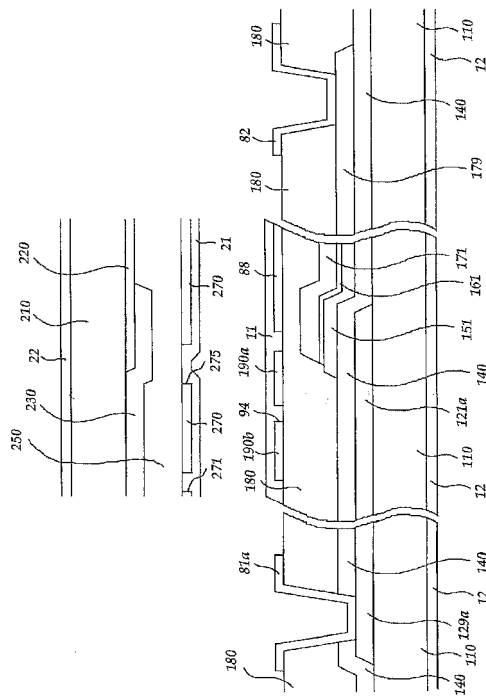
【 図 2 0 】



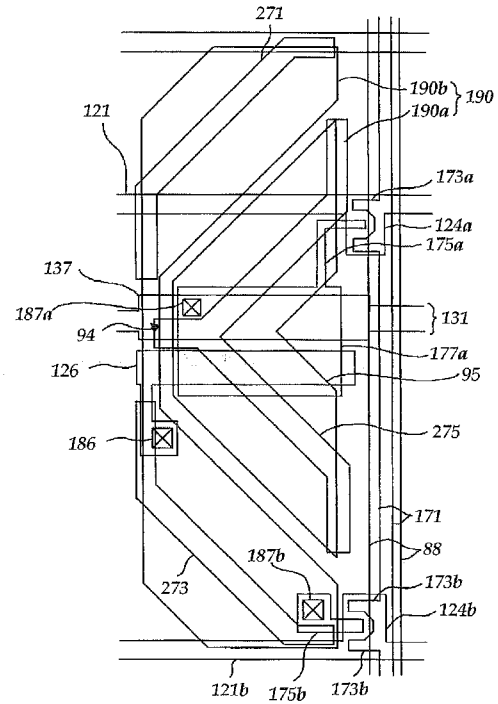
【圖 2 2】



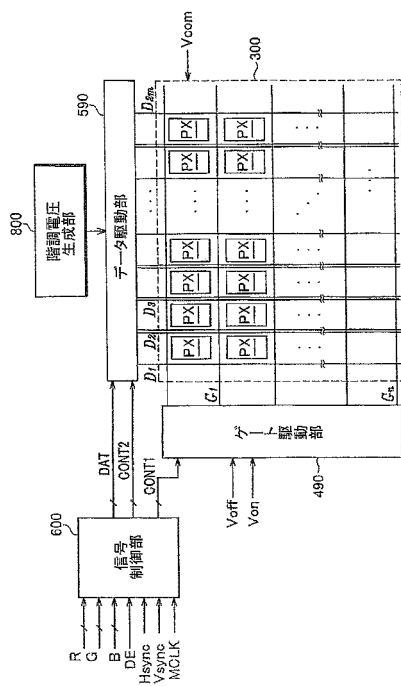
【図 23】



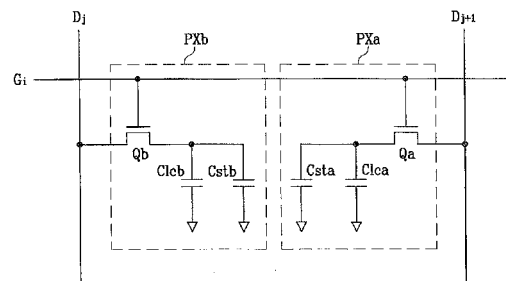
【図 24】



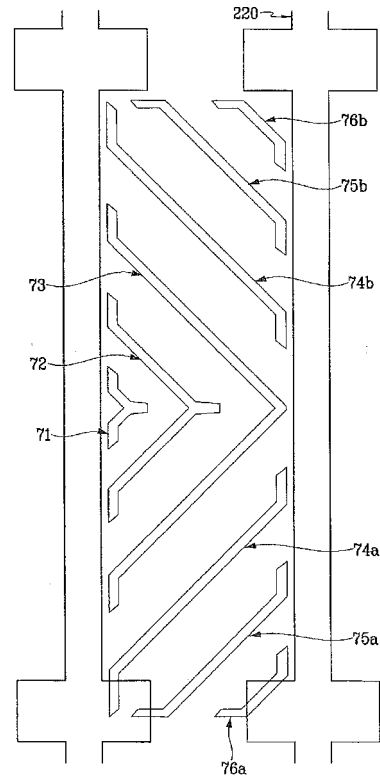
【図 25】



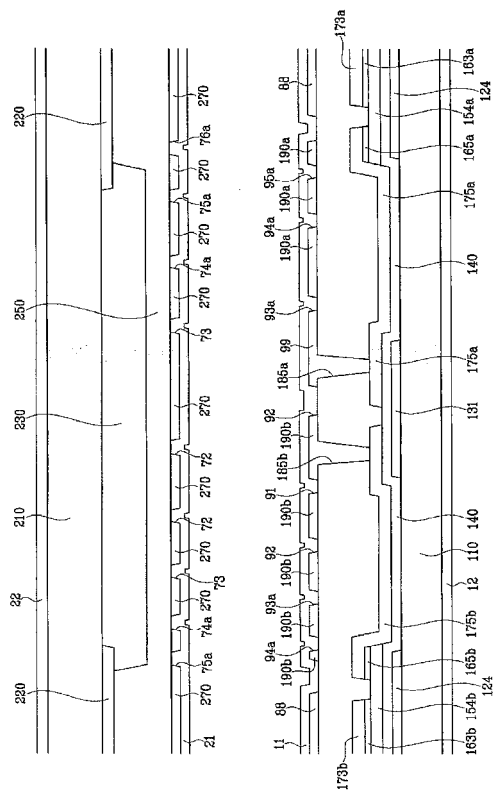
【図 26】



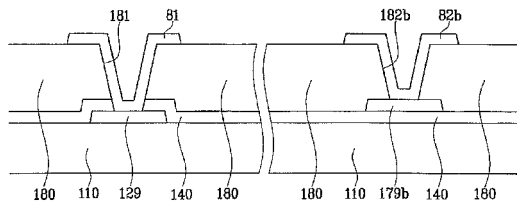
【圖 28】



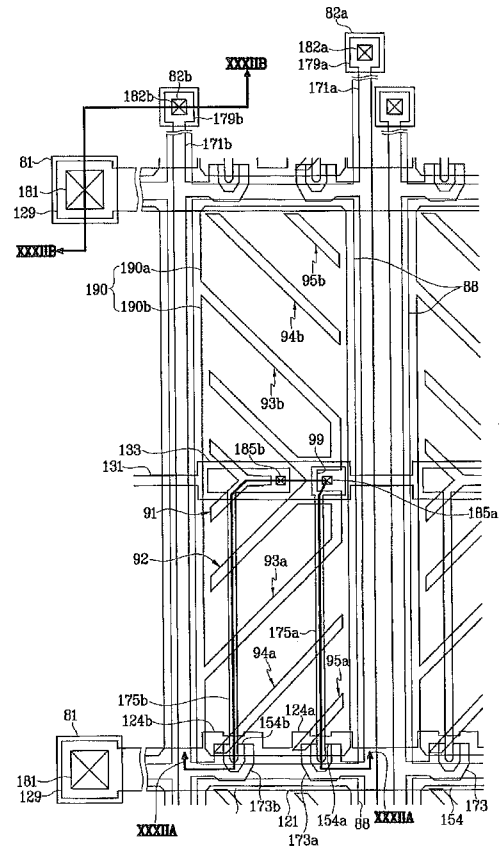
【 図 3 0 a 】



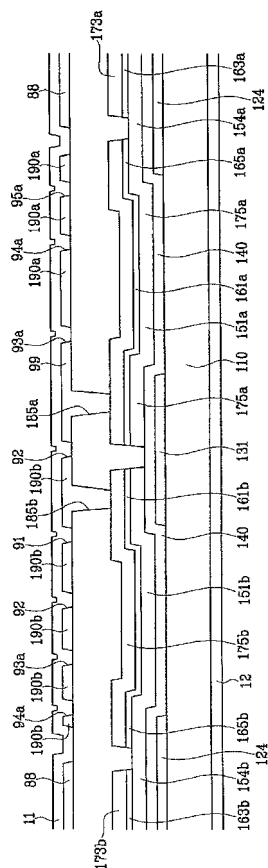
【図 30 b】



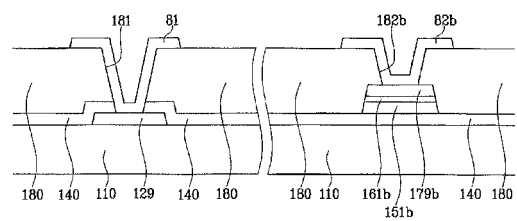
【図 31】



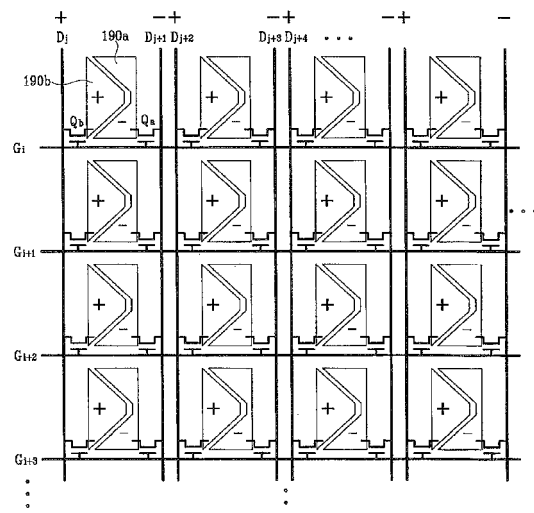
【図 32 a】



【図 32 b】



【図 33】



フロントページの続き

(51)Int.Cl. F I

G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 2 1 B

(31)優先権主張番号 10-2005-0004526

(32)優先日 平成17年1月18日(2005.1.18)

(33)優先権主張国 韓国(KR)

(72)発明者 金 相 洙

大韓民国ソウル市江南区道谷2洞タワーパレスF棟3104号

(72)発明者 金 東 奎

大韓民国京畿道龍仁市豊徳川洞三星5次アパート523棟1305号

(72)発明者 文 勝 煥

大韓民国京畿道龍仁市上 ヒョン 洞マンヒョンマウル2団地現代6次アパート205棟1504号

(72)発明者 李 昇 祐

大韓民国ソウル市衿川区始興2洞266番地冠岳山碧山タウン519棟1601号

(72)発明者 白 承 洙

大韓民国ソウル市冠岳区南 ヒョン 洞602-55番地302号

審査官 西島 篤宏

(56)参考文献 特開平04-097126(JP,A)

特開2003-308048(JP,A)

特開2004-062146(JP,A)

特開2000-338918(JP,A)

特開昭57-037981(JP,A)

特開平03-153296(JP,A)

特開2003-295160(JP,A)

特開2000-122080(JP,A)

特開2005-189804(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3 5 0 5 - 5 8 0

专利名称(译)	显示装置及其驱动方法		
公开(公告)号	JP5000124B2	公开(公告)日	2012-08-15
申请号	JP2005329431	申请日	2005-11-14
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金相洙 金東奎 文勝煥 李昇祐 白承洙		
发明人	金 相 洙 金 東 奎 文 勝 煥 李 昇 祐 白 承 洙		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G02F2001/134345 G09G3/2074 G09G3/3406 G09G3/3614 G09G3/3696 G09G2300/0426 G09G2300/0443 G09G2300/0447 G09G2300/0823 G09G2310/0251 G09G2310/0281 G09G2320/0209 G09G2320/0247 G09G2320/028 G09G2320/064		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.505 G09G3/20.642.A G09G3/20.622.C G09G3/20.622.D G09G3/20.623.C G09G3/20.623.F G09G3/20.621.A G09G3/20.612.F G09G3/20.624.C G09G3/20.621.B G11C19/00 G11C19/00.J		
F-TERM分类号	2H093/NA16 2H093/NB07 2H093/NB11 2H093/NB21 2H093/NC09 2H093/NC11 2H093/NC31 2H093/NC34 2H093/NC35 2H093/NC40 2H093/ND10 2H093/ND15 2H093/ND58 2H093/NF03 2H193/ZA01 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZC12 2H193/ZC13 2H193/ZC16 2H193/ZC34 2H193/ZC36 2H193/ZF24 2H193/ZH40 2H193/ZQ04 2H193/ZQ11 5B074/AA10 5B074/CA01 5C006/AC24 5C006/AC25 5C006/AC26 5C006/AF42 5C006/AF71 5C006/AF82 5C006/BB16 5C006/BC03 5C006/BC12 5C006/BF24 5C006/BF34 5C006/BF37 5C006/BF43 5C006/FA16 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	山下大沽嗣		
优先权	1020040092607 2004-11-12 KR 1020040098028 2004-11-26 KR 1020050002543 2005-01-11 KR 1020050004526 2005-01-18 KR		
其他公开文献	JP2006139288A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其构成为当像素电极设置有V形凹口时通过使两个像素彼此相邻的形状彼此精确重合来防止水平条纹或垂直条纹出现并且使像素的孔径比彼此精确地重合，从而防止两个像素的电学和光学特性改变。解决方案：液晶显示

装置包括以矩阵排列并分别包括第一和第二子像素的像素PX，连接到第一子像素PXa并传输第一栅极信号的第一栅极线GLa，第二栅极连接到第二子像素PXb并传输第二栅极信号的线GLb和与第一和第二栅极线交叉的数据线DL连接到第一和第二子像素并传输数据电压。施加到各个像素的第一和第二子像素的数据电压的大小彼此不同，并且可以从一条像素信息获得。

