

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4638282号  
(P4638282)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月3日(2010.12.3)

|                              |                 |
|------------------------------|-----------------|
| (51) Int.Cl.                 | F I             |
| <b>GO2F 1/1345 (2006.01)</b> | GO2F 1/1345     |
| <b>GO2F 1/1339 (2006.01)</b> | GO2F 1/1339 505 |
| <b>GO9F 9/30 (2006.01)</b>   | GO9F 9/30 309   |
| <b>G11C 19/00 (2006.01)</b>  | G11C 19/00 J    |
| <b>G11C 19/28 (2006.01)</b>  | G11C 19/28 B    |

請求項の数 6 (全 12 頁)

|              |                              |           |                       |
|--------------|------------------------------|-----------|-----------------------|
| (21) 出願番号    | 特願2005-159334 (P2005-159334) | (73) 特許権者 | 501426046             |
| (22) 出願日     | 平成17年5月31日(2005.5.31)        |           | エルジー ディスプレイ カンパニー リ   |
| (65) 公開番号    | 特開2006-3889 (P2006-3889A)    |           | ミテッド                  |
| (43) 公開日     | 平成18年1月5日(2006.1.5)          |           | 大韓民国 ソウル, ヨンドゥンポーク, ヨ |
| 審査請求日        | 平成17年5月31日(2005.5.31)        |           | イドードン 20              |
| (31) 優先権主張番号 | 2004-038887                  | (74) 代理人  | 100094112             |
| (32) 優先日     | 平成16年5月31日(2004.5.31)        |           | 弁理士 岡部 譲              |
| (33) 優先権主張国  | 韓国 (KR)                      | (74) 代理人  | 100064447             |
|              |                              |           | 弁理士 岡部 正夫             |
|              |                              | (74) 代理人  | 100085176             |
|              |                              |           | 弁理士 加藤 伸晃             |
|              |                              | (74) 代理人  | 100106703             |
|              |                              |           | 弁理士 産形 和央             |
|              |                              | (74) 代理人  | 100096943             |
|              |                              |           | 弁理士 白井 伸一             |

最終頁に続く

(54) 【発明の名称】 駆動回路が内蔵された液晶表示パネル

(57) 【特許請求の範囲】

【請求項 1】

複数のゲートラインとデータラインを交差させることにより規定され、シーリング材を通じて合着された第1及び第2基板の表示領域に形成された複数の液晶セルと、

複数のステージで構成されたシフト・レジスターを含み、前記表示領域の外郭の非表示領域の回路領域に形成されたゲート駆動回路とを含む駆動回路内蔵型の液晶パネルであって、

前記ステージの各々は、対応のゲートラインにスキャン・パルスを供給するための前記対応のゲートラインに接続された出力バッファ、及び、前記出力バッファの出力を制御するための前記出力バッファに接続された制御部を備え、

前記制御部は、第1及び第2のノードを制御するための第1から第5のトランジスタを備え、前記出力バッファは、前記第1のノードに接続されたプルアップ・トランジスタと、前記第2のノードに接続されたプルダウン・トランジスタとを備え、

前記非表示領域は、前記回路領域、及び、前記ゲート駆動回路に必要なクロック信号と電力信号とを供給するための複数のLOG(ライン・オン・ガラス)型の信号ラインと複数のコンタクト電極とを有するLOG領域を含み、

前記出力バッファのプルアップ・トランジスタ及びプルダウン・トランジスタは、ガラスファイバーを含む前記シーリング材と重畳し、

前記LOG型の信号ラインとコンタクト電極を含むLOG領域は、前記各ステージの制御部と前記表示領域の間に位置していることを特徴とする駆動回路内蔵型の液晶パネル。

## 【請求項 2】

複数のゲートラインとデータラインを交差させることにより規定され、シーリング材を通じて合着された第 1 及び第 2 基板の表示領域に形成された複数の液晶セルと、

複数のステージで構成されたシフト・レジスターを含み、前記表示領域の外郭の非表示領域の回路領域に形成されたゲート駆動回路とを含む駆動回路内蔵型の液晶パネルであって、

前記ステージの各々は、対応のゲートラインにスキャン・パルスを供給するための前記対応のゲートラインに接続された出力バッファ、及び、前記出力バッファの出力を制御するための前記出力バッファに接続された制御部を備え、

前記制御部は、第 1 及び第 2 のノードを制御するための第 1 から第 5 のトランジスタを備え、前記出力バッファは、前記第 1 のノードに接続されたプルアップ・トランジスタと、前記第 2 のノードに接続されたプルダウン・トランジスタとを備え、

前記非表示領域は、前記回路領域、及び、前記ゲート駆動回路に必要なクロック信号と電力信号とを供給するための複数の LOG (ライン・オン・ガラス) 型の信号ラインと複数のコンタクト電極とを有する LOG 領域を含み、

前記複数のコンタクト電極は、それぞれ、前記複数の LOG 型の信号ラインと前記第 1 から第 5 のトランジスタに接続され、

前記出力バッファのプルアップ・トランジスタ及びプルダウン・トランジスタは、ガラスファイバーを含む前記シーリング材と重畳し、

前記 LOG 型の信号ラインとコンタクト電極を含む LOG 領域は、前記各ステージの出力バッファと制御部の間に位置していることを特徴とする駆動回路内蔵型の液晶パネル。

## 【請求項 3】

ゲートラインを含む表示領域と、

回路領域及びライン・オン・ガラス (以下、LOG) 領域を含む非表示領域であって、前記回路領域は、前記ゲートラインにスキャン・パルスを供給するゲート駆動回路を含み、前記 LOG 領域は、前記ゲート駆動回路と接続された複数の LOG 型の信号ライン及び前記複数の LOG 型の信号ラインへ接続された複数のコンタクト電極を含む、非表示領域と、

前記液晶パネルの基板の合着のためのシーリング材とを含む液晶パネルであって、

前記ゲート駆動回路は、その各々が対応するゲートラインにスキャン・パルスを供給する複数のステージからなり、

前記複数のステージの各々は、対応のゲートラインにスキャン・パルスを出力する出力バッファと、前記出力バッファを制御する制御部とを含み、

前記出力バッファは、第 1 のノードに接続されたプルアップトランジスタと第 2 のノードに接続されたプルダウントランジスタを含み、

前記制御部は、前記第 1 及び第 2 のノードを制御するための第 1 から第 5 のトランジスタを含み、

前記 LOG 型の信号ラインは、前記各ステージの制御部と出力バッファに、クロック信号と電力信号を印加し、

前記 LOG 型の信号ライン及びコンタクト電極を含む LOG 領域は、前記各ステージの制御部と、前記表示領域の間に位置しており、

ガラスファイバーを含む前記シーリング材は、前記回路領域において出力バッファの一部と重畳して形成され、

前記コンタクト電極は、それぞれ、前記複数の LOG 型の信号ラインと前記第 1 から第 5 のトランジスタに接続され、

前記出力バッファの前記一部分は、前記プルアップ・トランジスタと前記プルダウン・トランジスタを含むことを特徴とする液晶パネル。

## 【請求項 4】

前記制御部は、前記シーリング材と重畳された出力バッファの一部が位置する一側

10

20

30

40

50

と対向し位置することを特徴とする請求項 3 に記載の液晶パネル。

【請求項 5】

前記制御部は、前記出力バッファの他の側と隣接して前記 LOG 領域と隣接したことを特徴とする請求項 4 に記載の液晶パネル。

【請求項 6】

ゲートラインを含む表示領域と、

回路領域及びライン・オン・ガラス（以下、LOG）領域を含む非表示領域であって、前記回路領域は、前記ゲートラインにスキャン・パルスを供給するゲート駆動回路を含み、前記 LOG 領域は、前記ゲート駆動回路と接続された複数の LOG 型の信号ライン及び前記 LOG 型の信号ラインへ接続された複数のコンタクト電極を含む、非表示領域と、

液晶パネルの基板の合着のためのシーリング材とを含む液晶パネルであって、

前記ゲート駆動回路は、その各々が対応するゲートラインにスキャン・パルスを供給する複数のステージからなり、

前記複数のステージの各々は、対応のゲートラインにスキャン・パルスを出力する出力バッファと、前記出力バッファを制御する制御部とを含み、

前記出力バッファは、第 1 のノードに接続されたプルアップトランジスタと第 2 のノードに接続されたプルダウントランジスタを含み、

前記制御部は、該第 1 と第 2 のノードを制御するための第 1 から第 5 のトランジスタを含み、

前記 LOG 型の信号ラインは、前記各ステージの制御部と出力バッファに、クロック信号と電力信号を印加し、

前記 LOG 型の信号ライン及びコンタクト電極を含む LOG 領域は、前記出力バッファと前記制御部の間に位置し、

ガラスファイバーを含む前記シーリング材は、前記回路領域においてゲート駆動回路の出力バッファの一部と重畳して形成され、

前記複数のコンタクト電極は、それぞれ、前記複数の LOG 型の信号ラインと前記第 1 から第 5 のトランジスタに接続され、

前記出力バッファの前記一部は、前記プルアップトランジスタと前記プルダウントランジスタとを含むことを特徴とする液晶パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関し、特に駆動回路が内蔵された液晶表示パネルに関する。

【背景技術】

【0002】

最近の情報化の社会において、テレビ及びコンピューターの表示装置として使用される液晶表示装置は、電界を利用して液晶の光透過率を調節することによって画像を表示するようになる。このために、液晶表示装置は液晶セルがマトリクス形態に配列された液晶表示パネル（以下、液晶パネル）と、液晶パネルを駆動するための駆動回路とを備える。

【0003】

図 1 を参照すると、一般的な液晶表示装置は  $m \times n$  個の液晶セル  $C_{1c}$  がマトリクスタイプに配列されて  $m$  個のデータライン  $D_1$  乃至  $D_m$  と  $n$  個のゲートライン  $G_1$  乃至  $G_n$  が交差し、その交差部に薄膜トランジスタ  $TFT$  が接続された液晶パネル 13 と、液晶パネル 13 のデータライン  $D_1$  乃至  $D_m$  にデータを供給するデータ駆動回路 11 と、ゲートライン  $G_1$  乃至  $G_n$  にスキャンパルスを提供するゲート駆動回路 12 とを備える。

【0004】

液晶パネル 13 は、薄膜トランジスタ・アレイが形成された薄膜トランジスタ基板とカラー・フィルター・アレイが形成されたカラー・フィルター基板が液晶層を間に置いて合着し形成される。この液晶パネル 13 の薄膜トランジスタ基板に形成されたデータライン  $D_1$  乃至  $D_m$  とゲートライン  $G_1$  乃至  $G_n$  は相互直交される。データライン  $D_1$  乃

10

20

30

40

50

至 D m とゲートライン G 1 乃至 G n の交差部と接続された薄膜トランジスタ T F T は、ゲートラインら G 1 乃至 G n のスキャン・パルスに応じて、データライン D 1 乃至 D m を通じて供給されたデータ電圧を液晶セル C 1 c の画素電極に供給するようになる。カラー・フィルター基板には、ブラック・マトリックス、カラー・フィルター及び共通電極などが形成される。これに従って、液晶セル C 1 c は画素電極に供給されたデータ電圧と、共通電極に供給された共通電圧との電位差によって誘電異方性を有する液晶が回転して光透過率を調節するようになる。そして、液晶パネル 1 3 の薄膜トランジスタ基板とカラー・フィルター基板の上には光軸が直交する偏光板が取り付けられて、液晶層と接する内側面の上には液晶のフリーチルト角を決定する背向膜がさらに形成される。また、液晶セル C 1 c の各々にはストリッジ・キャパシタ C s t がさらに形成される。ストリッジ・キャパシタ C s t は画素電極と前段ゲートラインの間に形成されたり、画素電極と図示してない共通ラインの間に形成されたりして、液晶セル C 1 c に充電されたデータ電圧を一定に維持させる。

10

## 【 0 0 0 5 】

データ駆動回路 1 1 は、入力されたデジタル・ビデオ・データをガンマ電圧を利用してアナログ・データ電圧に変換してデータラインら D 1 乃至 D m に供給する。

## 【 0 0 0 6 】

ゲート駆動回路 1 2 は、スキャン・パルスをゲートラインら G 1 乃至 G n に順次に供給して、データが供給される液晶セル C 1 c の水平ラインを選択する。

## 【 0 0 0 7 】

具体的に、ゲート駆動回路 1 2 は図 2 に示したように、ゲートライン G 1 乃至 G n に順次にスキャン・パルスを供給するためにスタート・パルス V s t 入力ラインに従属的に接続された第 1 乃至第 n ステージ 3 6 を備えるシフト・レジスタ 1 2 を含める。図 2 に示した第 1 乃至第 n ステージ 3 6 には、高電位及び低電位駆動電圧 V D D , V S S と共にクロック信号 C L K が共通に供給されて、スタート・パルス V s t または前段ステージの出力信号が供給される。第 1 ステージ 3 6 は、スタート・パルス V s t とクロック信号 C L K に応じて第 1 ゲートライン G 1 にスキャン・パルスを出力する。そして、第 2 乃至第 n ステージ 3 6 は、以前段ステージの出力信号とクロック信号 C L K に応じて第 2 乃至第 n ゲートライン G 2 乃至 G n の各々にスキャン・パルスを順次に出力する。改めて言うと、第 1 乃至第 n ステージ 3 6 は同一の回路構成を有し、クロック信号 C L K としては位相が相互異なる少なくとも二つのクロック信号が供給される。

20

30

## 【 0 0 0 8 】

図 3 は、図 2 に示したシフト・レジスタ 1 2 の中、第 1 ステージ 3 6 の詳細な回路構成を示したことである。

## 【 0 0 0 9 】

図 3 に示した第 1 ステージ 3 6 は、Q ノードの制御によって第 1 クロック信号 C 1 を出力ラインに出力するプル・アップ N M O S トランジスタ N T 6 と、Q B ノードの制御によって低電位の駆動電圧 V S S を出力ラインに出力するプル・ダウン N M O S トランジスタ N T 7 に構成された出力バッファ 3 8 と、Q ノードと Q B ノードを制御する第 1 乃至第 5 N M O S トランジスタ N T 1 乃至 N T 5 に構成された制御部 3 7 とを備える。このような第 1 ステージ 3 6 には、高電位及び低電位電圧 V D D , V S S とスタート・パルス V s t が供給されて、図 4 のように位相が相互異なる第 1 乃至第 4 クロック信号 C L K 1 乃至 C L K 4 の中、第 2 クロック信号 C L K 2 を除いた残りの三つのクロック信号 C L K 1 , C L K 3 , C L K 4 が供給される。以下、ステージ 3 6 の動作過程を図 4 に示された駆動波形を参照して説明する。

40

## 【 0 0 1 0 】

A 期間でスタート・パルス V s t 及び第 4 クロック信号 C L K 4 のハイ電圧によって第 1 及び第 2 N M O S トランジスタ N T 1 , N T 2 がターン・オンされて、スタート・パルス V s t のハイ電圧が Q ノードにフリー・チャージされる。Q ノードにフリー・チャージされたハイ電圧によってプル・アップ N M O S トランジスタ N T 6 がターン・オンさ

50

れて、第1クロック信号CLK1のロー電圧が出力ライン、即ち第1ゲートラインG1に供給される。この際、スタート・パルスVstによってターン・オンされた第5NMOSトランジスタNT5によって、QBノードはロー状態になり、第3B及びプル・ダウンNMOSトランジスタNT3A、NT7はターン・オフ、ロー電圧の第3クロック信号CLK3によって第3A及び第4NMOSトランジスタNT3A、NT4もターン・オフされる。

【0011】

B期間でスタート・パルスVstと第4クロック信号CLK4のロー電圧によって第1及び第2NMOSトランジスタNT1、NT2がターン・オフされるので、Qノードはハイ状態にフローティングされて、プル・アップNMOSトランジスタNT6はターン・オン状態を維持する。この際、第1クロック信号CLK1のハイ電圧によって、Qノードはプル・アップNMOSトランジスタNT6のゲート電極とドレイン電極の重畳に形成された寄生キャパシタCGDの影響によってブートストラップされる。これによって、Qノードの電圧がさらに上昇してプル・アップNMOSトランジスタNT6が確実にターン・オンされることによって、第1クロック信号CLK1のハイ電圧が第1ゲートラインG1に迅速に供給される。

10

【0012】

C期間でスタート・パルスVstと第4クロック信号CLK4のロー電圧によって第1及び第2NMOSトランジスタNT1、NT2がターン・オフされるので、Qノードはハイ状態にフローティングされて、プル・アップNMOSトランジスタNT6はターン・オン状態を維持する。これによって、プル・アップNMOSトランジスタNT6はターン・オン状態を維持して第1クロック信号CLK1のロー電圧が第1ゲートラインG1に供給される。

20

【0013】

D期間で第3クロック信号CLK3のハイ電圧によって、第3A及び第4NMOSトランジスタNT3A、NT4がターン・オンされてQノードはロー電圧が放電され、QBノードはハイ電圧が充電される。QBノードのハイ電圧によって第3BNMOSトランジスタNT3Bがターン・オンされて、Qノードはより迅速に放電されて、プル・ダウンNMOSトランジスタNT7がターン・オンされてロー電圧が第1ゲートラインG1に供給される。

30

【0014】

E期間で第3クロック信号CLK3のロー電圧に第4及び第5NMOSトランジスタNT4、NT5がターン・オフされ、QBノードはハイ状態にフローティングされることによってプル・ダウンNMOSトランジスタNT7がターン・オン状態を維持するので第1ゲートラインG1に供給される。

【0015】

そして、スタート・パルスVstのハイ電圧が供給される以前までプル・ダウンNMOSトランジスタNT7は続いてターン・オン状態を維持して第1ゲートラインG1に続いてロー電圧を出力する。

【0016】

このような構成を有するゲート駆動回路をアモルファス・シリコン薄膜トランジスタを利用して図5のように液晶パネル10に内蔵しようとする場合、低い移動度によって各ステージ36の出力バッファ38、即ち、プル・アップ及びプル・ダウンNMOSトランジスタNT6、NT7の大きさが非常に大きく形成されるはずである。これは前述のように、スキャン・パルスが出力バッファ36を通じて直接供給されるのから起因したのであり、出力バッファ38のチャンネル幅は液晶パネル10の寿命に非常に大きい影響を与えるためである。設計値によると、出力バッファ38は千数 $\mu\text{m}$ 以上のチャンネルの幅を維持すべきである。これによって、内蔵されたゲート駆動回路30が占める面積が大きくなるはずであるが、製品の規格上の非表示領域の内で回路面積を大きくするには限界がある。

40

50

## 【 0 0 1 7 】

図5を参照すると、ゲート駆動回路30は表示領域10の外郭に位置した非表示領域に形成される。そして、非表示領域には、薄膜トランジスタ基板とカラー・フィルター基板の合着のためのシーリング材32が周辺部、即ち、ゲート駆動回路30が形成された回路領域の外郭部に沿って塗布される。図5で一つのステージ36とその周辺部を拡大した図面を参照すると、一つのステージ36の左側には複数のクロック信号及び電源信号を供給するための複数のライン・オン・ガラス(Line On Glass、以下、LOG)型の信号ラインが形成されたLOG領域34が位置して、そのLOG領域34の左側にシーリング材32が過ぎて行くようになる。ここで、一つのステージ36は図3のように、プル・アップ及びプル・ダウン・トランジスタNT6, NT7を含める出力バッファ38と、出力バッファ38を制御するための第1乃至第5トランジスタNT1乃至NT5を含める制御部37とを備える。

10

## 【 0 0 1 8 】

この場合、シーリング材32に含まれたガラス・ファイバーが金属と接触する場合、損傷を加えてオープン不良をもたらすので、ゲート駆動回路30をシーリング材32と重畳し形成させられない。これはゲート駆動回路30に含まれる各ステージ36には図6のように、基板40の上でゲート絶縁膜44を間に置いて相互異なる層に形成されたゲート金属層42とソース・ドレイン金属層46と接続させるためのコンタクト電極50とが露出された構造を有するためである。

## 【 0 0 1 9 】

図6を参照すると、コンタクト電極50は保護膜48及びゲート絶縁膜44を貫通する第1コンタクトホール52を通じて露出されたゲート金属層42と、保護膜46を貫通する第2コンタクトホール54を通じて露出されたソース・ドレイン金属層46と接続させる。例えば、図3に示された一のステージの詳細回路で、高電位及び低電位電圧VDD, VSS供給ライン、第1乃至第4クロック信号CLK1乃至CLK4供給ライン、スタート・パルスVst供給ラインの各々と接続された第1乃至第6ノードN1乃至N6と、第1トランジスタNT1のゲート電極とソース電極の接続ノードN7, Qノード、QBノード等は図6のようにコンタクト電極50を通じて接続される。このようなコンタクト電極50がシーリング材32に含まれたガラス・ファイバー56と接続する場合、腐食等で損傷されて非接続の不良が発生する。

20

30

## 【 0 0 2 0 】

これによって、ゲート駆動回路30をシーリング材32と重畳させられないので、回路面積はさらに減るしかない。例えば、2.2" QVGAである場合、画素領域20から薄膜トランジスタ基板のスクライブ・ライン(Scribe Line)までの非表示領域の線幅は約2.2mmであり、このような非表示領域でシーリング材32は0.6mmの線幅を占める。これによって、LOG領域34とマージン等を顧慮すると、実際に使用できるゲート駆動回路30が形成できる回路面積の線幅は約0.8~0.9mm以内になるべきである。このように制限された回路面積内では出力バッファ38の大きさを大きく形成させられないので、回路面積を広げる方案が必要である。

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 2 1 】

従って、本発明の目的はシーリング材との重畳によって内蔵された駆動回路の面積を拡張させられる駆動回路内蔵型の液晶パネルを提供することである。

## 【 課題を解決するための手段 】

## 【 0 0 2 2 】

前記目的を達成するために、本発明の実施形態の駆動回路の内蔵型の液晶パネルは、シーリング材を通じて合着された第1及び第2基板の表示領域に形成された液晶セル・マトリックスと、前記液晶セル・マトリックスを駆動するために前記表示領域の外郭の非表示領域の中、回路領域に形成された駆動回路と、前記非表示領域の中、LOG領域に形成さ

40

50

れて前記駆動回路に必要な複数の信号を供給するLOG型の信号ラインとを備えて、前記駆動回路領域及びLOG領域の中、いずれか一つの領域が前記シーリング材と重畳されたことを特徴とする。

【0023】

前記駆動回路は、前記液晶セル・マトリックスのゲートラインを駆動するゲート駆動回路を含める。

【0024】

前記駆動回路は、前記ゲートラインの各々を駆動するための複数のステージに構成されたシフト・レジスターを含める。

【0025】

前記シフト・レジスターの各ステージは、該当ゲートラインにスキャン・パルスを供給する出力バッファと、その出力バッファを制御する制御部とを備える。

【0026】

前記各ステージの中、相互異なる金属層を連結するコンタクト電極が形成された部分を除いた残りの回路部分が前記シーリング材と重畳されるように形成される。

【0027】

前記各ステージの中、出力バッファが前記シーリング材と重畳されるように形成される。

【0028】

前記LOG領域は、前記各ステージの制御部と前記表示領域の間に位置するようになる。

【0029】

前記LOG領域は、前記各ステージの出力バッファと制御部の間に位置するようになる。

【0030】

前記出力バッファの一部が前記シーリング材と重畳される。

【0031】

前記LOG領域の中、一部分が前記シーリング材と重畳される。

【0032】

前記LOG信号ラインの中、相対的に広い線幅を有する低電位電圧の供給ラインが前記シーリング材と重畳されて、その低電位の電圧の供給ラインはコンタクト電極と前記シーリング材の外の側で接続される。

【発明の効果】

【0033】

本発明による駆動回路の内蔵型の液晶パネルは、駆動回路をシーリング材と重畳させて形成することによって、回路面積が拡張させられる。これによって、スキャン・パルスの波形と密接な関係を有して液晶パネルの寿命に直接的な影響を及ぼす出力バッファのチャンネル幅を大きくすることによって、スキャン・パルス波形の歪曲が減らせると共に寿命が延長させられる。

【発明を実施するための最良の形態】

【0034】

以下、本発明の好ましい実施形態を図7乃至図9を参照して説明する。

【0035】

図7は、本発明の実施形態のゲート駆動回路80が内蔵された液晶パネル60を概略的に示した平面図である。

【0036】

図7に示された液晶パネル60は、ゲートライン及びデータラインの交差に定義された画素領域ごとに形成された液晶セルがマトリクス形態に配列された表示領域70と、ゲートラインを駆動するために非表示領域に内蔵されたゲート駆動回路80とを備える。

【0037】

10

20

30

40

50

液晶パネル60は、薄膜トランジスト・アレイが形成された薄膜トランジスター基板と、カラー・フィルター・アレイが形成されたカラー・フィルター基板が液晶層を間に置いて合着し形成される。

【0038】

カラー・フィルター基板は、表示領域で画素領域ごとに形成されたカラー・フィルター、表示領域ではカラー・フィルターを区分して非表示領域にも形成されたブラック・マトリックス、液晶セルに共通電圧を供給するための共通電極等が形成される。

【0039】

薄膜トランジスター基板の表示領域には、相互交差するゲートライン及びデータラインと、その交差部と接続された薄膜トランジスターと、薄膜トランジスターと接続された液晶セルの画素電極とが形成される。

10

【0040】

薄膜トランジスター基板の非表示領域の中、回路領域には、ゲートラインを駆動するためのゲート駆動回路80が形成されて、そのゲート駆動回路80に必要なクロック信号及び電源信号を供給するLOG型の信号ラインがLOG領域84に形成される。ここで、ゲート駆動回路80に含まれる各ステージ38は、シーリング材82と重畳して形成される。この場合、出力バッファ88と、その出力バッファ88を制御する制御部87に構成された各ステージ38の中、出力バッファ88がシーリング材82と重畳されるようにする。これは出力バッファ88に含まれるプル・アップ及びプル・ダウン・トランジスタNT6, NT7は、図6に示されたコンタクト電極50を必要としないためである。これによって、出力バッファ88がシーリング材82と重畳されてもシーリング材82に含まれたガラス・ファイバーによる腐食問題が発生しないようになるので、出力バッファ88をシーリング材82が塗布されるシーリング領域に形成して出力バッファ88のチャンネル幅が既存の構造に比べて大きく増加させられる。例えば、約0.9mmの線幅を有する回路面積内では、出力バッファが約0.3mmぐらいの線幅が占められる反面、0.6mmの線幅を有するシーリング材82と出力バッファ88を重畳させる場合、その出力バッファ88が3倍以上に大きく形成させられる。

20

【0041】

このように、各ステージ86の出力バッファ88がシーリング材82と重畳されるようにする場合、LOG信号ラインが占めるLOG領域84は各ステージ86と表示領域70の間に位置する。これとは違って、LOG領域84は図8に示したのように、各ステージ86の出力バッファ88と制御部87の間に位置することもある。この際、出力バッファ88の一部分が前記シーリング材82と重畳される。

30

【0042】

また、図9に示されたのように、LOG領域84がシーリング材82と重畳して形成されるようにして、LOG領域84が占める面積ほど、各ステージ86の回路面積が増加させられるので、出力バッファ88の大きさが増加させられる。この場合、LOG領域84はLOG型信号ラインが図3のように複数のノードN1乃至N6を含めるので、複数のコンタクト電極50を含める。このようなコンタクト電極50とシーリング材82との重畳を防ぐために、図9に拡大図示した部分のように、電流が最も多く流れるので、回路の安定性のために一番太く形成された低電位電圧VSS供給ラインVSSLだけをシーリング材82と重畳されるように形成する。そして、低電位電圧VSS供給ラインVSSLはシーリング材82の外の側でコンタクト電極50と接続させる。

40

【0043】

以上、説明した内容を通じて、当業者なら、本発明の技術思想を逸脱しない範囲で、多様な変更及び修正ができることがわかる。従って、本発明の技術的の範囲は明細書の詳細な説明に記載された内容に限られるのではなく、特許請求の範囲により定められるはずである。

【図面の簡単な説明】

【0044】

50

【図 1】一般的な液晶表示装置を示したブロック図である。

【図 2】図 2 に示されたゲート駆動回路の構成を示したブロック図である。

【図 3】図 2 に示された第 1 ステージの詳細な回路図である。

【図 4】図 3 に示された第 1 ステージの駆動波形図である。

【図 5】従来のゲート駆動回路が内蔵された液晶表示パネルを概略的に示した平面図である。

【図 6】図 5 に示されたゲート駆動回路に含まれるコンタクト部分を示した断面図である。

【図 7】本発明の第 1 実施形態のゲート駆動回路が内蔵された液晶表示パネルを概略的に示した平面図である。

10

【図 8】本発明の第 2 実施形態の液晶表示パネルの非表示領域を示した平面図である。

【図 9】本発明の第 3 実施形態の液晶表示パネルの非表示領域を示した平面図である。

【符号の説明】

【 0 0 4 5 】

1 0 , 1 3 , 6 0 : 液晶パネル

1 1 : データ駆動回路

1 2 , 3 0 , 8 0 : ゲート駆動回路

2 0 , 7 0 : 表示領域

3 2 , 8 2 : シーリング材

3 4 , 8 4 : ライン・オン・ガラス領域

20

3 6 , 8 6 : ステージ

3 7 , 8 7 : 制御部

3 8 , 8 8 : 出力バッファ

4 0 : 基板

4 2 : ゲート金属層

4 4 : ゲート絶縁膜

4 6 : ゲート/ドレイン金属層

4 8 : 保護膜

5 0 : コンタクト電極

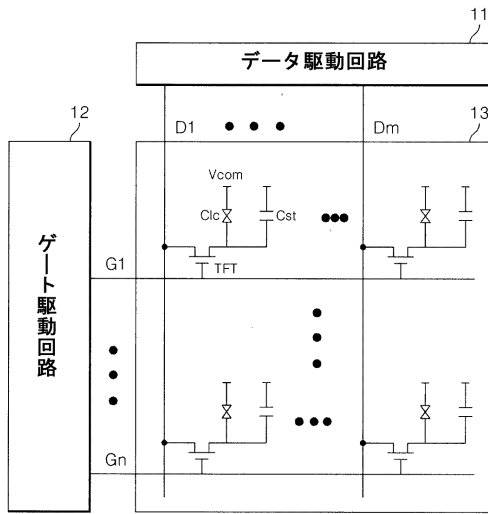
5 2 , 5 4 : コンタクトホール

30

5 6 : ガラス・ファイバー

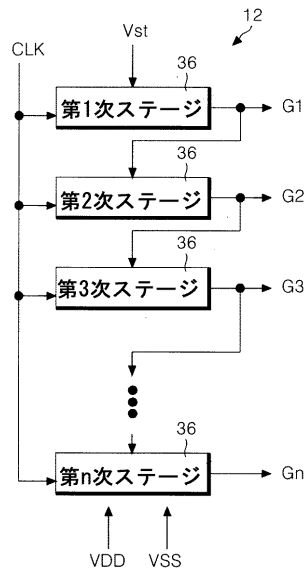
【図1】

関連技術



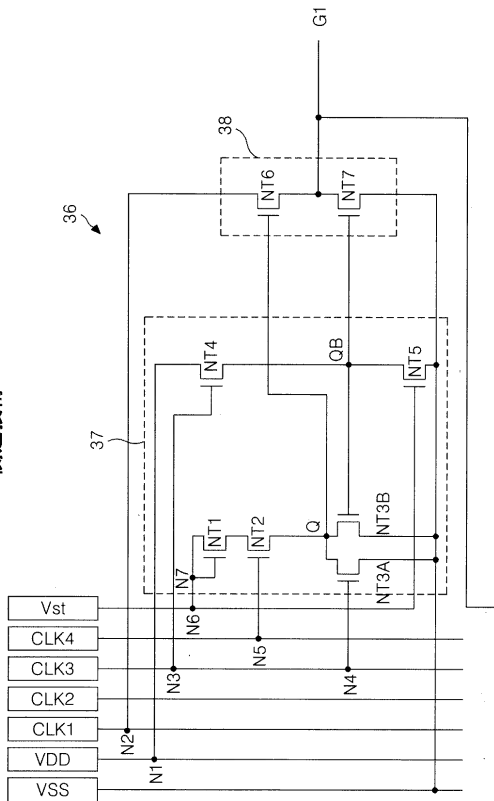
【図2】

関連技術



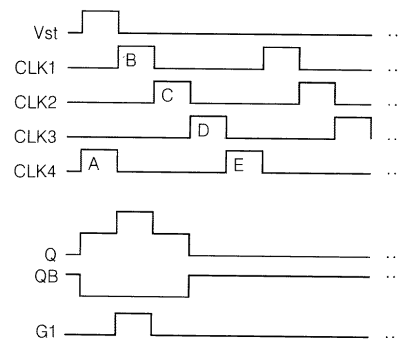
【図3】

関連技術



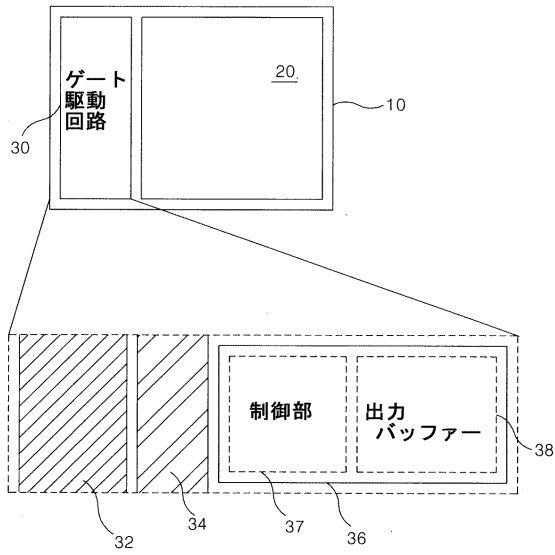
【図4】

関連技術



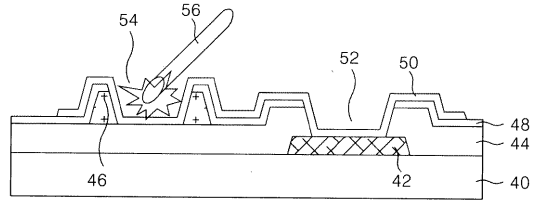
【図5】

関連技術

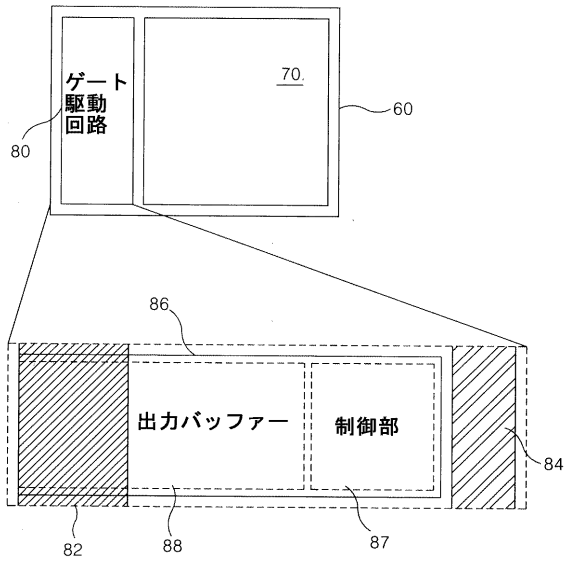


【図6】

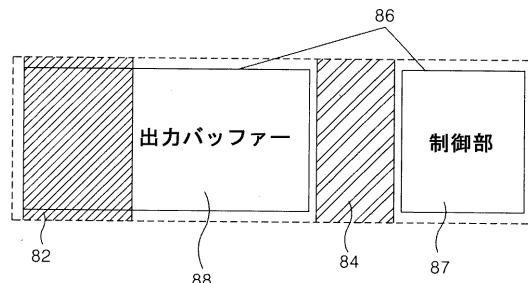
関連技術



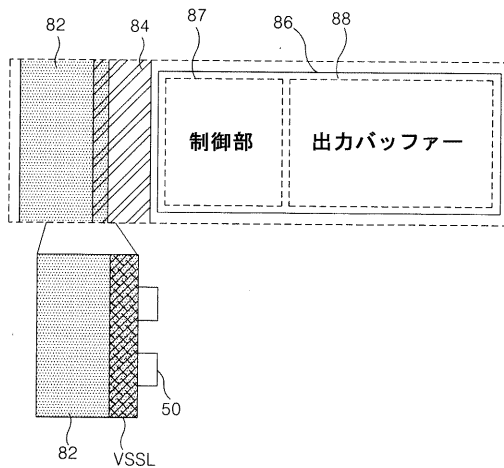
【図7】



【図8】



【図9】



## フロントページの続き

- (74)代理人 100101498  
弁理士 越智 隆夫
- (74)代理人 100096688  
弁理士 本宮 照久
- (74)代理人 100104352  
弁理士 朝日 伸光
- (74)代理人 100128657  
弁理士 三山 勝巳
- (72)発明者 張 容 豪  
大韓民国 京畿道 城南市 盆唐區 セトビョルメウル サムプ アパート 414-806号
- (72)発明者 金 彬  
大韓民国 ソウル特別市 陽川區 木5洞 モクドン 4-ダンジ アパート 408-2003号
- (72)発明者 尹 洙 榮  
大韓民国 京畿道 高陽市 徳陽區 幸信2洞 ムウォン メウル 10-ダンジ ソクワン アパート 1010-802号

審査官 福田 知喜

- (56)参考文献 特開平11-194367(JP,A)  
特開平08-263028(JP,A)  
特開2000-155550(JP,A)  
特開平11-064889(JP,A)  
特開2002-196697(JP,A)  
特開平10-253990(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1345  
G02F 1/1339  
G09F 9/30

|                |                                                                                                                                                                                                                                                                                    |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 一种包含驱动电路的液晶显示板                                                                                                                                                                                                                                                                     |         |            |
| 公开(公告)号        | <a href="#">JP4638282B2</a>                                                                                                                                                                                                                                                        | 公开(公告)日 | 2011-02-23 |
| 申请号            | JP2005159334                                                                                                                                                                                                                                                                       | 申请日     | 2005-05-31 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                                                                                                                                                                                                                           |         |            |
| 申请(专利权)人(译)    | Eruji.菲利普斯杜天公司, 有限公司                                                                                                                                                                                                                                                               |         |            |
| 当前申请(专利权)人(译)  | Eruji显示有限公司                                                                                                                                                                                                                                                                        |         |            |
| [标]发明人         | 張容豪<br>金彬<br>尹洙榮                                                                                                                                                                                                                                                                   |         |            |
| 发明人            | 張容豪<br>金彬<br>尹洙榮                                                                                                                                                                                                                                                                   |         |            |
| IPC分类号         | G02F1/1345 G02F1/1339 G09F9/30 G11C19/00 G11C19/28 G02F1/133 G02F1/13 G09G3/36                                                                                                                                                                                                     |         |            |
| CPC分类号         | G02F1/1339 G02F1/13452                                                                                                                                                                                                                                                             |         |            |
| FI分类号          | G02F1/1345 G02F1/1339.505 G09F9/30.309 G11C19/00.J G11C19/28.B G11C19/00 G11C19/00.K G11C19/28.D G11C19/28.210 G11C19/28.230                                                                                                                                                       |         |            |
| F-TERM分类号      | 2H089/NA39 2H089/QA16 2H089/TA07 2H089/TA09 2H089/TA12 2H092/GA29 2H092/JA24 2H092/JA46 2H092/KA05 2H092/PA04 2H092/PA06 2H189/HA11 2H189/HA16 2H189/LA08 2H189/LA14 2H189/LA15 5B074/AA03 5B074/CA01 5B074/DA01 5B074/DB02 5C094/AA37 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA07 |         |            |
| 代理人(译)         | 白井伸一<br>朝日 伸光                                                                                                                                                                                                                                                                      |         |            |
| 审查员(译)         | 福田 知喜                                                                                                                                                                                                                                                                              |         |            |
| 优先权            | 1020040038887 2004-05-31 KR                                                                                                                                                                                                                                                        |         |            |
| 其他公开文献         | JP2006003889A                                                                                                                                                                                                                                                                      |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                          |         |            |

摘要(译)

要解决的问题：提供一种驱动电路的内置液晶面板，其中内置驱动电路的区域通过与密封材料重叠而扩展。为此目的，本发明的驱动电路的内置液晶面板包括：液晶单元矩阵，形成在通过密封材料彼此连接的第一和第二基板的显示区域中；驱动电路，形成在显示区域的外围上的非显示区域中的电路区域中以驱动矩阵；以及驱动电路，形成在非显示区域的玻璃区域上的线上，以及用于提供多个必要信号的玻璃上线型信号线，其中驱动电路区域和玻璃上线区域中的一个与密封材料重叠特征。点域5

【图3】

