

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4594292号
(P4594292)

(45) 発行日 平成22年12月8日(2010.12.8)

(24) 登録日 平成22年9月24日(2010.9.24)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 7 C

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 2 D

請求項の数 12 (全 15 頁)

(21) 出願番号 特願2006-332789 (P2006-332789)
 (22) 出願日 平成18年12月11日(2006.12.11)
 (65) 公開番号 特開2007-171951 (P2007-171951A)
 (43) 公開日 平成19年7月5日(2007.7.5)
 審査請求日 平成18年12月11日(2006.12.11)
 (31) 優先権主張番号 10-2005-0126809
 (32) 優先日 平成17年12月21日(2005.12.21)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

(54) 【発明の名称】 フォトマスク及びこれを利用した液晶表示装置用アレイ基板の製造方法

(57) 【特許請求の範囲】

【請求項 1】

液晶表示装置用アレイ基板の製造工程で利用されるフォトレジストパターンを形成する
 ためのフォトマスクにおいて、第1透過率を有する透過領域と；

第2透過率を有する遮断領域と；

コーティング層を含み、第3透過率を有する第1半透過領域と；

相互に離隔する多数のバーを含み、第4透過率を有する第2半透過領域とを含み、前記
 第3及び第4透過率は、前記第1透過率より小さくて、前記第2透過率よりは大きく、前
 記第3透過率は、前記第4透過率より大きく、

前記第1半透過領域の側部が前記第2半透過領域の側部に接触し、前記第3透過率は前記
 コーティング層の厚さ及び数のいずれかにより制御される

ことを特徴とするフォトマスク。

【請求項 2】

前記第1透過率は、100%であることを特徴とする請求項1に記載のフォトマスク。

【請求項 3】

前記第2透過率は、0%であることを特徴とする請求項1に記載のフォトマスク。

【請求項 4】

前記第3透過率は、50%ないし60%であることを特徴とする請求項1に記載のフォ
 トマスク。

【請求項 5】

10

20

前記第 3 透過率は、前記コーティング層の厚さまたはコーティング層の数によって決まることを特徴とする請求項 1 に記載のフォトマスク。

【請求項 6】

前記第 4 透過率は、20%ないし40%であることを特徴とする請求項 1 に記載のフォトマスク。

【請求項 7】

前記第 4 透過率は、前記多数のバーの幅または前記多数のバー間の距離によって決まることを特徴とする請求項 1 に記載のフォトマスク。

【請求項 8】

第 1 パターンと第 1 パターンの上部の第 2 パターンが前記アレイ基板上に形成されて、前記第 2 パターン上に形成される物質層は、前記第 1 及び第 2 パターンによる第 1 段差と前記第 2 パターンによる第 2 段差とを有して、前記第 1 半透過領域は、前記第 1 段差に対応して、前記第 2 半透過領域は、前記第 2 段差に対応することを特徴とする請求項 1 に記載のフォトマスク。

【請求項 9】

前記物質層の上部にフォトレジスト層が形成され、前記フォトマスクを利用して前記フォトレジスト層をパターンニングして前記第 1 及び第 2 段差に各々対応して、実質的に同一な厚さを有する第 1 及び第 2 フォトレジストパターンが形成されることを特徴とする請求項 8 に記載のフォトマスク。

【請求項 10】

第 1 金属層を蒸着してパターンニングし、基板上にゲート配線とゲート電極を形成する段階と；

前記ゲート配線及び前記ゲート電極の上部にゲート絶縁膜を形成する段階と；

純粋非晶質シリコン層、不純物非晶質シリコン層及び第 2 金属層を連続的に蒸着してパターンニングし、前記ゲート電極に対応するアクティブ層、オーミックコンタクト層、ソース/ドレインパターン及びデータ配線を形成する段階と；

前記ソース/ドレインパターンの上部に、前記ソース/ドレインパターンを露出させるドレインコンタクトホールを含む保護層を形成する段階と；

前記保護層の上部に透明導電性金属層を形成する段階と；

前記透明導電性金属層の上部にフォトレジスト層を形成する段階と；

透過領域、遮断領域、第 1 及び第 2 半透過領域とを含むフォトマスクを前記フォトレジスト層の上部に位置させる段階と；

前記フォトレジスト層を現像して、前記ゲート電極に対応する前記透明導電性金属層を露出させる第 1 ないし第 3 フォトレジストパターンを形成する段階と；

前記第 1 ないし第 3 フォトレジストパターンによって露出された前記透明導電性金属層を除去する段階と；

前記第 2 及び第 3 フォトレジストパターンを除去する段階と；

前記第 2 及び第 3 フォトレジストパターンの除去によって露出された透明導電性金属層を除去する段階を含み、前記第 1 及び第 2 半透過領域は、前記透過領域より小さくて前記遮断領域よりは大きい透過率を有し、前記第 1 半透過領域の透過率は、前記第 2 半透過領域より大きくて、前記第 2 フォトレジストパターンは、前記第 3 フォトレジストパターンと実質的に同一な厚さを有して、前記第 1 フォトレジストパターンは、前記第 2 及び第 3 フォトレジストパターンに比べて厚く、前記基板から第 2 フォトレジストパターンの高さは、前記第 1 フォトレジストパターンより厚くて、前記第 3 フォトレジストパターンよりは大きく、

前記第 1 半透過領域はコーティング層を含み、前記第 2 半透過領域は複数のバーを含み、前記第 1 半透過領域の側部が前記第 2 半透過領域の側部に接触し、前記第 3 透過率は前記コーティング層の厚さ及び数のいずれかにより制御されることを特徴とする 液晶表示装置用アレイ基板の製造方法。

【請求項 11】

前記第１ないし第３フォトリソパターンによって露出された前記透明導電性金属層の下部のソース/ドレインパターンを除去して、前記オーミックコンタクトパターンの上部に、相互に離隔するソース及びドレイン電極を形成する段階をさらに含むことを特徴とする請求項１０に記載の液晶表示装置用アレイ基板の製造方法。

【請求項１２】

前記第１フォトリソパターンを除去する段階をさらに含むことを特徴とする請求項１０に記載の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【０００１】

10

本発明は、フォトリソ及びこれを利用した液晶表示装置用アレイ基板の製造方法に関する。

【背景技術】

【０００２】

最近の液晶表示装置は、消費電力が低く、携帯に便利な技術集約的であって、付加価値の高い次世代先端ディスプレイ装置として脚光を浴びている。

このような液晶表示装置のうちでも、各画素別に電圧のオン、オフが調節できるスイッチング素子である薄膜トランジスタを備えたアクティブマトリックス型の液晶表示装置が解像度及び動画の表示能力が優れているため、最も注目を浴びている。

【０００３】

20

一般に、液晶表示装置は、薄膜トランジスタ及び画素電極を形成するアレイ基板の製造工程とカラーフィルタ及び共通電極を形成するカラーフィルタ基板の製造工程によって各々アレイ基板及びカラーフィルタ基板を形成して、前記両基板間に、液晶を介する液晶セル工程を行って完成される。

【０００４】

図１は、一般の液晶表示装置の分解斜視図である。

図１に示したように、液晶表示装置は、相互に向かい合って配置された第１基板１２及び第２基板２２と、両基板１２、２２間に配置された液晶層で構成される。

【０００５】

第１基板１２には、複数個のゲート配線１４とデータ配線１６が交差して多数の画素領域Ｐを定義しており、ゲート配線１４及びデータ配線１６の交差点には、薄膜トランジスタＴｒを備えて各画素領域Ｐの画素電極１８に連結される。

30

【０００６】

第２基板２２は、ゲート配線１４とデータ配線１６、薄膜トランジスタＴｒ等の非表示領域を遮って各画素領域Ｐに対応する格子状のブラックマトリックス２５と、格子状内部で各画素領域Ｐに対応するように順に反復配列される赤色Ｒ、緑色Ｇ、青色Ｂのサブカラーフィルタ２６ａ、２６ｂ、２６ｃを含むカラーフィルタ層２６と、ブラックマトリックス２５と赤色、緑色、青色のカラーフィルタ層２６の全面に形成される透明な共通電極２８とを含む。

【０００７】

40

また、図には示していないが、第１基板１２及び第２基板２２の端側に沿って液晶層３０の漏洩を防ぐためのシーラントが形成される。さらに、第１基板１２と液晶層３０間及び第２基板２２と液晶層３０間には、各々第１配向膜及び第２配向膜が形成されて、第１基板１２及び第２基板２２のうち、少なくとも一つの外部面には偏光板が形成される。

【０００８】

第１基板１２の背面には、バックライトアセンブリが形成され液晶層３０に光を供給する。液晶層３０は、画素電極１８と共通電極２８間に形成される電界によって光の透過率を異にし、これを利用して液晶表示装置は映像を表示する。

【０００９】

このような構成の液晶表示装置の製造において、特に、液晶表示装置用アレイ基板を製

50

造する場合において、配線及び電極等をパターンニングするためにマスク工程が行われる。

【 0 0 1 0 】

マスク工程は、フォトリソの塗布、現像、エッチング及びストリップ等を含む多数の単位工程を行うべきであるために、製造時間が長引いて単位時間当の生産性が低下する問題がある。

【 0 0 1 1 】

このような問題を解決するために、通常に利用される 5 マスク工程の代わりに、使用されるマスクの数を減少した 4 マスク工程が提案され利用されている。

【 0 0 1 2 】

図 2 A ~ 図 2 C は、従来の 4 マスク工程によってアレイ基板を製造する場合において、最も特徴的な製造工程の段階を示しており、スイッチング素子である薄膜トランジスタを含む一つの画素領域の製造段階別の工程断面図である。

10

【 0 0 1 3 】

図 2 A に示したように、ゲート電極 5 5 及びゲート配線(図示せず)が基板 5 0 上のスイッチング領域 T r A に形成されて、ゲート電極 5 5 及びゲート配線(図示せず)上にゲート絶縁膜 5 7 が形成される。ゲート絶縁膜 5 7 上にアクティブ層 6 0 a と、その上に連結した状態のオーミックコンタクト層 6 1 及びソース/ドレインパターン 6 6 を利用してスイッチング領域 T r A に形成される。また、ゲート絶縁膜 5 7 の上部にデータ配線 6 5 が形成される。ゲート電極 5 5 及びゲート配線(図示せず)は、第 1 マスク(図示せず)を利用して形成されて、アクティブ層 6 0 a、オーミックコンタクト層 6 1、ソース/ドレインパ

20

【 0 0 1 4 】

ソース/ドレインパターン 6 6 及びデータ配線 6 5 の上部にドレインコンタクトホール 7 6 を含む保護層 7 5 を第 3 マスク(図示せず)を利用して形成し、その上部に透明導電性物質層 7 8 を形成する。ドレインコンタクトホール 7 6 は、ソース/ドレインパターン 6 6 の一部を露出させて、透明導電性物質層 7 8 は、ドレインコンタクトホール 7 6 を通じてソース/ドレインパターン 6 6 と接触する。

【 0 0 1 5 】

以後、透明導電性物質層 7 8 上にフォトリソを塗布して、塗布の特性上、その表面が平坦化する、すなわち、基板 5 0 から第 1 高さ h 1 を有するフォトリソ層を 8 5 形

30

【 0 0 1 6 】

フォトリソ層 8 5 上に、光の透過領域 T A と遮断領域 B A と半透過領域 H T A を有する第 4 マスク 9 1 を位置させて、これを通じて露光を行う。半透過領域 H T A の透過率は、透過領域 T A の透過率より大きくて、遮断領域 B A の透過率より小さい。ここで、透過領域 T A の透過率は 1 0 0 % であって、遮断領域 B A の透過率は 0 % であると仮定する。

【 0 0 1 7 】

図 2 B に示したように、半透過領域 H T A を有する第 4 マスク 9 1 を利用して露光したフォトリソ層(図 2 A の 8 5)を現像することによって、透明導電性物質層 7 8 上に第 1 フォトリソパターン 8 5 a 及び第 2 フォトリソパターン 8 5 b を形成する。第 1 フォトリソパターン 8 5 a は、遮断領域 B A に対応した領域に形成されて、全然除去されずに基板 5 0 からフォトリソ層 8 5 のように第 1 高さ h 1 を有する。また、第 2 フォトリソパターン 8 5 b は、半透過領域 H T A に対応した領域に形成されて、基板 5 0 から第 2 高さ h 2 を有する。第 2 高さ h 2 は、第 1 高さ h 1 より小さい。透過領域 T A に対応するフォトリソ層 8 5 は完全に除去される。従って、透過領域 T A に対応する領域、すなわち、ゲート電極 5 5 に対応する領域の透明導電性物質層 7 8 は、第 1 フォトリソパターン 8 5 a 及び第 2 フォトリソパターン 8 5 b 間に露出される。

40

【 0 0 1 8 】

この時、第 2 高さ h 2 を有する第 2 フォトリソパターン 8 5 b を見ると、保護層 7

50

5からの高さ、すなわち、第2フォトリジストパターン85bの厚さは、保護層75が段差を有して形成されることによって、部分的に相互に異なる厚さ t_1 、 t_2 、 t_3 、すなわち、ゲート電極55の上部のソース/ドレインパターン66上に形成された部分(A1領域)に対しては各々第1厚さ t_1 を、データ配線65とアクティブ層60a上のソース/ドレインパターン66が形成された部分(A2領域)に対しては第2厚さ t_2 を有して、基板50上に配線及び電極が形成されない部分(A3領域)に対しては第3厚さ t_3 を有して形成される。ここで、A1、A2領域及びA3領域でその厚さ t_1 、 t_2 、 t_3 に差があるのは、ソース/ドレインパターン66とデータ配線65の段差のせいであって、さらに、A1領域とA2領域でその厚さ t_1 、 t_2 の差があるのは、ソース/ドレインパターン66の下部には、ゲート電極55が形成され、これによる段差を形成するからである。

10

【0019】

従って、図2Cに示したように、スイッチング領域TrAにおいて、第1フォトリジストパターン85a、第2フォトリジストパターン85bの外部に露出された透明導電性物質層78とソース/ドレインパターン(図2Bの66)に連結されたオーミックコンタクト層(図2Bの61)を順にエッチングして、相互に離隔するオーミックコンタクト層60bと、ソース電極67及びドレイン電極69を形成した後、基板50上の第2フォトリジストパターン(図2Bの85b)の除去のためにアッシングを行う場合、第2フォトリジストパターン(図2Bの85b)が各部分(A1、A2、A3領域)別に、その厚さ(図2Bの t_1 、 t_2 、 t_3)を異にするために、最も厚い部分(A3領域)、すなわち、保護層75の下部に配線及び電極が形成されない部分(A3領域)の第3厚さ(図2Bの t_3)を有する第2フォトリジストパターン(図2Bの85b)が完全に除去されるようにアッシングを行う。

20

【0020】

この場合、データ配線65またはソース電極67及びドレイン電極69が形成され基板50の表面から高く形成された透明導電性物質層78は、第1、2厚さ(図2Bの t_1 、 t_2)の第2フォトリジストパターン(図2Bの85b)が除去された状態で、第3厚さ(図2Bの t_3)の第2フォトリジストパターン(図2Bの85b)が完全に除去されるまでアッシング工程に露出され、従って、段差の厚さ、すなわち、第2厚さと第1厚さの差(図2Bの $t_2 - t_1$)または第3厚さと第2厚さの差(図2Bの $t_3 - t_2$)程の厚さに対応するフォトリジストパターンをアッシングする時間がさらに必要とされて、これは、液晶表示装置用アレイ基板の製造工程時間が増加する要因となり、延いては液晶表示装置の生産性が低下する問題が発生する。

30

【発明の開示】

【発明が解決しようとする課題】

【0021】

本発明は、前述したような問題を解決するために、半透過領域内に光の透過量を部分的に異にする第1及び第2半透過領域を含むことを特徴とするフォトマスクを利用して液晶表示装置用アレイ基板を製造することによって、配線及び電極による段差部と画素領域の中央部のフォトリジストパターンの厚さを一定にする。これによって、アッシングの進行時に第1及び第2半透過領域に対応するフォトリジストパターンが同時に除去されるようにして、アッシングの時間を減少させ工程時間を短縮することをその目的とする。

40

【課題を解決するための手段】

【0022】

本発明は、前述したような目的を達成するために、液晶表示装置用アレイ基板の製造工程で利用されるフォトリジストパターンを形成するためのフォトマスクにおいて、第1透過率を有する透過領域と；第2透過率を有する遮断領域と；コーティング層を含み、第3透過率を有する第1半透過領域と；相互に離隔する多数のバー(bar)を含み、第4透過率を有する第2半透過領域とを含み、前記第3及び第4透過率は、前記第1透過率より小さくて、前記第2透過率よりは大きく、前記第3透過率は、前記第4透過率より大きいことを特徴とするフォトマスクを提供する。

50

【 0 0 2 3 】

前記第 1 透過率は、1 0 0 % であって、前記第 2 透過率は、0 % であり、前記第 3 透過率は、5 0 % ないし 6 0 % である。

【 0 0 2 4 】

前記第 3 透過率は、前記コーティング層の厚さまたはコーティング層の数によって決まる。

【 0 0 2 5 】

前記第 4 透過率は、2 0 % ないし 4 0 % であって、また、前記第 4 透過率は、前記多数のバーの幅または前記多数のバー間の距離によって決まる。

【 0 0 2 6 】

第 1 パターンと第 1 パターンの上部の第 2 パターンが前記アレイ基板上に形成されて、前記第 2 パターン上に形成される物質層は、前記第 1 及び第 2 パターンによる第 1 段差と前記第 2 パターンによる第 2 段差とを有して、前記第 1 半透過領域は、前記第 1 段差に対応して、前記第 2 半透過領域は、前記第 2 段差に対応する。

【 0 0 2 7 】

前記物質層の上部にフォトリソ層が形成され、前記フォトリソ層を利用して前記フォトリソ層をパターニングして前記第 1 及び第 2 段差に各々対応して、実質的に同一な厚さを有する第 1 及び第 2 フォトリソパターンが形成される。

【 0 0 2 8 】

また、本発明は、第 1 金属層を蒸着してパターニングし、基板上にゲート配線とゲート電極を形成する段階と；前記ゲート配線及び前記ゲート電極の上部にゲート絶縁膜を形成する段階と；純粋非晶質シリコン層、不純物非晶質シリコン層及び第 2 金属層を連続的に蒸着してパターニングし、前記ゲート電極に対応するアクティブ層、オーミックコンタクト層、ソース/ドレインパターン及びデータ配線を形成する段階と；前記ソース/ドレインパターンの上部に、前記ソース/ドレインパターンを露出させるドレインコンタクトホールを含む保護層を形成する段階と；前記保護層の上部に透明導電性金属層を形成する段階と；前記透明導電性金属層の上部にフォトリソ層を形成する段階と；透過領域、遮断領域、第 1 及び第 2 半透過領域とを含むフォトリソ層を前記フォトリソ層の上部に位置させる段階と；前記フォトリソ層を現像して、前記ゲート電極に対応する前記透明導電性金属層を露出させる第 1 ないし第 3 フォトリソパターンを形成する段階と；前記第 1 ないし第 3 フォトリソパターンによって露出された前記透明導電性金属層を除去する段階と；前記第 2 及び第 3 フォトリソパターンを除去する段階と；前記第 2 及び第 3 フォトリソパターンの除去によって露出された透明導電性金属層を除去する段階を含み、前記第 1 及び第 2 半透過領域は、前記透過領域より小さくて前記遮断領域より大きい透過率を有し、前記第 1 半透過領域の透過率は、前記第 2 半透過領域より大きくて、前記第 2 フォトリソパターンは、前記第 3 フォトリソパターンと実質的に同一な厚さを有して、前記第 1 フォトリソパターンは、前記第 2 及び第 3 フォトリソパターンに比べて厚く、前記基板から第 2 フォトリソパターンの高さは、前記第 1 フォトリソパターンより厚くて、前記第 3 フォトリソパターンよりは大きいことを特徴とする液晶表示装置用アレイ基板の製造方法を提供する。

【 0 0 2 9 】

前記第 1 ないし第 3 フォトリソパターンによって露出された前記透明導電性金属層の下部のソース/ドレインパターンを除去して、前記オーミックコンタクトパターンの上部に、相互に離隔するソース及びドレイン電極を形成する段階を含む。また、前記第 1 フォトリソパターンを除去する段階をさらに含む。

【 0 0 3 0 】

以下、本発明による望ましい実施例を図を参照して説明する。

【 発明の効果 】

【 0 0 3 1 】

本発明は、遮断領域と透過領域以外に光の透過量を異にする第 1、第 2 半透過領域を備

10

20

30

40

50

えるフォトマスクを利用した４マスク工程による液晶表示装置用アレイ基板製造において、前記第１、第２半透過領域に対応して下部の段差によってその厚さを異にするフォトレジストパターンを形成して、前記フォトレジストパターンの外部に露出された物質層をパターンニングした後、アッシングを行って前記フォトレジストパターンを除去する場合において、前記アッシングの時間を短縮して生産性を向上させる。

【実施例】

【００３２】

液晶表示装置用アレイ基板の製造に利用する本発明によるフォトマスクの構造を説明する。

【００３３】

図３は、本発明によるフォトマスクの断面図である。

図３に示したように、本発明によるフォトマスク１９１は、４領域に区分されることを特徴とする。すなわち、フォトマスク１９１は、光を１００％透過する透過領域ＴＡと、光を１００％遮断する遮断領域ＢＡ、その光の透過度を異にする第１半透過領域ＨＴＡ１及び第２半透過領域ＨＴＡ２で構成される。

【００３４】

この時、第１半透過領域ＨＴＡ１は、光を５０％ないし６０％程度の範囲で透過させるハーフトーン領域で構成されており、第２半透過領域ＨＴＡ２は、光を２０％ないし４０％程度の範囲で透過させる多重スリット領域で構成されている。

【００３５】

ハーフトーン領域は、マスク１９１の上面または底面に多重コーティング処理をすることによってコーティングされたコーティング層１９３を光が通過して所定の光を吸収して、最終的に通過された光の量を除去し、いくつかのコーティング層１９３を形成するかによって光の透過量が調節されることを特徴とする。

【００３６】

また、多数のスリットで構成された多重スリット領域は、所定の幅を有して、光を１００％遮断する材質で構成された多数のバー１９５が一定間隔離隔して多数のバー間に光が通過する多数のスリット１９４を形成しており、バー１９５の幅とバー１９５間の離隔間隔、すなわち、スリット１９４の幅を調節することによって狭い間隔のスリット１９４を通過する光が回折され、バーに対応する領域にも光が照射されるようにして、最終的にはフォトレジスト層に到達する光の量を調節する。

【００３７】

ハーフトーン領域のみを有してコーティング層の厚さを異にすることによって第１、第２半透過領域を形成することもできるが、この場合、コーティング層の厚さの調節が難しく、１回コーティングした部分と、２回コーティングした部分の透過量は、その透過量の間隔が比較的大きくなって、望む透過量を容易に得難い。

【００３８】

さらに、スリット領域だけでスリット幅とバーの幅を調節することによって光の透過量を異にする第１、第２半透過領域を形成することもできるが、スリット領域の場合、比較的小さな面積(すなわち、コンタクトホールや、またはチャンネル領域程度の大きさ)に対しては誤差がほとんどないまま、一定な厚さのフォトレジストパターンが形成されるが、画素領域(１００μm×２００μm)程度の大きさに対応してスリット構造の半透過領域を形成する場合、各画素領域に対応する部分間のフォトレジストパターンの厚さの誤差が大きいため、実際の工程に適用し辛くて、また、隣接して各々スリット幅とバーの幅を異にする第１、第２半透過領域の形成時、その境界でのスリット間の干渉によって厚さの調節が難しい。

【００３９】

従って、本発明によるフォトマスク１９１においては、遮断領域ＢＡと透過領域ＴＡを除いた半透過領域ＨＴＡ１、ＨＴＡ２を相互に異なる透過量を有するハーフトーン領域の第１半透過領域ＨＴＡ１と多重スリット領域の第２半透過領域ＨＴＡ２とに構成する。

【 0 0 4 0 】

以後、本発明によるフォトマスクを利用して４マスク製造工程による液晶表示装置用アレイ基板の製造方法を説明する。

【 0 0 4 1 】

図４Ａないし図４Ｇは、本発明によるフォトマスクを利用して液晶表示装置用アレイ基板の各段階別の製造工程を示しており、スイッチング素子である薄膜トランジスタを含む一つの画素領域の製造工程別の断面図である。

【 0 0 4 2 】

図４Ａに示したように、絶縁基板１１０上に第１金属物質を蒸着して第１金属層を形成した後、第１金属層上にフォトレジストを塗布することによって第１フォトレジスト層を形成、透過領域と反射領域を有する第１マスクを利用した第１フォトレジスト層の露光、露光された第１フォトレジスト層の現像による第１フォトレジストパターン形成と第１フォトレジストパターンの外部に露出された第１金属層のエッチング及びフォトレジストパターンのストリップ等の工程とを含む第１マスク工程によってゲート配線(図示せず)とゲート配線から分岐した形態で画素領域Ｐ内のスイッチング領域ＴｒＡにゲート電極１１５を形成する。(第１マスク工程)

【 0 0 4 3 】

図４Ｂに示したように、ゲート配線(図示せず)とゲート電極１１５が形成された基板１１０全面に無機絶縁物質、例えば、酸化シリコン SiO_2 または窒化シリコン SiN_x を蒸着することによってゲート絶縁膜１２４を形成し、ゲート絶縁膜１２４上に純粋非晶質シリコンと不純物非晶質シリコンを順に蒸着することによって純粋非晶質シリコン層(図示せず)と不純物非晶質シリコン層(図示せず)を形成し、不純物非晶質シリコン層(図示せず)上に第２金属物質を蒸着することによって第２金属物質層(図示せず)を形成する。

【 0 0 4 4 】

第２金属物質層上にフォトレジストを塗布して第２フォトレジスト層(図示せず)を形成し、これを透過領域と遮断領域を有する第２マスクを利用した露光及び露光された第２フォトレジスト層(図示せず)の現像によってデータ配線が形成されるべき領域及びスイッチング領域ＴｒＡに対応して第２フォトレジストパターン１８１を形成する。

【 0 0 4 5 】

以後、第２フォトレジストパターン１８１の外部に露出された第２金属物質層(図示せず)と、その下部の不純物非晶質シリコン層(図示せず)及び純粋非晶質シリコン層(図示せず)を順にエッチングして除去することによって、ゲート配線(図示せず)と交差して画素領域Ｐを定義するデータ配線１３４を形成すると同時に、スイッチング領域ＴｒＡには、最上部に連結された状態のソース/ドレインパターン１３９と、その下部に不純物非晶質シリコンに連結された状態のオーミックコンタクト層１３０と、その下部にアクティブ層１２７を形成する。

【 0 0 4 6 】

この時、工程の特性上、データ配線１３４の下部にもオーミックコンタクト層１３０とアクティブ層１２７と各々同一な物質で不純物非晶質パターン１３１と、その下部に純粋非晶質シリコンパターン１２８が形成される。

【 0 0 4 7 】

図４Ｃに示したように、データ配線１３４及びソース/ドレインパターン１３９の上部に残っている第２フォトレジストパターン(図４Ｂの１８１)をストリップ工程によって除去した後、データ配線１３４及びソース/ドレインパターン１３９上に、全面に無機絶縁物質を蒸着したりまたは有機絶縁物質をコーティングしたりして保護層１４５を形成する。

【 0 0 4 8 】

以後、保護層１４５上に第３フォトレジスト層(図示せず)を形成して、これを透過領域と遮断領域を有する第３マスク(図示せず)によって露光を行い、露光された第３フォトレジスト層(図示せず)を現像することによってソース/ドレインパターン１３９の一部、よ

10

20

30

40

50

り正確には、追後にドレイン電極になる部分の一部だけに保護層 145 を露出させる形態の第 3 フォトレジストパターン 183 を形成して、第 3 フォトレジストパターン 183 をエッチングマスクとして第 3 フォトレジストパターン 183 の外部に露出された保護層 145 をエッチングして除去することによって保護層 145 内にソース/ドレインパターン 139 の一部を露出させるドレインコンタクトホール 149 を形成する。

【0049】

図 4D に示したように、保護層 145 の上部に残っている第 3 フォトレジストパターン (図 4C の 183) をストリップ工程によって除去した後、保護層 145 上に、全面に透明導電性物質、例えば、インジウム - スズ - オキサイド ITO または インジウム - ジンク - オキサイド IZO を蒸着して、ドレインコンタクトホール 149 を通じてソース/ドレインパターン 139 と接触する透明導電性物質層 158 を形成し、透明導電性物質層 158 上に新しいフォトレジストを塗布して第 4 フォトレジスト層 185 を形成する。

10

【0050】

以後、第 4 フォトレジスト層 185 上に、本発明による遮断領域 BA と透過領域 TA、その透過率を異にする第 1 半透過領域 HTA1、第 2 半透過領域 HTA2 を有する第 4 マスク 191 を位置させて、第 4 マスク 191 によって露光を行う。

【0051】

この時、光を受けた部分が現像時に残る特性のネガティブタイプのフォトレジストを使ったものを例として示している。しかし、これとは反対の特性、すなわち、光を受けた部分が現像時に除去されるポジティブタイプのフォトレジストの場合も第 1 半透過領域 HTA1 と第 2 半透過領域 HTA2 を、透過領域 TA と遮断領域 BA の位置を相互に逆にした状態のマスクを利用する場合、以後、形成する厚さを相互に異にする第 4、第 5 及び第 6 フォトレジストパターンを形成することができる。

20

【0052】

このようにポジティブタイプ特性を有する第 4 フォトレジスト層 185 上に透過領域 TA と遮断領域 BA、通過する光の量を 50% ないし 60% に調節されたハーフトーン構造の第 1 半透過領域 HTA1 と多重のスリット構造であって、通過する光の量を 20% ないし 40% に調節された第 2 半透過領域 HTA2 を有する第 4 マスク 191 を位置させた後、第 4 マスク 191 によって露光を行う。

【0053】

30

この時、第 4 フォトレジスト層 185 上にゲート電極 115 に対応しては遮断領域 BA が、ドレインコンタクトホール 149 を含みながら画素電極が形成される領域には、透過領域 TA が対応するようにマスクを位置させる。

【0054】

データ配線 134 に対応して、その上部に基板 110 の表面から同一な高さで形成される部分 (E 領域) 及びゲート電極 155 によってその上部に形成されたソース/ドレインパターン 139 において、ゲート電極 115 に対応する領域の両側の所定幅に対応しては、ハーフトーン構造の第 1 半透過領域 HTA1 が対応するように位置させる。

【0055】

また、データ配線 134 に対応して位置した第 1 半透過領域 HTA1 の両側に所定幅を有する領域、すなわち、データ配線 134 の厚さによってその上部に形成された透明導電性物質層 158 の段差が始まる部分から各画素領域 P のデータ配線 134 と離隔する画素電極の端部までの領域 (F 領域) と、ソース/ドレインパターン 139 の上部に位置した第 1 半透過領域 HTA1 のうち、追後にソース電極を構成する部分に対応する第 1 半透過領域 HTA1 の外側に、ソース/ドレインパターン 139 によって発生した段差が始まる部分から画素電極の端部が形成された部分までの領域 (C 領域) に対応しては、各々第 2 半透過領域 HTA2 が対応するように第 4 マスク 191 を位置させた後、露光を行う。

40

【0056】

図 4E に示したように、露光された第 4 フォトレジスト層 185 を現像すると、第 4 マスク 191 の遮断領域 BA に対応する領域、すなわち、ゲート電極 115 に対応しては、

50

第4フォトリジスト層(図4Dの185)が除去され透明導電性物質層158を露出させて、画素電極が形成される領域には、第4マスク191の透過領域TAに対応する部分は、基板110の表面から第1高さh11を有する第4フォトリジストパターン185a、第1半透過領域HTA1に対応する部分は、基板110の表面から第2高さh12を有する第5フォトリジストパターン185b)、第4マスク191の第2半透過領域HTA2に対応する部分は、基板110の表面から第3高さh13を有する第6フォトリジストパターン185cが形成される。

【0057】

この場合、第5フォトリジストパターン185b及び第6フォトリジストパターン185cは、仮に基板110の表面からの高さh12、h13は異なるとしても、透明導電性物質層158の表面からの高さ、すなわち、各々の厚さt11、t12、t13は、ほとんど類似に形成される。

10

【0058】

従って、第5フォトリジストパターン185b及び第6フォトリジストパターン185cは、アッシングを行うとほとんど同じ時間に下部の透明導電性物質層158を露出させながら除去する。

【0059】

従来のように透過領域と遮断領域、半透過領域のみを有するマスクを利用して露光して現像した場合、第5フォトリジストパターン、第6フォトリジストパターンは、基板面から同一な高さで、すなわち、第5フォトリジストパターンの基板の表面からの高さに合わせて形成されて、この時、アッシングを行うと、第5フォトリジストパターン、第6フォトリジストパターンのうち、最も厚い厚さを有するC領域またはF領域に形成された厚さt2、t3が完全に除去される時間の間にアッシングを行う。

20

【0060】

一方、本発明は、実質的には同じ第1半透過領域HTA1に対応して形成されたとしても、下部のゲート電極115による段差によってソース/ドレインパターン139と対応する領域のうち、その中央部、すなわち、D領域に形成された第5フォトリジストパターン185bの第1厚さt11がデータ配線134の上部に対応するE領域に形成された第5フォトリジストパターン185bの第2厚さt13よりゲート電極115の厚さ程さらに厚く形成されるが、C領域及びF領域の第6フォトリジストパターン185cの第2厚さt12と、E領域の第5フォトリジストパターン185bの第3厚さt13はほとんど類似している。

30

【0061】

従って、最も厚い厚さを有するC領域及びF領域の第6フォトリジストパターン185cが除去される時間の間にアッシングを行えば良いので、実在は、従来のアッシングする時間に比べて、D領域に形成された第5フォトリジストパターン185bの基板110の表面からの高さh12からC領域に形成された第6フォトリジストパターン185cの基板110の表面からの高さh13を引いた値程度の厚さを有するフォトリジストパターンをアッシングする時間ほどが減少するようになる。

【0062】

40

前述したような第4フォトリジストパターン185a、第5フォトリジストパターン185b、第6フォトリジストパターン185cの外部に露出された透明導電性物質層158と、その下部の保護層145とソース/ドレインパターン(図4Dの139)及び連結されたオーミックコンタクト層(図4Dの130)を順にエッチングして除去ことによってスイッチング領域TrAに相互に離隔するオーミックコンタクト層131と、その上部に相互に離隔するソース電極136及びドレイン電極138を形成する。

【0063】

従って、各画素領域P内のスイッチング領域TrAには、ゲート電極115、ゲート絶縁膜124、アクティブ層127、オーミックコンタクト層131、ソース電極136及びドレイン電極138とで構成する薄膜トランジスタTrが完成される。

50

【 0 0 6 4 】

図 4 F に示したように、ソース電極 1 3 6 及びドレイン電極 1 3 8 が形成された基板 1 1 0 に、アッシングを行うことによって第 5 及び第 6 フォトレジストパターン(図 4 E の 1 8 5 b、1 8 5 c)を除去する。この時、第 4 フォトレジストパターン 1 8 5 a もアッシング工程によってその厚さが減少するが、その厚さが第 5 及び第 6 フォトレジストパターン(図 4 E の 1 8 5 b、1 8 5 c)の厚さよりさらに厚く形成されたために、透明導電性物質層 1 5 8 の上部に残ったままになる。

【 0 0 6 5 】

また、第 5、第 6 フォトレジストパターン(図 4 E の 1 8 5 b、1 8 5 c)をアッシングする時間が従来に比べて減少することは、前述したため、省略する。

10

【 0 0 6 6 】

図 4 G に示したように、第 5、第 6 フォトレジストパターン(図 4 E の 1 8 5 b、1 8 5 c)がアッシング工程によって除去され、露出された透明導電性物質層(図 4 F の 1 5 8)を除去することによって、保護層 1 4 5 の上部に各画素領域 P 別にドレインコンタクトホール 1 4 9 を通じてスイッチング領域 T r A に形成された薄膜トランジスタ T r のドレイン電極と接触する画素電極 1 6 1 を形成する。

【 0 0 6 7 】

以後、図 4 H に示したように、画素電極 1 6 1 の上部に残る第 4 フォトレジストパターン(図 4 G の 1 8 5 a)をストリップ工程によって除去し、本発明の製造方法による液晶表示装置用アレイ基板 1 1 0 を完成する。

20

【図面の簡単な説明】

【 0 0 6 8 】

【図 1】一般の液晶表示装置の分解斜視図である。

【図 2 A】従来の 4 マスク工程によってアレイ基板を製造するにおいて、最も特徴的な製造工程の段階を示した工程断面図である。

【図 2 B】図 2 A に続く製造工程を示す断面図である。

【図 2 C】図 2 B に続く製造工程を示す断面図である。

【図 3】本発明によるフォトマスクの断面図である。

【図 4 A】本発明によるフォトマスクを利用して液晶表示装置用アレイ基板の各段階別の製造工程を示しており、スイッチング素子である薄膜トランジスタを含む一つの画素領域の製造工程別の断面図である。

30

【図 4 B】図 4 A に続く製造工程を示す断面図である。

【図 4 C】図 4 B に続く製造工程を示す断面図である。

【図 4 D】図 4 C に続く製造工程を示す断面図である。

【図 4 E】図 4 D に続く製造工程を示す断面図である。

【図 4 F】図 4 E に続く製造工程を示す断面図である。

【図 4 G】図 4 F に続く製造工程を示す断面図である。

【図 4 H】図 4 G に続く製造工程を示す断面図である。

【符号の説明】

【 0 0 6 9 】

40

1 1 0 : 基板

1 1 5 : ゲート電極

1 2 4 : ゲート絶縁膜

1 2 7 : アクティブ層

1 2 8 : 純粋非晶質シリコンパターン

1 3 0 a : オーミックコンタクト層

1 3 1 : 不純物非晶質シリコンパターン

1 3 2 : 半導体層

1 3 4 : データ配線

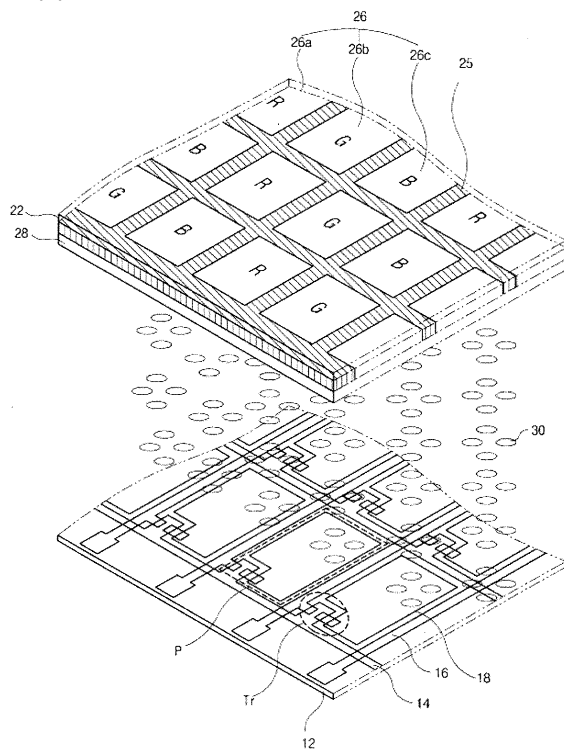
1 3 6 : ソース電極

50

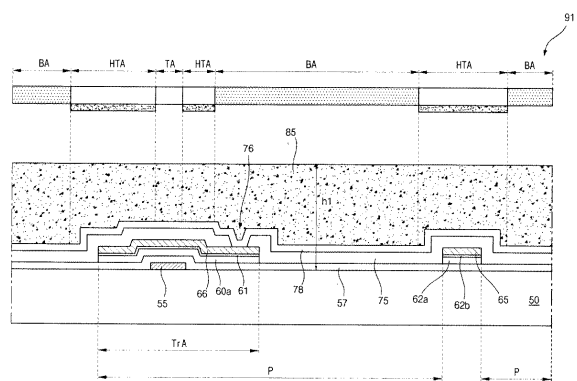
138 : ドレイン電極
 145 : 保護層
 149 : ドレインコンタクトホール
 158 : 透明導電性物質層
 185a : 第4フォトレジストパターン
 185b : 第5フォトレジストパターン
 185c : 第6フォトレジストパターン
 h11 : 第1フォトレジストパターンの高さ
 h12 : 第2フォトレジストパターンの高さ
 h13 : 第3フォトレジストパターンの高さ
 P : 画素領域
 t11 : 第1フォトレジストパターンの厚さ
 t12 : 第2フォトレジストパターンの厚さ
 t13 : 第3フォトレジストパターンの厚さ
 t14 : 第4フォトレジストパターンの厚さ
 Tr : 薄膜トランジスタ
 TrA : スイッチング領域

10

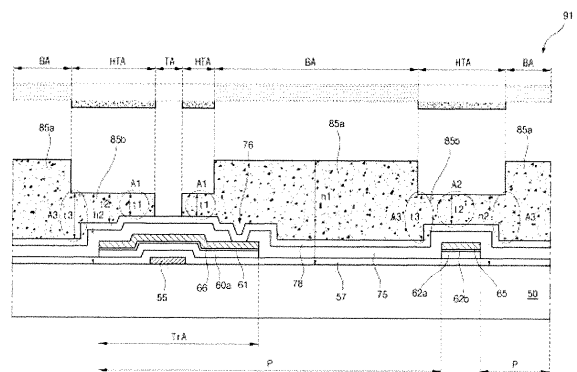
【図1】



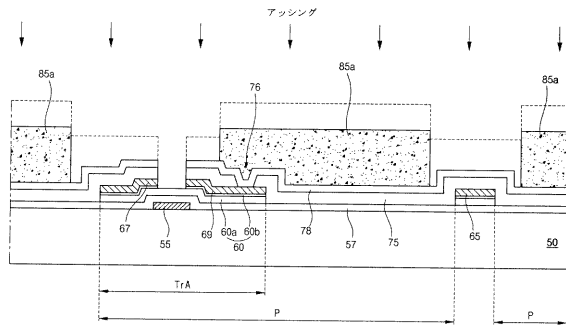
【図2A】



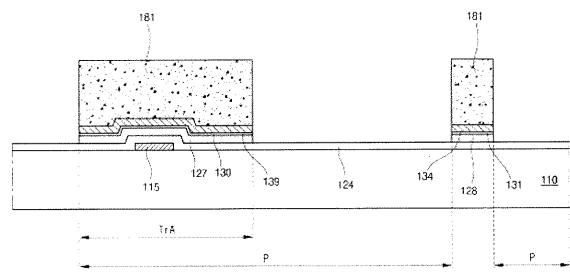
【図2B】



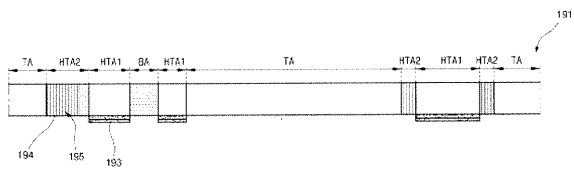
【図 2 C】



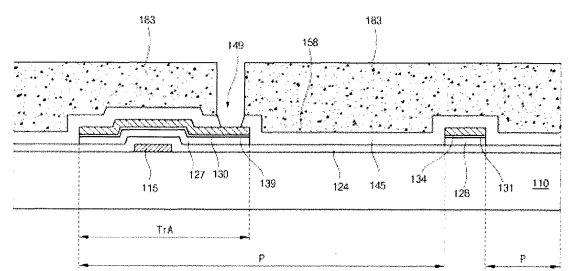
【図 4 B】



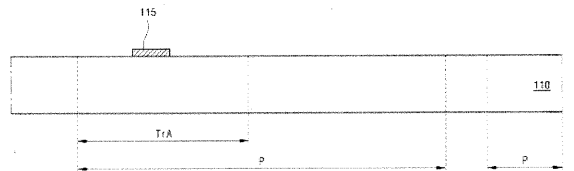
【図 3】



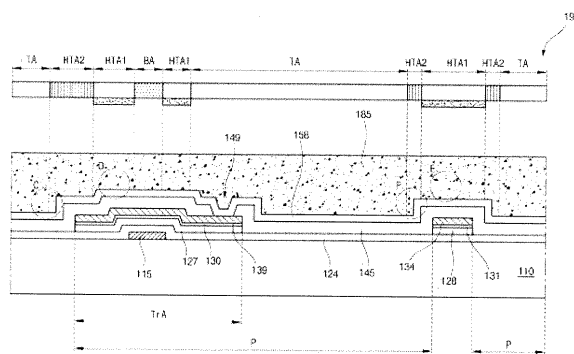
【図 4 C】



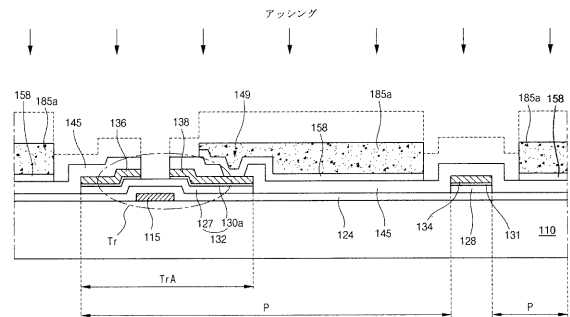
【図 4 A】



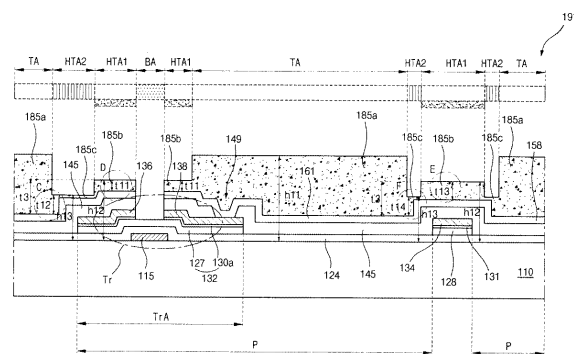
【図 4 D】



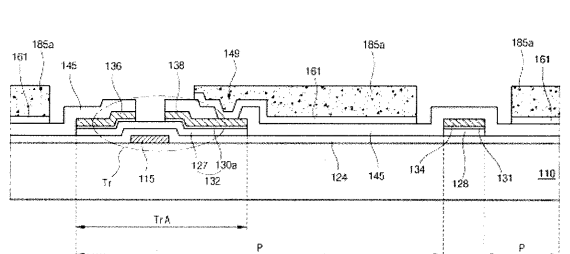
【図 4 F】



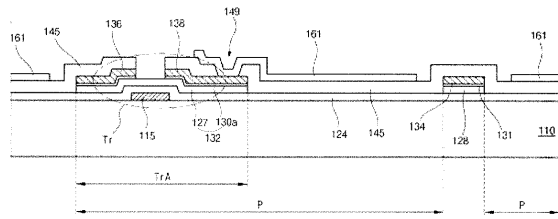
【図 4 E】



【図 4 G】



【図 4 H】



フロントページの続き

(74)代理人 100104352

弁理士 朝日 伸光

(74)代理人 100128657

弁理士 三山 勝巳

(72)発明者 クワック ヘヨン

大韓民国 1 4 3 - 1 9 0 ソウル クワンジング チャヤンドン 7 5 9 / 2 8

審査官 福田 知喜

(56)参考文献 特開 2 0 0 2 - 1 4 1 5 1 2 (J P , A)

特開 2 0 0 5 - 2 1 5 4 3 4 (J P , A)

特開 2 0 0 4 - 2 4 0 4 0 1 (J P , A)

特開 2 0 0 2 - 3 5 0 8 9 7 (J P , A)

特開平 0 6 - 1 8 6 4 1 2 (J P , A)

特開平 0 5 - 0 9 4 0 0 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6

G 0 3 F 1 / 0 8

专利名称(译)	光掩模和使用该光掩模制造用于液晶显示装置的阵列基板的方法		
公开(公告)号	JP4594292B2	公开(公告)日	2010-12-08
申请号	JP2006332789	申请日	2006-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji.菲利普斯杜天公司，有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	クワックヘヨン		
发明人	クワック ヘヨン		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786 G03F1/00 G03F1/68		
CPC分类号	G03F1/50 G02F2001/136236		
FI分类号	G02F1/1368 H01L29/78.627.C H01L29/78.612.D G03F1/00.Z G03F1/08		
F-TERM分类号	2H092/JA24 2H092/JB22 2H092/JB31 2H092/MA14 2H092/MA15 2H092/NA25 2H095/BB01 2H095/BB31 2H095/BB35 2H095/BC09 2H192/AA24 2H192/BC31 2H192/CB05 2H192/EA22 2H192/EA43 2H192/HA44 2H195/BB01 2H195/BB31 2H195/BB35 2H195/BC09 5F110/AA16 5F110/BB01 5F110/CC07 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/GG42 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK32 5F110/NN72 5F110/QQ01		
代理人(译)	臼井伸一 朝日 伸光		
审查员(译)	福田 知喜		
优先权	1020050126809 2005-12-21 KR		
其他公开文献	JP2007171951A		
外部链接	Espacenet		

摘要(译)

类型代码：A1本发明涉及一种光掩模和一种制造用于使用该光掩模的液晶显示装置的阵列基板的方法。 本发明提供一种光掩模，用于形成用于液晶显示装置的阵列基板的制造工艺中的光刻胶图案，包括：具有第一透射率的透射区域；具有第二透射率的阻挡区域包括涂层并具有第三透射率的第一半透明区域；包括多个相互隔开的条并具有第四透射率的第二透反区域；第三透射区域并且第四透射率小于第一透射率并且大于第二透射率，并且第三透射率大于第四透射率。 点域4E

【 图 1 】

