

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4277148号  
(P4277148)

(45) 発行日 平成21年6月10日 (2009. 6. 10)

(24) 登録日 平成21年3月19日 (2009. 3. 19)

(51) Int. Cl.

F I

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 5 O

G O 9 G 3/20 (2006. 01)

G O 9 G 3/20 6 2 3 D

G O 9 G 3/36 (2006. 01)

G O 9 G 3/36

請求項の数 4 (全 20 頁)

(21) 出願番号 特願2000-1490 (P2000-1490)  
 (22) 出願日 平成12年1月7日 (2000. 1. 7)  
 (65) 公開番号 特開2001-194644 (P2001-194644A)  
 (43) 公開日 平成13年7月19日 (2001. 7. 19)  
 審査請求日 平成18年8月10日 (2006. 8. 10)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町2番2号  
 (74) 代理人 100101214  
 弁理士 森岡 正樹  
 (72) 発明者 抜山 和宏  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 (72) 発明者 形川 晃一  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内  
 審査官 鈴木 俊光

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

表示データの入力に対応して入力されるデータイネーブル信号に基づいて前記表示データを所定の画素に出力する出力タイミングを制御する液晶表示装置の駆動方法において、  
 前記データイネーブル信号の周期を水平周期として計測し、  
 前記水平周期に基づいて垂直ブランキング期間中に仮想イネーブル信号を生成し、  
 前記データイネーブル信号と仮想イネーブル信号の合計を垂直周期として保持し、  
 少なくとも表示開始ラインの画素に対して、前記垂直周期より前記水平周期の整数倍短い時点で、前記表示データの予備書き込みを行うこと  
 を特徴とする液晶表示装置の駆動方法。

10

【請求項 2】

表示データの入力に対応して入力されるデータイネーブル信号に基づいて前記表示データを所定の画素に出力する出力タイミングを制御するタイミングコントローラを備えた液晶表示装置において、  
 前記タイミングコントローラは、  
 前記データイネーブル信号の周期を水平周期として計測し、前記水平周期に基づいて垂直ブランキング期間中に仮想イネーブル信号を生成する水平カウンタ部と、  
 前記データイネーブル信号と仮想イネーブル信号の合計を垂直周期として保持する垂直カウンタ部とを有し、  
 少なくとも表示開始ラインの画素に対して、前記垂直周期より前記水平周期の整数倍短

20

い時点で、前記表示データの予備書き込みを行うこと  
を特徴とする液晶表示装置。

【請求項 3】

複数の薄膜トランジスタのゲート電極と接続するゲートバスラインにゲート信号を出力するゲートドライバと、前記複数の薄膜トランジスタのドレイン電極にそれぞれ接続された複数のデータバスラインにデータを出力する複数のデータドライバと、前記データドライバにデータ出力用のラッチパルスを出力するタイミングコントローラとを有する液晶表示装置において、

前記タイミングコントローラは、前記複数のデータドライバに対し、前記ゲートドライバからの距離に応じて前記ラッチパルスの出力タイミングを変化させて供給するために、前記ゲートドライバから引き出されて前記ゲートバスラインとほぼ平行に配線されたラッチパルス供給用ラインを有していること

を特徴とする液晶表示装置。

【請求項 4】

複数の薄膜トランジスタのゲート電極と接続するゲートバスラインにゲートドライバからゲート信号を出力し、複数のデータドライバにデータ出力用のラッチパルスを出力して前記複数の薄膜トランジスタのドレイン電極にそれぞれ接続された複数のデータバスラインにデータを出力する液晶表示装置の駆動方法において、

前記複数のデータドライバに対し、前記ゲートドライバからの距離に応じてそれぞれ出力タイミングを変化させた前記ラッチパルスを、前記ゲートドライバから引き出されて前記ゲートバスラインとほぼ平行に配線されたラッチパルス供給用ラインから供給すること

を特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置及びその駆動方法に関し、特に、薄膜トランジスタ（TFT）をスイッチング素子に用いたアクティブマトリクス型液晶表示装置（以下、TFT-LCD という）及びその駆動方法に関する。

【0002】

【従来の技術】

近年、TFT-LCD の高精細化に伴い、各 TFT のゲートに印加されるゲートパルスの駆動周波数が高くなってきている。また、TFT-LCD の大画面化に伴い、マトリクス状に配列された複数の画素にゲートパルスを供給するゲートバスラインや階調データを出力するデータバスラインの配線長は長くなりそれらの配線抵抗が高くなる傾向にある。このため、ゲートバスラインの配線抵抗によりゲート波形が鈍り、ゲートドライバから遠ざかる領域でゲートオフのタイミングが遅延する問題が生じる。これを回避するため従来、図 15 に示すような駆動方式がとられている。この駆動方法は、データドライバからデータバスラインに出力されるデータ電圧  $V_d$  のデータ切り替えのタイミングを、ゲートドライバからゲートバスラインに出力されたゲートパルス  $V_g$  のゲートオフのタイミングより後にずらすようにしている。つまり、ゲートオンの後のデータセットアップ時間  $D_S$  内に所定の階調電圧を TFT のドレイン電極に印加すると共に、その状態をゲートオフ後もデータ保持期間  $D_H$  だけ維持するようにしている。こうすることにより、ゲート波形の鈍りによるゲートオフのタイミングの遅れがデータ保持期間  $D_H$  内であれば、確実にデータ電圧  $V_d$  を画素に書き込むことができるようになる。

【0003】

ところが、このデータ保持時間  $D_H$  は TFT-LCD の大画面化が進みパネルサイズが大きくなるほど長くしなければならない。またデータバスラインの配線抵抗が高くなるに従って、データドライバの出力遅延時間が長くなるため、データセットアップ時間  $D_S$  もパネルサイズが大きくなるほど長くしなければならない。一方、パネルの高精細化に伴ってゲートバスライン数が増えると、データセットアップ時間  $D_S$  とデータ保持期間  $D_H$

との合計である水平周期は短くせざるを得ない。つまり従来のデータ駆動方法では、TFT-LCDの高精細化及び大画面化の要求を同時に満足させるには、水平周期を短くさせ且つデータ保持期間DH及びデータセットアップ時間DSを長くさせるという矛盾が生じる。

#### 【0004】

ちなみにSVGA（画素数が800×600）や、XGA（画素数が1024×768）では水平周期が標準でそれぞれ26.4μs（マイクロ秒）、20.7μsである。このため、画面サイズが対角15インチでXGA程度までのパネルであれば、図15に示したような1フレーム中にゲートオンが1回の通常駆動でデータ書き込み時間が不足することはない。しかし、対角15インチを越える画面サイズでSXGA（画素数が1280×1024）以上の高精細大画面になると、通常駆動では、階調データを満足に書き込めない可能性が生じてくる。例えば、SXGAでは水平周期が標準で15.6μs必要であるが、画面サイズが対角17～18インチ程度で後述のドット反転駆動方式を用いたSXGAパネルでは、3μs以上のデータホールド時間DHと10μs以上のデータセットアップ時間DSが必要になる。このため、十分なデータ書き込みのためのマージンが得られなくなる可能性がある。

10

#### 【0005】

そこで従来は、データ電圧の書き込み不足による表示ムラやフリッカ等の表示不具合を解決する手段として、本来の表示データを書き込む前に同極性の表示データを予備書き込みする手法が用いられている。

20

#### 【0006】

この予備書き込みの手法について、ゲートバスライン方向及びデータバスライン方向の双方に関し、隣接画素（サブピクセル）間で階調データの極性が反転しているドット反転駆動を例にとって説明する。ドット反転駆動では、ある画素に書き込まれる階調データの極性は、同一データバスライン上で2ライン前のゲートバスラインに接続されている画素に書き込まれる階調データの極性と同一になる。従って、当該画素への予備書き込みは、当該画素への本来のデータ書き込みの2ライン前に行く。例えば表示開始ラインから3ライン目のゲートバスライン上の画素は、表示開始ライン（1ライン目）の画素に階調データが書き込まれる際に同時に当該階調データが予備書き込みされ、その後本来の階調データが書き込まれるようになる。従って、この駆動方式では表示開始ラインからn-2ライン目とnライン目のゲートが同時にオン状態となる。以上のような予備書き込み方式の駆動方法については、例えば特開平11-142807号公報や特開平5-265411号公報等に関示されている。なお、予備書き込みを用いずに書き込みマージンを確保するには、フレーム反転駆動にしてバスラインのデータ電圧確定を早くする方法も考えられるが、フレーム反転駆動の際には、データバスラインと画素電極の間に生じるクロストークが問題となるため好ましくない。

30

#### 【0007】

##### 【発明が解決しようとする課題】

以上説明したように、TFT-LCDが高精細化してゲート走査周期が短くなり、大画面化によりデータ書き込み時間が短くなっても、予備書き込みを行うことにより十分な書き込みマージンを得ることができるようになる。

40

#### 【0008】

ところが、従来の予備書き込みによる駆動方法、例えば上述のドット反転駆動の場合は、ゲートバスラインにおける表示開始ラインである第1ライン目とその次の第2ライン目の予備書き込みについて何ら規定していない。ゲートバスラインの第1ライン目と第2ライン目の予備書き込みは、前フレームの表示期間内あるいは表示終了直後、または垂直ブランキング期間中に行うことが考えられる。

#### 【0009】

前フレームの表示期間内あるいは表示終了直後に第1及び第2ライン目の予備書き込みを行う場合は、前フレームでの予備書き込みから当該フレームでの本書き込みまでの時間は

50

偽のデータを表示し続けることになる。垂直ブランキング期間がフレームの表示期間に対して比較的長い場合には、第1及び第2ラインの予備書き込みによる他のラインとの境界が明確に視認されて表示品質が低下してしまうという問題が発生する。

【0010】

垂直ブランキング期間中に第1及び第2ライン目の予備書き込みを行う場合は、予備書き込みを開始するための仮想ゲートバスラインの取り扱いが面倒であるという問題が生じる。垂直同期信号(Vsync)と水平同期信号(Hsync)がシステム側から入力される場合には、VsyncとHsyncとから表示開始時点が分かるため、表示開始時点より2ライン前から予備書き込みを開始することができる。

【0011】

ところが、近年のLCDの標準仕様はHsync及びVsyncを用いずに、システム側から入力するデータイネーブル信号Enabのみで画面表示位置を決定するようになってきている。このため、データイネーブル信号Enabに基づいて垂直ブランキング期間中に第1及び第2ライン目の予備書き込みをしなければならないという困難が生じる。

【0012】

本発明の目的は、システム側からのデータイネーブル信号に基づいて垂直ブランキング期間中に少なくとも第1ライン目の予備書き込みを最適に行える液晶表示装置の駆動方法を提供することにある。

【0013】

【課題を解決するための手段】

上記目的は、表示データの入力に対応して入力されるデータイネーブル信号に基づいて前記表示データを所定の画素に出力する出力タイミングを制御する液晶表示装置の駆動方法において、前記データイネーブル信号の周期を水平周期として計測し、前記水平周期に基づいて垂直ブランキング期間中に仮想イネーブル信号を生成し、前記データイネーブル信号と仮想イネーブル信号の合計を垂直周期として保持し、少なくとも表示開始ラインの画素に対して、前記垂直周期より前記水平周期の整数倍短い時点で、前記表示データの予備書き込みを行うことを特徴とする液晶表示装置の駆動方法によって達成される。

【0014】

また、上記目的は、表示データの入力に対応して入力されるデータイネーブル信号に基づいて前記表示データを所定の画素に出力する出力タイミングを制御するタイミングコントローラを備えた液晶表示装置において、前記タイミングコントローラは、前記データイネーブル信号の周期を水平周期として計測し、前記水平周期に基づいて垂直ブランキング期間中に仮想イネーブル信号を生成する水平カウンタ部と、前記データイネーブル信号と仮想イネーブル信号の合計を垂直周期として保持する垂直カウンタとを有し、少なくとも表示開始ラインの画素に対して、前記垂直周期より前記水平周期の整数倍短い時点で、前記表示データの予備書き込みを行うことを特徴とする液晶表示装置。

【0015】

さらに上記目的は、複数の薄膜トランジスタのゲート電極と接続するゲートバスラインにゲート信号を出力するゲートドライバと、前記複数の薄膜トランジスタのドレイン電極にそれぞれ接続された複数のデータバスラインにデータを出力する複数のデータドライバと、前記データドライバにデータ出力用のラッチパルスを出力するタイミングコントローラとを有する液晶表示装置において、前記タイミングコントローラは、前記複数のデータドライバに対し、前記ゲートドライバからの距離に応じて前記ラッチパルスの出力タイミングを変化させて供給するラッチパルス供給用ラインを有していることを特徴とする液晶表示装置によって達成される。

【0016】

複数の薄膜トランジスタのゲート電極と接続するゲートバスラインにゲートドライバからゲート信号を出力し、複数のデータドライバにデータ出力用のラッチパルスを出力して前記複数の薄膜トランジスタのドレイン電極にそれぞれ接続された複数のデータバスラインにデータを出力する液晶表示装置の駆動方法において、前記複数のデータドライバに対し

10

20

30

40

50

、前記ゲートドライバからの距離に応じてそれぞれ出力タイミングを変化させた前記ラッチパルスを入力パルス供給用ラインから供給することを特徴とする液晶表示装置の駆動方法。

【 0 0 1 7 】

【発明の実施の形態】

本発明の第 1 の実施の形態による液晶表示装置の駆動方法を図 1 乃至図 7 を用いて説明する。まず、本実施の形態によるアクティブマトリクス型の液晶表示装置として、薄膜トランジスタ (TFT: Thin Film Transistor) をスイッチング素子に用いた液晶表示装置の構造を図 1 を用いて簡単に説明する。図 1 は液晶表示装置をパネル上面から見た状態を示しており、アレイ基板 1 と対向基板 14 の 2 枚のガラス基板間に液晶が封入されている。アレイ基板 1 上には例えば図面左右方向に延びるゲートバスライン 2 が上下方向に平行に複数形成されている。図示しない絶縁膜を介して図面上下方向に延びるデータバスライン 4 が左右方向に平行に複数形成されている。このように縦横に形成されたゲートバスライン 2 とデータバスライン 4 とで画定されたマトリクス状の複数の領域のそれぞれは、画素領域として画素電極 8 が形成されている。

【 0 0 1 8 】

各画素領域のゲートバスライン 2 とデータバスライン 4 との交差点近傍には TFT 6 が形成され、TFT 6 のゲート電極はゲートバスライン 2 に、ドレイン電極はデータバスライン 4 にそれぞれ接続されている。また、ソース電極は画素電極 8 に接続されている。ゲートバスライン 2 はゲートドライバ 18 により駆動され、データバスライン 4 はデータドライバ 16 により駆動される。データドライバ 16 から各データバスライン 4 に対して階調電圧が出力され、いずれかのゲートバスライン 2 にゲート信号が出力されると、当該ゲートバスライン 2 にゲート電極が接続された一連の TFT 6 がオンになって、それらの TFT 6 のソース電極に接続された画素電極 8 に階調電圧が印加される。

【 0 0 1 9 】

次に、本実施の形態による液晶表示装置の表示駆動系の概略構成について図 2 を用いて説明する。図 2 は、液晶表示装置をパネル上面から見た状態を示しており、アレイ基板 1 上の画素の構成等は図 1 に示したものと同様であるのでそれらの図示は省略している。

【 0 0 2 0 】

図 2 に示すように、複数のデータバスライン 4 にそれぞれデータ信号を出力する複数のデータドライバ 16 - 1 ~ 16 - n がパネル上方左から右に順に例えば TAB (Tape Automated Bonding) 実装によりアレイ基板 1 と接続されている。同様にパネル左上方から下に向かって複数のゲートドライバ 18 - 1 ~ 18 - n が設けられている。

【 0 0 2 1 】

各データ・ドライバ 16 - 1 ~ 16 - n に接続された複数のデータバスライン 4 は、データドライバ 16 - 1 ~ 16 - n の順にゲートドライバ 18 - 1 ~ 18 - n から遠ざかるように配置されている。ゲートドライバ 18 - 1 ~ 18 - n はゲートドライバ制御信号を出力するタイミングコントローラ 20 に信号線 26 を介して接続されている。

【 0 0 2 2 】

タイミングコントローラ 20 には、PC (パーソナル・コンピュータ) 等のシステム側から出力されたクロック CLK 及びデータイネーブル信号 E n a b、並びに階調データ Data 等が入力する。

【 0 0 2 3 】

タイミングコントローラ 20 は、水平カウンタ 22 及び垂直カウンタ 24 を有している。水平カウンタ 22 は、外部クロック CLK に基づいて生成されたドットクロック DCLK の数をカウントする。垂直カウンタ 24 は、データイネーブル信号 E n a b の数をカウントする。水平、垂直カウンタ 22、24 の出力値はデコーダ (図示せず) に入力されて種々の制御信号が出力されるようになっている。

【 0 0 2 4 】

タイミングコントローラ 20 は、ゲートドライバ制御信号としてゲートクロック GCLK とゲートスタート信号 GST を出力する。ゲートクロック GCLK とゲートスタート信号 GST は、水平カウンタ 22 でデータイネーブル信号 Enab の立ち下がり（または立ち上がり；以下、代表して「立ち下がり」という）エッジからのドットクロック DCLK の数をカウントして得られる水平周期に基づいて出力される。ゲートスタート信号 GST は、表示フレーム内の特定位置で通常 1 回または 2 回出力させるため、さらにデータイネーブル信号 Enab の数を垂直カウンタ 24 でカウントして得られる垂直周期に基づいて出力される。

#### 【0025】

タイミングコントローラ 20 は、データドライバ制御信号としてドットクロック DCLK、ラッチパルス LP、極性信号 POL、及びデータスタート信号 DST を出力する。ラッチパルス LP、極性信号 POL、及びデータスタート信号 DST は上述の水平カウンタ 22 で得られる水平周期に基づいて出力される。なお、フレーム先頭の認識は、データイネーブル信号 Enab の“L（ロー）”期間においてドットクロック DCLK が所定クロック数を越えてカウントされることにより判定される。これらの制御信号は制御線 30 を介してデータドライバ 16 - 1 ~ 16 - n に出力される。また、階調データ Data はデータ線 28 を介してデータドライバ 16 - 1 ~ 16 - n に入力される。

#### 【0026】

次に、本実施の形態による液晶表示装置の表示駆動方法について、図 3 乃至図 7 を用いて説明する。本実施の形態は、上述のドット反転駆動における第 1 及び第 2 ライン目の予備書き込み動作について説明するが、他の種々の反転駆動方式にも同様に適用可能である。

#### 【0027】

表示ライン先頭の第 1 ライン及びその次の第 2 ラインに対する予備書き込みは垂直ブランキング期間に行うが、予備書き込みデータの表示期間を短くするため、当該表示フレーム先頭の第 1 ラインの本書き込み時期にできるだけ近い時点の垂直ブランキング期間内で予備書き込みを開始させる必要がある。ドット反転駆動では 2 ライン周期でデータラインの極性が変わるため、先頭のデータイネーブル信号 Enab より 2 水平周期だけ手前から予備書き込みを開始するようにする。

#### 【0028】

ところが、垂直ブランキング期間中は、システム側からデータイネーブル信号 Enab が入力されない。そのため、まず、垂直ブランキング期間 VB の長さとして 1 水平周期 1 H の長さを計測して保持させておく必要がある。

#### 【0029】

図 3 は垂直ブランキング期間を含むデータイネーブル信号 Enab を示している。図 3 に示すようにデータイネーブル信号 Enab の立ち下がりエッジから次の立ち下がりエッジまでが 1 水平周期 1 H である。また、垂直ブランキング期間 VB 中にはデータイネーブル信号 Enab は出力されない。

#### 【0030】

このようなデータイネーブル信号 Enab に基づいて、以下に示す手順で予備書き込み位置を特定する。

(1) 水平カウンタ 22 を用い、ある時点のデータイネーブル信号 Enab の立ち下がりエッジから次の立ち下がりエッジまでのドットクロック DCLK のクロック数をカウントして、1 水平周期 1 H に対応するドットクロック DCLK のクロック数を 1 H 保持回路（図示せず）に保持しておく。

#### 【0031】

そして、垂直ブランキング期間 VB 中においては、水平カウンタ 22 でカウントされるドットクロック DCLK の数が上記 1 水平周期 1 H に達する毎に水平カウンタ 22 をリセットし、リセットの際にデータイネーブル信号 Enab の立ち下がりエッジの代わりとして仮想イネーブル信号 HPLS（図 3 中破線で示している）を垂直カウンタ 24 に出力する。

10

20

30

40

50

## 【 0 0 3 2 】

( 2 ) 垂直カウンタ 2 4 は、 1 表示フレーム中のデータイネーブル信号 E n a b の数 ( すなわち、 1 水平周期 1 H の数 ) と垂直ブランキング期間 V B 中の仮想イネーブル信号 H P L S の数をカウントする。 S X G A の場合は 1 フレーム中のデータイネーブル信号 E n a b の数は 1 0 2 4 であり、垂直ブランキング期間 V B 中の仮想イネーブル信号 H P L S の数は 4 ~ 4 2 程度である。図 3 では H P L S = 5 を例示している。

## 【 0 0 3 3 】

このように本実施の形態における垂直カウンタ 2 4 は、垂直ブランキング期間 V B での仮想イネーブル信号 H P L S の数をカウントするため非表示期間も動作するようになっている。 1 表示フレーム中のデータイネーブル信号 E n a b の数と垂直ブランキング期間 V B 中の仮想イネーブル信号 H P L S の数を合わせて 1 垂直周期 1 V とし、 1 V 保持回路に保持しておく。

## 【 0 0 3 4 】

ここで、 1 V 保持回路の回路構成例について図 4 を用いて説明する。図 4 に示す回路例は、 1 V 保持回路における最下位ビットの保持回路を示している。保持するビット数に応じて図 4 に示す回路が複数配置されて 1 V 保持回路が構成される。図 4 において、垂直カウンタ 2 4 の最下位ビット C E 1 の出力端が、 2 入力 A N D 回路 4 4 の一入力端子と、インバータ 4 0 を介して 2 入力 A N D 回路 4 6 の一入力端子とに接続されている。 2 つの A N D 回路 4 4 、 4 6 の他入力端子には、垂直ブランキング期間 V B での仮想イネーブル信号 H P L S が入力される。

## 【 0 0 3 5 】

A N D 回路 4 4 の出力端子は J K フリップフロップ ( J K F F ) 5 2 の J 入力端子に接続され、 A N D 回路 4 6 の出力端子は J K F F 5 2 の K 入力端子に接続されている。 J K F F 5 2 のクロック入力端子 C L K にはドットクロック D C L K が入力される。このような構成により、垂直ブランキング期間 V B 内に垂直カウンタ 2 4 から 1 垂直周期 1 V の値を取り込んで次の表示フレーム期間中保持することができる。 J K F F 5 2 の Q 出力端子からは、次の表示フレーム期間中に前フレームの 1 垂直周期 1 V の最下位ビットの値 C V 1 が出力される。

## 【 0 0 3 6 】

J K F F 5 2 の Q 出力端子は、 2 入力 A N D 回路 4 8 の一入力端子と、インバータ 4 2 を介して 2 入力 A N D 回路 5 0 の一入力端子とに接続されている。 2 つの A N D 回路 4 8 、 5 0 の他入力端子には、データホールド信号 E N 0 0 1 が入力される。 A N D 回路 4 8 の出力端子は J K F F 5 4 の J 入力端子に接続され、 A N D 回路 5 0 の出力端子は J K F F 5 4 の K 入力端子に接続されている。 J K F F 5 4 のクロック入力端子 C L K にはドットクロック D C L K が入力される。

## 【 0 0 3 7 】

このような構成により、垂直ブランキング期間 V B 中に垂直カウンタ 2 4 から取り込んだ 1 垂直周期 1 V の値を次の垂直周期 ( 次の表示フレーム期間及び垂直ブランキング期間 ) 中保持することができる。 J K F F 5 4 の Q 出力端子には、次の垂直周期中に前の垂直周期内の 1 水平周期 1 H の数及び仮想イネーブル信号 H P L S の数の合計の最下位ビットの値 C L 1 が保持される。

なお、説明は省略するが水平カウンタ 2 2 と接続される 1 H 保持回路も同様の回路構成で実現可能である。

## 【 0 0 3 8 】

( 3 ) 次に、 1 V 保持回路で保持された 1 垂直周期内の 1 水平周期 1 H と仮想イネーブル信号 H P L S の数の合計数から垂直ブランキング期間 V B で予備書き込みを実行するために必要なラインの数を減算する。これは図 5 に例示する減算回路により実現される。図 5 は、ドット反転駆動において、表示開始ラインの第 1 ラインのデータの本書き込みより 2 水平周期分手前の時点で予備書き込みを開始させるために、 1 V 保持回路の保持値から “ 2 ” を減算する処理を行う回路を示している。図 5 に示す減算回路は、図 4 で説明した 1

10

20

30

40

50

V 保持回路から出力される 1 垂直周期のカウント値の下位 2 ビット目から 5 ビット目について所定の処理を行いカウント値の減算をするようになっている。

【 0 0 3 9 】

図 5 において、入力端 P L 2 はインバータ 5 6 を介して、出力端 P M 2 に接続されると共に排他的論理和回路 ( E X O R 回路 ) 6 2 の一入力端子に接続されている。さらに入力端 P L 2 は、2 入力 N O R 回路 5 8 の一入力端子と 3 入力 N O R 回路 6 0 の第 1 入力端子に接続されている。入力端 P L 3 は E X O R 回路 6 2 の他入力端子、2 入力 N O R 回路 5 8 の他入力端子、及び 3 入力 N O R 回路 6 0 の第 2 入力端子に接続されている。入力端 P L 4 は、E X O R 回路 6 4 の一入力端子に接続され、N O R 回路 6 0 の第 3 入力端子に接続されている。入力端 P L 5 は、E X O R 回路 6 6 の一入力端子に接続されている。

10

【 0 0 4 0 】

N O R 回路 5 8 の出力端子は E X O R 回路 6 4 の他入力端子に接続されている。N O R 回路 6 0 の出力端子は、E X O R 回路 6 6 の他入力端子に接続されている。E X O R 回路 6 2 の出力端子は出力端 P M 3 に、E X O R 回路 6 4 の出力端子は出力端 P M 4 に、E X O R 回路 6 6 の出力端子は出力端 P M 5 にそれぞれ接続されている。

【 0 0 4 1 】

このような構成の回路の入力端 P L 2 ~ P L 5 に、図 4 で説明した 1 V 保持回路から 1 垂直周期のカウント値の下位 2 ビット目から 5 ビット目の値として表 1 に示す D 2 ~ D 5 が入力されると、出力端 P M 2 ~ P M 5 には、表 2 に示す Q 2 ~ Q 5 が出力される。なお、表 1 の “ X ” は “ 1 ” または “ 0 ” を示す。

20

【 0 0 4 2 】

【表 1】

D 2	D 3	D 4	D 5
1	X	X	X
0	1	X	X
0	0	1	X
0	0	0	1

30

【 0 0 4 3 】

【表 2】

Q 2	Q 3	Q 4	Q 5
0	D 3	D 4	D 5
1	0	D 4	D 5
1	1	0	D 5
1	1	1	0

40

【 0 0 4 4 】

このようにして、表示開始ラインである第 1 ラインのデータの本書き込みより 2 水平周期分手前の予備書き込みを開始させる時期を決定することができる。

このように本実施の形態によれば、1 データイネーブル信号 E n a b の周期毎、すなわち水平周期毎にリセットされる水平カウンタ 2 2 と、垂直周期を決定するためにデータイネーブル信号 E n a b と仮想イネーブル信号 H P L S の合計数をカウントする垂直カウンタ 2 4 とを有しているので、これら水平周期と垂直周期とに基づいて垂直ブランキング期間 V B 内の所定時点でゲートスタート信号 G S T を出力することができるようになる。なお

50



、各表示フレームでの水平周期の数は一定であることが望ましいが、通常はシステム側の P C 等による制御で一定値が確保されているので問題は生じない。

【 0 0 4 5 】

次に、図 6 及び図 7 を用いて本実施の形態による液晶表示装置の駆動方法をより具体的に実施例を用いて説明する。図 6 は、図 7 に示す動作タイミングにおける水平カウンタ 2 2 及び垂直カウンタ 2 4 の動作を示している。図 7 は、S X G A であってドット反転駆動の液晶表示装置に本実施の形態を適用したタイミングチャートを示している。

【 0 0 4 6 】

図 6 及び図 7 に示す例では、表示フレームは 1 0 2 4 ( H ) であり垂直ブランキング期間 V B は図示していないが 6 ( H ) である。上述の通り、垂直カウンタ 2 4 は垂直ブランキ  
10  
ング期間 V B 中も動作して、データイネーブル信号 E n a b と仮想イネーブル信号 H P L S をカウントする。従って、垂直カウンタ値は図 6 に示す例では 1 0 3 0 まで進む。垂直カウンタ 2 4 は、垂直ブランキング期間 V B 後の次の先頭のデータイネーブル信号 E n a b の入力でリセットされる ( ステップ S 1 参照 ) 。なお、表示フレームの切り替わりはデータイネーブル信号 E n a b の “ L ” 期間の長さで判定する。

【 0 0 4 7 】

本実施例では、図 6 のステップ S 2 ~ S 5 に示すように、垂直カウンタ 2 4 のカウンタ値が 1 0 2 2 になったら水平カウンタ 2 2 による 1 水平周期 1 H の計測を開始するようにしている。1 水平周期 1 H の計測は、先頭のデータイネーブル信号 E n a b から 1 0 2 2 番  
20  
目のデータイネーブル信号 E n a b の立ち下がりエッジから、1 0 2 3 番目のデータイネーブル信号 E n a b の立ち下がりエッジまでのドットクロック D C L K の数をカウントすることにより行われる。計測した 1 水平周期 1 H は図 4 に示したのと同様の回路構成を有する 1 H 保持回路で保持される。

【 0 0 4 8 】

次いで、ステップ S 6 で、1 0 2 4 番目のデータイネーブル信号 E n a b の入力があったら水平カウンタ 2 2 をリセットし、以後、水平カウンタ 2 2 によるドットクロック D C L K のカウント数がステップ S 5 で保持している 1 水平周期 1 H になる毎に水平カウンタ 2  
30  
2 をリセットする ( ステップ S 7 ) 。これに基づいて垂直ブランキング期間 V B 中に仮想イネーブル信号 H P L S が出力される。

【 0 0 4 9 】

一方、垂直カウンタ 2 4 は、1 0 2 4 個のデータイネーブル信号 E n a b をカウントした後、続いて仮想イネーブル信号 H P L S をカウントする。このとき図 4 に示した 1 V 保持回路には仮想イネーブル信号 H P L S の入力タイミングで垂直カウンタ 2 4 のカウンタ値が読み込まれる ( ステップ S 8 ) 。

【 0 0 5 0 】

垂直カウンタ 2 4 による仮想イネーブル信号 H P L S のカウント及び 1 V 保持回路での垂直カウンタ 2 4 のカウンタ値の読み込みは、データイネーブル信号 E n a b の立ち上がりエッジの検出により終了する ( ステップ S 9 ) 。

【 0 0 5 1 】

データイネーブル信号 E n a b の立ち上がりエッジが検出されると図 4 に示す 1 V 保持回路には垂直周期 1 V が保持される ( ステップ S 1 0 ) と共に、垂直カウンタ 2 4 はリセ  
40  
ットされる ( ステップ S 1 ) 。

【 0 0 5 2 】

1 V 保持回路に保持された垂直周期 1 V は図 5 に示す減算回路に出力されて、2 水平周期分だけ減算されて予備書き込みの垂直位置が算出される ( ステップ S 1 1 ) 。本実施例では、先頭のデータイネーブル信号 E n a b の入力時点から 1 垂直周期 1 V 経過するより 1 水平周期 1 H の 2 倍だけ短い時点で、次画面の表示開始ラインである第 1 ラインの画素に対する予備書き込みが行われる。

【 0 0 5 3 】

次いで、先頭のデータイネーブル信号 E n a b の入力時点から 1 垂直周期 1 V 経過するよ  
50

り1水平周期1H分だけ短い時点で、第2ラインについての予備書き込みが行われる(ステップS12)。すなわち、次画面の表示開始ラインである第1ラインより2水平周期分手前で第1ラインの予備書き込みが行われる。次いで、次の第2ラインより2水平周期分手前で第2ラインの予備書き込みが行われる。

【0054】

次いで、予備書き込みをする毎に垂直カウンタ24のカウント値をインクリメントし、ステップS13で垂直周期1Vに帰っているかを判断する。戻っていなければ予備書き込みを継続し(ステップS14)、垂直カウンタ24のカウント値が垂直周期1Vになったら予備書き込みを終了する(ステップS15)。なお、ステップS9において、先頭のデータイネーブル信号E<sub>nab</sub>を検出した場合にも、予備書き込みは終了する(ステップS15)。

10

【0055】

図7に示すように、予備書き込み時には、タイミングコントローラ20からゲートスタート信号GSTがゲートドライバ18へ送出され、続いてゲートクロックGCLKがゲートドライバ18に出力される。ゲートドライバ18はゲートスタート信号GSTにより動作を開始し、ゲートクロックGCLKが入力される毎に順次開いたゲートを閉じ、次ラインのゲートを開くように機能する。一方、データドライバ16には、表示フレーム中での制御信号と同様にドットクロックDCLK、ラッチパルスLP、極性信号POLが出力される。極性信号POLは、データドライバの出力極性を制御し、各ラインの極性信号POLはフレーム毎に反転されるようになっている。

20

【0056】

なお、図7に示されたフレーム判定信号は、データイネーブル信号E<sub>nab</sub>の“L”期間が所定のドットクロックDCLK数に達し、かつライン数が1024に達しているとき、つまりデータイネーブル信号E<sub>nab</sub>の入力数が1024個であるときにフレーム終了と判定させるために用いる信号である。データイネーブル信号E<sub>nab</sub>の数が少ないときは内部タイミングで1024ラインまで動作させ、多いときはそのデータイネーブル信号E<sub>nab</sub>を無効とするようになっている。

【0057】

また、図7に示すデータドライバ16から出力される階調データは、画素(RGBのサブピクセルをまとめたもの)表示が黒となるように設定されている。こうすることにより、垂直ブランキング期間VBに予備書き込みを行うラインの1フレーム平均輝度の変化を最小減に抑えることができる。黒表示にすると(予備書き込みデータの表示時間/1垂直周期)の輝度低下が生じるだけであり、本実施例のドット反転駆動では、2/1030となり目視上は全く問題ない。なお、予備書き込みのデータの極性は本データを書き込む際の極性と同じにする。

30

【0058】

以上説明したように、本実施の形態によれば、タイミングコントローラの回路規模をそれほど多くせず、画面全体の書き込み不足、特定ラインのムラをなくすることができるようになる。

【0059】

本発明は、上記実施の形態に限らず種々の変形が可能である。

40

例えば、上記実施の形態では2ライン周期でデータラインの極性が変化するドット反転駆動を例にしているので、先頭のデータイネーブル信号E<sub>nab</sub>より2水平周期だけ手前から予備書き込みを開始するようにしている。例えば、2ドット反転駆動において本発明を適用する場合には、4ライン周期でデータラインの極性が変化するのので、先頭のデータイネーブル信号E<sub>nab</sub>より4水平周期だけ手前から予備書き込みを開始すればよい。また、フレーム反転駆動において本発明を適用する場合には、1フレーム期間において極性が同じなので、先頭のデータイネーブル信号E<sub>nab</sub>より1水平周期だけ手前から予備書き込みを開始すればよい。

【0060】

50

次に、本発明の第２の実施の形態による液晶表示装置を図８乃至図１４を用いて説明する。上記第１の実施の形態では、液晶表示装置の大画面化、高精細化で生じる画素電極へのデータの書き込み不足を改善するために、予備書き込み方式の駆動方法を用いることを前提としている。これに対し本実施の形態による液晶表示装置は、予備書き込み方式とは独立して実施することができる。但し、予備書き込み方式を併用することはもちろん可能である。

#### 【００６１】

上記第１の実施の形態における図１及び図２に示した液晶表示装置において表示画素数の大規模化を実現しようとする、ゲートバスライン２の微細化、配線本数の増大、配線長さの延長等が必要になり、ゲートバスライン２の抵抗や負荷容量を増大させてゲート遅延が生じる。ゲート遅延が顕著になると表示画面の左右方向で輝度ムラが生じてしまう。

10

#### 【００６２】

図８（ａ）は、図２に示したゲートバスライン２のゲートドライバ１８側に近い位置にあるＴＦＴ６に inputs するゲート信号 $G_n$ とデータ信号（階調信号） $D_n$ を示している。横方向は時間を表し、縦方向は信号レベルを表している。図８（ａ）に示す状態はゲート遅延が生じていないので、ゲートバスライン２上のゲート信号 $G_n$ は矩形状である。このため、所定のデータ出力タイミングに従って、データ信号 $D_n$ がデータバスライン４に出力されている時間内にＴＦＴ６のゲートがオフになるので、正確にデータを画素電極８に書き込むことができる。

#### 【００６３】

20

一方、図８（ｂ）は、図２に示したゲートバスライン２のゲートドライバ１８から離れた位置にあるＴＦＴ６に inputs するゲート信号 $G_f$ とデータ信号 $D_f$ を示している。図８（ｂ）に示す状態はゲート遅延が生じており、ゲートバスライン２上のゲート信号 $G_f$ は鈍っている。従って、データバスライン４に図８（ａ）に示すデータ信号 $D_n$ と同一のデータ出力タイミングでデータ信号 $D_f$ が出力されても、ゲート信号 $G_f$ の鈍りの分だけＴＦＴ６のゲートがオフになる時間が遅れてしまい、本来のデータ信号 $D_f$ のレベルと異なる不正確なデータを画素電極８に書き込んでしまう。このゲート信号 $G_f$ の鈍りによるＴＦＴ６のゲート・オフのタイミングは所定の１水平周期１Ｈより長くなり、ゲートドライバ１８から遠ざかるにつれて顕著になる。

#### 【００６４】

30

そこで本実施の形態では、図９に示す構成を採用して、ゲート信号に鈍りが生じてても、データ信号を画素電極に十分書き込むことができるようにしている。図９は、本実施の形態による液晶表示装置の概略構成を示している。なお、本実施の形態において、第１の実施の形態で用いた図１及び図２に示す構成と同一の機能作用を奏する構成要素には同一の符号を付してその説明は省略する。

#### 【００６５】

図９に示すＴＦＴ-LCD１は、図１及び図２に示したＴＦＴ-LCDと比較して、ラッチパルス供給用ライン７０が配線されている点に特徴を有している。ラッチパルス供給用ライン７０は例えばゲートドライバ１８-１から引き出され、図中最上方のゲートバスライン２のさらに上方にゲートバスライン２とほぼ平行に配線されている。そして、ラッチパルス供給用ライン７０の途中から分岐した分岐ラインがデータドライバ１６-１～１６-nのそれぞれに配線されている。ラッチパルス供給用ライン７０には、ゲートドライバ１８-１及び制御線２６を介してタイミングコントローラ２０からラッチパルスＬＰが供給され、制御線３０にはラッチパルスＬＰ以外のドットクロックＤＣＬＫ、極性信号ＰＯＬ、及びデータスタート信号ＤＳＴ等が出力される。

40

#### 【００６６】

従って、本実施の形態によるＴＦＴ-LCD１でのラッチパルスＬＰは、タイミングコントローラ２０から制御線２６及びゲートドライバ１８-１を介してラッチパルス供給用ライン７０に出力される。データドライバ１６-１～１６-nにはラッチパルス供給用ライン７０に接続された各分岐ラインから順次ラッチパルスＬＰが入力される。ラッチパル

50

ス供給用ライン 70 の線幅及び長さはゲートバスライン 2 とほぼ同様でゲートバスライン 2 に平行に配線されている。従って、各データドライバ 16 - 1 ~ 16 - n に入力するラッチパルス LP に対してゲート鈍りと同様の波形鈍りを生じさせることができるようになる。

#### 【0067】

図 10 (a) 上段は、ラッチパルス供給用ライン 70 からゲートドライバ 18 側に近い位置のデータドライバ 16 に入力するラッチパルス LP n を示している。図 10 (a) 中段は、図 10 (a) 上段のラッチパルス LP n の立ち下がりエッジに同期して出力されるデータ信号 D n を示している。また、図 10 (a) 下段は、ゲートバスライン 2 のゲートドライバ 18 側に近い位置にある TFT 6 に入力するゲート信号 G n を示している。横方向は時間を表し、縦方向は信号レベルを表している。図 10 (a) に示す状態では、ゲート遅延によるゲート鈍りは生じておらず、ラッチパルス LP n にも波形鈍りは生じていない。このラッチパルス LP n によりデータ信号 D n がデータバスライン 4 に出力されると、データ切り替わり時点 (図中 1 で示す) 手前のデータ信号 D n の出力期間 t 1 内に TFT 6 のゲートがオフになるため (図中 1 で示す)、正確にデータを画素電極 8 に書き込むことができる。

10

#### 【0068】

一方、図 10 (b) 上段は、ゲートドライバ 18 から離れた位置にあるデータドライバ 16 にラッチパルス供給用ライン 70 から入力するラッチパルス LP f を示している。図 10 (b) 中段は、図 10 (b) 上段のラッチパルス LP f により出力されるデータ信号 D f を示している。また、図 10 (b) 下段は、ゲートバスライン 2 のゲートドライバ 18 から離れた位置にある TFT 6 に入力するゲート信号 G f を示している。図 10 (b) に示す状態はゲート遅延が生じており、ゲートバスライン 2 上のゲート信号 G f は鈍っている。一方それに同期してラッチパルス LP f にも遅延が生じて波形が鈍っている。このため、遅延を生じているラッチパルス LP f に基づいて出力されるデータ信号 D f の出力タイミングにも遅れが生じる。データ信号 D f の出力が遅延することによりデータ信号 D n の切り替わり (図中 2 で示す) 手前のデータ信号 D f の出力期間 t 2 内に TFT 6 のゲートがオフになるため (図中 2 で示す)、ゲート遅延が生じていても正確にデータを画素電極 8 に書き込むことができる。

20

#### 【0069】

このように、ラッチパルス LP をゲート信号と同様にゲートドライバ 18 から液晶パネルに出力し、ゲート遅延によるゲート鈍りと同様の波形鈍りをラッチパルス LP に持たせて順次データドライバ 16 に入力することにより、ゲート鈍りに対応してデータ信号の出力をずらすことができるようになる。こうすることにより、高精細、大画面の液晶表示装置における表示ムラを解消して高画質で表示できるようになる。

30

#### 【0070】

次に、本実施の形態による液晶表示装置の変形例について図 11 乃至図 14 を用いて説明する。本変形例においても、データドライバ 16 全てから同時にデータ信号を出力させるのではなく、ゲート遅延によるゲート波形の鈍りに合わせてデータ信号の出力タイミングを順次ずらすようにしている。

40

#### 【0071】

図 11 に示す TFT - LCD 1 は、図 9 に示した TFT - LCD 1 のラッチパルス供給用ライン 70 に代えて、データドライバ 16 - 1 ~ 16 - n のそれぞれにラッチパルス供給用ライン 71 - 1 ~ 71 - n が配線されている点に特徴を有している。ラッチパルス供給用ライン 71 - 1 ~ 71 - n には、タイミングコントローラ 20 内でゲート遅延に対応させて出力タイミングを順次ずらしたラッチパルス LP - 1 ~ LP - n がそれぞれ供給されるようになっている。従って、ゲート遅延に合わせてデータ信号を出力することができるようになる。

#### 【0072】

図 12 及び図 13 を用いて、タイミングコントローラ 20 内に設けられたラッチパルス生

50

成回路について説明する。図 1 2 はラッチパルス生成回路の概略の構成を示し、図 1 3 は当該回路中の各種信号のタイミングチャートを示している。図 1 2 ( a ) に示すようにラッチパルス生成回路は、入力端子にデータイネーブル信号  $E_{nab}$  が入力する D フリップフロップ ( D F F ) 8 0 を有している。データイネーブル信号  $E_{nab}$  は図 1 3 に示すように、信号  $E_{nab}$  の “ H ( ハイ ) ” 状態の期間は 5 1 2 ドットクロック数であり、“ L ” 状態の期間は 1 6 0 ドットクロック数である。従って、データイネーブル信号  $E_{nab}$  の立ち上がりエッジから次の立ち上がりエッジまで 6 7 2 ドットクロック数ある。

#### 【 0 0 7 3 】

図 1 2 に戻り、 D F F 8 0 のクロック入力端子にはドットクロック D C L K が入力するようになっている。 D F F 8 0 の出力端子は次段の D F F 8 2 の入力端子に接続されると共に、2 入力 N A N D 回路の一入力端子に接続されている。なお、 D F F 8 2 のクロック入力端子にはドットクロック D C L K が入力するようになっている。 D F F 8 2 の出力端子はインバータ 8 4 と接続され、インバータ 8 4 の出力端子は 2 入力 N A N D 回路 8 6 の他入力端子に接続されている。このような構成により N A N D 回路 8 6 の出力端子には、図 1 3 に示すようにデータイネーブル信号  $E_{nab}$  の立ち上がりエッジに同期して立ち下がる  $E_{nab}$  検出信号 S が出力される。  $E_{nab}$  検出信号 S は図 1 2 ( b ) に示すように、ドットクロック D C L K の数をカウントするカウンタ 8 8 に入力する。カウンタ 8 8 は、  $E_{nab}$  検出信号 S の入力で毎にリセットされてドットクロック D C L K の数をカウントする。

#### 【 0 0 7 4 】

カウンタ 8 8 から出力されるカウント値 C 1 ~ 6 7 2 は図示しないデコーダに入力される。デコーダは所定のカウント値になると J K F F 9 0 の J または K 入力端子にパルスを出力するようになっている。例えば、カウント値が C 5 1 5 になると J K F F 9 0 の J 入力端子にパルスを入力し、次いでカウント値が C 5 5 5 になると K 入力端子にパルスを入力する。このようにして、図 1 3 に示すように、データイネーブル信号  $E_{nab}$  の立ち上がりから次の立ち上がり、つまり 1 水平周期の 5 1 5 / 6 7 2 から 5 5 5 / 6 7 2 までの期間に J K F F 9 0 の出力端子からラッチパルス L P - n を出力できるようになる。ゲート遅延に対応させてデコーダから J K F F 9 0 の J 、 K 入力端子へのパルス入力タイミングを制御することにより出力タイミングを順次ずらされたラッチパルス L P - 1 ~ L P - n を供給することができる。

#### 【 0 0 7 5 】

図 1 4 ( a ) 上段は、ラッチパルス供給用ライン 7 1 - 1 ~ 7 1 - n のうちゲートドライバ 1 8 側に近い位置のデータドライバ 1 6 に入力するラッチパルス L P n を示している。図 1 4 ( a ) 中段は、図 1 4 ( a ) 上段のラッチパルス L P n の立ち下がりエッジに同期して出力されるデータ信号 D n を示している。また、図 1 4 ( a ) 下段は、ゲートバスライン 2 のゲートドライバ 1 8 側に近い位置にある T F T 6 に入力するゲート信号 G n を示している。横方向は時間を表し、縦方向は信号レベルを表している。図 1 4 ( a ) に示す状態では、ゲート遅延によるゲート鈍りは生じておらず、ラッチパルス L P n にも波形鈍りは生じていない。このラッチパルス L P n によりデータ信号 D n がデータバスライン 4 に出力されると、データ切り替わり時点 ( 図中 1 で示す ) 手前のデータ信号 D n の出力期間 t 1 内に T F T 6 のゲートがオフになるため ( 図中 1 で示す ) 、正確にデータを画素電極 8 に書き込むことができる。

#### 【 0 0 7 6 】

一方、図 1 4 ( b ) 上段は、ラッチパルス供給用ライン 7 1 - 1 ~ 7 1 - n のうちゲートドライバ 1 8 から離れた位置にあるデータドライバ 1 6 に入力するラッチパルス L P f を示している。図 1 4 ( b ) 中段は、図 1 4 ( b ) 上段のラッチパルス L P f により出力されるデータ信号 D f を示している。また、図 1 4 ( b ) 下段は、ゲートバスライン 2 のゲートドライバ 1 8 から離れた位置にある T F T 6 に入力するゲート信号 G f を示している。図 1 4 ( b ) に示す状態はゲート遅延が生じており、ゲートバスライン 2 上のゲート信号 G f は鈍っている。一方ゲート信号 G f の鈍りに対応させてラッチパルス L P f の出力

10

20

30

40

50

タイミングを時間  $t_d$  だけずらすことにより、出力されるデータ信号  $D_f$  の出力タイミングも時間  $t_d$  だけ遅らせることができる。データ信号  $D_f$  の出力が遅れることによりデータ信号  $D_n$  の切り替わり（図中 2 で示す）手前のデータ信号  $D_f$  の出力期間  $t_2$  内に T F T 6 のゲートがオフになるため（図中 2 で示す）、ゲート遅延が生じていても正確にデータを画素電極 8 に書き込むことができる。

#### 【0077】

このように、ラッチパルス  $L_P$  をデータドライバ 16 の数だけ分割して、それぞれのラッチパルス  $L_P$  にゲート遅延に対応させた時間ずれを持たせることにより、ゲート鈍りに対応してデータ信号の出力をずらすことができるようになる。こうすることにより、高精細、大画面の液晶表示装置における表示ムラを解消して高画質で表示できるようになる。なお、ラッチパルス供給用ライン 71 - 1 ~ 71 - n のそれぞれにコンデンサや抵抗を接続して信号の時間遅れを微調整できるようにしてももちろんよい。

10

#### 【0078】

本発明は、上記実施の形態に限らず種々の変形が可能である。

例えば、上記第 2 の実施の形態ではゲート遅延による輝度ムラを防止させることを目的としているが、本発明はこれに限らず、例えば、画素欠陥修復に用いられるリペア配線において、長い配線長によるデータ遅延で生じる輝線の発生を防止することにも適用可能である。

#### 【0079】

データバスラインの欠陥を修復するためのリペア配線は、表示領域を挟んでデータドライバと対向する領域までゲートドライバ側基板を通して配線されている。このためリペア配線の配線長はデータバスラインよりかなり長い。従って、欠陥修復のためにリペア配線を用いると、リペア配線に出力されるデータ信号は遅延が生じて波形が鈍る。このデータ信号鈍りによりリペア配線でのデータ出力期間はデータバスラインのそれより長くなる。このため、ゲート遅延が生じている場合には、データバスラインよりリペア配線上の T F T に十分なデータ書き込みが行われるのでリペア配線に接続された画素の輝度が相対的に高くなってしまい輝線として視認される。これに対し、上記本発明の実施形態を利用することにより、リペア配線での輝線を目立たなくすることができるようになる。

20

#### 【0080】

##### 【発明の効果】

30

以上の通り、本発明によれば、システム側からのデータイネーブル信号に基づいて垂直ランキング期間中に少なくとも第 1 ライン目の予備書き込みを最適に行うことができる。また、本発明によれば、ゲート信号に鈍りが生じても、データ信号を画素電極に十分書き込むことができるようになる。

##### 【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態による液晶表示装置の概略構成を示す図である。

【図 2】本発明の第 1 の実施の形態による表示駆動方法を利用した液晶表示装置の概略構成を示す図である。

【図 3】システム側から入力されるデータイネーブル信号  $E_{nab}$  を説明する図である。

【図 4】本発明の第 1 の実施の形態による液晶表示装置の駆動方法における垂直周期 1 V 保持回路を示す図である。

40

【図 5】本発明の第 1 の実施の形態による液晶表示装置の駆動方法における減算回路を示す図である。

【図 6】本発明の第 1 の実施の形態による液晶表示装置の駆動方法における水平カウンタ 22 及び垂直カウンタ 24 の動作手順を主として説明する図である。

【図 7】本発明の第 1 の実施の形態による液晶表示装置の駆動方法を説明するタイミングチャートを示す図である。

【図 8】ゲート遅延について説明する図である。

【図 9】本発明の第 2 の実施の形態による液晶表示装置の概略構成を示す図である。

【図 10】本発明の第 2 の実施の形態による液晶表示装置の駆動方法を説明するタイミン

50

グチャートを示す図である。

【図１１】本発明の第２の実施の形態の変形例に係る液晶表示装置の概略構成を示す図である。

【図１２】本発明の第２の実施の形態の変形例に係る液晶表示装置のラッチパルス生成回路の概略構成を示す図である。

【図１３】本発明の第２の実施の形態の変形例に係る液晶表示装置のラッチパルス生成回路の動作を示すタイミングチャートを示す図である。

【図１４】本発明の第２の実施の形態の変形例に係る液晶表示装置の駆動方法を説明するタイミングチャートを示す図である。

【図１５】従来の液晶表示装置の駆動方法を説明する図である。

10

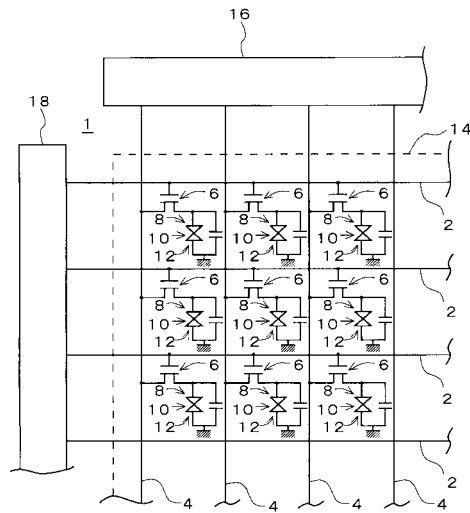
【符号の説明】

- １ アレイ基板
- ２ ゲートバスライン
- ４ データバスライン
- ６ T F T
- ８ 画素電極
- １０ 液晶
- １４ 対向基板
- １６ データドライバ
- １８ ゲートドライバ
- ２０ タイミングコントローラ
- ２２ 水平カウンタ
- ２６ 信号線
- ２４ 垂直カウンタ
- ２８、３０ 制御線
- ４０、４２、５６ インバータ
- ４４、４６、４８、５０ A N D 回路
- ５２、５４ K J F F
- ５８、６０ N O R 回路
- ６２、６４、６６ E X O R 回路
- ７０、７１ ラッチパルス供給用ライン
- ８０、８２ D F F
- ８４ インバータ
- ８６ N A N D 回路
- ８８ イネーブルカウンタ
- ９０ J K F F

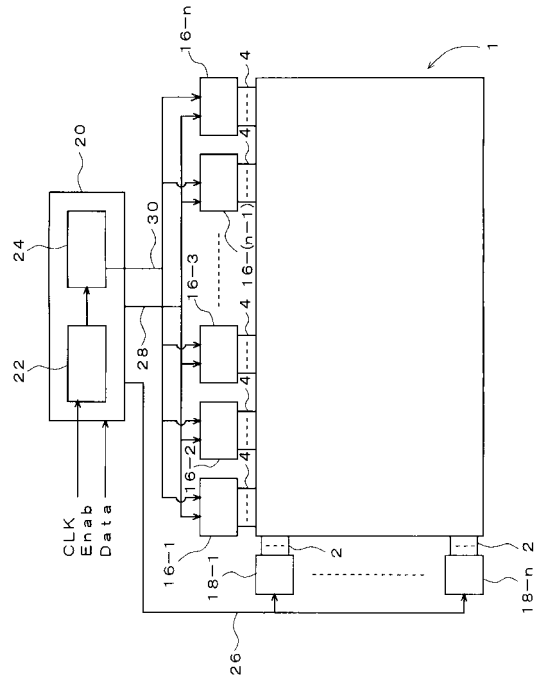
20

30

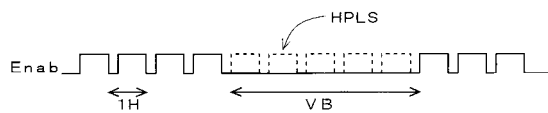
【図 1】



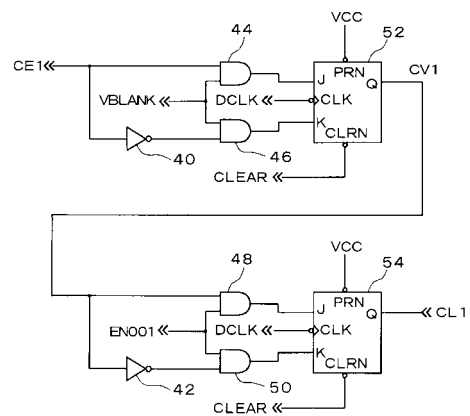
【図 2】



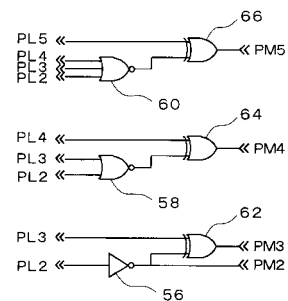
【図 3】



【図 4】



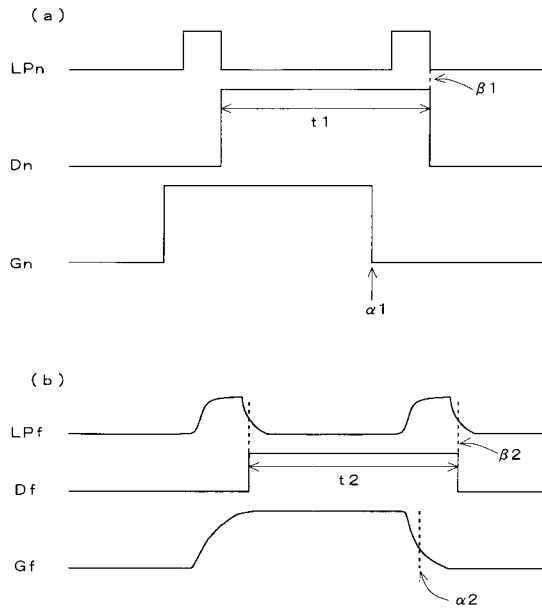
【図 5】



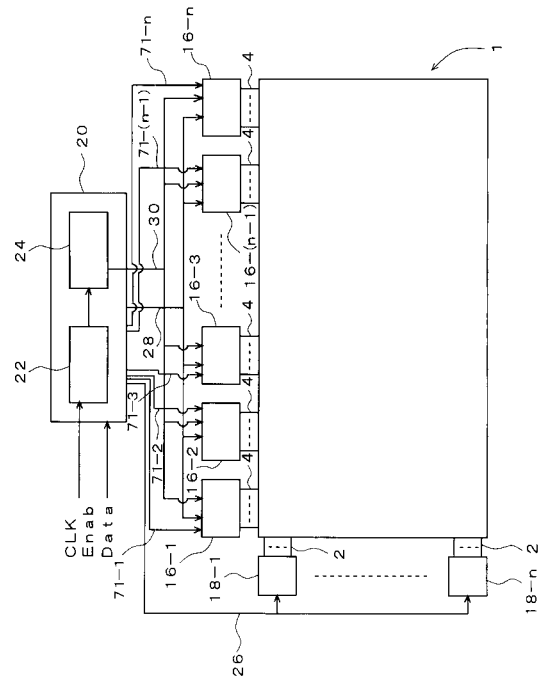




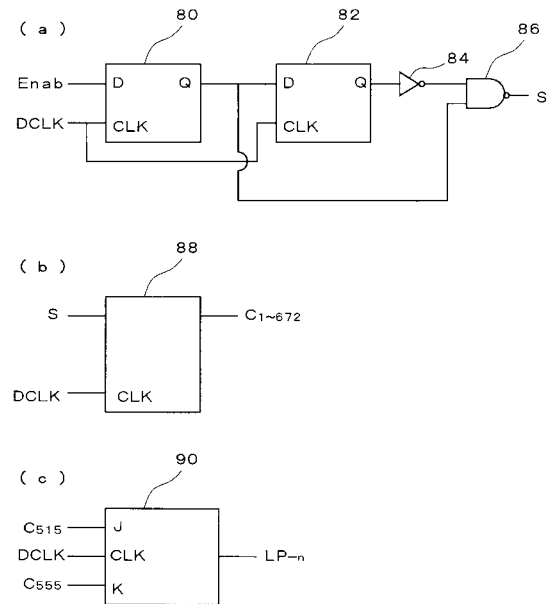
【図 10】



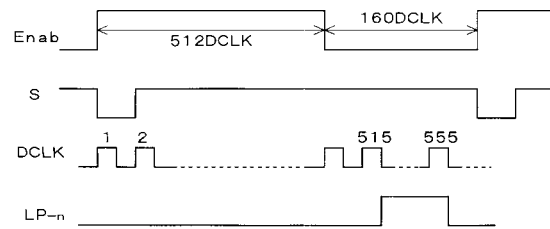
【図 11】



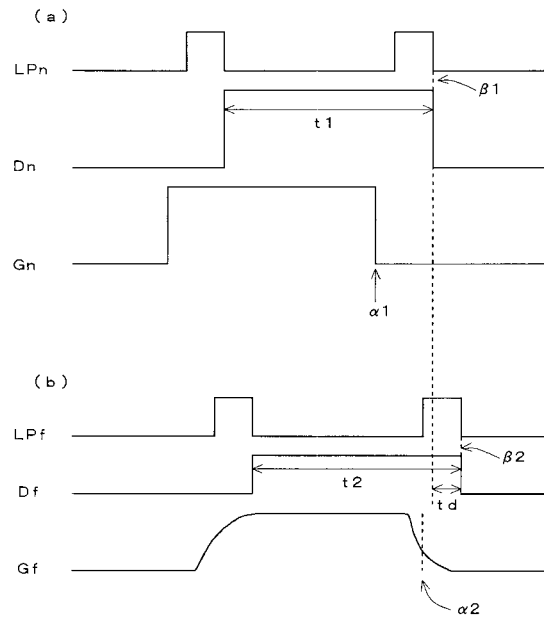
【図 12】



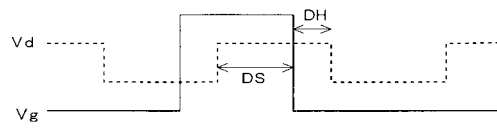
【図 13】



## 【図 14】



## 【図 15】



---

フロントページの続き

(56)参考文献 特開平 1 1 - 1 3 3 9 2 2 ( J P , A )  
特開昭 6 2 - 2 6 9 9 9 5 ( J P , A )  
特開平 1 1 - 1 4 2 8 0 7 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G02F 1/133

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	<a href="#">JP4277148B2</a>	公开(公告)日	2009-06-10
申请号	JP2000001490	申请日	2000-01-07
[标]申请(专利权)人(译)	富士通株式会社		
申请(专利权)人(译)	富士通株式会社		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	拔山和宏 形川晃一		
发明人	拔山 和宏 形川 晃一		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G09G3/3614 G09G2310/0251		
FI分类号	G02F1/133.550 G09G3/20.623.D G09G3/36		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NA45 2H093/NB16 2H093/NC16 2H093/NC21 2H093/NC49 2H093/ND09 2H093/ND34 2H093/ND36 2H093/ND43 2H193/ZC26 2H193/ZD32 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF44 5C006/AF73 5C006/BB16 5C006/BC11 5C006/BF04 5C006/BF06 5C006/BF22 5C006/BF26 5C006/BF27 5C006/FA15 5C080/AA10 5C080/BB05 5C080/DD07 5C080/DD08 5C080/EE29 5C080/FF11 5C080/GG12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07		
代理人(译)	盛冈正树		
审查员(译)	铃木俊光		
其他公开文献	JP2001194644A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：提供一种用于驱动液晶显示装置的方法，该方法能够基于来自系统侧的数据使能信号在垂直消隐期间优化第一线的预写。解决方案：该方法用于驱动液晶显示装置，其中基于数据使能信号Enab控制用于将灰度级数据输出到规定像素的输出定时，以便测量（步骤S2-S5）数据使能的周期。信号为水平周期；基于水平周期，在垂直消隐期间生成（步骤S6-S8）虚拟使能信号；保持（步骤S10）数据使能信号和虚拟使能信号之和作为垂直周期；并且至少在显示起始行上的像素中以比垂直周期短的定时执行灰度级数据的初步写入（步骤S11-S15），作为水平周期的整数倍。

Q 2	Q 3	Q 4	Q 5
0	D 3	D 4	D 5
1	0	D 4	D 5
1	1	0	D 5
1	1	1	0