

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4244228号
(P4244228)

(45) 発行日 平成21年3月25日 (2009. 3. 25)

(24) 登録日 平成21年1月16日 (2009. 1. 16)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 612U

G09G 3/20 623C

G09G 3/20 623R

請求項の数 14 (全 14 頁) 最終頁に続く

(21) 出願番号 特願2005-379420 (P2005-379420)
 (22) 出願日 平成17年12月28日 (2005. 12. 28)
 (65) 公開番号 特開2007-11273 (P2007-11273A)
 (43) 公開日 平成19年1月18日 (2007. 1. 18)
 審査請求日 平成17年12月28日 (2005. 12. 28)
 (31) 優先権主張番号 10-2005-0056543
 (32) 優先日 平成17年6月28日 (2005. 6. 28)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドンドン 20
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順

最終頁に続く

(54) 【発明の名称】 液晶表示装置とその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

液晶セルに接続されるデータ出力ラインと、

前記データ出力ラインに接続され、前記液晶セルに供給されるビデオデータ信号に対応するピクセル駆動信号を前記データ出力ラインに選択的に供給する出力駆動部と、

前記データ出力ラインに接続され、前記ビデオデータ信号の値に応じて複数の互いに異なる電圧レベルのうち何れか一つの電圧レベルで前記データ出力ラインを選択的にプリチャージするプリチャージング回路と

を備え、

前記電圧レベルは、正極性プリチャージ電圧、負極性プリチャージ電圧、および、隣接するデータ出力ライン間のチャージシェアにより発生されるチャージシェア電圧を含み、

前記正極性プリチャージ電圧および負極性プリチャージ電圧の絶対値電圧は前記チャージシェア電圧より高く、

前記プリチャージング回路は、

前記ビデオデータ信号の値が所定の臨界値以上であるか、またはそれ未満であることを示す出力信号を発生するレベル検出回路と、

前記レベル検出回路の前記出力信号に応じて前記データ出力ラインに前記電圧レベルのうち一つを供給する電圧選択回路と

を備え、

前記電圧選択回路は、前記レベル検出回路の前記出力信号に基づいて、前記ビデオデー

10

20

タ信号の値が所定の臨界値以上であった場合に前記データ出力ラインに前記正極性プリチャージ電圧または前記負極性プリチャージ電圧を供給し、所定の臨界値未満であった場合には前記データ出力ラインに前記チャージシェア電圧を供給する

ことを特徴とする液晶表示装置。

【請求項 2】

前記チャージシェア電圧は前記正極性プリチャージ電圧と前記負極性プリチャージ電圧との間の電圧であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記電圧選択回路は、

各々ゲート制御信号に応じて前記電圧レベルのうち一つを前記データ出力ラインに供給する複数のスイッチングトランジスタと、

前記レベル検出回路の出力信号に応じて前記スイッチングトランジスタのゲート制御信号を発生することに用いられる出力イネーブル信号を出力するデマルチプレクサーと

を備えることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

デジタルビデオデータ信号の値が所定の臨界値以上であるか、またはそれ未満であることを示す出力信号を発生する比較器と、

液晶セルのデータラインを隣接するデータ出力ライン間のチャージシェアにより発生されるチャージシェア電圧まで 1 次プリチャージした後、前記比較器の出力信号が前記デジタルビデオデータ信号の値が所定の臨界値以上であることを示した場合に、前記データラインを前記チャージシェア電圧より絶対値電圧が高いプリチャージ電圧まで 2 次プリチャージするプリチャージ制御部と

を備えることを特徴とする液晶表示装置。

【請求項 5】

前記比較器と前記プリチャージ制御部は一つの半導体集積回路の内に実装されることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記プリチャージ制御部は、

第 1 ソース出力イネーブル信号、前記第 1 ソース出力イネーブル信号より位相が遅い第 2 ソース出力イネーブル信号および前記データ信号の極性を制御する極性制御信号の入力を受ける複数の入力ラインと、

前記比較器の出力と前記極性制御信号の出力に応じて前記第 2 ソース出力イネーブル信号を複数の出力端子のうち何れか一つに出力するデマルチプレクサーと、

前記デマルチプレクサーの出力、または前記第 1 ソース出力イネーブル信号に応じて前記データ出力ラインに前記チャージシェア電圧を供給する第 1 トランジスタと、

前記デジタルビデオデータ信号の値が前記所定の臨界値以上であり、前記極性制御信号が正極性電圧出力を指示する場合に、前記デマルチプレクサーの出力に応じて正極性プリチャージ電圧を前記データ出力ラインに供給する第 2 トランジスタと、

前記デジタルビデオデータの値が前記所定の臨界値より小さくて、前記極性制御信号が負極性電圧出力を指示する場合に、前記デマルチプレクサーの出力に応じて負極性プリチャージ電圧を前記データ出力ラインに供給する第 3 トランジスタと

を備えることを特徴とする請求項 4 または 5 に記載の液晶表示装置。

【請求項 7】

前記比較器は前記デジタルビデオデータ信号のビットのうち何れか一つを前記デマルチプレクサーに供給する信号配線を備えることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記比較器は、前記デジタルビデオデータ信号の上位ビットを論理和演算する、少なくとも一つ以上の論理ゲート素子を備えることを特徴とする請求項 6 に記載の液晶表示装置。

10

20

30

40

50

【請求項 9】

前記比較器は、

前記デジタルビデオデータ信号の 2^5 加重値の第1上位ビットと 2^6 加重値の第2上位ビットとを論理和演算するORゲートと、

前記ORゲートの出力と前記デジタルビデオデータ信号の 2^7 加重値の第3上位ビットとを論理積演算するANDゲートと

を備えることを特徴とする請求項8に記載の液晶表示装置。

【請求項 10】

前記比較器は前記デジタルビデオデータ信号の 2^6 加重値の第1上位ビットと 2^7 加重値の第2上位ビットとを論理積演算するANDゲートとを備えることを特徴とする請求項8に記載の液晶表示装置。

10

【請求項 11】

前記比較器は、

前記デジタルビデオデータ信号の 2^5 加重値の第1上位ビットと 2^6 加重値の第2上位ビットとを論理和演算する第1ANDゲートと、

前記第1ANDゲートの出力と前記デジタルビデオデータ信号の 2^7 加重値の第3上位ビットとを論理積演算する第2ANDゲートと

を備えることを特徴とする請求項8に記載の液晶表示装置。

【請求項 12】

前記所定の臨界値は128階調以上の階調レベル、160階調以上の階調レベル、192階調以上の階調レベル、224階調以上の階調レベルのうち何れか一つに対応することを特徴とする請求項4ないし11のいずれか1項に記載の液晶表示装置。

20

【請求項 13】

デジタルビデオデータ信号の値を所定の臨界値と比較する段階と、

前記比較結果に基づいて、複数の互いに異なる電圧レベルのうち何れか一つの電圧レベルで液晶セルのデータ出力ラインをプリチャージする段階と、

前記デジタルビデオデータ信号を用いて前記液晶セルの画素駆動電圧を発生し、前記画素駆動電圧を前記データ出力ラインに供給する段階と

を含み、

前記プリチャージする段階は、前記比較結果に基づいて、前記デジタルビデオデータ信号の値が所定の臨界値未満の場合には第1の電圧レベルでプリチャージし、前記デジタルビデオデータ信号の値が所定の臨界値以上の場合には第1の電圧レベルよりも高い第2の電圧レベルでプリチャージすることを特徴とする液晶表示装置の駆動方法。

30

【請求項 14】

デジタルビデオデータ信号の入力を受ける段階と、

前記デジタルビデオデータ信号の値が所定の臨界値未満である場合に、液晶セルのデータ出力ラインを、隣接するデータ出力ライン間のチャージシェアにより発生されるチャージシェア電圧までプリチャージする段階と、

前記デジタルビデオデータ信号の値が所定の臨界値以上である場合に、絶対値電圧が前記チャージシェア電圧より高いプリチャージ電圧まで前記データ出力ラインをプリチャージする段階と、

40

前記デジタルビデオデータ信号を用いて前記液晶セルの画素駆動電圧を発生し、前記画素駆動電圧を前記データ出力ラインに供給する段階と

を含むことを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、データ集積回路の動作温度を下げ、消費電力を減らすようにした液晶表示装置とその駆動方法に関する。

【背景技術】

50

【 0 0 0 2 】

液晶表示装置(Liquid Crystal Display)は、ビデオ信号によって液晶セルの光透過率を調節することで画像を表示するようになる。

【 0 0 0 3 】

アクティブマトリックス(Active Matrix)型の液晶表示装置は、スイッチング素子の能動的な制御が可能であるため動画具現に有利である。アクティブマトリックス型の液晶表示素子に使用されるスイッチング素子には主に薄膜トランジスタ(Thin Film Transistor ; TFT) (以下、T F Tとする。)が用いられている。

【 0 0 0 4 】

このような液晶表示装置は、図 1 のように、複数のデータライン 5 と複数のゲートライン 6 とが交差され、その交差部に液晶セルを駆動するための T F T が形成された液晶表示パネル 2 と、データライン 5 にデータを供給するためのデータ駆動部 3 と、ゲートライン 6 にスキャンパルスを提供するためのゲート駆動部 4 と、データ駆動部 3 とゲート駆動部 4 とを制御するためのタイミングコントローラ 1 とを備える。

10

【 0 0 0 5 】

液晶表示パネル 2 は、2 枚のガラス基板の間に液晶が注入され、その下部ガラス基板上にデータライン 5 とゲートライン 6 とが直交される。データライン 5 とゲートライン 6 との交差部に形成された T F T は、ゲートライン 6 からのスキャンパルスに応じて、データライン 5 からのデータを液晶セルに供給する。このために、T F T のゲート電極はゲートライン 6 に接続され、ソース電極はデータライン 5 に接続される。そして、T F T のドレ 20
ーン電極は液晶セルの画素電極に接続される。尚、液晶表示パネル 2 の下部ガラス基板上には液晶セルの電圧を保持させるためのストレージキャパシタが形成される。

【 0 0 0 6 】

タイミングコントローラ 1 は、デジタルビデオデータ (R G B)、水平同期信号 (H)、垂直同期信号 (H、V) およびクロック信号 (C L K) の入力を受け、ゲート駆動部 4 を制御するためのゲート制御信号 (G D C) を発生することと共に、データ駆動部 3 を制御するためのデータ制御信号 (D D C) を発生する。尚、タイミングコントローラ 1 は、システムからのデータ (R G B) をデータ駆動部 3 に供給する。データ制御信号 (D D C) は、ソースシフトクロック (S S C)、ソーススタートパルス (S S P)、極性制御信号 (P O L) および 30
ソース出力イネーブル信号 (S O E) 等を含み、データ駆動部 3 に供給される。ゲート制御信号 (G D C) は、ゲートスタートパルス (G S P)、ゲートシフトクロック (G S C) およびゲート出力イネーブル信号 (G O E) 等を含み、ゲート駆動部 4 に供給される。

30

【 0 0 0 7 】

ゲート駆動部 4 は、タイミングコントローラ 1 からのゲート制御信号 (G D C) に応じて、スキャンパルスを順次発生するシフトレジスタ、スキャンパルスのスイング幅を液晶セル (C l c) の駆動に適したレベルにシフトさせるためのレベルシフター、出力バッファなどで構成される。このゲート駆動部 4 は、スキャンパルスをゲートライン 6 に供給することにより、そのゲートライン 6 に接続された T F T をターンオン (T u r n - o n) させ、データの画素電圧、即ち、アナログガンマ補償電圧が供給される一水平ラインの液晶セルを選択する。データ駆動部 3 から発生されるデータは、スキャンパルスにより選択された 40
水平ラインの液晶セルに供給される。

【 0 0 0 8 】

データ駆動部 3 は、タイミングコントローラ 1 から供給されるデータ駆動制御信号 (D D C) に応じて、データをデータライン 5 に供給する。このデータ駆動部 3 は、タイミングコントローラ 1 からのデジタルデータ (R G B) をサンプリングし、そのデータをラッチした後、アナログガンマ電圧に変換する。このデータ駆動部 3 は、図 2 のような構成を有する複数のデータ集積回路 (Integrated Circuit ; IC) 3 A (以下、データ I C とする。) に具現される。

【 0 0 0 9 】

各々のデータ I C 3 A は、図 2 のように、タイミングコントローラ 1 からデジタルデー

50

タ(RGB)が入力されるデータレジスタ21と、サンプリングクロックを発生するためのシフトレジスタ22と、シフトレジスタ22とk(但し、kはmより小さな整数)個のデータライン(DL1~DLk)の間に接続された第1のラッチ回路23、第2のラッチ回路24、デジタル/アナログ変換器(Digital to Analog Converter : DAC)25(以下、DACとする。)および出力回路26と、ガンマ基準電圧発生部(図示せず)とDAC25の間に接続されたガンマ電圧供給部27とを備える。

【0010】

データレジスタ21は、タイミングコントローラ1からのデジタルデータ(RGB)を第1のラッチ回路23に供給する。シフトレジスタ22はタイミングコントローラ1からのソーススタートパルス(SSP)をソースサンプリングクロック信号(SSC)によってシフトさせ、サンプリング信号を発生する。尚、シフトレジスタ22はソーススタートパルス(SSP)をシフトさせ、次の段のシフトレジスタ22にキャリア信号(CAR)を伝達する。第1のラッチ回路23はシフトレジスタ22から順次入力されるサンプリング信号に応じて、データレジスタ21からのデジタルデータ(RGB)を順次サンプリングする。第2のラッチ回路24は第1のラッチ回路23から入力されるデータをラッチした後、ラッチされたデータをタイミングコントローラ1からのソース出力イネーブル信号(SOE)に応じて、同時出力する。DAC25は第2のラッチ回路24からのデータをガンマ電圧供給部27からのガンマ電圧(DGH、DGL)に変換する。ガンマ電圧(DGH、DGL)は、デジタル入力データの階調値の各々に対応するアナログ電圧である。出力回路26はデータラインの各々に接続された出力バッファを含む。ガンマ電圧供給部27はガンマ基準電圧発生部(図示せず)から入力されるガンマ基準電圧を細分化し、各階調に対応するガンマ電圧をDAC25に供給する。

【0011】

このようなデータIC3Aは、液晶表示装置が大型化、高精細化に発展することに応じて負荷が増加され、駆動周波数が上昇されて発熱量が多くなるようになった。このようなデータIC3Aの発熱によってデータIC3Aの駆動信頼性は落ちてしまい、さらに、発火されること等の安全上の危険性が増大されている。データIC3Aの発熱を起こす主要原因は、図3のように、出力バッファ26Aである。この出力バッファ26Aの内部抵抗成分を通じて流れる電流(*i_{source}*、*i_{sink}*)による電力消費によりデータIC3Aが発熱される。

【0012】

最近では、液晶セルの充電特性を改善し、消費電力を減らすために、隣接するデータラインを接続し、そのデータラインの間のチャージシェアにより発生されるチャージシェア電圧(Charge Share Voltage)でデータラインをプリチャージした後、データラインを分離した状態でデータ電圧を各データラインに供給するチャージシェア方式や、予め設定されている外部電圧であるプリチャージ電圧でデータラインをプリチャージさせた後、データ電圧をそのデータラインに供給するプリチャージ方式でデータICが具現されている。

【発明の開示】

【発明が解決しようとする課題】

【0013】

チャージシェア方式は、図4のように、チャージシェア電圧(V-share)からデータ電圧に変わる出力バッファ駆動区間で、出力バッファ26Aに多くの電流が流れることにより発熱と消費電力が増大されるという問題点があった。

プリチャージ方式は、図5のように、データ電圧が高い際、例えば、ノーマリブラック(Normally black)モードの液晶表示装置においてホワイト電圧である際、予め比較的の高い外部電圧として供給されるプリチャージ電圧(+Vpre、-Vpre)により出力バッファ26Aの駆動領域の電圧が減ってデータIC3Aの温度を下げることはできるものの、平均以下のデータ電圧に対して外部から供給される高いプリチャージ電圧(+Vpre、-Vpre)により低いデータ電圧のプリチャージ駆動領域51、52で、

10

20

30

40

50

データ I C 3 A の温度が上昇し、電力消費が急増するという問題点があった。

【 0 0 1 4 】

従って、本発明は、かかる問題点を解決するためになされたものであり、データ集積回路の発熱温度を下げ、消費電力を減らすようにした液晶表示装置とその駆動方法を提供することを目的としている。

【課題を解決するための手段】

【 0 0 1 5 】

前記目的を達成するために、本発明に従う液晶表示装置は、液晶セルに接続されるデータ出力ラインと；前記データ出力ラインに接続され、前記液晶セルに供給されるビデオデータ信号に対応するピクセル駆動信号を前記データ出力ラインに選択的に供給する出力駆動部と；前記データ出力ラインに接続され、前記ビデオデータ信号の値に応じて一つ以上の電圧レベルで前記データ出力ラインを選択的にプリチャージするプリチャージング回路とを備える。

10

【 0 0 1 6 】

本発明に従う液晶表示装置は、デジタルビデオデータ信号の値が所定の臨界値以上であるか、またはその未満であるかを指示する出力信号を発生する比較器と；液晶セルのデータラインをチャージシェア電圧まで1次プリチャージした後、前記比較器の出力信号に応じて前記データラインを前記チャージシェア電圧より絶対値電圧が高いプリチャージ電圧まで2次プリチャージするプリチャージ制御部とを備える。

【 0 0 1 7 】

20

前記液晶表示装置の駆動方法は、デジタルビデオデータ信号の値を所定の臨界値と比較する段階と；前記比較結果に基づいて、複数の互いに異なる電圧レベルのうち何れか一つの電圧で液晶セルのデータラインをプリチャージする段階と；前記デジタルビデオデータを用いて前記液晶セルの画素駆動電圧を発生し、前記画素駆動電圧を前記データラインに供給する段階とを含む。

【 0 0 1 8 】

前記液晶表示装置の駆動方法は、デジタルビデオデータの入力を受ける段階と；液晶セルのデータラインをチャージシェア電圧までプリチャージする段階と；前記デジタルビデオデータの値が所定の臨界値以上であるとプリチャージ電圧まで前記データラインをプリチャージする段階と；前記デジタルビデオデータを用いて前記液晶セルの画素駆動電圧を発生し、前記画素駆動電圧を前記データラインに供給する段階とを含む。

30

【発明の効果】

【 0 0 1 9 】

本発明に従う液晶表示装置とその駆動方法は、データ集積回路のバッファ駆動区間を減少させることにより発熱温度を下げ、消費電力を減らすことが可能になる。

【発明を実施するための最良の形態】

【 0 0 2 0 】

以下、図 6 ないし図 1 3 を参照し、本発明の好ましい実施の形態についての説明する。

【 0 0 2 1 】

この発明に係る液晶表示装置は、液晶セルに接続されるデータ出力ラインと、データ出力ラインに接続され、液晶セルに供給されるビデオデータ信号に対応するピクセル駆動信号を前記データ出力ラインに選択的に供給する出力駆動部と、データ出力ラインに接続され、ビデオデータ信号の値に応じて一つ以上の電圧レベルで前記データ出力ラインを選択的にプリチャージするプリチャージング回路とを備えている。このデータ駆動部は、複数のデータ集積回路（以下、データ I C とする。）から構成される。

40

【 0 0 2 2 】

図 6 は本発明の実施の形態における液晶表示装置のデータ I C の回路構成を示す回路図であり、図 7 は図 6 に示したソース出力イネーブル信号（ S O E 1 、 S O E 2 ）と極性制御信号（ P O L ）の波形を示す波形図である。

【 0 0 2 3 】

50

図6および図7を参照すると、本発明の実施の形態に従う液晶表示装置のデータICは、データレジスタ61、ラッチ回路62、比較器63、デジタル/アナログ変換器(Digital to Analog Converter : DAC)64(以下、DACとする。)、出力バッファ65、デマルチプレクサ(DMUX)66、ORゲート67およびトランジスタpT、nT1、nT2、nT3を備える。

【0024】

比較器63は、ビデオデータ信号の値が所定の臨界値以上であるか、またはそれ未満であることを指示する出力信号を発生するレベル検出回路を構成している。また、複数のスイッチングトランジスタとデマルチプレクサは、比較器63の出力信号に応じてデータ出力ラインに電圧レベルのうち一つを供給する電圧選択回路(プリチャージ制御部)を構成している。これらの複数のスイッチングトランジスタは、各々ゲート信号に応じて電圧レベルのうち一つをデータ出力ラインに供給する。デマルチプレクサは、比較器63の出力信号に応じてこれらの複数のスイッチングトランジスタのゲート制御信号を発生することに用いられる出力イネーブル信号を出力する。

【0025】

プリチャージ制御部は、液晶セルのデータラインをチャージシェア電圧まで1次プリチャージした後、比較器63の出力信号に応じてデータラインをチャージシェア電圧より絶対値電圧が高いプリチャージ電圧まで2次プリチャージする。

プリチャージ制御部は、第1ソース出力イネーブル信号、第1ソース出力イネーブル信号より位相が遅い第2ソース出力イネーブル信号およびデータ信号の極性を制御する極性制御信号の入力を受ける複数の入力ラインと、比較器63の出力と極性制御信号の出力に応じて第2ソース出力イネーブル信号を複数の出力端子のうち何れか一つに出力するデマルチプレクサ66と、デマルチプレクサ66の出力、または第1ソース出力イネーブル信号に応じてデータラインにチャージシェア電圧を供給する第1トランジスタnT1と、デジタルビデオデータの値が所定の臨界値以上であり、極性制御信号が正極性電圧出力を指示する際、デマルチプレクサ66の出力に応じて正極性プリチャージ電圧をデータラインに供給する第2トランジスタnT2と、デジタルビデオデータの値が所定の臨界値より小さくて、極性制御信号が負極性電圧出力を指示する際、デマルチプレクサ66の出力に応じて負極性プリチャージ電圧をデータラインに供給する第3トランジスタnT3とを備えている。なお、比較器63は、デジタルビデオデータのビットのうち何れか一つをデマルチプレクサ66に供給する信号配線を備えているとともに、デジタルビデオデータの上位ビットを論理和演算する、少なくとも一つ以上の論理ゲート素子を備える。

【0026】

図7において、第1ソース出力イネーブル信号(SOE1)はチャージシェア電圧(V-Share)の出力を指示する制御信号であり、第2ソース出力イネーブル信号(SOE2)はデータの比較結果に応じてプリチャージ電圧(V-POS、V-NEG)とチャージシェア電圧(V-Share)との出力の可否を選択的に指示する制御信号である。ここで、正極性プリチャージ電圧(V-POS)は液晶セルの共通電極に供給される共通電圧より高い所定の正極性電圧であり、負極性プリチャージ電圧(V-NEG)は液晶セルの共通電極に供給される共通電圧より低い所定の負極性電圧である。そして、チャージシェア電圧(V-Share)の電圧は正極性および負極性のプリチャージ電圧(V-POS、V-NEG)の絶対値電圧より低い中間電圧である。

【0027】

第2ソース出力イネーブル信号(SOE2)は第1ソース出力イネーブル信号(SOE1)の一パルス幅程シフトされる。このソース出力イネーブル信号(SOE1、SOE2)は1水平期間の間隔に発生される。極性制御信号(POL)は1水平期間の間隔にその論理値が反転され、液晶表示パネルのデータラインに供給されるデータ電圧の極性を制御する。このようなソース出力イネーブル信号(SOE1、SOE2)と極性制御信号(POL)はタイミングコントローラから発生される。

【0028】

データレジスタ 6 1 はタイミングコントローラからのデジタルデータをラッチ回路 6 2 に供給する。ラッチ回路 6 2 は、シフトレジスタから順次入力されるサンプリング信号に応じて、データレジスタ 6 1 からのデジタルデータを順次サンプリングしてラッチした後、同時出力し、データの直列体系を並列体系に変換する。DAC 6 4 は、ラッチ回路 6 2 からのデータをアナログガンマ電圧に変換する。出力バッファ 6 5 は、DAC 6 4 からのアナログ電圧を損失なしに p 型トランジスタ (p T) のドレーン端子に供給する。p 型トランジスタ (p T) は OR ゲート 6 7 の出力がロー論理電圧である際にターンオンされ、出力バッファ 6 5 からのアナログデータ電圧を液晶表示パネルのデータラインに出力する。OR ゲート 6 7 は第 1 ソース出力イネーブル信号 (S O E 1) と第 2 ソース出力イネーブル信号 (S O E 2) とを論理和演算して出力信号を発生し、その出力信号で p 型トランジスタ (p T) を制御する。

10

【 0 0 2 9 】

比較器 6 3 はラッチ回路 6 2 からのデータの入力を受けてデジタルデータの階調値を判断し、そのデジタルデータに応じて DMUX 6 6 を制御する。この比較器 6 3 はデータ電圧が高い際、例えば、ノーマリブラックモードでホワイト階調電圧と、それに近い電圧からハイ論理電圧の出力信号を発生する反面、データ電圧が相対的に低い際、例えば、ノーマリブラックモードでブラック階調電圧と、それに近い電圧からロー論理電圧の出力信号を発生する。データ電圧が高い電圧区間は、デジタルデータが 8 ビットを含んで表現可能な階調数が 2 5 6 個であると仮定する際、1 2 7 階調以上の電圧、1 6 0 階調以上の電圧、1 9 1 階調以上の電圧または 2 2 4 階調以上の電圧のうち何れか一つの階調電圧区間であり、データ電圧が相対的に低い電圧区間は、1 2 7 階調未満の電圧、1 6 0 階調未満の電圧、1 9 1 階調未満の電圧または 2 2 4 階調未満の電圧である。比較される階調値に応じて、比較器 6 3 は入力されるデータの上位ビット数と回路の構成が区別され、これについて詳細な説明は図 8 ~ 図 1 1 をと結び付いて後述する。

20

【 0 0 3 0 】

DMUX 6 6 は、図 8 のように、比較器 6 3 の出力信号と極性制御信号 (P O L) に応じてソース出力イネーブル信号 (S O E) を複数の出力端子 (M 0 ~ M 3) のうち何れか一つに出力する。DMUX 6 6 の第 1 および第 2 の出力端子 (M 0、M 1) には OR ゲートが接続され、その OR ゲートの出力端は第 1 の n 型トランジスタ (n T 1) のゲート端子に供給される。このような DMUX 6 6 は図 8 の真理表のように、極性制御信号 (P O L) の論理値に関係なく、比較器 6 3 の出力信号の電圧がロー論理電圧である際、即ち、データ電圧が低電圧である際、ハイ論理電圧の第 2 ソース出力イネーブル信号 (S O E 2) を OR ゲートを経由し、第 1 の n 型トランジスタ (n T 1) のゲート端子に供給し、プリチャージ電圧 (V - P O S、V - N E G) より低いチャージシェア電圧 (V - s h a r e) を液晶表示パネルのデータラインに供給する。これとは相違に、DMUX 6 6 は比較器 6 3 の出力信号の電圧がハイ論理電圧であり、極性制御信号 (P O L) の電圧がロー論理電圧である際、即ち、データ電圧が相対的に高電圧であり、その極性が正極性である際、ハイ論理電圧の第 2 ソース出力イネーブル信号 (S O E 2) を第 2 の n 型トランジスタ (n T 2) のゲート端子に供給し、正極性プリチャージ電圧 (V - P O S) を液晶表示パネルのデータラインに供給する。尚、DMUX 6 6 は比較器 6 3 の出力信号の電圧がハイ論理電圧であり、極性制御信号 (P O L) の電圧がハイ論理電圧である際、即ち、データ電圧が相対的に高電圧であり、その極性が負極性である際、ハイ論理電圧の第 2 ソース出力イネーブル信号 (S O E 2) を第 3 の n 型トランジスタ (n T 3) のゲート端子に供給し、負極性プリチャージ電圧 (V - N E G) を液晶表示パネルのデータラインに供給する。このような DMUX 6 6、トランジスタ (p T、n T 1、n T 2、n T 3) および制御 / 駆動電圧 (P O L、S O E 1、S O E 2、V - S h a r e、V - P O S、V - N E G) はデータラインのプリチャージを制御するプリチャージ制御部の役割をする。

30

40

【 0 0 3 1 】

第 1 ソース出力イネーブル信号 (S O E 1) は第 2 ソース出力イネーブル信号 (S O E 2) よりも先に第 1 の n 型トランジスタ (n T 1) のゲート端子に供給され、データ電圧が高

50

電圧である際にもプリチャージ電圧 ($V - POS$ 、 $V - NEG$) よりも先にチャージシェア電圧 ($V - share$) でデータラインをプリチャージさせる。

【0032】

一方、チャージシェア電圧 ($V - share$) はデータ IC の外部に配置された電源回路から別途に発生されることもでき、データ IC 内でデータラインのチャージシェアリングによって生成されることもできる。このようなチャージシェア電圧 ($V - share$) は、正極性プリチャージ電圧 ($V - POS$) より低くて負極性プリチャージ電圧 ($V - NEG$) より高い電圧の範囲内で一つに設定されるか、または2つ以上に分けられる可能性がある。

【0033】

図9～図12は比較器63の多様な実施の形態を示す図面である。

10

【0034】

本発明の第1の実施の形態における比較器63は、図9のように、ノーマリブラックモードで128と同じであるか、またはその以上の階調以上でハイ論理で発生され、127階調以下でロー論理で発生される 2^7 加重値のD7ビットをDMUX66のS1の入力端子に入力する。従って、本実施の形態の比較器63はD7ビットを供給するための配線のみで具現される。このような比較器63で具現される際、本発明に従うデータICは128階調以上のデータ電圧でプリチャージングされた後、高いプリチャージ電圧 ($V - POS$ 、 $V - NEG$) でデータラインを充電させ、データICの負担を低減させ、127階調以下のデータ電圧で低いチャージシェア電圧 ($V - share$) のみでデータラインを充電させ、バッファの駆動期間を減少させることによってデータICの負荷を減らすことができる。

20

【0035】

本発明の第2の実施の形態における比較器63は、図10のように、 2^6 加重値のD6ビットと 2^5 加重値のD5ビットとを論理和するORゲートと、そのORゲートの出力と 2^7 加重値のD7ビットとを論理積するANDゲートで構成される。この比較器63のANDゲート出力は、ノーマリブラックモードで160階調以上でハイ論理で発生され、159階調以下でロー論理で発生され、DMUX66のS1入力端子に入力する。従って、本実施の形態の比較器63は、2つの論理ゲート素子で具現される。このような比較器63で具現される際、本発明に従うデータICは160階調以上のデータ電圧でチャージシェアリングされた後、高いプリチャージ電圧 ($V - POS$ 、 $V - NEG$) でデータラインを充電させ、データICの負担を低減させ、159階調以下のデータ電圧で低いチャージシェア電圧 ($V - share$) のみでデータラインを充電させ、バッファの駆動期間を減少させることによってデータICの負荷を減らすことができる。

30

【0036】

本発明の第3の実施の形態における比較器63は、図11のように、 2^6 加重値のD6ビットと 2^7 加重値のD7ビットとを論理積するANDゲートで構成される。この比較器63のANDゲート出力は、ノーマリブラックモードで191階調以上でハイ論理で発生され、191階調未満でロー論理で発生され、DMUX66のS1入力端子に入力する。従って、本実施の形態の比較器63は、1つの論理ゲート素子で具現される。このような比較器63で具現される際、本発明に従うデータICは192階調以上のデータ電圧でチャージシェアリングされた後、高いプリチャージ電圧 ($V - POS$ 、 $V - NEG$) でデータラインを充電させ、データICの負担を低減させ、192階調より低い階調のデータ電圧で低いチャージシェア電圧 ($V - share$) のみでデータラインを充電させ、バッファの駆動期間を減少させることによってデータICの負荷を減らすことができる。

40

【0037】

本発明の第4の実施の形態における比較器63は、図12のように、 2^6 加重値のD6ビットと 2^5 加重値のD5ビットとを論理積する第1ANDゲートと、前記第1ANDゲートの出力と 2^7 加重値のD7ビットとを論理積する第2ANDゲートで構成される。この比較器63のANDゲート出力は、ノーマリブラックモードで224階調以上でハイ論理で発生され、224階調より低い階調でロー論理で発生され、DMUX66のS1入力

50

端子に入力する。従って、本実施の形態の比較器 63 は、2つの論理ゲート素子で具現される。このような比較器 63 で具現される際、本発明に従うデータ IC は 224 階調以上のデータ電圧でプリチャージされた後、高いプリチャージ電圧 (V - POS、V - NEG) でデータラインを充電させ、データ IC の負担を低減させ、224 階調より低い階調のデータ電圧で低いチャージシェア電圧 (V - Share) のみでデータラインを充電させ、バッファの駆動期間を減少させることによってデータ IC の負荷を減らすことができる。

【0038】

図 6 で 8 ビットの第 1 デジタルデータが 256 の階調 (1111 1111) であると比較器 63 の出力がハイ論理電圧になり、極性制御信号 (POL) がハイ論理電圧である際、第 1 ソース出力イネーブル信号 (SOE1) によってチャージシェア電圧 (V - Share) で液晶表示パネルの第 1 データラインが 1 次プリチャージされた後、正極性プリチャージ電圧 (V - POS) で第 1 データラインが 2 次プリチャージされる。第 1 デジタルデータと隣接する第 2 デジタルデータが第 1 デジタルデータと同様に (1111 1111) であると、極性制御信号のみ反転され、チャージシェア電圧 (V - Share) で液晶表示パネルの第 2 のデータラインが 1 次プリチャージされた後、負極性プリチャージ電圧 (V - NEG) で第 2 データラインがプリチャージされる。第 2 デジタルデータと隣接する第 3 デジタルデータとその第 3 デジタルデータと隣接する第 4 デジタルデータが 63 階調 (0011 1111) であると、比較器 63 の出力がロー論理電圧で反転され、チャージシェア電圧 (V - Share) で液晶表示パネルの第 3 および第 4 データラインがプリチャージされる。

【0039】

図 13 が図 4 および図 5 と同一なデータ電圧で本発明に従うデータ IC の出力波形を示す。

【0040】

図 13 を参照すると、本発明に従うデータ IC は、高電圧のデータ電圧が入力されるとチャージシェアに続いてプリチャージ機能を使用し、相対的に低電圧のデータ電圧が入力される場合、チャージシェア機能を使用し、出力バッファの動作区間を最小化し、全体電流消費を減少させることは勿論、プリチャージ電圧を更に上昇させ、最高電圧でのデータ IC 発熱温度を下げる事が可能になる。

【0041】

上述したように、本発明に従う液晶表示装置とその駆動方法は、高電圧のデータでチャージシェア電圧でデータラインを 1 次プリチャージさせた後、そのチャージシェア電圧より高いプリチャージ電圧でデータラインを 2 次プリチャージさせる反面、低電圧のデータでチャージシェア電圧のみでデータラインをプリチャージさせることによって、バッファ駆動を減少させ、データ集積回路の発熱温度を低減させ、消費電力を下げる事が可能になる。

【0042】

以上、説明した内容により、当業者であれば、本発明の技術思想を逸脱しない範囲内で種々なる変更および修正が可能であることが分かる。従って、本発明の技術的範囲は、明細書の詳細な説明に記載した内容に限定されるものではなく、特許請求の範囲により定めなければならない。

【図面の簡単な説明】

【0043】

【図 1】液晶表示装置を概略的に示すブロック図である。

【図 2】図 1 に示しているデータ駆動部を詳しく示すブロック図である。

【図 3】出力バッファ内の内部抵抗と、その内部抵抗を通じて流れる電流を示す回路図である。

【図 4】外部プリチャージ電圧でデータラインをプリチャージするプリチャージング方式の一例を示す波形図である。

【図 5】チャージシェア電圧でデータラインをプリチャージするチャージシェア方式の一

10

20

30

40

50

例を示す波形図である。

【図 6】本発明の実施の形態における液晶表示装置のアナログサンプリング装置を示す回路図である。

【図 7】図 6 に示しているソース出力イネーブル信号と極性制御信号を示す波形図である。

【図 8】図 6 に示しているデマルチプレクサーを詳しく示す回路図である。

【図 9】図 6 に示している比較器の第 1 の実施の形態を示す回路図である。

【図 10】図 6 に示している比較器の第 2 の実施の形態を示す回路図である。

【図 11】図 6 に示している比較器の第 3 の実施の形態を示す回路図である。

【図 12】図 6 に示している比較器の第 4 の実施の形態を示す回路図である。

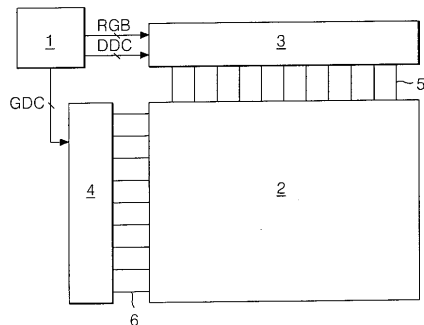
【図 13】本発明の実施の形態に従う液晶表示装置のデータ集積回路から出力される波形の一例を示す波形図である。

【符号の説明】

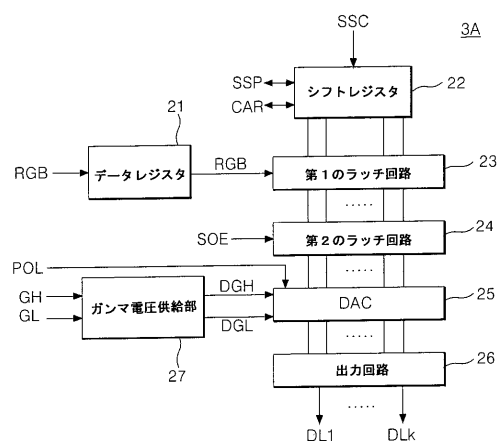
【0044】

1 タイミングコントローラ、2 液晶表示パネル、3 データ駆動部、4 ゲート駆動部、21, 61 データレジスタ、22 シフトレジスタ、23, 24, 62 ラッチ回路、25, 64 デジタル/アナログ変換器、26A, 65 出力バッファ、27 ガンマ電圧供給部、63 比較器、66 デマルチプレクサー、pT, nT1, nT2, nT3 トランジスタ。

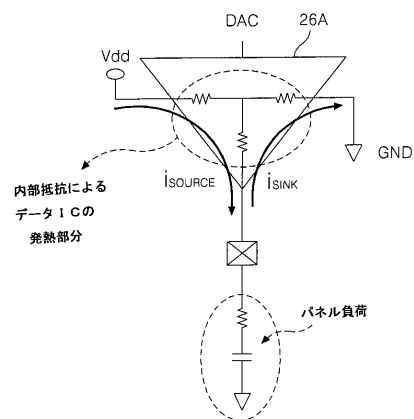
【図 1】



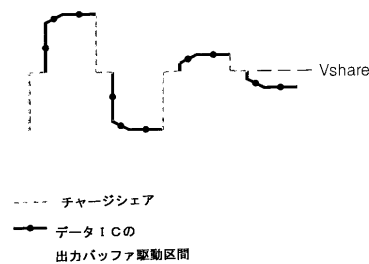
【図 2】



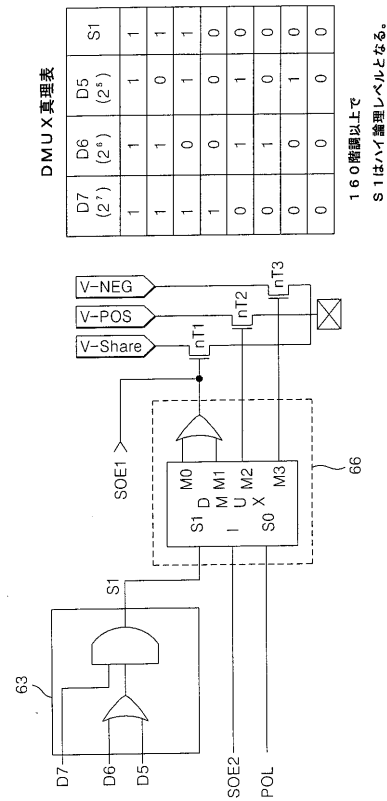
【図 3】



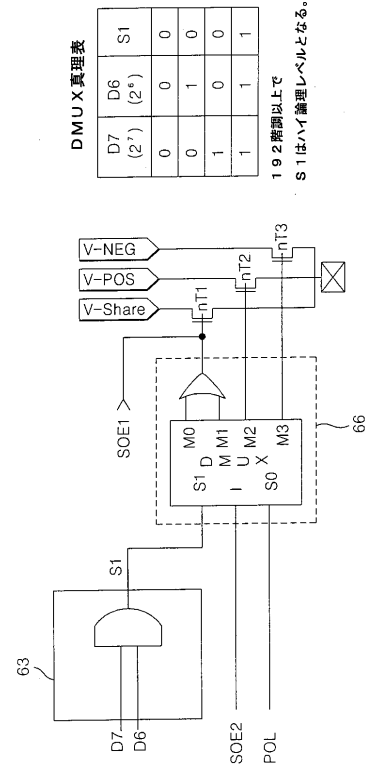
【図 4】



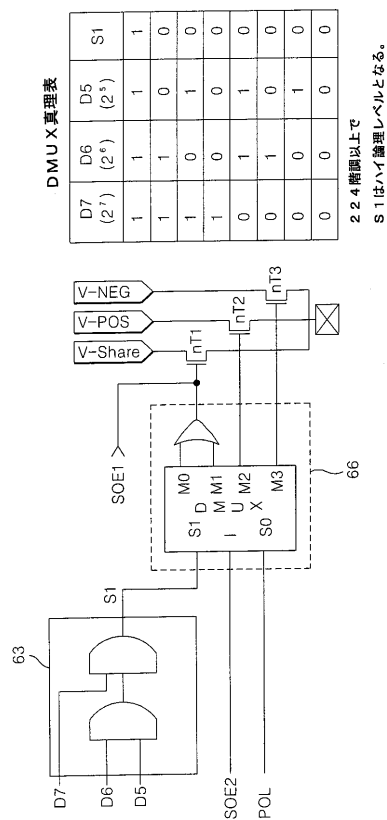
【図 10】



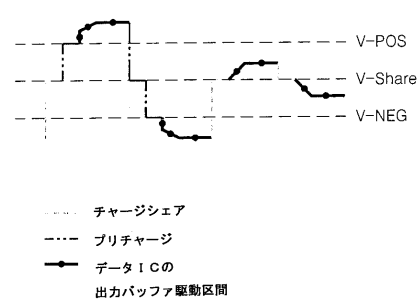
【図 11】



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 1 2 E
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 7 0 L

(72)発明者 シン - ホー・カン

大韓民国、キョンギ - ド、スオン - シ、パルダル - グ、インギェ - ドン 384、ジュゴン・アパートメント、112 - 105

(72)発明者 ジン - チョル・ホン

大韓民国、キョングサンブク - ド、クミ - シ、オーテ - ドン、デドン・サードアパートメント、102 - 1105

(72)発明者 スン - チュル・ハ

大韓民国、キョングサンブク - ド、チルゴク - グン、セクジョク - ミョン、ジュング - リ 224 - 1、204 - 518

審査官 一宮 誠

(56)参考文献 特開2003 - 255917 (JP, A)

特開平08 - 286639 (JP, A)

特開平08 - 076083 (JP, A)

特開2001 - 166741 (JP, A)

特開2003 - 122317 (JP, A)

特開2001 - 345928 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP4244228B2	公开(公告)日	2009-03-25
申请号	JP2005379420	申请日	2005-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	シンホーカン ジンチョルホン スンチュルハ		
发明人	シン-ホー-カン ジン-チョル-ホン スン-チュル-ハ		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/2011 G09G3/3614 G09G2310/0248 G09G2310/027 G09G2330/023		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.612.U G09G3/20.623.C G09G3/20.623.R G09G3/20.621.B G09G3/20.612.E G09G3/20.623.D G09G3/20.611.A G09G3/20.670.L		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NB30 2H093/NC13 2H093/NC14 2H093/NC15 2H093/NC16 2H093/NC22 2H093/NC26 2H093/ND33 2H093/ND39 2H093/ND48 2H193/ZD23 2H193/ZH23 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC21 5C006/AC27 5C006/AF45 5C006/AF46 5C006/AF69 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF03 5C006/BF04 5C006/BF14 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF34 5C006/BF43 5C006/EB05 5C006/FA12 5C006/FA22 5C006/FA26 5C006/FA33 5C006/FA37 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD20 5C080/DD24 5C080/DD25 5C080/DD26 5C080/DD29 5C080/EE29 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	英年古河 Kajinami秩序		
审查员(译)	一宫诚		
优先权	1020050056543 2005-06-28 KR		
其他公开文献	JP2007011273A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种通过降低数据集成电路的发热温度来降低功耗的液晶显示装置及其驱动方法。解决方案：液晶显示装置包括：数据线，连接以驱动液晶单元；输出驱动器，连接到数据输出线，并选择性地提供像素驱动信号，对应于提供给液晶单元的视频数据信号；数据线连接到数据线，以及连接到数据输出线的预充电电路，用于根据数字视频数据信号的值选择性地预充电到多个电压电平中的一个或多个。 Z

【図 2】

