

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4082493号  
(P4082493)

(45) 発行日 平成20年4月30日(2008.4.30)

(24) 登録日 平成20年2月22日(2008.2.22)

(51) Int.Cl. F I  
**GO2F 1/1368 (2006.01)** GO2F 1/1368  
**HO1L 21/3205 (2006.01)** HO1L 21/88 B

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2002-165060 (P2002-165060)	(73) 特許権者	502356528
(22) 出願日	平成14年6月6日(2002.6.6)		株式会社 日立ディスプレイズ
(65) 公開番号	特開2004-12730 (P2004-12730A)		千葉県茂原市早野3300番地
(43) 公開日	平成16年1月15日(2004.1.15)	(74) 代理人	100093506
審査請求日	平成16年9月15日(2004.9.15)		弁理士 小野寺 洋二
		(72) 発明者	小野 記久雄
			千葉県茂原市早野3300番地 株式会
			社日立製作所ディスプレイグループ内
		(72) 発明者	桶 隆太郎
			千葉県茂原市早野3300番地 株式会
			社日立製作所ディスプレイグループ内
		(72) 発明者	落合 孝洋
			千葉県茂原市早野3300番地 株式会
			社日立製作所ディスプレイグループ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶層を介して対向配置される第1の基板と第2の基板を有し、

前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素領域が構成された横電界方式を用いる液晶表示装置において、

前記画素領域内に、前記ドレイン配線と平行な方向に2本の線状電極として形成された上層の画素電極と、前記薄膜トランジスタから他の薄膜トランジスタが接続された前記ゲート配線に頂上する位置まで延設される1本の線状電極として形成された下層の画素電極と、前記上層の画素電極は前記画素領域内で一箇所の屈曲部を有して前記下層の画素電極よりも前記液晶層側に形成され、前記上層および下層の画素電極間に形成される絶縁膜と、前記上層の画素電極と同層に形成された共通電極を有し、

前記上層の画素電極と前記下層の画素電極は、前記絶縁膜を介して重畳するように配置され、且つ、前記絶縁膜に形成されたコンタクトホールを介して相互に電氣的に接続され、

前記下層の画素電極は、前記薄膜トランジスタから前記屈曲部までは、前記上層の画素電極の一方の線状電極と重畳し、前記屈曲部から前記ゲート配線との重畳部までは、前記上層の画素電極の他方の線状電極と重畳し、前記屈曲部の位置で、前記上層の画素電極の一方の線状電極から他方の線状電極へ横切るように形成されることを特徴とするアクティ

10

20

ブマトリックス型液晶表示装置。

【請求項 2】

前記上層の画素電極は、透明電極で構成されていることを特徴とする請求項 1 に記載のアクティブマトリックス型液晶表示装置。

【請求項 3】

前記下層の画素電極は、金属あるいは半導体で構成されていることを特徴とする請求項 1 に記載のアクティブマトリックス型液晶表示装置。

【請求項 4】

前記上層の画素電極の一方の線状電極と他方の線状電極は、前記ゲート電極と重畳する位置で相互に接続されていることを特徴とする請求項 1 に記載のアクティブマトリックス型液晶表示装置。

10

【請求項 5】

前記上層の画素電極の一方の線状電極と他方の線状電極は、前記屈曲部の位置で相互に接続されていることを特徴とする請求項 1 に記載のアクティブマトリックス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶表示装置に係り、特に薄膜トランジスタ(TFT)方式等のアクティブマトリックス型液晶表示装置及びその製造方法に関するものである。

20

【0002】

【従来の技術】

液晶表示装置、特に液晶の上下基板間の液晶間隙(ギャップ)に横電界を印加するインプレーススイッチング(IPS)モードの液晶ディスプレイは、高い画質に対する要求を満たすことが可能な表示方式であることが認められており、その画質の更なる改善に向けてさまざまな改良がなされてきた。

【0003】

IPSモードの液晶表示装置では、絶縁膜を挟んだ2層の金属電極間に発生する横電界により液晶をスイッチングする方式がもっとも一般的である。しかし、TN方式の表示装置に比べ、画素開口率を大きくすることが困難で、光利用効率が低いという欠点がある。これを補うために、バックライト輝度を増大させねばならないため、LCDモジュール全体としてノートブックタイプのパーソナルコンピュータや携帯端末に要求されるような低消費電力化は困難であった。

30

【0004】

このような問題を解決するため、特開2002-98982号が提案されている。

【0005】

またスイッチングさせるためのアクティブ素子として、アモルファスシリコンを用いたTFT以外に、ポリシリコンを用いたTFTが知られている。

【0006】

【発明が解決しようとする課題】

40

IPS型液晶表示装置では開口率が低く、高開口率化すなわち高透過率化が必要という課題がある。画素としては共通電極に挟まれた領域に画素電極が1本の櫛歯電極構造、すなわち画素を2分割する構造がある。しかし、発明者の検討の結果、画素を4分割以上とする構造では、開口率をさらに高めることとクロストークの表示不良を低減するにさらなる工夫が必要であることが判明した。

【0007】

本願の利点は、その新たに判明した課題の解決を実現するもので、ドレイン配線に対して有機膜を介してその上部共通電極を有し、さらに同有機膜上に画素電極を有し、さらに隣合うドレイン配線間を横切る断面構造において共通電極と画素電極に囲まれた開領域が4つ以上であるIPS表示モードの液晶表示装置における特有の誤動作やクロストークを低

50

減し、さらに開口率を向上することを実現する。

【0008】

本願の他の利点および解決する課題は、本願明細書において明らかとなるであろう。

【0009】

【課題を解決するための手段】

本発明による課題を解決するための主な手段を挙げると、以下のようになる。

【0010】

(1) 液晶層を介して対向配置される第1の基板と第2の基板を有し、前記第1の基板には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成された液晶表示装置において、画素電極は複数であり、該画素電極のうち少なくとも2本は、絶縁膜を挟んで上下二層に構成された線状部分である第1の領域と該絶縁膜の上部のみに設けた線状部分である第2の領域とを有し、前記画素電極のうちの前記第1の領域と第2の領域の順序は、前記2本の画素電極で互いに異なり、前記第1の領域を構成する前記絶縁膜の下層に形成された部分は、前記2本の画素電極で互いに接続されている構成とする。

10

【0011】

(2) 前記2本の画素電極のうち一方の画素電極と画素の両側に配置される2本のドレイン配線のうち一方のドレイン配線との距離は、他方のドレイン配線との距離の二倍以上であり、前記2本の画素電極のうち他方の画素電極と画素の両側に配置される2本のドレイン配線のうち他方のドレイン配線との距離は、一方のドレイン配線との距離の二倍以上である構成とする。

20

【0012】

【発明の実施の形態】

本発明の特徴を示す代表的な構造を、以下実施例により説明する。

【0013】

(実施例1)

図1～図4は本発明の一実施例の液晶表示装置に係る画素の平面図および断面図である。図2、図3、図4はそれぞれ図1における2-2'、3-3'、4-4'として一点鎖線で示した切断線での断面を示す。図面では切断部を分かりやすくするため、数字を で囲い切断部を示している。なお図は説明用に要部を記載したものであり、配向膜は図からは省略している図もある。また対向基板側の構成も省略している図もある。以下、順を追って示す。

30

【0014】

図1は画素の模式平面パターンを示す。隣接するゲート配線GL、隣接するドレイン配線DLに囲まれて1画素を構成する。ゲート配線GLは半導体層がポリシリコンPSIで構成されたTFEのゲート電極としても作用し、TFEをオン/オフさせる電圧を供給する。ドレイン線はポリシリコンPSIへの電流を供給する、すなわち前記ゲート電圧GLがオン電圧を供給したタイミングで印加された映像電圧(ドレイン電圧)を1画素の液晶容量、保持容量に給電し、結果的に、画素の中央部まで引き出された低温ポリシリコンPSI、金属画素電極SPM及びこれに連結された透明画素電極SPTの電位が映像電位となる。

40

【0015】

前記電流の流れはドレイン配線DLから第1のコンタクトホールCNT1を通じてポリシリコンPSIに繋がり、このポリシリコン中の電流は、第2のコンタクトホールCNT2を通じて、金属画素電極SPMに流れる。金属画素電極SPMは画素の中央部分のドレイン配線DL、及び透明画素電極SPTが屈曲する部分までは透明画素電極SPTの下部を延在し、そこで、ほぼドレイン配線の延びる方向と直交する方向に曲がり、透明共通電極CLTを横切り、他の透明電極SPTの下部で再びその透明電極SPT下部をゲート線方

50

向に延びる。ここで、前記金属画素電極 S P M は前段のゲート配線 G L と保持容量を構成、その部分で第 3 のコンタクトホール C N T 3 を介して、絶縁膜上の透明画素電極 S P T に至る。透明画素電極 S P T は一例としてコの字あるいは U 字型の配置になっている。

【 0 0 1 6 】

画素電極と共に液晶容量を構成するもう一方の電極の共通電極電位は以下の経路を持ち印加される。ゲート配線 G L 及びドレイン配線 D L 上を低誘電率の絶縁膜を介してその上部に上記配線をシールドするように透明共通電極配線 C L T を配置する。透明共通電極配線 C L T は画素内へ分岐し、画素電極 S P T と共に液晶を駆動する共通電極の役割を果す。このように、透明共通電極配線 C L T は、ゲート配線 G L 、ドレイン配線 D L を被覆するように、メッシュ状に配置され、画面周辺領域で金属の低抵抗の配線と接続結線されている。この低抵抗配線は共通電位のバスラインとして働くものである。

10

【 0 0 1 7 】

I P S 液晶表示装置では図 1 の透明共通電極 C L T と透明画素電極 S P T 間の横電界で規定される値が液晶容量であるため、その値は対向する上下基板間それぞれに配置された電極間で液晶容量を規定する T N 方式などの縦電界方式の液晶表示装置に比べて半分以下である。このため、一方の基板に共通電極と画素電極の双方を有する横電界方式においてのみ、透明共通電極配線 C L T の配線抵抗仕様は、インジウム・スズ・酸化物 ( I T O ) のような抵抗値が高い透明電極材料を用いても配線遅延が小さくでき、良質の画質が選られる。むしろ、透明電極材料であればインジウム・亜鉛・酸化物 ( I Z O ) , インジウム・スズ・亜鉛、酸化物 ( I T Z O ) 等でもよい。

20

【 0 0 1 8 】

この共通電極及び共通電極配線の電位は、例えばフレーム毎に交流化される画素電位のほぼ中点電位が設定される ( 図 7 で再度詳細を説明する ) 。この画素電極電位と共通電極電位により液晶容量が構成されると共に、この電位間の電位差により電界を液晶層内に生じせしめ、前記ドレイン配線 D L から供給された映像電圧と前記共通電圧で映像を表示する。一方、保持容量の電位は前記画素電極電位とゲート配線が走査される前段のゲート配線との間で形成される。ゲート配線の電位は前段のゲート配線の電位が走査された後、該当する画素を駆動する T F T のゲート配線が走査される際は、安定した一定電位に保たれており、保持容量を構成する電極となる。

【 0 0 1 9 】

本実施例の特徴の 1 つは、1 画素領域における金属画素電極 S P M の平面パターンにある。金属画素電極 S P M は第 2 のコンタクトホール C N T 2 を介して伝達された画素電位を前段のゲート配線 G L 上で透明画素電極 S P T に伝える第 3 のコンタクトホール C N T 3 まで伝える役割を持つ。画素電位の電圧のみを目的とするならば、金属画素電極 S P M は、図 1 の左手側のドレイン配線 D L に最隣接する透明画素電極 S P T の下部のみを前段のゲート配線 G L まで最短距離で配置すれば良い。しかし、本実施例の金属画素電極 S P M は隣接するゲート配線 G L 間の透過領域のほぼ中央で図面左手側のドレイン配線 D L に最隣接する透明画素電極 S P T の下部を画素中央まで延在し、中央付近でドレイン配線とほぼ直交する方向へ曲がり、その後、図面右手のドレイン配線 D L に最隣接する透明画素電極 S P T の下部を前段のゲート配線 G L まで延びるように配置した。図 1 から分かるように、非常に特徴的パターンである。本パターンは隣接するドレイン配線 D L 間で、ドレイン配線 D L から金属画素電極 S P M までの距離が互いのドレイン配線に対して、1 画素内でほぼ対称となる配置である。これにより、図 2 、図 3 により詳述する、本願発明者が見出したドレイン電位の電位変動による誤動作あるいはクロストークという特有の現象を低減することが出来るようになった。このとき、1 画素内で金属画素電極 S P M が曲がり、1 画素内でほぼ対称となる構造としたことにより、上側の透明画素電極 S P T と金属画素電極 S P M の間に形成される容量を 2 本の S P T に対してほぼ等しくすることができ、保持特性の一層の安定化を図ることが出来た。

30

40

【 0 0 2 0 】

さらに、2 本の透明画素電極 S P T は金属画素電極 S P M との間に容量が形成されている

50

ため、この容量によっても画素電位が供給される。このため、万一透明画素電極 S P T の一部に断線が生じても、この容量により画素電位が供給されるため、正常な表示を行うことができる。このように、点欠陥が生じにくく、極めて歩留まりの高い液晶表示装置を構成することができる。何故なら、ゲート配線 G L およびドレイン断線 D L の断線は T F T 工程で修正、修復可能である。また共通電位は透明共通電極 C L T によりマトリックス状に供給されるため、断線の影響は構造的に生じ得ない。そして、短絡は例えばレーザーにより短絡部を切断、切り離すことで完成後でも修正が可能である。唯一修正が困難であったのが画素電極の断線による点欠陥であったが、本構造によればそれも容量結合により表示を維持できるため、解消することができる。このため、極めて高い歩留まりを実現することができる。そしてこの際、金属画素電極 S P M が金属であり、かつ透明画素電極の下層にあるということにより一層の歩留まり向上を図っている。すなわち、I T O などの透明電極に対し金属電極は加工精度が高く細線化と断線防止の両立が可能である。さらに、金属配線の断線の一因はその後の工程の加工時のエッチング液の染み込みがあるが、金属画素電極 S P M を透明画素電極 S P T の下側に配置することで、該エッチング時に下層の金属画素電極 S P M が上層の透明画素電極 S P T により保護される構造となるため、一層の断線防止が図られ、さらに歩留まりの向上を実現している。

10

#### 【 0 0 2 1 】

さらに、上記金属画素電極 S P M が曲がる位置は、ドレイン配線 D L と透明共通電極 C L T と透明画素電極 S P T とが屈曲する点を繋ぐように横切る領域に沿って配置されている。この屈曲は、ここを境界として、その平面パターンの上半部と下半部とで電界の方向を変えて特定の方向から見た階調反転を防ぐためのものである。従って、この屈曲点を繋ぐ領域は元々表示用の光学素子の配光方向が切り替わる領域であり、液晶分子が制御しやすく透過には寄与しない。従って、この領域を金属画素電極 S P M が横断してもその幅が狭ければ透過率は低下せず、結果的に開口率の高い明るい液晶表示装置が提供できる。金属画素電極 S P M は、1画素内の配線であり、ゲート配線 G L やドレイン配線 D L とは異なり画面全体の給電の役割はないため、最小加工寸法ルールが使用できるため、ゲート配線 G L より細くすることができるため、さらに開口率が向上する。また、さらに、ドレイン配線 D L より細くすることもでき、この場合さらに開口率が向上する。

20

#### 【 0 0 2 2 】

図 2 は図 1 の 2 - 2 ' 線に沿った断面図であり、隣接するドレイン線 D L 間の 1 画素領域を横切る部分である。歪点約 670 の無アルカリ T F T ガラス基板 G L S 1 上に膜厚 50 nm の S i <sub>3</sub> N <sub>4</sub> 膜と膜厚 120 nm の S i O <sub>2</sub> 膜からなる下地絶縁膜 U L S が形成されている。下地絶縁膜 U L S は T F T ガラス基板 G L S 1 からの N a 等の不純物の拡散を防止する役割を持つ。下地絶縁膜 U L S 上には、S i O <sub>2</sub> からなるゲート絶縁膜 G I が成膜されている。ゲート絶縁膜上には画素電位を給電する低温ポリシリコン P S I が配置されている。

30

#### 【 0 0 2 3 】

上記を覆うように S i O <sub>2</sub> からなる層間絶縁膜 I L I が形成され、層間絶縁膜 I L I 上には T i / A l / T i のように 3 層金属膜よりなるドレイン配線 D L が形成されている。金属画素電極 S P M は上記ドレイン配線 D L と同一工程、材料で形成される。

40

#### 【 0 0 2 4 】

その上層には膜厚 200 nm の S i <sub>3</sub> N <sub>4</sub> からなる保護絶縁膜 P A S と膜厚 2 μ m のアクリル系樹脂を主成分とする有機保護膜 F P A S により被覆されている。有機保護膜 F P A S 上では、まずドレイン配線 D L の幅より広く、インジウム スズ酸化物 ( I T O ) よりなる透明共通電極配線 C L T が形成されている。同一工程、同一材料で作製された I T O からなる透明画素電極 S P T も前記有機絶縁膜 F P A S 上に形成されている。

#### 【 0 0 2 5 】

上記説明中、配線材料は特に限定する物ではない。

#### 【 0 0 2 6 】

主な透過領域は ( 1 ) ドレイン線 D L 上の透明共通電極 C L T と、図 1 の平面図において

50

、図面左手側の金属画素電極SPMを被覆するように配置された透明画素電極SPT間、(2)前記透明画素電極SPTとゲート配線GL上側から上に延びた透明共通電極配線CLTの間、(3)前記透明共通電極CLTと透明画素電極SPTとの間、(4)前記透明画素電極SPTとドレイン配線DL上の透明共通電極配線CLTの間の4つの領域である。上記透明画素電極SPT、透明共通電極CLTが液晶を駆動する電極である。

【0027】

一方、液晶LCを封止する対向の基板はカラーフィルタ(CF)基板GLS2である。CFガラス基板GLS2は、液晶側に色表示を行う顔料を分散した有機膜材料から構成された色フィルタ(FIL)がその画素毎に割り当てられた色に応じて、青(B)、赤(R)、緑(G)の透過光を表現する色フィルタ(赤ではFIL(R))となっている。その内側には有機材料からなるオーバコート膜OC膜が形成されている。OC膜は無くても良いが、平坦性を向上する目的ではあるほうが望ましい。CF基板GLS2及びTFT基板GLS1の液晶LCに対して接している面には配向膜OLIが印刷されて所定のラビングが施され、初期配向方向を制御している。また上記、CFガラス基板GLS2及びTFTガラス基板GLS1の外側の面にはそれぞれ偏光板POLが貼られる。この偏光板は互いのガラス基板間で偏光軸が直交するいわゆるクロスニコル状態が形成されている。

10

【0028】

ラビング方向と偏光板の角度の関係を図5に示す。偏光軸の一方PD2はGLと同方向に、他方PD1はGLと直交方向としている。またラビング方向RDは上下基板ともGLと直交する方向とした。これによりノーマリーブラックモードの配置となり、さらに図1のような屈曲形状の画素パターンによりマルチドメイン化を行っている。むろん、非マルチドメインの場合も本願の範疇に含むものであり、その場合でも偏光板配置がクロスニコルになるようにすることが必要である。

20

【0029】

本断面のCF基板GLS2には、いわゆる、ブラックマトリクスBMが形成されていない。カラーフィルタFILの色のつなぎあわせは、ドレイン配線DLを被覆するように配置された透明共通電極配線CLT上で行う。

【0030】

ドレイン配線DLを被覆する透明共通電極配線CLT幅はドレイン配線幅の少なくとも2倍以上あることが望ましい。これは、IPS液晶表示装置が基本的に液晶に共通電極電位と画素電位以外の電界が加わると誤動作するため、そのドレイン電位のシールドを図るためである。また、ボジ型の液晶材料を用いたIPS液晶表示装置では透明電極上であっても内側では光が透過しない。これは幅の広い電極上では横電界がかからず液晶分子が回転しないためである。しかし透明電極の端部からその幅の内部に向かって1.5μm程度の領域ではフリンジの横電界がかかり光が透過する。

30

【0031】

液晶LCに対しては透明画素電極SPTと透明共通電極CLTに印加される電界で液晶を駆動する。ドレイン配線DLが該当する画素以外を駆動する際の映像電圧による電界は前述のように、有機保護膜FPAを厚くしてその上部に透明共通電極CLTを幅広く設定することによりその電界成分は液晶LCに漏れることはなく、この電界による画像の誤動作は起こらない。このように、ドレイン配線DLから図2の断面構造における上部すなわち液晶LC側への影響は小さい。

40

【0032】

しかし、ドレイン配線DLからTFTガラス基板GLS1へ延びる電界は間接的に画質の誤動作を起こす。TFTガラス基板GLS1は比誘電率4のSiO<sub>2</sub>を主成分とする。しかし、石英とは異なり、不純物としてアルミナのような高比誘電率の材料を含むため比誘電率は6から7と高い。一方、有機保護膜は比誘電率3のアクリル樹脂を使用しその厚さも2μmと厚い。従って、図2において左手側のドレイン配線DLから隣接する金属画素電極SPM間へTFTガラス基板GLS1を通過する電界の影響(図中のCds1)は、有機保護膜とTFTガラス基板の比誘電率の違いにより大きいものとなる。当然ながら、

50

図面右手側のドレイン配線DLから金属画素電極SPMへのTFTガラス基板GLS1を通過する電界の影響(図中のCds2)はCds1よりドレイン配線と金属画素電極SPM間の距離が遠いので小さくなる。すなわち、2本のドレイン配線DLに対して非対称性が生じている。これにより、一方のドレイン配線の表示画像により画素のTFTにより保持されている信号が容量結合により影響を受けてしまい、表示画像が乱れる可能性がある。

#### 【0033】

そこで、本発明では画素内で金属画素電極SPMを図1のように曲げて配置することにより、この非対称性の解消を実現している。

#### 【0034】

図3は図1の3-3'の線に沿った断面図である。本図の断面は、図1の画素の平面図において第2のコンタクトホールCNT2から延びた金属画素電極SPMが画面の中央付近で曲がり、再度ドレイン配線DLとほぼ平行に前段のゲート配線GLに向かう画素上半分の隣り合うドレイン配線を横切る断面である。TFTガラス基板GLS1上の構成は図2の断面とほぼ同じであるが、異なるのは金属画素電極SPMの配置である。金属画素電極SPMは層間絶縁膜ILI上に配置されその上部には保護膜PASや有機保護膜FPASが被覆されている。さらにその上部には透明画素電極SPTが金属画素電極SPMを覆うように配置されている。断面構造の配置は図2の構成と同じであるが、図2では図面左側のドレイン配線に隣接する透明画素電極SPT下部に金属画素電極SPMが配置されていたことに対して、図3では図面右手側のドレイン配線DLに隣接する透明画素電極SPT下部に配置されている。このことにより、図3の構造では図面右手のドレイン配線DLからTFTガラス基板GLS1を通じた電界の影響Cds2が図面左手側のドレイン配線DLからの影響Cds1より大きくなる。

#### 【0035】

結果的に図1の平面構造における金属画素電極SPMへのTFTガラス基板GLS1を通じた電界の影響は、金属画素電極SPMが図1の平面図において、図面下半分の領域では左手側のドレイン配線DLの影響を強く受け、図面上半部の領域では右手側のドレイン配線DLの電界の影響を受ける構造となっている。従って、金属画素電極SPM全体に対しては隣接するドレイン配線DLからの影響は対称になるように設定することができる。

#### 【0036】

上記構造は隣合うドレイン配線に対して、極性の異なる電圧が印加された状態を実現するTFT液晶表示装置の駆動方法であるドット反転駆動方法を実施した場合にその電位変動によるクロストークを低減させる効果がある。すなわち、図1から図3の左手側にプラス極性の一定電位が印加され、右手側のドレイン配線DLにマイナス極性の電位が印加された場合、常にその電位変動は金属画素電極SPMからドレイン配線DLまで距離が隣接するゲート配線間の1画素領域で平均的に同じになるようになるので金属画素電極SPMの電位は変動しない。これによって、これと接続される透明画素電極SPTの電位も変動せずクロストークは発生しない。

#### 【0037】

電位の変動の対称性を保つ別の方法として、図2及び図3のドレイン配線DLに隣接する2つの透明画素電極SPT下部すべてに金属画素電極SPMを配置することもできる。金属画素電極SPMと透明画素電極SPTは最小加工線幅よりは細く出来ないため、透過率すなわち開口率の低下を招く場合もあるが、むしろこの手法でも前述のクロストークの解消を実現することができる。しかし、透明画素電極SPTや透明共通電極CLTはその端部より1.5 $\mu$ mの電極内部までフリンジ電界の影響で透過に寄与する。従って、透明画素電極や透明共通電極を利用するIPS表示装置ではその開口率を高めるには、その電極下部に不透明の金属や透過率の低い半導体を埋設することを最小限に抑えることが有効である。このため、図1他を参照して詳述のように1画素内で下層の金属画素電極SPMが曲がる構造はクロストークを抑えて開口率の高い液晶表示装置を提供することができる。また、金属画素電極SPMが曲がる図1の画素中央部は各電極が屈曲する領域であり、金

10

20

30

40

50

属画素電極の有り無しに関わらず、液晶分子が互いに反転し元々透過しない領域であるので曲げた金属電極により新たに開口率が低下することはない。

【 0 0 3 8 】

図 4 は図 1 の 4 - 4 ' の線に沿った断面図である。本断面図は図 1 において、低温ポリシリコン P S I の T F T に接続された金属画素電極に沿って、保持容量至る部分の断面を示す。図 4 の断面図の左側は T F T の断面である。ドレイン配線 D L、金属画素電極 S P M をいわゆるドレイン電極、ソース電極とし、ゲート配線 G L をゲート電極として、ゲート絶縁膜 G I を有するいわゆる M O S 型 T F T である。U L S 上にポリシリコン層 P S I があり、ドレイン配線 D L はゲート絶縁膜 G I 及び層間絶縁膜 I L I に開けられた第 1 のコンタクトホール C N T 1、低温ポリシリコン P S I のリンを不純物としてドーブされた高濃度 n 型層 P S I ( n + ) に接続されている。該高濃度 n 型層 P S I ( n + ) は導電性が高く、擬似的に配線部として働く。一方 G L 下の P S I はボロンを不純物としてドーブされた p 型層 P S I ( p ) となっており、いわゆる半導体層として働き、G L に O N 電位で導通状態、O F F 電位で非導通状態となるスイッチング動作を示す。ゲート配線 G L にオン電圧が印加された場合、ゲート配線 G L 下部でゲート絶縁膜 G I 下部であり、ボロンを不純物としてドーブされた p 型層 P S I ( p ) のゲート絶縁膜 G I 界面のポテンシャルが反転してチャネル層が形成され、n 型化され T F T にオン電流が流れ、結果的に金属画素電極 S P M へ電流が流れ液晶容量及び保持容量が充電される。

10

【 0 0 3 9 】

保持容量 C a d d は図 4 に示すように金属画素電極 S P M を一方の電極、絶縁膜として層間絶縁膜 I L I、他方の電極を前段のゲート配線 G L として形成されている。前段のゲート配線 G L 上の金属画素電極 S P M は、保護膜 P A S 及び有機保護膜 F P A S に開けられた第 3 のコンタクト C N T 3 を通じて透明画素電極 S P T へ画素電位を供給する。この金属画素電極 S P M は図 1 のクランプする領域で透明共通電極 C L T と交差しているが、断面構造上は図 4 に示すように透明共通断極 C L T の下部の有機保護膜 F P A S の下部を交差している。

20

【 0 0 4 0 】

保持容量 C a d d は、同図の T F T のポリシリコン P S I に対して T F T ガラス基板 G L S 1 側からの表示のバックライトによる光照射で発生する電子、正孔のペヤで増加するリーク電流に対して液晶容量で決まる画像表示期間（保持期間）中の電位を保つために設定されている。この値を大きく設定できれば、表示画面上の均一性を極めて良好に保つことができる。

30

【 0 0 4 1 】

表示マトリクス部の等価回路とその周辺回路の結線図を図 6 に示す。図中、D L はドレイン線を意味し D L 1、D L 2、D L 3 とその数字が画面左からの画面内のドレイン配線（映像信号線）を意味する、添字 R、G および B がそれぞれ赤、緑および青画素に対応して付加されている。G L はゲート配線 G L を意味し、G L 1、G L 2、G L 3 とその数字が画面上部からの画面内のゲート線を意味する。添字 1、2、は走査タイミングの順序に従って付加されている。C L X 及び C L Y は共通電極配線 C L T を意味し、C L X 1、C L X 2 とその数字が画面上部からの画面内の横方向の共通電極配線を意味する。一方、C L Y は縦方向の共通電極配線を意味し、C L Y 1、C L Y 2 とその数字が画面上部からの画面内の縦方向の共通電極配線を意味する。上記共通電極配線 C L X、C L Y は等価回路上は番号をつけたが、実際は図 1 に示すように透明共通電極 C L T であり C L X はゲート配線の端部を被覆し、C L Y はドレイン配線 D L を被覆する透明電極であり、メッシュ状に配置されている。そうして画面領域外部の共通電極母線 C B L に接続されている。

40

【 0 0 4 2 】

ゲート配線 G L（添字省略）はガラス基板上の走査回路 G S C L に繋がれ、その走査回路への電源あるいはタイミング信号はガラス基板外部の P C B 上に形成された電源及びタイミング回路 S C C から供給される。上記において低温ポリシリコン T F T で構成されたガラス基板上の走査回路は、冗長性を高めるために 1 本のゲート線（走査線）に対して左右

50

の右側 G S L R から給電されているが、画面サイズなどに応じて片側から給電しても良い。

【 0 0 4 3 】

一方、ドレイン配線 D L への給電はガラス基板上の低温ポリシリコン T F T で構成された信号回路 D D C から給電される。信号回路 D D C はガラス基板の映像信号回路 I C で構成された回路よりの映像データを R、G、B の色データに応じて分配する機能を持つ。従って、ガラス基板上の信号回路からの接続端子数は画面内のドレイン配線数の三分の一である。

【 0 0 4 4 】

また、共通電極配線は、本実施例では、透明共通電極配線 C L T である。

10

【 0 0 4 5 】

この共通配線は、図 1 で示したように、メッシュ状の画素内で結線となっている。C L X、C L Y は、画面の左右、あるいは上下に引き出され、まとめてインピーダンスの低い共通電極母線 C B L に結線され、電源及びタイミング回路 I C の S C C に結線される。この共通電極は、画面内の画素の共通（コモン）電位を与える。

【 0 0 4 6 】

画面内の低温ポリシリコン T F T は、n 型の T F T であり、ゲート配線 G L にゲート電圧を印加し、そのタイミングでドレイン線 D L に給電されたドレイン電圧（データ）を共通電極配線 C L T との間の液晶容量 C l c に給電することにより表示を行う。液晶容量 C l c の電位を表示期間中に維持する能力を向上するために、保持容量 C a d d を形成する。C C はドレイン配線 D L の断線を検査する低温ポリシリコン T F T で形成した検査回路であり、C P A D は検査端子である。

20

【 0 0 4 7 】

図 7 に本発明の液晶表示装置の駆動波形を示す。共通電極電圧 V c o m を直流電圧とした場合の例を示す。ゲート電圧 V g は 1 ゲート線毎に順次走査し、ドレイン電位 V d に対して、画素の低温ポリシリコン T F T のしきい電圧を更に加算した電圧が印加された際に画素 T F T がオン状態になり、図 6 に示した液晶容量 C l c に充電される。上記共通電極電圧 V c o m、ゲート電圧 V g、ドレイン電圧 V d はそれぞれ、図 6 のメッシュ状の共通電極配線を構成する共通電極配線 C L T、ゲート配線 G L、ドレイン配線 D L に印加される。本実施例では、ドレイン電圧 V d は、例えば、ノーマルブラックモードでの液晶表示で白表示を行う場合を示しており、ゲート線は 1 ライン毎に選択され、そのライン毎に共通電極電圧 V c o m に対してプラス、マイナスの極性反転される。画素電位 V p は T F T を通じて液晶容量 C l c に充電されるが、奇数、偶数フレームで共通電極電位 V c o m に対して反転される。特定のアドレスの T F T のゲート配線 G L に対して、ゲート配線が選択され V g が V d より大きくなると液晶容量 C l c に画像に対応する電位が充電されるが、上記のように次ぎのフレームになり、共通電極電位 V c o m に対して反転された V d が印加されるまで液晶容量 C l c の電位は保持されなければならない。この保持率は T F T のオフ（リーク）電流が大きくなると低下する。これを防止するには、図 6 の等価回路の保持容量 C a d d を大きく設定する必要がある。

30

【 0 0 4 8 】

本実施例では、駆動としてドット反転を用いている。この場合、図 6 のドレイン配線 D L 1 に接続された T F T に対する駆動波形が図 7 と同じとすると、図 6 のドレイン配線 D L 2 に接続された T F T に関してはドレイン電圧 V d が反転される。すなわち、ゲートが選択された場合（V g がコモン電圧 V c o m より高くなった場合）、ドレイン電圧 V d がコモン電圧 V c o m より高い場合、隣接するドレイン配線 D L 2 に対してはコモン電圧 V c o m より低い極性のドレイン電圧 V d すなわちドレイン配線 D L 1 に対する偶数フレームと同じ電圧が印加される。従って、ドレイン配線 D L 1 とドレイン配線 D L 2 に挟まれた画素は、極性の異なる同じ値の電圧に囲まれるが、この場合、図 1 に示したようにクランプ型の金属画素電極 S P M が配置されており電位の誤動作は起こらない。

40

【 0 0 4 9 】

50

(実施例 2)

図 8 は本発明の第 2 の実施例を示す画素の平面図であり、図 9 はその図 8 における 9-9' として一点鎖線で示した切断線での断面を示す。図面では切断部を分かりやすくするため、数字を で囲い切断部を示している。また、1 画素の取り囲む上下のゲート配線 G L および左右のドレイン配線 D L の記号にはその走査の順番などを明確にするため添え字の数字が記載されている。

【 0 0 5 0 】

図 8 は実施例 1 と同様にドレイン配線 D L を横切る方向に主な透過部を 4 つもつ I P S 方式の画素パターンである。実施例 1 に対する大きな特徴は、隣接する 2 本のゲート配線 G L と隣接する 2 本のドレイン配線 D L に挟まれた 1 画素領域において、隣接するゲート配線間のほぼ中央領域に、ゲート配線 G L とほぼ平行の保持容量配線 C L が形成されている。T F T の第 2 のコンタクトホール C N T 2 に接続された金属画素電極 S P M が画素中央まで透明画素電極 S P T の下部を延在し、さらに保持容量配線 C L と重なるように曲がり、再度透明画素電極 S P T 下部を延在し、次段のゲート配線 G L と重なる構成にある。

【 0 0 5 1 】

上記構成における T F T をオンさせる自段のゲート配線 G L 1 と保持容量配線 C L との間の 4 つの透過領域の隣接するドレイン配線 D L 間を横切る断面構造、保持容量 C L と次段のゲート配線 G L 2 との 4 つの透過領域に対する隣接するドレイン配線 D L 間を横切る断面構造は、それぞれ実施例 1 の図 2、図 3 と全く同じ構造である。従って、本実施例においても自段のゲート配線 G L 1 と保持容量配線 C L との領域で、左側のドレイン配線 D L 1 からの T F T ガラス基板を通過し、隣接する金属画素電極 S P M に至る強い電界による電位変動が、保持容量配線 C L から次段のゲート配線 G L 2 の領域において右側のドレイン配線 D L 2 から金属画素電極 S P M からの電界によって相殺され、特にドット反転駆動においてクロストークのない安定した表示画像を与えることができる。保持容量配線 C L は透明画素電極 S P T 及び透明共通電極 C L T が屈曲する画素中央部分を横切っており、液晶分子が互いに反対方向に回転する領域であり実質的には開口率を大きくは低下させない。さらに金属画素電極 S P M も保持容量配線 C L 上でクランプしており、これが新たに開口率を低下させる要因とはならない。

【 0 0 5 2 】

次に、補正容量 C m o d の役割を説明する。T F T のゲート配線 G L は図 8 の平面図において、図中の記号の添え字の順に線順位走査され、左側のドレイン配線 D L 1 からの映像信号電圧 (画素電位) を最終的に透明画素電極 S P T が伝達させる。上記金属画素電極は、保持容量配線 C L と積層させることで画質を安定化させる保持容量を形成すること、保持容量配線 C L 上で第 3 のコンタクトホール C N T 3 を通じて透明画素電極 S P T へ上記のように画素電位を伝達させる 2 つの役割がある。従って、この役割上は次段のゲート配線 G L 2 上まで金属画素電極 S P M が延在する必要はない。これは自段のゲート配線 G L 1 の T F T のゲートオン電圧がオフ電圧に低下する際に寄生容量の影響で画素電位が低下する誤動作を防止するためである。

【 0 0 5 3 】

自段のゲート配線 G L 1 につながれた T F T にゲートオン電圧が印加されると透明画素電極 S P T に映像電圧が印加される。一方、ゲート電圧オン電圧がオフ電圧に変化する際に画素電圧が T F T の寄生容量の値保持容量及び液晶容量の比の割合で低下しこれが画質を低下させることが知られている。金属画素電極 S P M と保持容量配線 C L との交差で形成する保持容量 C s t g の値を極めて大きく設定すればこれを低減できるが、逆に開口率が低下する。

【 0 0 5 4 】

保持容量配線 C L から次段のゲート配線 G L 2 へ延びた金属画素電極 S P M とゲート配線 G L 2 との交差で構成する補正容量は以下の動作をして画質を安定化させる。

【 0 0 5 5 】

自段のゲート配線 G L 1 にゲート電圧がオフ電圧からオン電圧となると T F T がオンして

画素容量及び保持容量  $C_{stg}$  が充電される。この際透明画素電極  $SPT$  が映像電圧を達する、ゲート配線  $GL1$  の電圧がオフ電圧となる瞬間に画素電圧が低下するが、補正容量  $C_{mod}$  を  $TFT$  の寄生容量と同じ値になるように設定しておけば、自段のゲート配線  $GL1$  の電圧が低下すると同時に次段のゲート配線  $GL2$  がオフ電圧からオン電圧になるので、画素電圧は、電圧の上昇と下降が相殺されるので全く変動なく安定動作する。このように、金属画素電極  $SPM$  を自段のゲート配線から左側のドレイン配線  $DL1$  隣接の透明画素電極  $SPT$  下部を延在し、保持容量配線と交差し、そこでクランプし、再度右側のドレイン配線  $DL2$  と隣接する透明画素電極  $SPT$  下部を延在し、次段のゲート配線  $GL2$  に至る構成とすることで、クロストークのない開口率の高い液晶表示装置を提供できる。

【0056】

図8の9-9'切断線における断面図が図9である。同図の左側は  $TFT$  の断面図であり、ドレイン配線  $DL$  からの映像電圧は  $TFT$  のゲート配線  $GL1$  にオン電圧が印加されると  $p$  型のポリシリコン層  $PSI(p)$  が低抵抗化して、その電位が画素電位として液晶容量や保持容量  $C_{stg}$  に充電される。保持容量  $C_{stg}$  の下部電極はゲート配線  $GL$  と同一工程、材料で構成された保持容量配線  $CL$  であり、上部電極は  $TFT$  の第2のコンタクトホール  $CNT2$  に接続された金属画素電極  $SPM$  である。透明画素電極  $SPT$  は、有機保護膜  $FPA S$  および保護膜  $FPA S$  を金属画素電極  $SPM$  上で開口した第3のコンタクトホール  $CNT3$  で接続される。平面パターンは図8に示すように  $H$  字の形状となっている。金属画素電極  $SPM$  はさらに透明画素電極  $SPT$  の下部を延在し、次段のゲート配線  $GL2$  に至りここで、層間絶縁膜  $ILI$  を挟んで積層され補正容量  $C_{mod}$  を形成する。補正容量  $C_{mod}$  の値は、 $TFT$  の半導体層  $PSI(p)$  に反転層容量の半分の値に設定させられ、前述のようにゲート電圧のオン、オフを線順次走査する際に画素電位の変動をキャンセルする。

【0057】

上述の各実施例では画素電極が2本の例で説明したが、3本以上でもよいことはいうまでもない。その際に、本明細書で開示の本願の思想を適用している限り、本願の範疇に含むものである。

【0058】

また、図1から明らかなように、液晶層を介して対向配置される第1の基板と第2の基板を有し、前記第1の基板上には複数のゲート配線と、前記複数のゲート配線とマトリクス状に交差する複数のドレイン配線と、前記ゲート配線とドレイン配線のそれぞれの交点に対応して形成された薄膜トランジスタを有し、隣接するゲート配線とドレイン配線とで囲まれる領域で画素が構成された液晶表示装置において、画素電極は複数であり、該画素電極のうち少なくとも2本は、絶縁膜を挟んで上下二層に構成された線状部分である第1の領域と該絶縁膜の上部のみに設けた線状部分である第2の領域とを有し、前記画素電極のうちの前記第1の領域と第2の領域の順序は、前記2本の画素電極で互いに異なり、前記第1の領域を構成する前記絶縁膜の下層に形成された部分は、前記2本の画素電極で互いに接続し、前記2本の画素電極のうち一方の画素電極と画素の両側に配置される2本のドレイン配線のうち一方のドレイン配線との距離は、他方のドレイン配線との距離の二倍以上であり、前記2本の画素電極のうち他方の画素電極と画素の両側に配置される2本のドレイン配線のうち他方のドレイン配線との距離は、一方のドレイン配線との距離の二倍以上とすることが望ましい。これにより、非対称性による液晶をより高精度に抑制することが可能となり、クロストークの一層の低減が実現する。

【0059】

また、前記2本の画素電極のうち、前記絶縁膜より下層に構成された画素電極は金属に限らず、半導体で構成してもよい。  $n+$  化することにより、1画素内の信号供給に十分な程度にまで抵抗を低減できる為、金属と同等に扱えるからである。

【0060】

【発明の効果】

以上詳述したように、本発明の主に  $TFT$  で構成された  $IPS$  表示方式の液晶表示装置に

10

20

30

40

50

より、クロストークがなく表示品質が高く、開口率が高く明るい高画質の液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施例によるTFT液晶表示装置の画素の要部平面図である。

【図2】本発明の一実施例によるTFT液晶表示装置である図1の2-2'線に沿った画素の要部断面図である。

【図3】本発明の一実施例によるTFT液晶表示装置である図1の3-3'線に沿った画素の要部断面図である。

【図4】本発明の一実施例によるTFT液晶表示装置である図1の4-4'線に沿った画素の要部断面図である。

10

【図5】本発明の一実施例による偏光板と初期配向方向の関係を説明する図である。

【図6】TFT LCDの概略の等価回路を表す平面図である。

【図7】TFT LCDの画素の駆動波形を表すタイミングチャートである。

【図8】本発明の他の実施例によるTFT液晶表示装置の画素の平面図である。

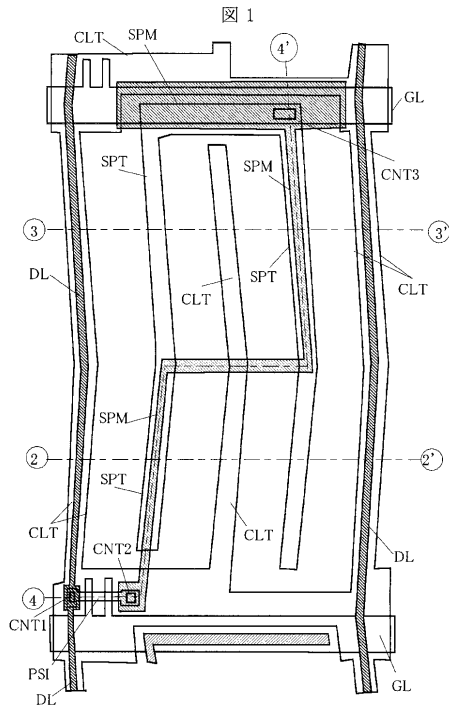
【図9】本発明の他の実施例における図8の9-9'に沿った要部断面図である。

【符号の説明】

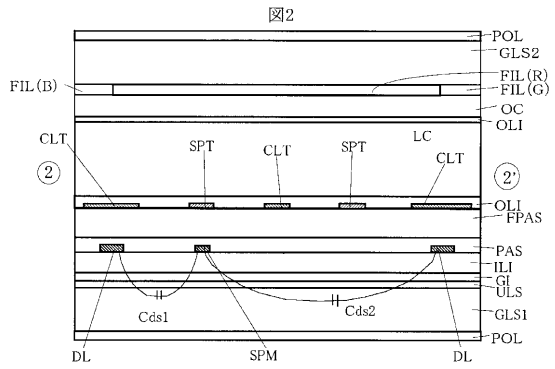
CJ...コネクタ部、CL...保持容量配線、CLT...透明共通電極および配線、CPAD...検査パッド、CNT1...ドレイン配線とSiアイランドをつなぐコンタクトホール、CNT2...金属電極とSiアイランドをつなぐコンタクトホール、CNT3...金属電極と透明画素電極をつなぐコンタクトホール、Cmod...補正容量、Cstg...保持容量、DDC...ガラス基板上のドレイン分割回路、DL...ドレイン配線、CF...カラーフィルタ層、FIL...カラーフィルタ層、FPAS...有機保護膜、GI...ゲート絶縁膜、GL...ゲート配線、GLS1...TFTガラス基板、GLS2...CFガラス基板、IDC...外付けのドレイン回路、ILI...層間絶縁膜、LC...液晶(分子)、LCB...導光板、OC...カラーフィルタのオーバコート膜、OLI...配向膜、PAS...保護絶縁膜、POL...偏光板、PSI...p-Siアイランド、PSI(p)...p型p-Si半導体層、PSI(n+)...n+型p-Si半導体層、SPM...金属画素電極、SPT...透明画素電極、SSC...電源、コントロール回路、ULS...下地絶縁膜。

20

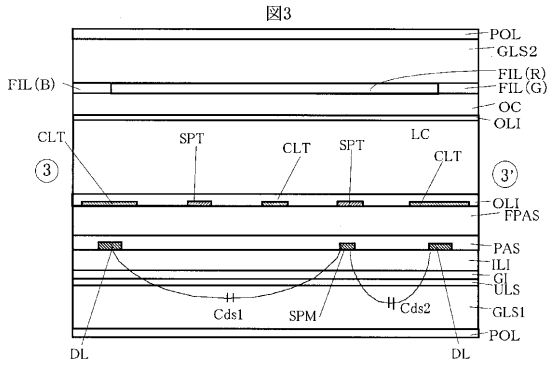
【図1】



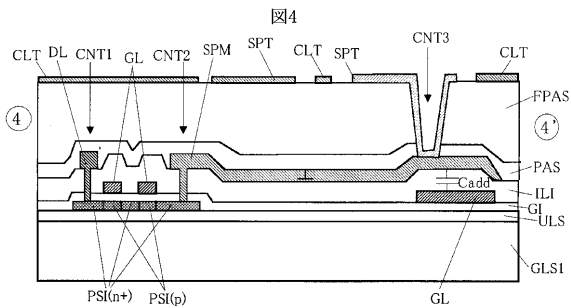
【図2】



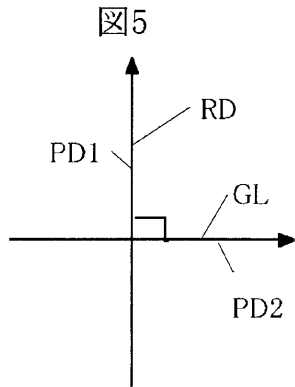
【図3】



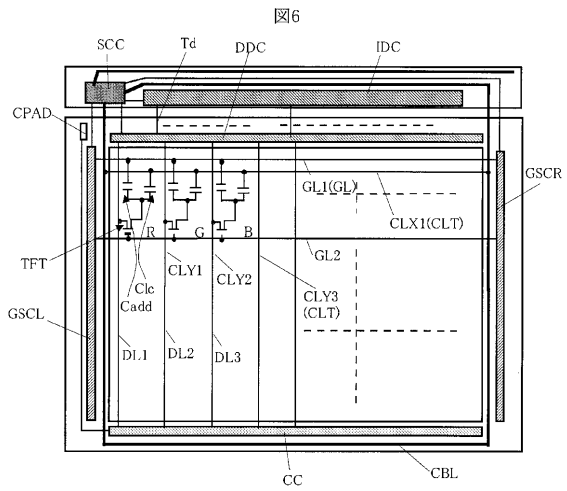
【図4】



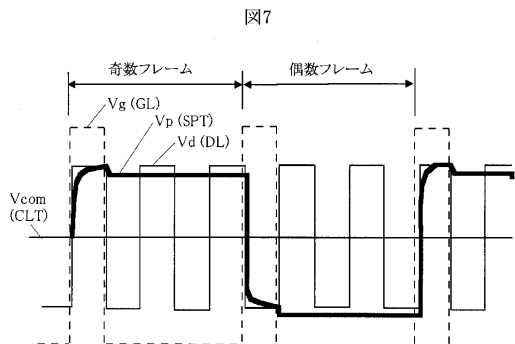
【図5】



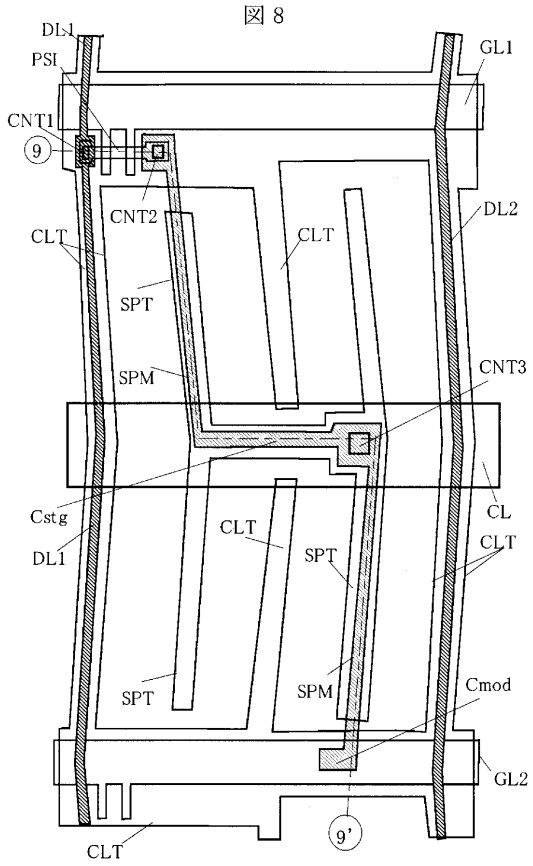
【図6】



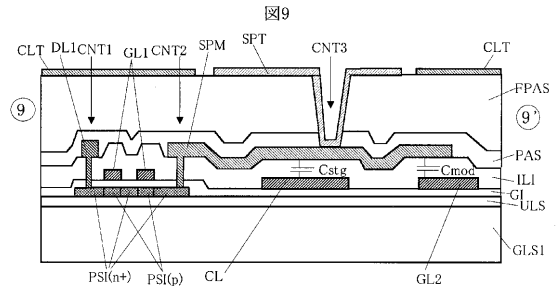
【図7】



【図8】



【図9】



---

フロントページの続き

審査官 福島 浩司

- (56)参考文献 特開2002-098982(JP,A)  
特開2000-131700(JP,A)  
特開2002-323706(JP,A)  
特開2000-227596(JP,A)  
特開平10-003092(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G02F 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP4082493B2</a>	公开(公告)日	2008-04-30
申请号	JP2002165060	申请日	2002-06-06
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	小野記久雄 桶隆太郎 落合孝洋		
发明人	小野 記久雄 桶 隆太郎 落合 孝洋		
IPC分类号	G02F1/1368 H01L21/3205 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/136286 G02F1/134363 G02F2001/13629		
FI分类号	G02F1/1368 H01L21/88.B		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA21 2H092/GA29 2H092/GA32 2H092/JA24 2H092/JA46 2H092/JB02 2H092/JB04 2H092/JB05 2H092/JB13 2H092/JB32 2H092/JB63 2H092/JB69 2H092/KA04 2H092/KA18 2H092/KB04 2H092/NA01 2H092/NA07 2H092/NA26 2H092/NA29 2H192/AA24 2H192/BB03 2H192/BB53 2H192/BB72 2H192/BB73 2H192/BB84 2H192/BC42 2H192/CB02 2H192/CB13 2H192/CC55 2H192/CC72 2H192/DA02 2H192/DA12 2H192/DA32 2H192/DA43 2H192/DA73 2H192/EA43 2H192/FA44 2H192/GA03 2H192/GA41 2H192/HB13 5F033/GG04 5F033/HH04 5F033/HH08 5F033/HH18 5F033/HH38 5F033/JJ01 5F033/JJ08 5F033/JJ18 5F033/KK01 5F033/MM05 5F033/MM08 5F033/MM21 5F033/RR04 5F033/RR06 5F033/RR21 5F033/TT02 5F033/TT04 5F033/VV06 5F033/VV15 5F033/WW00 5F033/XX10 5F033/XX28 5F033/XX34		
代理人(译)	小野寺杨枝		
审查员(译)	福岛浩二		
其他公开文献	JP2004012730A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：通过使用TFT（薄膜晶体管）提供具有宽视角的明亮IPS（面内切换）液晶显示装置。ŽSOLUTION：在有源矩阵液晶显示装置中，更具体地说，在IPS液晶显示装置中，在沿着穿过漏极布线的方向由相邻的栅极布线和相邻的漏极布线围绕的像素区域中具有至少四个透明区域IPS液晶显示装置以如下方式构造：从一条栅极布线的一侧向内指向像素内部的像素电极具有夹着绝缘膜的双层结构，另外下侧像素电极具有在像素中心部分弯曲的平面形状，像素的一半与一个漏极配线相邻，另一半与另一个漏极配线相邻。Ž

【 図 1 】

