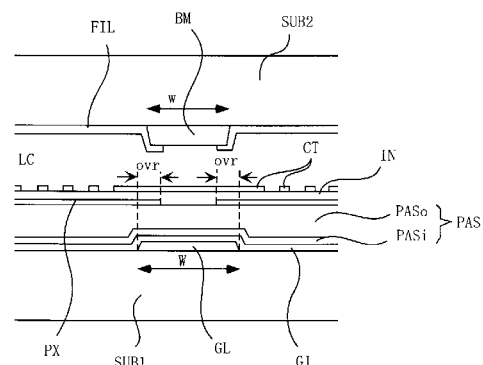




【特許請求の範囲】

【請求項 1】

液晶を挟持して対向配置される第 1 基板と第 2 基板のうち前記第 1 基板の液晶側の面に、隣接された一対のゲート信号線と隣接された一対のドレイン信号線とで囲まれた領域を画素領域とし、

前記画素領域に、ゲート信号線からの信号によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの信号が供給される画素電極と、この画素電極との間に前記液晶を駆動する電界を生じせしめる対向電極を備えた液晶表示装置であって、

前記画素電極は、ゲート信号線をも被って形成される第 1 絶縁膜上に、各画素領域に形成された面状の透明導電膜で構成され、

前記対向電極は、前記画素電極をも被って形成される第 2 絶縁膜上に、前記画素電極に重畳して配置される複数の並設された線状部とこの線状部の端部を接続する枠部を備える透明導電膜で構成され、

ゲート信号線を境にして互いに隣接する第 1 画素と第 2 画素にあって、

前記第 1 画素の画素電極の前記ゲート信号線側の辺は該ゲート信号線の前記第 1 画素側の辺に重畳して形成され、前記第 2 画素の画素電極の前記ゲート信号線側の辺は該ゲート信号線の前記第 2 画素側の辺に重畳して形成され、

前記第 1 画素の対向電極の前記ゲート信号線側の枠部と前記第 2 画素の対向電極の前記ゲート信号線側の枠部は該ゲート信号線上において該ゲート信号線を跨いで共通に形成されていることを特徴とする液晶表示装置。

【請求項 2】

前記第 2 基板に前記ゲート信号線と重畳して配置される遮光膜を備え、該遮光膜の幅は前記ゲート信号線の幅よりも小さく設定されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

ドレイン信号線を境にして互いに隣接する一方の画素と他方の画素にあって、

前記一方の画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記一方の画素側の辺に重畳して形成され、前記他方の画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記他方の画素側の辺に重畳して形成され、

前記一方の画素の対向電極の前記ドレイン信号線側の枠部と前記他方の画素の対向電極の前記ドレイン信号線側の枠部は該ドレイン信号線上において該ドレイン信号線を跨いで共通に形成されていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

液晶を挟持して対向配置される第 1 基板と第 2 基板のうち前記第 1 基板の液晶側の面に、隣接された一対のゲート信号線と隣接された一対のドレイン信号線とで囲まれた領域を画素領域とし、

前記画素領域に、ゲート信号線からの信号によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの信号が供給される画素電極と、この画素電極との間に前記液晶を駆動する電界を生じせしめる対向電極を備えた液晶表示装置であって、

前記対向電極は、ゲート信号線をも被って形成される第 1 絶縁膜上に、少なくともゲート信号線を跨って隣接する画素に及んで形成される面状の透明導電膜で構成され、

前記画素電極は、前記対向電極をも被って形成される第 2 絶縁膜上の各画素領域に、前記対向電極に重畳して配置される複数の並設された線状部とこの線状部の端部を接続する枠部を備える透明導電膜で構成され、

ゲート信号線を境にして互いに隣接する第 1 画素と第 2 画素にあって、

前記第 1 画素の画素電極の前記ゲート信号線側の枠部は該ゲート信号線の前記第 1 画素側の辺に重畳して形成され、前記第 2 画素の画素電極の前記ゲート信号線側の枠部は該ゲート信号線の前記第 2 画素側の辺に重畳して形成されていることを特徴とする液晶表示装

10

20

30

40

50

置。

【請求項 5】

前記第 2 基板に前記ゲート信号線と重畳して配置される遮光膜を備え、該遮光膜の幅は前記ゲート信号線の幅よりも小さく設定されていることを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

ドレイン信号線を境にして互いに隣接する一方の画素と他方の画素にあって、

前記一方の画素の画素電極の前記ドレイン信号線側の枠部は該ドレイン信号線の前記一方の画素側の辺に重畳して形成され、前記他方の画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記他方の画素側の辺に重畳して形成されていることを特徴とする請求項 4 に記載の液晶表示装置。

10

【請求項 7】

液晶を挟持して対向配置される第 1 基板と第 2 基板のうち前記第 1 基板の液晶側の面に、隣接された一对のゲート信号線と隣接された一对のドレイン信号線とで囲まれた領域を画素領域とし、

前記画素領域に、ゲート信号線からの信号によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの信号が供給される画素電極と、この画素電極との間に前記液晶を駆動する電界を生じせしめる対向電極を備えた液晶表示装置であって、

前記画素電極は、ドレイン信号線をも被って形成される第 1 絶縁膜上に、各画素領域に形成された面状の透明導電膜で構成され、

20

前記対向電極は、前記画素電極をも被って形成される第 2 絶縁膜上に、前記画素電極に重畳して配置される複数の並設された線状部とこの線状部の端部を接続する枠部を備える透明導電膜で構成され、

ドレイン信号線を境にして互いに隣接する第 1 画素と第 2 画素にあって、

前記第 1 画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記第 1 画素側の辺に重畳して形成され、前記第 2 画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記第 2 画素側の辺に重畳して形成され、

前記第 1 画素の対向電極の前記ドレイン信号線側の枠部と前記第 2 画素の対向電極の前記ドレイン信号線側の枠部は該ドレイン信号線上において該ドレイン信号線を跨いで共通に形成されていることを特徴とする液晶表示装置。

30

【請求項 8】

液晶を挟持して対向配置される第 1 基板と第 2 基板のうち前記第 1 基板の液晶側の面に、隣接された一对のゲート信号線と隣接された一对のドレイン信号線とで囲まれた領域を画素領域とし、

前記画素領域に、ゲート信号線からの信号によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの信号が供給される画素電極と、この画素電極との間に前記液晶を駆動する電界を生じせしめる対向電極を備えた液晶表示装置であって、

前記対向電極は、ドレイン信号線をも被って形成される第 1 絶縁膜上に、少なくともドレイン信号線を跨って隣接する画素に及んで形成される面状の透明導電膜で構成され、

40

前記画素電極は、前記対向電極をも被って形成される第 2 絶縁膜上の各画素領域に、前記対向電極に重畳して配置される複数の並設された線状部とこの線状部の端部を接続する枠部を備える透明導電膜で構成され、

ドレイン信号線を境にして互いに隣接する第 1 画素と第 2 画素にあって、

前記第 1 画素の画素電極の前記ドレイン信号線側の枠部は該ドレイン信号線の前記第 1 画素側の辺に重畳して形成され、前記第 2 画素の画素電極の前記ドレイン信号線側の枠部は該ドレイン信号線の前記第 2 画素側の辺に重畳して形成されていることを特徴とする液晶表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に、IPS (In Plane Switching) 方式と称される液晶表示装置に関する。

【背景技術】

【0002】

このような液晶表示装置として、液晶を挟持して対向配置される一对の基板のうち、一方の基板の液晶側の面の画素領域に、そのほぼ全域に透明導電膜からなる面状の第1電極と、該第1電極をも被って形成された絶縁膜の上面に該第1電極と重畳させて並設された複数の透明導電膜からなる線状の第2電極を具備させたものが知られている。

10

【0003】

第1電極と第2電極の間には、基板に平行な成分も含む電界によって液晶の分子を駆動させていることから、いわゆる広視野角に優れ、また、電極がいずれも透明導電膜によって形成されていることから、開口率に優れた効果をも奏する。

【0004】

なお、このような液晶表示装置は、いわゆるアクティブマトリックス方式によって駆動されるのが通常となっている。すなわち、該液晶表示装置は、隣接された一对のゲート信号線と隣接された一对のドレイン信号線とで囲まれた領域を画素領域とし、該画素領域に、ゲート信号線からの信号によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの信号が供給される画素電極と、この画素電極との間に液晶を駆動する電界を生じせしめる対向電極を備えている。

20

【0005】

この場合、前記第1電極を画素電極に第2電極を対向電極として機能させたもの、あるいは、前記第1電極を対向電極に第2電極を画素電極として機能させたものが知られている。

【0006】

このような液晶表示装置は、たとえば、下記特許文献1に開示がなされている。

【特許文献1】WO 01 / 018597

【発明の開示】

【発明が解決しようとする課題】

30

【0007】

しかし、上述した液晶表示装置において、画素電極には画素ごとに独立して映像信号を供給する必要があり、当該画素の画素電極と当該画素に隣接して配置される他の画素の画素電極は、電気的にはもちろんのこと物理的にも分離されたパターンで形成される。

【0008】

しかし、該画素電極は、当該画素を画するゲート信号線あるいはドレイン信号線との間に隙間を有するようにして（ゲート信号線あるいはドレイン信号線と重畳しないように）配置させていたため、たとえばゲート信号線に信号が供給された場合、該ゲート信号線から該ゲート信号線の両脇の各画素電極に終端する電気力線が発生する。

【0009】

40

この電気力線は前記ゲート信号線の周囲においていわゆる光漏れの原因となる電界を発生させることから、液晶を介して対向する基板側に前記ゲート信号線を十分に被ったブラックマトリックス（遮光膜）を形成するようにしている。

【0010】

この場合、このブラックマトリックスは、その幅が前記ゲート信号線の幅よりも大きくなってしまふことから、画素の開口率の向上の妨げになっており、その解決策が望まれるに至った。

【0011】

本発明の目的は、開口率の向上を図った液晶表示装置を提供することにある。

【課題を解決するための手段】

50

【 0 0 1 2 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【 0 0 1 3 】

(1) 液晶を挟持して対向配置される第 1 基板と第 2 基板のうち前記第 1 基板の液晶側の面に、隣接された一対のゲート信号線と隣接された一対のドレイン信号線とで囲まれた領域を画素領域とし、

前記画素領域に、ゲート信号線からの信号によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの信号が供給される画素電極と、この画素電極との間に前記液晶を駆動する電界を生じせしめる対向電極を備えた液晶表示装置であって、

前記画素電極は、ゲート信号線をも被って形成される第 1 絶縁膜上に、各画素領域に形成された面状の透明導電膜で構成され、

前記対向電極は、前記画素電極をも被って形成される第 2 絶縁膜上に、前記画素電極に重畳して配置される複数の並設された線状部とこの線状部の端部を接続する枠部を備える透明導電膜で構成され、

ゲート信号線を境にして互いに隣接する第 1 画素と第 2 画素にあって、

前記第 1 画素の画素電極の前記ゲート信号線側の辺は該ゲート信号線の前記第 1 画素側の辺に重畳して形成され、前記第 2 画素の画素電極の前記ゲート信号線側の辺は該ゲート信号線の前記第 2 画素側の辺に重畳して形成され、

前記第 1 画素の対向電極の前記ゲート信号線側の枠部と前記第 2 画素の対向電極の前記ゲート信号線側の枠部は該ゲート信号線上において該ゲート信号線を跨いで共通に形成されている。

【 0 0 1 4 】

(2) (1) において、前記第 2 基板に前記ゲート信号線と重畳して配置される遮光膜を備え、該遮光膜の幅は前記ゲート信号線の幅よりも小さく設定するようにしてもよい。

【 0 0 1 5 】

(3) (1) において、ドレイン信号線を境にして互いに隣接する一方の画素と他方の画素にあって、

前記一方の画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記一方の画素側の辺に重畳して形成され、前記他方の画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記他方の画素側の辺に重畳して形成され、

前記一方の画素の対向電極の前記ドレイン信号線側の枠部と前記他方の画素の対向電極の前記ドレイン信号線側の枠部は該ドレイン信号線上において該ドレイン信号線を跨いで共通に形成されているようにしてもよい。

【 0 0 1 6 】

(4) 液晶を挟持して対向配置される第 1 基板と第 2 基板のうち前記第 1 基板の液晶側の面に、隣接された一対のゲート信号線と隣接された一対のドレイン信号線とで囲まれた領域を画素領域とし、

前記画素領域に、ゲート信号線からの信号によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの信号が供給される画素電極と、この画素電極との間に前記液晶を駆動する電界を生じせしめる対向電極を備えた液晶表示装置であって、

前記対向電極は、ゲート信号線をも被って形成される第 1 絶縁膜上に、少なくともゲート信号線を跨って隣接する画素に及んで形成される面状の透明導電膜で構成され、

前記画素電極は、前記対向電極をも被って形成される第 2 絶縁膜上の各画素領域に、前記対向電極に重畳して配置される複数の並設された線状部とこの線状部の端部を接続する枠部を備える透明導電膜で構成され、

ゲート信号線を境にして互いに隣接する第 1 画素と第 2 画素にあって、

前記第 1 画素の画素電極の前記ゲート信号線側の枠部は該ゲート信号線の前記第 1 画素

10

20

30

40

50

側の辺に重畳して形成され、前記第 2 画素の画素電極の前記ゲート信号線側の枠部は該ゲート信号線の前記第 2 画素側の辺に重畳して形成されている。

【0017】

(5)(4)において、前記第 2 基板に前記ゲート信号線と重畳して配置される遮光膜を備え、該遮光膜の幅は前記ゲート信号線の幅よりも小さく設定するようにしてもよい。

【0018】

(6)(4)において、ドレイン信号線を境にして互いに隣接する一方の画素と他方の画素にあって、

前記一方の画素の画素電極の前記ドレイン信号線側の枠部は該ドレイン信号線の前記一方の画素側の辺に重畳して形成され、前記他方の画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記他方の画素側の辺に重畳して形成されるようにしてもよい。

10

【0019】

(7)液晶を挟持して対向配置される第 1 基板と第 2 基板のうち前記第 1 基板の液晶側の面に、隣接された一对のゲート信号線と隣接された一对のドレイン信号線とで囲まれた領域を画素領域とし、

前記画素領域に、ゲート信号線からの信号によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの信号が供給される画素電極と、この画素電極との間に前記液晶を駆動する電界を生じせしめる対向電極を備えた液晶表示装置であって、

20

前記画素電極は、ドレイン信号線をも被って形成される第 1 絶縁膜上に、各画素領域に形成された面状の透明導電膜で構成され、

前記対向電極は、前記画素電極をも被って形成される第 2 絶縁膜上に、前記画素電極に重畳して配置される複数の並設された線状部とこの線状部の端部を接続する枠部を備える透明導電膜で構成され、

ドレイン信号線を境にして互いに隣接する第 1 画素と第 2 画素にあって、

前記第 1 画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記第 1 画素側の辺に重畳して形成され、前記第 2 画素の画素電極の前記ドレイン信号線側の辺は該ドレイン信号線の前記第 2 画素側の辺に重畳して形成され、

前記第 1 画素の対向電極の前記ドレイン信号線側の枠部と前記第 2 画素の対向電極の前記ドレイン信号線側の枠部は該ドレイン信号線上において該ドレイン信号線を跨いで共通に形成されていることを特徴とする。

30

【0020】

(8)液晶を挟持して対向配置される第 1 基板と第 2 基板のうち前記第 1 基板の液晶側の面に、隣接された一对のゲート信号線と隣接された一对のドレイン信号線とで囲まれた領域を画素領域とし、

前記画素領域に、ゲート信号線からの信号によってオンする薄膜トランジスタと、このオンされた薄膜トランジスタを介してドレイン信号線からの信号が供給される画素電極と、この画素電極との間に前記液晶を駆動する電界を生じせしめる対向電極を備えた液晶表示装置であって、

40

前記対向電極は、ドレイン信号線をも被って形成される第 1 絶縁膜上に、少なくともドレイン信号線を跨って隣接する画素に及んで形成される面状の透明導電膜で構成され、

前記画素電極は、前記対向電極をも被って形成される第 2 絶縁膜上の各画素領域に、前記対向電極に重畳して配置される複数の並設された線状部とこの線状部の端部を接続する枠部を備える透明導電膜で構成され、

ドレイン信号線を境にして互いに隣接する第 1 画素と第 2 画素にあって、

前記第 1 画素の画素電極の前記ドレイン信号線側の枠部は該ドレイン信号線の前記第 1 画素側の辺に重畳して形成され、前記第 2 画素の画素電極の前記ドレイン信号線側の枠部は該ドレイン信号線の前記第 2 画素側の辺に重畳して形成されている。

【0021】

50

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。また、上記した構成以外の本発明の構成の例は、本願明細書全体の記載または図面から明らかにされる。

【発明の効果】

【0022】

本発明による液晶表示装置によれば、開口率の向上が図れるようになる。

【0023】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

【発明を実施するための最良の形態】

【0024】

本発明の実施例を、図面を参照しながら説明する。なお、各図および各実施例において、同一または類似の構成要素には同じ符号を付し、説明を省略する。

【0025】

実施例 1

(全体の構成)

図 2 は、本発明による液晶表示装置の一実施例を示した全体構成図である。

【0026】

図 2 において、液晶表示装置は、互いに対向して配置される一対のたとえばガラスからなる基板 SUB 1、基板 SUB 2 を外囲器とし、該基板 SUB 1、基板 SUB 2 の間には液晶（図示せず）が挟持されている。該液晶は、基板 SUB 1 に対する基板 SUB 2 の固定を兼ねるシール材 SL によって封入され、該シール材 SL によって囲まれた領域は表示領域 AR を構成している。

【0027】

基板 SUB 1 は、基板 SUB 2 と比較して、その面積が大きく形成され、たとえば図中左側辺部および上側辺部において、前記基板 SUB 2 から露出された領域を有する。基板 SUB 1 の左側辺部の前記領域には複数の並設された半導体装置 SCN (V) が搭載され、基板 SUB 1 の前記上側辺部の領域には複数の並設された半導体装置 SCN (He) が搭載されている。複数の前記半導体装置 SCN (V) は走査信号駆動回路を構成し後述のゲート信号線 GL に接続され、複数の前記半導体装置 SCN (He) は映像信号駆動回路を構成し後述のドレイン信号線 DL に接続されるようになっている。

【0028】

基板 SUB 1 の液晶側の面であって前記表示領域 AR 内には、図中 x 方向に延在し y 方向に並設されるゲート信号線 GL が、また、図中 y 方向に延在し x 方向に並設されるドレイン信号線 DL が形成されている。

【0029】

隣接する一対のゲート信号線 GL と隣接する一対のドレイン信号線 DL で囲まれる矩形状の領域は画素が形成される領域を構成し、これにより、各画素は表示領域 AR においてマトリックス状に配置されるようになる。前記各ゲート信号線 GL は、その左側端部がシール材 SL を超えて表示領域 AR の外側にまで延在され、近接する前記半導体装置 SCN (V) の出力端子に接続され、該半導体装置 SCN (V) によって走査信号（電圧）が供給されるようになっている。前記各ドレイン信号線 DL は、その上側端部がシール材 SL を超えて表示領域 AR の外側にまで延在され、近接する前記半導体装置 SCN (He) の出力端子に接続され、該半導体装置 SCN (He) によって映像信号（電圧）が供給されるようになっている。

【0030】

前記画素は、たとえば図中丸棒 P の拡大図である丸棒 P' に示すように、ゲート信号線 GL からの走査信号によってオンされる薄膜トランジスタ TFT と、このオンされた薄膜トランジスタ TFT を介してドレイン信号線 DL からの映像信号が供給される画素電極 PX と、基準信号（電圧）が印加され前記画素電極 PX との間の電位差によって電界を生じせしめる対向電極 CT が備えられている。画素電極 PX と対向電極 CT はともに同じ基板

10

20

30

40

50

SUB 1に形成されており、前記電界は基板SUB 1の表面と平行な電界成分を一部に含むもので、このような電界によって液晶の分子を挙動（駆動）させるものを横電界（In Plane Switching）方式と称されている。なお、前記対向電極CTはゲート信号線GLと平行に配置される対向電圧信号線CLを通して前記基準信号が印加されるようになっており、該対向電圧信号線CLは前記シール材SLを超えて延在され、基板SUB 1面に形成された対向電圧端子CTMに接続されている。

【0031】

上述した実施例では、前記走査信号駆動回路V、映像信号駆動回路Heは基板SUB 1に搭載させて構成したものである。しかし、これに限定されず、いわゆるテープキャリア方式で構成した半導体装置（フレキシブル基板に半導体チップが搭載されている半導体装置）を前記基板SUB 1と図示しないプリント基板との間に跨って配置させるように構成してもよい。

10

【0032】

（画素の構成）

図3は、前記基板SUB 1に形成された画素の構成の一実施例を示す平面図である。また、図3のI-I線における断面図を図1に、IV(a)-IV(a)線における断面図を図4(a)に、IV(b)-IV(b)線における断面図を図4(b)に示している。なお、図1は、基板SUB 2とともに断面を示している。

【0033】

まず、図3において、基板SUB 1の液晶側の面（表面）には、図中x方向に伸張するゲート信号線GLがy方向へ並設されて形成されている。これら各ゲート信号線GLは後述のドレイン信号線DLとで囲まれる領域において画素領域を構成するようになっている。

20

【0034】

そして、基板SUB 1の表面には、前記ゲート信号線GLをも被うようにして絶縁膜GI（図1、図4参照）が形成されている。この絶縁膜GIは、後述の薄膜トランジスタTFTの形成領域において該薄膜トランジスタTFTのゲート絶縁膜として機能し、それに応じた膜厚で設定されている。

【0035】

前記絶縁膜GIの上面であって、前記ゲート信号線GLの一部と重畳する個所に、たとえばアモルファスシリコンからなる非晶質の半導体層ASが形成されている。この半導体層ASは前記薄膜トランジスタTFTの半導体層となるものである。

30

【0036】

そして、図中y方向に伸張しx方向に並設されるドレイン信号線DLが形成されている。このドレイン信号線DLは前記ゲート信号線GLとの交差部において、ゲート信号線GL上を前記薄膜トランジスタTFTの形成領域側に延在され、この延在部は前記半導体層ASの上面にまで及んで該薄膜トランジスタTFTのドレイン電極DTを構成している。

【0037】

また、該ドレイン信号線DLおよびドレイン電極DTと同時に形成されるソース電極STが、前記半導体層AS上に前記ドレイン電極DTと対向して形成されている。前記ソース電極STは、該半導体層AS上から画素領域側へ延在され、この延在部はパッド部PDを有する。このパッド部PDは後述の画素電極PXと電氣的に接続される部分となり、前記ソース電極STの半導体層AS上の部分よりも大きな面積で形成されている。

40

【0038】

これにより、前記薄膜トランジスタTFTは、ゲート信号線GLの一部をゲート電極としたいわゆる逆スタガ構造のMIS（Metal Insulator Semiconductor）型のトランジスタが構成されることになる。

【0039】

基板SUB 1の表面には、前記薄膜トランジスタTFTをも被ったたとえば無機絶縁膜PASiと有機絶縁膜PASoの順次積層体からなる保護膜PASが形成されている。保

50

保護膜 P A S の上層を有機絶縁膜 P A S o とすることによって保護膜 P A S の表面を平坦化させている。

【 0 0 4 0 】

そして、前記保護膜 P A S の上面には、たとえば I T O (Indium Tin Oxide) 等の透明導電膜によって画素電極 P X が形成されている。この画素電極 P X は、画素ごとに画素領域のほぼ全域を被って形成される面状電極として構成されている。この場合、前記画素電極 P X の図中上側の辺は、当該画素の図中上側にあるゲート信号線 G L の当該画素側の辺に重畳するよう (図中 o v r で示す) に形成され、図中下側の辺は、当該画素の図中下側にあるゲート信号線 G L の当該画素側の辺に重畳するよう (図中 o v r で示す) にして形成されている。これにより、図 1 に示すように、ゲート信号線 G L において、その走行方向に平行な各辺のうち一方の辺には当該画素の画素電極 P X が重畳して形成され (図中 o v r で示す) 、他方の辺には当該画素と前記ゲート信号線 G L を境にして隣接する他の画素の画素電極 P X が重畳して形成される (図中 o v r で示す) ことになる。また、図 3 に戻り、前記画素電極 P X の図中左側の辺は、当該画素電極 P X の図中左側にあるドレイン信号線 D L の当該画素電極 P X 側の辺に重畳するよう (図中 o v r ' で示す) に形成され、図中右側の辺は、当該画素の図中右側にあるドレイン信号線 D L の当該画素側の辺に重畳するよう (図中 o v r ' で示す) にして形成されている。これにより、図 4 (b) に示すように、ドレイン信号線 D L において、その走行方向に平行な各辺のうち一方の辺には当該画素の画素電極 P X が重畳して形成され (図中 o v r ' で示す) 、他方の辺には当該画素と前記ドレイン信号線 D L を境にして隣接する他の画素の画素電極 P X が重畳して形成される (図中 o v r ' で示す) ことになる。

10

20

【 0 0 4 1 】

なお、前記画素電極 P X は、前記薄膜トランジスタ T F T のソース電極 S T のパッド部 P D を露出するように形成した保護膜 P A S のスルーホール T H (図 4 (a) 参照) を通して、前記パッド部 P D に電氣的に接続されるようになっている。

【 0 0 4 2 】

基板 S U B 1 の表面には、前記画素電極 P X をも被ってたとえば無機絶縁膜からなる絶縁膜 I N (図 1 、図 4 参照) が形成されている。この絶縁膜 I N は、前記画素電極 P X と前記絶縁膜 I N の上面に形成される後述の対向電極 C T との間に保持容量を形成するための誘電体膜として機能するようになっている。

30

【 0 0 4 3 】

前記対向電極 C T は、たとえば I T O (Indium Tin Oxide) 等の透明導電膜からなっている。そして、前記画素電極 P X と重畳するようにして並設された複数の線状電極から構成されている。すなわち、前記対向電極 C T は、当該画素からゲート信号線 G L およびドレイン信号線 D L を跨って隣接画素にまで及んで形成された透明導電膜に、並設された複数のスリット S L T を画素領域ごとに設けることによって形成されている。ここで、画素領域ごとにおける対向電極 C T は、並設された複数の線状電極をその周囲において互いに接続させた枠部 C T (F R) が一体に接続された形状となっている。

【 0 0 4 4 】

そして、図 3 に戻り、前記対向電極 C T の図中上側の前記枠部 C T (F R) は、図中上側のゲート信号線 G L を境として隣接する他の画素の対向電極 C T の図中下側の前記枠部 C T (F R) と共通となっており、この共通の枠部 C T (F R) は少なくとも前記ゲート信号線 G L に重畳して形成されている。また、前記対向電極 C T の図中下側の前記枠部 C T (F R) は、図中下側のゲート信号線 G L を境として隣接する他の画素の対向電極 C T の図中上側の前記枠部 C T (F R) と共通となっており、この共通の枠部 C T (F R) は少なくとも前記ゲート信号線 G L に重畳して形成されている。これにより、対向電極 C T の前記枠部 C T (F R) は、図 1 に示すように、ゲート信号線 G L の上方において、該ゲート信号線 G L を境にして互いに隣接する各画素の画素電極 P X の離間部を被い、それぞれの画素電極 P X と重畳部 o v r を有して、配置されるようになる。

40

【 0 0 4 5 】

50

これにより、図 1 から明らかなように、前記ゲート信号線 G L は、その近傍において、画素電極 P X と対向電極 C T によって完全に被われる構成となる。このため、ゲート信号線 G L を始点として発生する電気力線は、その全てが画素電極 P X あるいは対向電極 C T に終端されるようになり、液晶 L C 側の層に及んでしまうことはなくなる。したがって、ゲート信号線 G L の近傍における液晶は、前記ゲート信号線 G L からの電気力線による影響を全く受けることはなく、各画素において前記ゲート信号線 G L に近接した領域にまで液晶 L C の分子を正常に駆動させることができるようになる。また、隣の画素の画素電極 P X からの電気力線もこの画素電極 P X との間に重畳部 o v r を有する対向電極 C T に終端させることができるため、隣の画素の画素電極からの電気力線による影響も抑制することができる。このため、基板 S U B 2 側に前記ゲート信号線 G L と重畳して形成するブラックマトリクス（遮光膜）B M の幅 w を従来よりも狭く形成するように構成でき、画素の開口率を向上させることができる。この場合、上記実施例では、画素電極 P X と対向電極 C T との重畳部 o v r をゲート信号線 G L 上に位置づけられるように構成していることから、前記ブラックマトリクス B M の幅 w はゲート信号線 G L の幅 W よりも小さく構成することができる。なお、図 1 では、基板 S U B 2 の液晶側の面に前記ブラックマトリクス B M を境として隣接するそれぞれの画素領域にカラーフィルタ F I L が形成されていることを示している。

【0046】

また、ゲート信号線 G L の上方において、画素電極 P X と対向電極 C T との前記重畳部 o v r を形成することによって、対向電極 C T の前記スリット S L T の端部をゲート信号線 G L に近づけて形成でき、電極としての領域を拡大できることから、この観点からしても画素の開口率の向上を図ることができるようになる。

【0047】

また、図 3 に戻り、前記対向電極 C T の図中左側の前記枠部は、図中左側のドレイン信号線 D L を境として隣接する他の画素の対向電極 C T の図中右側の前記枠部と共通となっており、この共通の枠部 C T (F R ') は少なくとも前記ドレイン信号線 D L に重畳して形成されている。また、前記対向電極 C T の図中右側の前記枠部 C T (F R ') は、図中右側のドレイン信号線 D L を境として隣接する他の画素の対向電極 C T の図中左側の前記枠部 C T (F R ') と共通となっており、この共通の枠部 C T (F R ') は少なくとも前記ドレイン信号線 D L に重畳して形成されている。これにより、対向電極 C T の前記枠部 C T (F R ') は、図 4 (b) に示すように、ドレイン信号線 D L の上方において、該ドレイン信号線 D L を境にして互いに隣接する各画素の画素電極 P X の離間部を被い、それぞれの画素電極 P X と重畳部 o v r ' を有して、配置されるようになる。

【0048】

これにより、図 4 (b) から明らかなように、前記ドレイン信号線 D L は、その近傍において、画素電極 P X と対向電極 C T によって完全に被われる構成となる。このため、ドレイン信号線 D L を始点として発生する電気力線は、その全てが画素電極 P X あるいは対向電極 C T に終端されるようになり、液晶 L C 側の層に及ぶようなことはなくなる。また、隣の画素の画素電極 P X からの電気力線もこの画素電極 P X との間に重畳部 o v r ' を有する対向電極 C T に終端させることができるため、隣の画素の画素電極からの電気力線による影響も抑制することができる。したがって、ドレイン信号線 D L の近傍における液晶は、前記ドレイン信号線 D L からの電気力線による影響を受けることはなく、各画素において前記ドレイン信号線 D L に近接した領域にまで液晶 L C の分子を正常に駆動させることができるようになる。このため、図 4 (b) には図示していないが、基板 S U B 2 側に前記ドレイン信号線 D L と重畳して形成するブラックマトリクス（遮光膜）B M がある場合、その幅を従来よりも狭く形成するように構成でき、画素の開口率を向上させることができる。この場合、画素電極 P X と対向電極 C T との重畳部をドレイン信号線 D L 上に位置づけられるように構成していることから、前記ブラックマトリクス B M の幅はドレイン信号線 D L の幅よりも小さく構成することができる。

【0049】

10

20

30

40

50

図 3 に示した画素において、その薄膜トランジスタ T F T は半導体を非晶質（アモルファス）のものとしたものであるが、いわゆるポリシリコンと称される半導体層からなる薄膜トランジスタ T F T を備えるものであってもよい。このことは、後述の実施例においても同様である。

【 0 0 5 0 】

また、図 3 に示した画素は、基板 S U B 2 側にドレイン信号線 D L に重畳するようにしてブラックマトリックス B M を形成したものを示したが、該ブラックマトリックス B M はドレイン信号線 D L に重畳して形成されていなくてもよい。このことは、後述の実施例においても同様である。

【 0 0 5 1 】

10

また、図 3 に示した画素は、ゲート信号線 G L の場合と同様、ドレイン信号線 D L 側においても、該ドレイン信号線 D L を境にして隣接する画素のそれぞれの画素電極 P X を前記ドレイン信号線 D L に重畳させ、対向電極 C T において前記ドレイン信号線 D L を被うようにして形成したものである。しかし、このような構成は、ゲート信号線 G L 側において採用し、ドレイン信号線 D L 側において採用しないようにしてもよい。ドレイン信号線 D L の幅はゲート信号線 G L の幅に対して極めて狭いからである。このことは、後述の実施例においても同様である。逆に、本実施例で説明した構造を、ゲート信号線 G L 側において採用せず、ドレイン信号線 D L 側において採用するようにしてもよい。

【 0 0 5 2 】

なお、実施例 1 で説明した画素の構成では、説明を簡単にするため、基板 S U B 1、基板 S U B 2 のそれぞれの液晶側において最上層となる配向膜を省略して示している。このことは、後述の実施例においても同様である。

20

【 0 0 5 3 】

実施例 2

図 5 は、本発明の第 2 実施例の液晶表示装置の一例を説明する平面図であり、図 3 と対応した図となっている。また、図 5 の VI - VI 線における断面図を図 6 に、VII (a) - VII (a) 線における断面図を図 7 (a) に、VII (b) - VII (b) 線における断面図を図 7 (b) に示している。なお、図 6 は、基板 S U B 2 とともに断面を示している。

【 0 0 5 4 】

図 3 の場合と比較して大きく異なる構成は、画素電極 P X と対向電極 C T の層構造における配置関係が逆になっていることにある。すなわち、薄膜トランジスタ T F T を被って形成される保護膜 P A S の上面对向電極 C T が形成され、さらに、この対向電極 C T をも被って形成される絶縁膜 I N 上に画素電極 P X が形成される構成となっている。この場合、液晶 L C 側に電界を発生させるため、下層の対向電極 C T は面状の透明導電膜で構成され、上層の画素電極 P X は複数の並設された線状部を有する透明導電膜で構成されている。

30

【 0 0 5 5 】

さらに、詳述すると、前記対向電極 C T は、当該画素を画する前記ゲート信号線 G L およびドレイン信号線 D L を跨って隣接する他の画素にまで及んで形成されている。このため、前記対向電極 C T は、各画素領域において薄膜トランジスタ T F T と画素電極 P X との電氣的接続を図る後述のスルーホール T H の領域を回避し（対向電極 C T の輪郭を符号 C T (O L) で示す）、表示領域 A R (図 2 参照) の全域に形成されるようになっている。

40

【 0 0 5 6 】

また、前記画素電極 P X は、画素領域ごとに独立して形成され、複数の並設された線状部の周辺の端部を接続する枠部 P X (F R)、P X (F R ') を備えて構成されている。各線状部からなる電極を電氣的に接続させるためである。

【 0 0 5 7 】

図 6 に示すように、当該画素とゲート信号線 G L を境にして隣接する他の画素において、当該画素の画素電極 P X の前記ゲート信号線 G L 側の枠部 P X (F R) は該ゲート信号

50

線 G L の当該画素側の辺に重畳して（図中 o v r で示す）形成され、他の画素の画素電極 P X の前記ゲート信号線 G L 側の枠部 P X（F R）は該ゲート信号線 G L の前記他の画素側の辺に重畳して（図中 o v r で示す）形成されている。

【0058】

これにより、ゲート信号線 G L を境にして互いに隣接するある画素の画素電極 P X と他の画素の画素電極 P X との間の隙間部を小さく構成できるとともに、該隙間部を前記ゲート信号線 G L 上に位置づけることができるようになる。このことは、前記ゲート信号線 G L を間にして隣接する画素のそれぞれの画素電極 P X との間に発生する電界（すなわち、隣の画素の画素電極 P X との間に発生する電界）の領域の範囲を狭めることになる。また、この隙間部をゲート信号線 G L で遮光することができる。このことから、図 6 に示すように、基板 S U B 2 に前記ゲート信号線 G L と重畳して配置されるブラックマトリックス（遮光膜）B M は、互いに隣接する画素電極 P X の隙間部を被うのみで充分となり、その幅 w は、少なくともゲート信号線 G L の幅 W よりも小さな幅で形成することができるようになる。

10

【0059】

なお、前記画素電極 P X は、絶縁膜 I N および保護膜 P A S に形成されたスルーホール T H を通して薄膜トランジスタ T F T のソース電極 S T（パッド部 P D）に接続されている。この場合、前記対向電極 C T は該スルーホール T H の形成領域を回避して形成されていることは上述した通りである。

【0060】

また、図 7（b）に示すように、当該画素とドレイン信号線 D L を境にして隣接する他の画素において、当該画素の画素電極 P X の前記ドレイン信号線 D L 側の枠部 P X（F R'）は該ドレイン信号線 D L の当該画素側の辺に重畳して（符号 o v r' で示す）形成され、他の画素の画素電極 P X の前記ドレイン信号線 D L 側の枠部 P X（F R'）は該ドレイン信号線 D L の前記他の画素側の辺に重畳して（符号 o v r' で示す）形成されている。

20

【0061】

これにより、ドレイン信号線 D L を境にして互いに隣接するある画素の画素電極 P X と他の画素の画素電極 P X との間の隙間部を小さく構成できるとともに、該隙間部を前記ドレイン信号線 D L 上に位置づけることができるようになる。このことは、前記ドレイン信号線 D L を間にして隣接する画素のそれぞれの画素電極 P X との間に発生する電界（すなわち、隣の画素の画素電極 P X との間に発生する電界）の領域の範囲を狭めることになる。また、この隙間部をドレイン信号線 D L で遮光することができる。このことから、図 7（b）では図示省略しているが、基板 S U B 2 に前記ドレイン信号線 D L と重畳して配置されるブラックマトリックス（遮光膜）B M があれば、該ブラックマトリックス B M は、前記各画素電極 P X の隙間部を被うのみで充分となり、その幅は、少なくともドレイン信号線 D L の幅よりも小さな幅で形成することができるようになる。

30

【0062】

尚、本実施例においても、ゲート信号線 G L 側では重畳部 o v r を有する構成とし、ドレイン信号線 D L 側では重畳部 o v r' を有しない構成としてもよい。逆に、ゲート信号線 G L 側では重畳部 o v r を有しない構成とし、ドレイン信号線 D L 側では重畳部 o v r' を有する構成としてもよい。

40

【0063】

以上、本発明を実施例を用いて説明してきたが、これまでの各実施例で説明した構成はあくまで一例であり、本発明は、技術思想を逸脱しない範囲内で適宜変更可能である。また、それぞれの実施例で説明した構成は、互いに矛盾しない限り、組み合わせて用いてもよい。

【図面の簡単な説明】

【0064】

【図 1】本発明の液晶表示装置の実施例 1 における要部を示す断面図である。

【図 2】本発明の液晶表示装置の概略を示す平面図である。

50

【図 3】本発明の液晶表示装置の実施例 1 における画素の平面図である。

【図 4】図 3 の IV (a) - IV (a) 線における断面図、IV (b) - IV (b) 線における断面図である。

【図 5】本発明の液晶表示装置の実施例 2 における画素の平面図である。

【図 6】図 5 の VI - VI 線における断面図である。

【図 7】図 5 の VII (a) - VII (a) 線における断面図、VII (b) - VII (b) 線における断面図である。

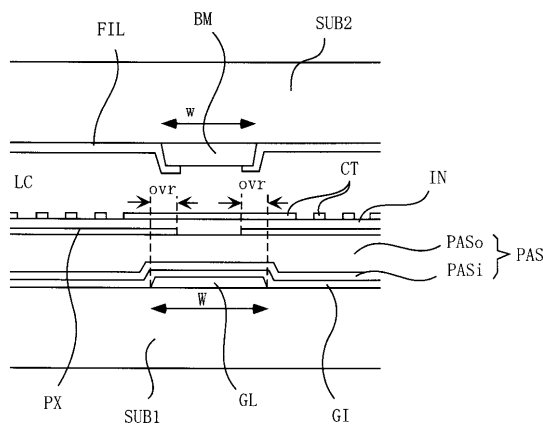
【符号の説明】

【 0 0 6 5 】

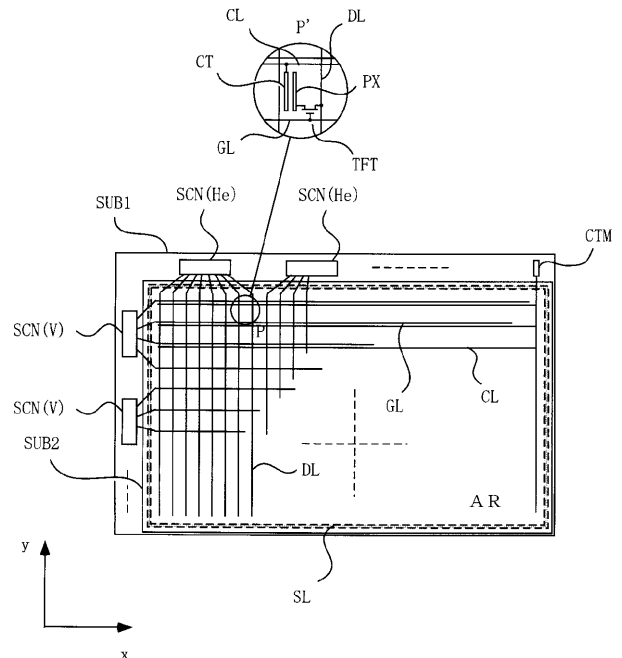
SUB 1、SUB 2 ... 基板、SL ... シール材、GL ... ゲート信号線、DL ... ドレイン信号線、CL ... 対向電圧信号線、SCN (He)、SCN (V) ... 半導体装置、TFT ... 薄膜トランジスタ、PX ... 画素電極、CT ... 対向電極、GI、IN ... 絶縁膜、PAS ... 保護膜、LC ... 液晶、BM ... ブラックマトリックス、FIL ... カラーフィルタ、CT (FR) ... 枠部 (対向電極の)、PX (FR) ... 枠部 (画素電極の)、AS ... 半導体層、DT ... ドレイン電極、ST ... ソース電極、PD ... パッド部。

10

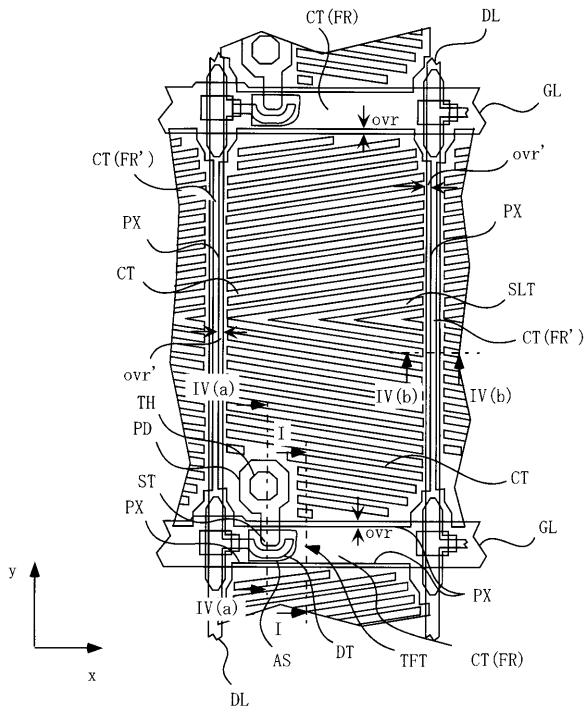
【 図 1 】



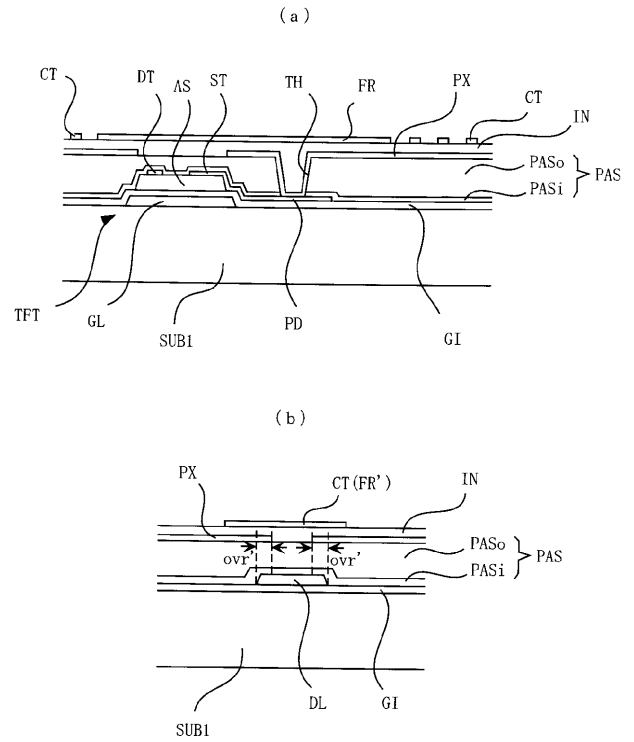
【 図 2 】



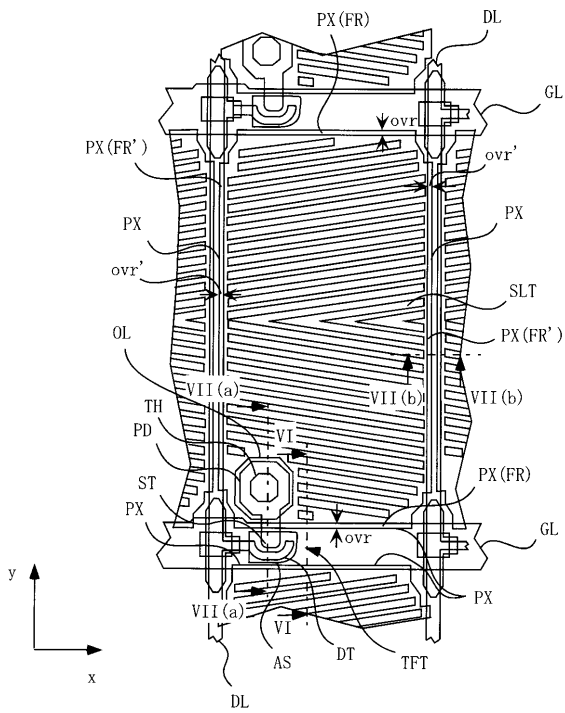
【 図 3 】



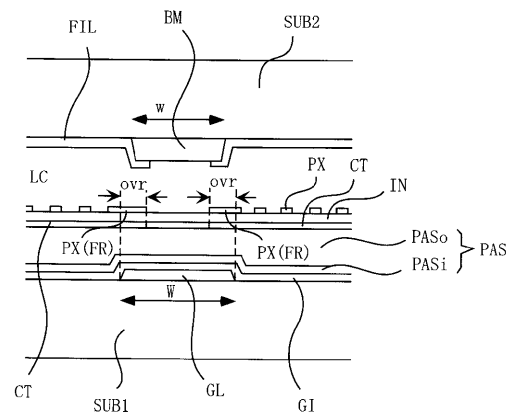
【 図 4 】



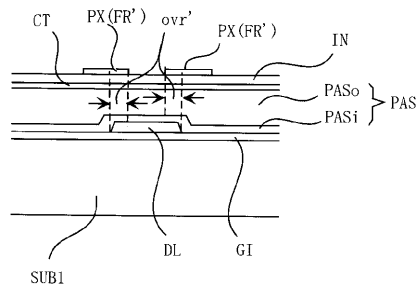
【 図 5 】



【 図 6 】



(a)



フロントページの続き

【要約の続き】

は該ゲート信号線上において該ゲート信号線を跨いで共通に形成されている。

【選択図】図 1

专利名称(译)	液晶表示装置		
公开(公告)号	JP2009223245A	公开(公告)日	2009-10-01
申请号	JP2008070579	申请日	2008-03-19
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	前出優次 佐藤貴夫		
发明人	前出 優次 佐藤 貴夫		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136286 G02F2201/123		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/JA26 2H092/JB04 2H092/JB05 2H092/JB16 2H092/JB24 2H092/JB25 2H092/JB52 2H092/JB54 2H092/JB56 2H092/NA04 2H092/NA07 2H092/PA08 2H092/PA09 2H092/QA06 2H192/AA24 2H192/BB12 2H192/BB13 2H192/BB53 2H192/BB66 2H192/BB73 2H192/BC42 2H192/CB05 2H192/CC04 2H192/CC42 2H192/EA22 2H192/EA43 2H192/EA62 2H192/EA74 2H192/JA33		
代理人(译)	小林 保		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种孔径比改善的液晶显示装置。 ŽSOLUTION：在IPS液晶装置中，像素电极PX在覆盖栅极信号线的第一绝缘层上的每个像素区域中由平面透明导电膜形成，并且对电极CT由透明导电膜形成，在形成覆盖像素电极的第二绝缘膜上，具有与像素电极连续设置的多个线性部分和连接线性部分的端部的框架部分。形成跨越栅极信号线彼此相邻的第一像素和第二像素，使得栅极信号线侧的第一像素的像素电极的边缘与侧面的栅极信号线的边缘重叠。在第一像素的一个像素中，栅极信号线侧的第二像素的像素电极的边缘与第二像素侧的栅极信号线的边缘重叠，并且第二像素的相对电极的边框部分与第二像素的边缘重叠。在栅极信号线一侧的第一像素和栅极信号线一侧的第二像素的对电极的帧部分在栅极信号线上共栅地形成在栅极信号线上。 Ž

