

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-139394
(P2009-139394A)

(43) 公開日 平成21年6月25日(2009.6.25)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H091
GO2F 1/1335 (2006.01)	GO2F 1/1335 520	2H092

審査請求 未請求 請求項の数 5 O L (全 17 頁)

(21) 出願番号 特願2007-312224 (P2007-312224)
(22) 出願日 平成19年12月3日 (2007.12.3)

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目7番3号
(74) 代理人 100103894
弁理士 冢入 健
(72) 発明者 林 正美
東京都千代田区丸の内二丁目7番3号 三
菱電機株式会社内
Fターム(参考) 2H091 FA15Y FA16Y FB02 FB08 FD04
GA02 GA09 GA13 JA03 LA01
LA12 LA30
2H092 GA19 GA35 HA03 HA05 JA26
JA46 JB08 JB58 JB65 JB66
JB69 KB22 KB25 NA15 NA27
NA29 PA04 PA12

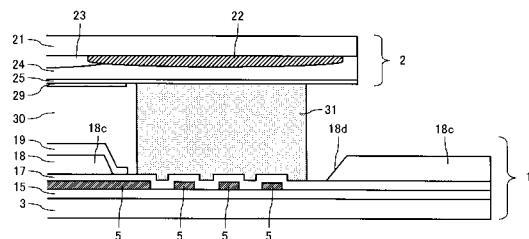
(54) 【発明の名称】 半透過型液晶表示装置、及びその製造方法

(57) 【要約】

【課題】写真製版工程数を増加させることなく、信頼性を向上できる半透過型液晶表示装置、及びその製造方法を提供すること

【解決手段】本発明に係る半透過型液晶表示装置の製造方法は、TFT50を覆うパッシベーション膜17上に膜厚差を有する有機膜18を形成し、パッシベーション膜17をエッチングしてコンタクトホール13を形成する。膜厚差を有するレジストパターン35を用いて有機膜18上の反射電極10b及び透過電極10aをエッチングする。アッシングにより、レジストパターン35の薄膜部35bを除去するとともに、露出した有機膜18の薄膜部18bを除去して開口部18dを形成する。薄膜部が除去されたレジストパターン35cを用いて反射電極10bをエッチングする。この基板3と、基板21とを、枠状のシール材31が有機膜18の開口部18d内に配置されるように貼り合わせる。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

第 1 の基板上に薄膜トランジスタを形成する工程と、
 前記薄膜トランジスタを覆う無機絶縁膜を形成する工程と、
 前記無機絶縁膜上に、膜厚差を有する有機膜を形成する工程と、
 前記有機膜から露出した前記無機絶縁膜をエッチングして、コンタクトホールを形成する工程と、
 前記有機膜の上に、透過電極と反射電極とを順次成膜する工程と、
 前記反射電極の上に、膜厚差を有するレジストパターンを形成し、前記反射電極及び前記透過電極をエッチングする工程と、
 アッシングにより、前記レジストパターンの薄膜部を除去するとともに、前記透過電極から露出した前記有機膜の薄膜部を除去して開口部を形成する工程と、
 前記薄膜部が除去されたレジストパターンを用いて、前記反射電極をエッチングして、前記コンタクトホールを介して前記薄膜トランジスタと接続する画素電極を形成する工程と、
 前記第 1 の基板と、前記第 1 の基板と対向配置された第 2 の基板とを、表示領域を囲む枠状のシール材が前記有機膜の前記開口部内に配置されるように貼り合わせる工程と、を備える半透過型液晶表示装置の製造方法。

10

【請求項 2】

前記第 1 の基板側では、前記開口部内の前記無機絶縁膜に前記シール材を接着する請求項 1 に記載の半透過型液晶表示装置の製造方法。

20

【請求項 3】

前記膜厚差を有する有機膜の形成工程、及び前記膜厚差を有するレジストパターンの形成工程では、複数階調露光を用いる請求項 1 又は 2 に記載の半透過型液晶表示装置の製造方法。

【請求項 4】

薄膜トランジスタが形成された第 1 の基板と、
 前記第 1 の基板と対向配置された第 2 の基板と、
 表示領域を囲むよう枠状に形成され、前記第 1 の基板と前記第 2 の基板とを貼り合わせるシール材と、
 前記第 1 の基板上において、前記薄膜トランジスタを覆う無機絶縁膜と、
 前記無機絶縁膜の上に形成された有機膜と、
 前記有機膜上に設けられた透過電極と、前記透過電極上の一部に設けられた反射電極とを含み、前記有機膜及び前記無機絶縁膜を貫通するコンタクトホールを介して前記薄膜トランジスタに接続する画素電極と、を備え、
 前記有機膜は、前記反射電極の下に設けられた厚膜部と、前記透過電極の外側に形成された、前記厚膜部より膜厚の薄い薄膜部と、前記有機膜が除去された開口部とを有し、
 前記開口部内に前記シール材が配置されている半透過型液晶表示装置。

30

【請求項 5】

前記薄膜トランジスタのゲート電極と同じ層によって形成されたゲート配線と、
 前記薄膜トランジスタのソース電極と同じ層によって形成されたソース配線と、を更に備え、
 前記ゲート配線及び前記ソース配線は、前記シール材の下において、少なくとも前記無機絶縁膜に覆われている請求項 4 に記載の半透過型液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半透過型液晶表示装置、及びその製造方法に関するものである。

【背景技術】

【0002】

50

液晶表示装置には、バックライトをその背面に配置して画像表示を行う透過型液晶表示装置と、基板に反射板を配置して周囲の光を反射板表面で反射させることにより画像表示を行う反射型液晶表示装置とがある。この透過型液晶表示装置は、周囲光が直射日光などの非常に明るい光の場合には、周囲光に比べて表示光が暗いため表示を確認しにくいという欠点がある。また、反射型液晶表示装置は、周囲光が暗い場合には視認性が極端に低下するという欠点がある。

【0003】

これらの欠点を補うため、光の一部を透過する透過モードと、光の一部を反射する反射モードを併せ持つ半透過型液晶表示装置が提案されている。半透過型液晶表示装置では、良好な散乱特性を得るために、表面に凹凸パターンを有する有機膜が絶縁膜の上に設けられている。例えば、スピコートにより絶縁膜の上に有機膜を塗布した後、フォトリソグラフィプロセスで有機膜の表面に凹部をパターンニングして、有機膜の表面に凹凸パターンを形成している。

10

【0004】

この有機膜は、表示領域内では所定の形状にパターンニングされるが、従来、表示領域の外側ではパターンニングされずに全面に形成されている。すなわち、有機膜は、表示領域からシール部より外側の額縁領域まで形成されている。そのため、有機膜は、シール部より外側において外気と接触し、時間の経過とともに吸湿する。そして、有機膜を介してパネル内へと水分が浸入してしまう。これが原因となり、液晶表示装置では、長期間使用した際に液晶配向が乱れ、表示不良が発生し易くなるため、信頼性が低下してしまう。

20

【0005】

このような問題の解決策としては、シール部下に有機膜を設けない方法が有効である。例えば特許文献1に、シール部下に有機膜を設けない構成の液晶表示装置が開示されている。特許文献1では、TFTを覆う無機絶縁膜と、無機絶縁膜の上に積層された有機膜とを貫通し、ソース配線とゲート配線の間設けられた層間絶縁膜に到達する開口部を、シール材の形成領域に形成している。そして、この開口部内にシール材を形成して、対向する基板を貼り合わせる。この構成により、シール材を、有機膜ではなく層間絶縁膜と接着させることができるので、接着強度が向上する。

【0006】

また、特許文献1では、ソース配線を、シール部より表示領域側でゲート配線と同じ層で構成した配線へ繋ぎ変えてから、シール部より外側へ引き出している。このように、ソース配線をゲート配線と同層へ一旦層変換することで、シール部下の引き出し配線はその上部を層間絶縁膜で保護される。この構成により、ソース配線の引き出し配線がシール材と直接接触することを防止できるので、腐食に対する耐性が保たれる。

30

【特許文献1】特開2003-167258号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1の構成では、ソース配線をゲート配線と同層の引き出し配線へ層変換させるための変換部が必要となる。変換部では、ソース配線をゲート配線と同層の引き出し配線に接続するため、層間絶縁膜にコンタクトホールが形成される。すなわち、層間絶縁膜にコンタクトホールを形成するための工程が新たに必要となり、製造工程数が増加してしまう。また、変換部を設けるスペースが新たに必要となり、額縁領域の幅が増加してしまう。

40

【0008】

また、特許文献1では、ドレイン電極と画素電極とを接続するためのコンタクトホール形成する工程において、同時に、無機絶縁膜及び有機膜を貫通する開口部をシール部に形成している。具体的には、TFTを覆う無機絶縁膜の成膜後、この上に有機膜のパターンを形成する。そして、この有機膜のパターンをマスクとして無機絶縁膜のドライエッチングを行っている。このとき、無機絶縁膜の下の層間絶縁膜は、開口部において、エッチン

50

グガスに曝されることになる。そのため、層間絶縁膜はダメージを受けることがあり、引き出し配線間の絶縁低下が懸念される。層間絶縁膜がさらにダメージを受けると、引き出し配線は露出してシール材と直接接触してしまい、腐食による断線が懸念される。すなわち、信頼性の低下が懸念される。

【0009】

なお、シール部に無機絶縁膜及び有機膜を貫通する開口部を形成する際、層間絶縁膜のダメージを低減するために、無機絶縁膜のパターニングを行ってからこの上に有機膜のパターンを形成する方法も考えられる。しかしながら、この方法では、無機絶縁膜のパターニングを別途行うので、写真製版工程が1回増加する。従って、製造コストの増加、製造期間の長期化につながるという問題があった。

10

【0010】

本発明は、上記のような問題点を解決するためになされたものであり、写真製版工程数を増加させることなく、信頼性を向上できる半透過型液晶表示装置、及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明にかかる半透過型液晶表示装置の製造方法は、第1の基板上に薄膜トランジスタを形成する工程と、前記薄膜トランジスタを覆う無機絶縁膜（本実施の形態にかかるパッシベーション膜17）を形成する工程と、前記無機絶縁膜上に、膜厚差を有する有機膜を形成する工程と、前記有機膜から露出した前記無機絶縁膜をエッチングして、コンタクトホールを形成する工程と、前記有機膜の上に、透過電極と反射電極とを順次成膜する工程と、前記反射電極の上に、膜厚差を有するレジストパターンを形成し、前記反射電極及び前記透過電極をエッチングする工程と、アッシングにより、前記レジストパターンの薄膜部を除去するとともに、前記透過電極から露出した前記有機膜の薄膜部を除去して開口部を形成する工程と、前記薄膜部が除去されたレジストパターンを用いて、前記反射電極をエッチングして、前記コンタクトホールを介して前記薄膜トランジスタと接続する画素電極を形成する工程と、前記第1の基板と、前記第1の基板と対向配置された第2の基板とを、表示領域を囲む枠状のシール材が前記有機膜の前記開口部内に配置されるように貼り合わせる工程と、を備えるものである。

20

【0012】

また、本発明にかかる半透過型液晶表示装置は、薄膜トランジスタが形成された第1の基板と、前記第1の基板と対向配置された第2の基板と、表示領域を囲むよう枠状に形成され、前記第1の基板と前記第2の基板とを貼り合わせるシール材と、前記第1の基板上において、前記薄膜トランジスタを覆う無機絶縁膜と、前記無機絶縁膜の上に形成された有機膜と、前記有機膜上に設けられた透過電極と、前記透過電極上の一部に設けられた反射電極とを含み、前記有機膜及び前記無機絶縁膜を貫通するコンタクトホールを介して前記薄膜トランジスタに接続する画素電極と、を備え、前記有機膜は、前記反射電極の下に設けられた厚膜部と、前記透過電極の外側に形成された、前記厚膜部より膜厚の薄い薄膜部と、前記有機膜が除去された開口部とを有し、前記開口部内に前記シール材が配置されているものである。

30

40

【発明の効果】

【0013】

本発明によれば、写真製版工程数を増加させることなく、信頼性を向上できる半透過型液晶表示装置、及びその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0014】

始めに、図1を用いて、本実施の形態に係る半透過型液晶表示装置について説明する。図1は、液晶表示装置の構成を示す正面図である。

【0015】

本発明に係る液晶表示装置は、液晶表示パネル100を備えている。液晶表示パネル1

50

00は、薄膜トランジスタ(Thin Film Transistors: TFT)アレイ基板1と対向基板2とが互いに対向して配置されている。

【0016】

TFTアレイ基板1には、表示領域41と表示領域41を囲むように設けられた額縁領域42とが設けられている。この表示領域41には、複数のゲート配線(走査信号線)6と複数のソース配線(表示信号線)5とが形成されている。複数のゲート配線6は平行に設けられている。同様に、複数のソース配線5は平行に設けられている。ゲート配線6とソース配線5とは、互いに交差するように形成されている。ゲート配線6とソース配線5とは直交している。隣接するゲート配線6とソース配線5とで囲まれた領域が画素49となる。従って、TFTアレイ基板1では、画素49がマトリクス状に配列される。

10

【0017】

更に、TFTアレイ基板1の額縁領域42に、制御回路45が搭載されたフレキシブル基板47、及び制御回路46が搭載されたフレキシブル基板48が接続されている。ゲート配線6は、表示領域41から額縁領域42まで延設されている。そして、ゲート配線6は、TFTアレイ基板1の端部で、ゲート配線端子44を介して制御回路46と接続される。ソース配線5も同様に、表示領域41から額縁領域42まで延設されている。そして、ソース配線5は、TFTアレイ基板1の端部で、ソース配線端子43を介して制御回路45と接続される。

【0018】

制御回路45、46に外部からの各種信号が供給される。制御回路46は外部からの制御信号に基づいて、ゲート信号(走査信号)をゲート配線6に供給する。このゲート信号によって、ゲート配線6が順次選択されていく。制御回路45は外部からの制御信号や、表示データに基づいて表示信号(ソース信号)をソース配線5に供給する。これにより、表示データに応じた表示電圧を各画素49に供給することができる。なお、制御回路45は、液晶表示パネル100、フレキシブル基板47、及びFPC(Flexible Printed Circuit)(図示せず)の上に分割されて搭載されてもよい。同様に、制御回路46は、液晶表示パネル100、フレキシブル基板48、及びFPCの上に分割されて搭載されてもよい。さらに、制御回路45、46の一部は、TFTアレイ基板1の上に形成されてもよい。

20

【0019】

画素49内には、少なくとも1つのTFT50が形成されている。TFT50はソース配線5とゲート配線6の交差点近傍に配置される。例えば、このTFT50が画素電極に表示電圧を供給する。即ち、ゲート配線6からのゲート信号によって、スイッチング素子であるTFT50がオンする。これにより、ソース配線5から、TFT50のドレイン電極に接続された画素電極に表示電圧が印加される。そして、画素電極と対向電極との間に、表示電圧に応じた電界が生じる。なお、TFTアレイ基板1の表面には、配向膜(図示せず)が形成されている。画素49内の詳細な構成については後述する。

30

【0020】

一方、対向基板2は、例えば、カラーフィルタ基板であり、視認側に配置される。対向基板2には、カラーフィルタ、ブラックマトリクス(BM)、対向電極、及び配向膜等が形成されている。なお、対向電極は、TFTアレイ基板1側に配置される場合もある。TFTアレイ基板1と対向基板2とは、シール材31を介して貼り合わされている。シール材31は、表示領域41を囲むよう枠状に設けられている。そして、TFTアレイ基板1と対向基板2との間に液晶層が挟持される。即ち、TFTアレイ基板1と対向基板2との間には液晶が導入されている。更に、TFTアレイ基板1と対向基板2との外側の面には、偏光板、及び位相差板等が設けられる。また、液晶表示パネルの反視認側には、バックライトユニット等が配設される。

40

【0021】

画素電極と対向電極との間の電界によって、液晶が駆動される。即ち、基板間の液晶の配向方向が変化する。これにより、液晶層を通過する光の偏光状態が変化する。即ち、偏

50

光板を通過して直線偏光となった光は液晶層によって、偏光状態が変化する。具体的には、透過領域では、TFTアレイ基板側に設けられた偏光板によって、バックライトユニットからの光が直線偏光になる。そして、この直線偏光がTFTアレイ基板1側の位相差板、液晶層、及び対向基板2側の位相差板を通過することによって、偏光状態が変化する。一方、反射領域では、液晶表示パネルの視認側から入射した外光が、対向基板2側の偏光板によって直線偏光になる。そして、この光が、対向基板2側の位相差板、及び液晶層を往復することによって、偏光状態が変化する。

【0022】

そして、偏光状態によって、対向基板2側の偏光板を通過する光量が変化する。即ち、バックライトユニットから液晶表示パネル100を透過する透過光、及び液晶表示パネル100で反射される反射光のうち、視認側の偏光板を通過する光の光量が変化する。液晶の配向方向は、印加される表示電圧によって変化する。従って、表示電圧を制御することによって、視認側の偏光板を通過する光量を変化させることができる。即ち、画素ごとに表示電圧を変えることによって、所望の画像を表示することができる。

10

【0023】

次に、液晶表示パネル100の画素構成について、図2及び図3を用いて詳細に説明する。図2は、本実施の形態に係る液晶表示パネル100の画素構成を示す平面図である。図3は、図2のIII-III断面図である。図2は、液晶表示パネル100の画素49の1つを示す平面図である。液晶表示パネル100には、このような画素49がマトリクス状に複数配置されている。なお、図2では、液晶表示パネル100のうち、対向基板2側は省略して記載しており、TFTアレイ基板1側のみを記載している。

20

【0024】

図2及び図3において、TFTアレイ基板1は、ガラスやプラスチック等の透明な絶縁性の基板3上に、ゲート配線6及びゲート電極7が形成されている。ゲート電極7は、それぞれの画素49においてゲート配線6から分岐して配設されている。また、基板3上には、共通配線12がゲート配線6と同じ層によって形成されている。共通配線12は、ゲート配線6と離間して設けられ、ゲート配線6と平行して延在している。すなわち、隣接するゲート配線6の間に共通配線12が配設されている。共通配線12は、画素49内で幅広に形成されており、安定した表示を可能とするための保持容量を構成する保持容量電極となる。図3では、反射領域において、共通配線12と後述するドレイン電極9との間、そしてこのドレイン電極9と後述する画素電極10との間に、それぞれ保持容量が構成されている。保持容量は、各画素49に接続されるTFT50がオフになった後もTFT50からの駆動電圧を保持する。

30

【0025】

ゲート配線6、ゲート電極7、及び共通配線12は、ここでは例えばAl合金によって形成されている。あるいは、Cu合金、Mo合金、Ag合金、Cr合金、又はこれら合金膜の下層に下地との密着力を強化する膜が積層された積層膜、上層に透明導電膜とのコンタクト特性が良好な導電膜が積層された積層膜等によって、ゲート配線6、ゲート電極7、及び共通配線12が形成されていてもよい。

【0026】

これらゲート配線6、ゲート電極7、及び共通配線12を覆うようにゲート絶縁膜15が設けられている。ゲート絶縁膜15は、例えば窒化シリコン(SiN)により形成されている。ゲート絶縁膜15を介してゲート電極7の対面には、半導体層14が設けられている。半導体層14は、例えばアモルファスシリコンにより形成されている。

40

【0027】

半導体層14の上には、ソース配線5、ソース電極8、及びドレイン電極9が形成されている。ソース電極8は、それぞれの画素49においてソース配線5から分岐して配設されている。ドレイン電極9は、半導体層14上においてソース電極8と離間して設けられている。すなわち、ソース電極8とドレイン電極9とは、半導体層14上において互いに対向するように配置されている。なお、ソース電極8と半導体層14との間、ドレイン電

50

極 9 と半導体層 14 との間には、オーミックコンタクト層 16 が形成されている。オーミックコンタクト層 16 は、ソース電極 8 と半導体層 14 とが重複する領域に設けられている。同様に、ドレイン電極 9 と半導体層 14 とが重複する領域に、オーミックコンタクト層 16 が設けられる。半導体層 14 のうち、ソース電極 8 またはドレイン電極 9 に覆われていない領域が、TFT50 のチャンネル 4 となる。

【0028】

ソース配線 5、ソース電極 8、及びドレイン電極 9 は、ここでは例えば Cr によって形成されている。あるいは、Mo 合金、Al 合金、Ag 合金等の低抵抗金属、又はこれら低抵抗金属の下層にオーミックコンタクト層 16 とのコンタクト特性が良好な導電膜が積層された積層膜、上層に透明導電膜とのコンタクト特性が良好な導電膜が積層された積層膜等によって、ソース配線 5、ソース電極 8、及びドレイン電極 9 が形成されていてもよい。

10

【0029】

これらソース配線 5、ソース電極 8、及びドレイン電極 9 を覆うようにパッシベーション膜 17 が設けられている。すなわち、パッシベーション膜 17 は、TFT50 を覆っている。パッシベーション膜 17 は、SiN 等の無機絶縁膜により形成されている。さらに、パッシベーション膜 17 の上に、有機膜 18 が積層されている。TFT50 のドレイン電極 9 上には、有機膜 18 及びパッシベーション膜 17 にコンタクトホール 13 が設けられている。コンタクトホール 13 は、有機膜 18 及びパッシベーション膜 17 を貫通し、TFT50 のドレイン電極 9 に到達する。

20

【0030】

有機膜 18 は、画素電極 10 を形成するための下地層となる有機樹脂膜であり、ソース配線 5、ゲート配線 6、共通配線 12 や、TFT50 などによって生じた基板 3 上の凹凸を平坦化する。本実施の形態にかかる液晶表示装置は半透過型であり、画素 49 は透過領域及び反射領域を有している。反射領域では、反射光を適切な散乱分布とするため、有機膜 18 の表面に凹凸パターンが形成されている。

【0031】

有機膜 18 の上には、コンタクトホール 13 を介してドレイン電極 9 と接続する画素電極 10 が設けられている。画素電極 10 は、透過領域では透過電極 10a の単層構造であり、反射領域では透過電極 10a の上に反射電極 10b が積層された積層構造となっている。すなわち、透過電極 10a は、透過領域と反射領域の両方に設けられている。透過電極 10a は、ここでは、例えばITO等の透明導電膜によって形成されている。透過電極 10a は、ITOに限定されることなく、ITO、IZO等の他の透明導電膜でもよい。一方、反射電極 10b は、反射領域のみに設けられている。反射電極 10b は、ここでは例えば、Al合金等の反射導電膜によって形成されている。あるいは、Ag合金等の高反射金属、又はこれらの下層にコンタクトメタルが積層された積層膜等の反射導電膜によって、反射電極 10b が形成されていてもよい。また、焼きつき防止のため、反射電極 10b の上に、透明導電膜を積層した構成としてもよい。

30

【0032】

なお、本実施の形態では、図 3 に示すように画素電極 10 に覆われた領域の有機膜 18 は、画素電極 10 に覆われていない領域より膜厚が厚くなっている。すなわち、有機膜 18 には、画素電極 10 に覆われた領域に厚膜部 18a、画素電極 10 に覆われていない領域に薄膜部 18c が形成されている。理由については後述する。画素電極 10 上には、液晶 30 を配向させるための配向膜 19 が積層されている。

40

【0033】

対向基板 2 は、基板 21 の TFT アレイ基板 1 と対向する面に、顔料あるいはクロム等の金属から成り光を遮光するブラックマトリクス 22 が形成されている。ブラックマトリクス 22 は、ソース配線 5 及びゲート配線 6 の対面に設けられており、その形状は格子状になっている。そして、ブラックマトリクス 22 間を埋めるように顔料あるいは染料からなる色材 23 が形成されている。色材 23 は例えば R (赤)、G (緑)、B (青) のカラ

50

ーフィルタである。

【0034】

さらにブラックマトリクス22及び色材23を覆うように、オーバーコート24が形成されている。オーバーコート24は、反射領域では透過領域よりも厚膜に形成されている。これにより、TFTアレイ基板1と対向基板2との間の間隔(ギャップ)を、反射領域よりも透過領域で広くすることができる。オーバーコート24の上には、対向電極25と配向膜29がこの順で積層されている。対向電極25は、TFTアレイ基板1の画素電極10との間に電界を生じさせ、液晶30を駆動する。

【0035】

続いて、シール部の構成について図4及び図5を用いて説明する。図4及び図5は、本実施の形態に係る液晶表示パネル100のシール部周辺の構成を示す断面図である。図4は、図1のIV-IV断面図であり、ゲート配線端子44側のシール部周辺を示している。また、図5は、図1のV-V断面図であり、ソース配線端子43側のシール部周辺を示している。

10

【0036】

図4において、TFTアレイ基板1の基板3上には、ゲート配線6が形成されている。ゲート配線6を覆うように、ゲート絶縁膜15及びパッシベーション膜17が順次積層されている。また、図5において、基板3上に設けられたゲート絶縁膜15の上には、ソース配線5が形成されている。ソース配線5を覆うように、パッシベーション膜17が形成されている。

20

【0037】

そして、図4及び図5において、パッシベーション膜17の上には、有機膜18が形成されている。本実施の形態では、シール材31の下及びその周辺の有機膜18は除去されており、開口部18dが設けられている。開口部18dは、シール材31よりも幅広に形成されている。従って、シール材31よりも幅の広い開口部18dが、表示領域41を囲むよう枠状に設けられる。また、本実施の形態では、開口部18dの下に設けられたパッシベーション膜17は、エッチング等による膜減りの影響を受けておらず、薄膜部18cの下と、厚膜部18aの下とに設けられたパッシベーション膜17と略同じ膜厚となっている。

【0038】

なお、図4及び図5では、シール材31より表示領域41側に、有機膜18の上に画素電極10が設けられていない領域の断面構成が示されている。従って、ここでは、図3に示した画素49内の構成と同様、シール材31より表示領域41側には薄膜部18cが配設されている。また、シール材31より額縁領域42側にも、薄膜部18cが配設されている。

30

【0039】

このようなTFTアレイ基板1は、対向基板2とシール材31を介して貼り合わされている。対向基板2側では、シール材31は、ブラックマトリクス22のパターン内に配設され、対向電極25と接着されている。一方、TFTアレイ基板1側では、シール材31は、有機膜18に設けられた開口部18d内に配設されている。すなわち、シール材31は、開口部18d内においてパッシベーション膜17と接着されている。そして、TFTアレイ基板1、対向基板2、及びシール材31に囲まれた空間に液晶30が導入されている。なお、TFTアレイ基板1の液晶30と接する側の面には、配向膜19が設けられている。また、対向基板2の液晶30と接する側の面には、配向膜29が設けられている。すなわち、配向膜19、29は、シール材31より内側に配設される。

40

【0040】

次に、本実施の形態に係る半透過型液晶表示装置の製造方法について、図6～図13を用いて説明する。図6～図13は、本実施の形態に係るTFTアレイ基板の一製造工程を示した断面図である。なお、図6～図13の各図において、(a)は、図2のIII-III断面に相当する、画素49内の断面図を示している。また、(b)は、図1のIV-IV断面に

50

相当する、ゲート配線端子 4 4 側のシール部周辺の断面図を示している。(c)は、図 1 の V-V 断面に相当する、ソース配線端子 4 3 側のシール部周辺の断面図を示している。

【0041】

初めに、図 6 を参照して、第 1 の写真製版工程に係る製造工程について述べる。まず、基板 3 上に、ゲート配線 6、ゲート電極 7、及び共通配線 1 2 となる電極膜を成膜する。例えば、スパッタ法等を用いて、Al 合金等の電極膜を基板 3 全面に成膜する。Al 合金に限らず、Cu 合金、Mo 合金、Ag 合金、Cr 合金、又はこれら合金膜の下層に下地との密着力を強化する膜が積層された積層膜、上層に透明導電膜とのコンタクト特性が良好な導電膜が積層された積層膜等を成膜してもよい。次に、第 1 の写真製版工程によって、電極膜の上にレジストパターンを形成する。そして、ウェットエッチング法等により、電極膜をパターンニングする。その後、レジストパターンを除去すると、図 6 に示すように、ゲート配線 6、ゲート電極 7、及び共通配線 1 2 が形成される。

10

【0042】

次に、図 7 を参照して、ゲート絶縁膜 1 5 の形成工程から第 2 の写真製版工程に係る製造工程について述べる。ゲート配線 6、ゲート電極 7、及び共通配線 1 2 を覆うように、ゲート絶縁膜 1 5 を成膜する。例えば、プラズマ CVD 法を用いて、ゲート絶縁膜 1 5 として SiN を基板 3 全面に成膜する。続いて、ゲート絶縁膜 1 5 の上に、半導体層 1 4 とオーミックコンタクト層 1 6 とをこの順に成膜する。例えば、プラズマ CVD 法を用いて、半導体層 1 4 としてアモルファスシリコン膜を基板 3 全面に成膜した後、リン(P)等の不純物を添加した n 型のアモルファスシリコン膜をオーミックコンタクト層 1 6 として

20

【0043】

その後、第 2 の写真製版工程により、オーミックコンタクト層 1 6 の上にレジストパターンを形成する。そして、ドライエッチング等により、オーミックコンタクト層 1 6 及び半導体層 1 4 を島状にパターンニングする。レジストパターンを除去すると、図 7 (a) に示すように、ゲート絶縁膜 1 5 を介してゲート電極 7 の対面に半導体層 1 4 及びオーミックコンタクト層 1 6 が形成される。このとき、ゲート配線端子 4 4 側のシール部周辺では、図 7 (b) のように、ゲート配線 6 がゲート絶縁膜に覆われた状態となる。ソース配線端子 4 3 側のシール部周辺では、図 7 (c) のように、基板 3 上にゲート絶縁膜 1 5 が積層された状態となる。

30

【0044】

次に、図 8 を参照して、第 3 の写真製版工程に係る製造工程について述べる。半導体層 1 4 及びオーミックコンタクト層 1 6 を覆うように、ソース配線 5、ソース電極 8、及びドレイン電極 9 となる電極膜を成膜する。例えば、スパッタ法等を用いて、Cr 等の電極膜を基板 3 全面に成膜する。Cr に限らず、Mo 合金、Al 合金、Ag 合金等の低抵抗金属、又はこれら低抵抗金属の下層にオーミックコンタクト層 1 6 とのコンタクト特性が良好な導電膜が積層された積層膜、上層に透明導電膜とのコンタクト特性が良好な導電膜が積層された積層膜等を成膜してもよい。次に、第 3 の写真製版工程によって、電極膜の上にレジストパターンを形成する。そして、ウェットエッチング法等により、電極膜をパターンニングする。これにより、ソース配線 5、ソース電極 8、及びドレイン電極 9 が形成される。続いて、ソース電極 8 又はドレイン電極 9 に覆われず表面に露出したオーミックコンタクト層 1 6 を、ドライエッチング等により除去する。これにより、ソース電極 8 とドレイン電極 9 の間の半導体層 1 4 が露出し、チャンネル 4 が形成される。その後、レジストパターンを除去すると、図 8 に示すような構成となる。

40

【0045】

次に、図 9 を参照して、パッシベーション膜 1 7 形成工程から第 4 の写真製版工程に係る製造工程について述べる。ソース配線 5、ソース電極 8、及びドレイン電極 9 を覆うように、パッシベーション膜 1 7 を成膜する。例えば、プラズマ CVD 法を用いて、パッシベーション膜 1 7 として SiN を基板 3 全面に成膜する。続いて、パッシベーション膜 1 7 の上に、感光性を有する有機膜 1 8 を塗布する。その後、第 4 の写真製版工程を行い、

50

有機膜 18 をパターンニングする。このとき、本実施の形態では、ハーフトーンやグレー-ton などの複数階調露光を用いて、厚膜部 18 a、薄膜部 18 b、及びコンタクトホール 13 を有する有機膜 18 を形成する。

【0046】

具体的には、コンタクトホール 13 となる領域では、有機膜 18 を除去して、パッシベーション膜 17 を露出させる。シール材 31 の直下及びその周辺となる領域（シール部周辺領域 32）では、複数階調露光を行って、図 9（b）及び図 9（c）に示すように、薄い膜厚を有する薄膜部 18 b を形成する。このとき、薄膜部 18 b の膜厚 d_1 が、後述するプラズマアッシングにて除去される膜厚 d_2 より薄くなるように、第 4 の写真製版工程の条件を調整しておく。そして、コンタクトホール 13 及び薄膜部 18 b を除く領域では、薄膜部 18 b より膜厚の厚い厚膜部 18 a を形成する。なお、厚膜部 18 a のうち、反射領域となる部分には、部分的に露光を行うことでその表面に凹凸パターンを形成する。このように、第 4 の写真製版工程では、第 1 の複数階調露光を用いて、膜厚差を有する有機膜 18 を形成する。

10

【0047】

その後、この有機膜 18 をマスクとして、ドライエッチング法等によりパッシベーション膜 17 をパターンニングする。これにより、図 9（a）に示すように、コンタクトホール 13 となる領域のパッシベーション膜 17 が除去され、ドレイン電極 9 が露出する。

【0048】

次に、図 10 を参照して、透過電極 10 a 及び反射電極 10 b の成膜工程から第 5 の写真製版工程に係る製造工程について述べる。有機膜 18 上に、透過電極 10 a となる透明導電膜を成膜し、さらにその上に反射電極 10 b となる反射導電膜を成膜する。例えば、スパッタ法を用いて、透明導電膜としてアモルファス ITO、反射導電膜として Al 合金膜を基板 3 全面に順次成膜する。透過電極 10 a となる透明導電膜には、ITO、IZO 等を用いてもよい。また、反射電極 10 b となる反射導電膜に、Ag 合金等の高反射金属、又はこれらの下層にコンタクトメタルが積層された積層膜等を用いることもできる。これにより、コンタクトホール 13 は、透過電極 10 a 及び反射電極 10 b に覆われる。

20

【0049】

続いて、反射導電膜の上にレジスト（感光性樹脂）をスピンコート法などにより塗布した後、第 5 の写真製版工程によって、膜厚差を有するレジストパターン 35 を形成する。レジストパターン 35 は、反射領域に膜厚 d_3 の厚膜部 35 a、透過領域に膜厚 d_4 の薄膜部 35 b を有する。すなわち、複数階調露光を用いて、透過領域の膜厚 d_4 が反射領域の膜厚 d_3 より薄くなるようにレジストパターン 35 を形成する。このように、第 5 の写真製版工程では、第 2 の複数階調露光を用いて、膜厚差を有するレジストパターン 35 を形成する。これにより、図 10 に示す構成となる。このとき、シール部周辺領域 32 には、図 10（b）及び図 10（c）のように、レジストパターン 35 は形成されない。

30

【0050】

次に、図 11 を参照して、透過電極 10 a 及び反射電極 10 b のエッチング工程に係る製造工程について述べる。レジストパターン 35 をマスクとして、公知のウェットエッチング法などを用いて、反射電極 10 b、透過電極 10 a の順でパターンニングする。これにより、図 11 に示すように、レジストパターン 35 と重複しない透過電極 10 a 及び反射電極 10 b が除去される。

40

【0051】

次に、図 12 を参照して、アッシング工程に係る製造工程について述べる。透過電極 10 a 及び反射電極 10 b のエッチング後、プラズマアッシング法などのアッシングを行ってレジストパターン 35 の薄膜部 35 b を除去する。レジストパターン 35 の厚膜部 35 a は、膜厚が薄くなり、レジストパターン 35 c として残存する。すなわち、図 12（a）に示すように、薄膜部 35 b の除去されたレジストパターン 35 は、レジストパターン 35 c となる。このとき、本実施の形態では、同時に、透過電極 10 a から露出した有機膜 18 の薄膜部 18 b を除去して、図 12（b）及び図 12（c）のように開口部 18 d

50

を形成する。すなわち、レジストパターン 35 のアッシングを利用して、透過電極 10 a から露出した領域の有機膜 18 をアッシングする。透過電極 10 a から露出した有機膜 18 の厚膜部 18 a は、膜厚が d 2 薄くなり、薄膜部 18 c として残存する。

【0052】

このように、本実施の形態では、アッシングにより、レジストパターン 35 の薄膜部 35 b を除去するとともに、透過電極 10 a から露出した有機膜 18 の薄膜部 18 b を除去して開口部 18 d を形成する。このアッシングで、シール部周辺領域 32 では、薄膜部 18 b が除去され開口部 18 d が形成される。このような方法を用いてシール部周辺領域 32 に開口部 18 d を形成することにより、開口部 18 d 内のパッシベーション膜 17 は、エッチング等によるダメージを受けない。よって、開口部 18 d 内のパッシベーション膜 17 は、ダメージの影響により膜減りしておらず、有機膜 18 に覆われた領域のパッシベーション膜 17 と略同じ膜厚となっている。図 12 (b) に示すように、開口部 18 d の下では、ゲート配線 6 の引き出し配線は、このパッシベーション膜 17 とゲート絶縁膜 15 とに覆われている。また、図 12 (c) に示すように、開口部 18 d の下では、ソース配線 5 の引き出し配線は、このパッシベーション膜 17 に覆われている。

10

【0053】

次に、図 13 を参照して、反射電極 10 b のエッチング工程からレジストパターン 35 除去工程に係る製造工程について述べる。アッシング後、レジストパターン 35 c をマスクとして、反射電極 10 b を公知のウェットエッチング法などを用いて、反射電極 10 b をパターンニングする。これにより、透過領域の反射電極 10 b が除去される。すなわち、図 13 (a) のように、透過領域の透過電極 10 a が露出し、画素電極 10 が形成される。このときのエッチングは、反射電極 10 b の材料に適した方法を用いているので、開口部 18 d 内に露出したパッシベーション膜 17 にエッチングによるダメージを与えない。その後、レジストパターン 35 c を除去し、アニールを行って反射電極 10 b のアモルファス ITO を結晶化させる。これにより、図 13 に示す構成となる。以上の工程を経て本実施の形態に係る TFT アレイ基板 1 が完成する。

20

【0054】

このように作製した TFT アレイ基板 1 の上に配向膜 19 を形成する。また、別途作製された対向基板 2 の上に配向膜 29 を同様に形成する。そして、この配向膜 19、29 に対して、液晶との接触面に一方向にマイクロな傷をつける配向処理（ラビング処理）を施す。次に、シール材 31 を塗布して、TFT アレイ基板 1 と対向基板 2 とを貼り合わせる。このとき、TFT アレイ基板 1 側では、シール材 31 が有機膜 18 の開口部 18 d 内に配置されるように、TFT アレイ基板 1 と対向基板 2 とを貼り合わせる。すなわち、シール材 31 を、開口部 18 d 内のパッシベーション膜 17 と接着させる。

30

【0055】

表示領域 41 から延在する有機膜 18 がシール材 31 の外側まで延在されないので、有機膜 18 を介して水分が浸入することを抑止できる。また、このとき、シール材 31 の下では、ゲート配線 6 の引き出し配線は、ゲート絶縁膜 15 と、ダメージの受けていないパッシベーション膜 17 とに覆われている。ソース配線 5 の引き出し配線は、ダメージの受けていないパッシベーション膜 17 に覆われている。従って、ゲート配線 6 又はソース配線 5 の引き出し配線間の絶縁低下を抑止できる。また、引き出し配線がシール材 31 との直接接触により腐食し、断線してしまうことを防止できる。以上のことから、液晶表示装置の信頼性を向上できる。

40

【0056】

TFT アレイ基板 1 と対向基板 2 とを貼り合わせた後、真空注入法等を用い、液晶注入口から液晶 30 を注入する。そして、液晶注入口を封止する。このようにして、本実施の形態の液晶表示パネル 100 が完成する。

【0057】

以上のように、本実施の形態では、パッシベーション膜 17 上に有機膜 18 を塗布した後、第 1 の複数階調露光を用いて、ドレイン電極 9 上の有機膜 18 にコンタクトホール 1

50

3と、シール部周辺領域32に薄膜部18bとを形成する。そして、この有機膜18をマスクとして、パッシベーション膜17をエッチングして、ドレイン電極9に到達するコンタクトホール13を形成する。そして、有機膜18の上に透過電極10a及び反射電極10bを順次成膜した後、第2の複数階調露光を用いて、膜厚差を有するレジストパターン35を形成し、透過電極10a及び反射電極10bをエッチングする。その後、アッシングを行い、レジストパターン35の薄膜部35bを除去するとともに、透過電極10aから露出した有機膜18の薄膜部18bを除去して、開口部18dを形成する。これにより、写真製版工程数を増加させずに、シール部周辺領域32の有機膜18に開口部18dを形成できる。よって、有機膜18を介して水分が浸入することを抑止できる。シール部周辺領域32では、アッシングによって有機膜18のみが除去され、パッシベーション膜17はダメージを受けずに残存する。よって、シール部周辺領域32において、ゲート配線6又はソース配線5の引き出し配線間の絶縁低下を抑止するとともに、引き出し配線の断線を防止できる。従って、写真製版工程数を増加させることなく、信頼性を向上できる半透過型液晶表示装置、及びその製造方法を提供することができる。

10

20

30

40

50

【0058】

上記の実施の形態では、シール材31の下の有機膜18を、シール材31の幅より広い幅で除去して、シール材31の外側の有機膜18を残す場合について例示的に説明をしたが、それに限定されるものではない。シール材31の外側(額縁領域42側)の有機膜18も除去してもよい。このとき、除去する領域の有機膜18は、第1の複数階調露光でシール部周辺領域32と同様に薄膜部18bを形成しておく、第2の複数階調露光後のアッシングで除去できる。さらに、シール材31を開口部18dの内側に配置したが、開口部18dの外側の有機膜18を跨ぐように配置することも可能である。すなわち、表示領域41から延在された有機膜18の端部が、シール材31の外形端より内側の位置にあれば、有機膜18を介した水分の浸入を防止できる。

【0059】

また、透過領域と反射領域におけるギャップを異ならせるため、対向基板2のオーバーコート24に段差を設けたが、対向基板2側ではなく、TFTアレイ基板1側に段差を設けてもよい。例えば、有機膜18の膜厚を透過領域と反射領域とで異ならせてもよい。この場合、有機膜18の形成時に、第1の複数階調露光で透過領域に薄膜部を形成しておく。透過領域に設けられた薄膜部は、シール部周辺領域32の薄膜部18bと同じ膜厚でもよく、また、異なる膜厚でもよい。すなわち、要求される段差に応じて、適宜、透過領域に形成する薄膜部の膜厚を設定できる。この薄膜部は、透過電極10aに覆われるので、アッシングにより除去されずに薄膜部として残存する。なお、第1の複数階調露光で、透過領域、反射領域、コンタクトホール13、及びシール部周辺領域32を除いた領域には、厚膜部18aを形成したが、シール部周辺領域32と同様に薄膜部18bを形成することも可能である。この薄膜部18bは透過電極10aに覆われないので、アッシングにより除去され開口部18dとなる。

【0060】

さらに、ソース配線5、ソース電極8、及びドレイン電極9のパターニングを半導体層14のパターニングと別の写真製版工程で行ったが、複数階調露光を用いて、同じ写真製版工程で行ってもよい。この場合、オーミックコンタクト層16及び半導体層14は、ソース配線5、ソース電極8、及びドレイン電極9の下略全面に設けられる構成となる。チャンネル4の形成領域に複数階調露光を行う。

【0061】

なお、上記の説明では、チャンネルエッチ型のTFTを形成する場合について例示的に説明をしたが、エッチストップ型や、半導体層14にポリシリコンを用いたトップゲート型などのTFTでもよい。

【0062】

以上の説明は、本発明の実施の形態を説明するものであり、本発明が以上の実施の形態に限定されるものではない。また、当業者であれば、以上の実施の形態の各要素を、本発

明の範囲において、容易に変更、追加、変換することが可能である。

【図面の簡単な説明】

【0063】

【図1】本実施の形態に係る液晶表示装置の構成を示す正面図である。

【図2】本実施の形態に係る液晶表示パネルの画素構成を示す平面図である。

【図3】図2のIII-III断面図である。

【図4】図1のIV-IV断面図である。

【図5】図1のV-V断面図である。

【図6】本実施の形態に係るTFTアレ基板の一製造工程を示した断面図である。

【図7】本実施の形態に係るTFTアレ基板の一製造工程を示した断面図である。

【図8】本実施の形態に係るTFTアレ基板の一製造工程を示した断面図である。

【図9】本実施の形態に係るTFTアレ基板の一製造工程を示した断面図である。

【図10】本実施の形態に係るTFTアレ基板の一製造工程を示した断面図である。

【図11】本実施の形態に係るTFTアレ基板の一製造工程を示した断面図である。

【図12】本実施の形態に係るTFTアレ基板の一製造工程を示した断面図である。

【図13】本実施の形態に係るTFTアレ基板の一製造工程を示した断面図である。

【符号の説明】

【0064】

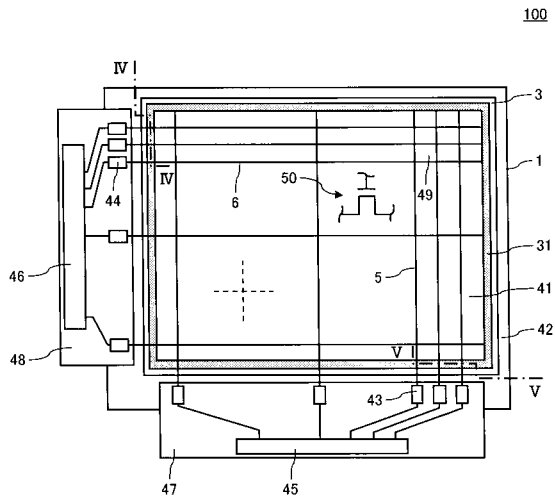
- 1 TFTアレ基板、2 対向基板、3 基板、4 チャンネル、5 ソース配線、
 6 ゲート配線、7 ゲート電極、8 ソース電極、9 ドレイン電極、
 10 画素電極、10a 透過電極、10b 反射電極、12 共通配線、
 13 コンタクトホール、14 半導体層、15 ゲート絶縁膜、
 16 オーミックコンタクト層、17 パッシベーション膜、
 18 有機膜、18a 厚膜部、18b、18c 薄膜部、18d 開口部、
 19 配向膜、21 基板、22 ブラックマトリクス、23 色材、
 24 オーバーコート、25 対向電極、29 配向膜、30 液晶、
 31 シール材、32 シール部周辺領域、35 レジストパターン、
 35a 厚膜部、35b 薄膜部、35c レジストパターン、
 41 表示領域、42 額縁領域、43 ソース配線端子、44 ゲート配線端子、
 45、46 制御回路、47、48 フレキシブル基板、49 画素、
 50 TFT、100 液晶表示パネル

10

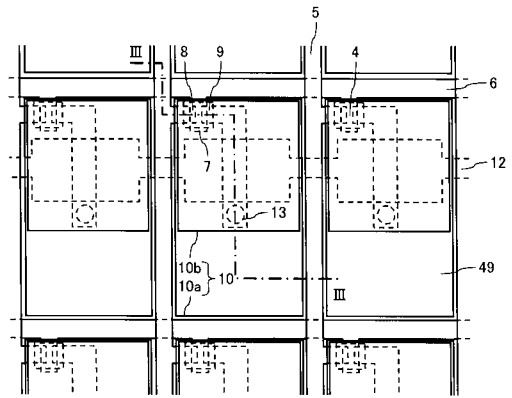
20

30

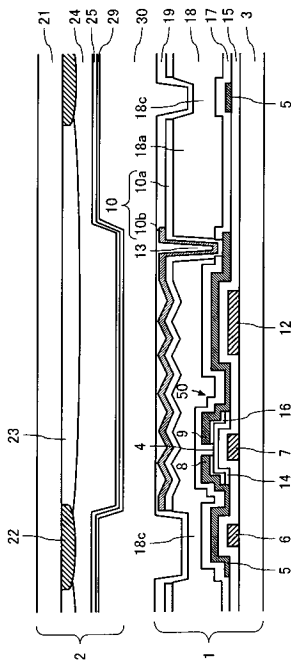
【 図 1 】



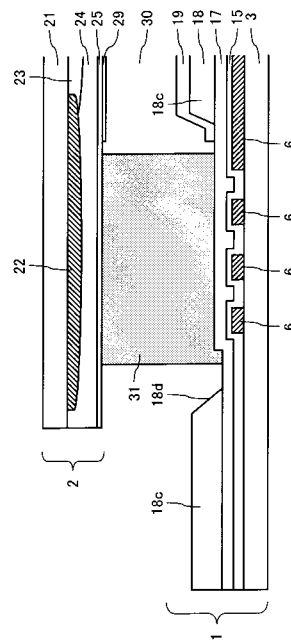
【 図 2 】



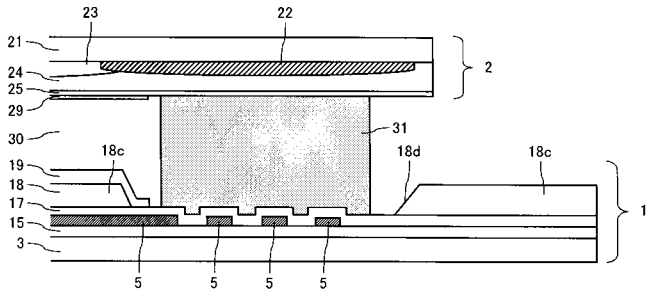
【 図 3 】



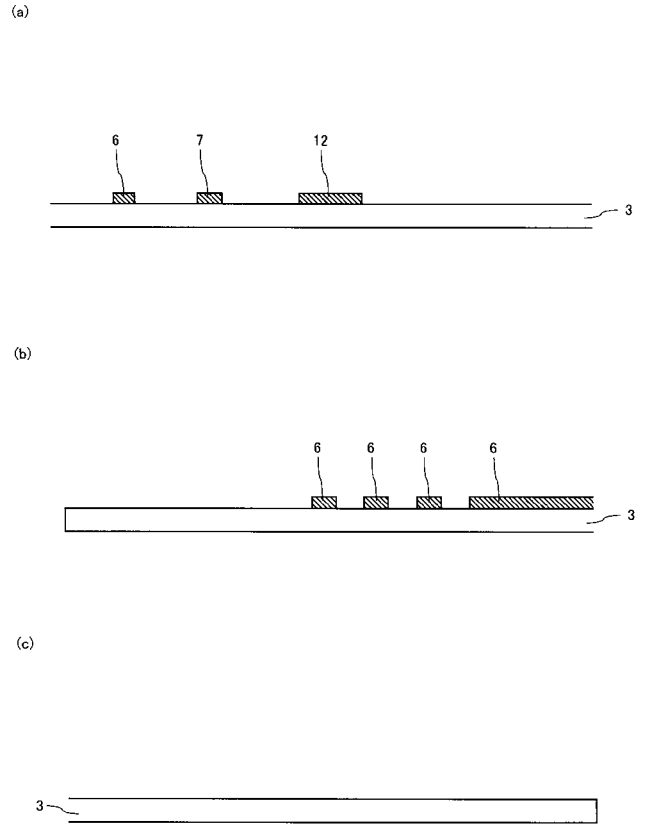
【 図 4 】



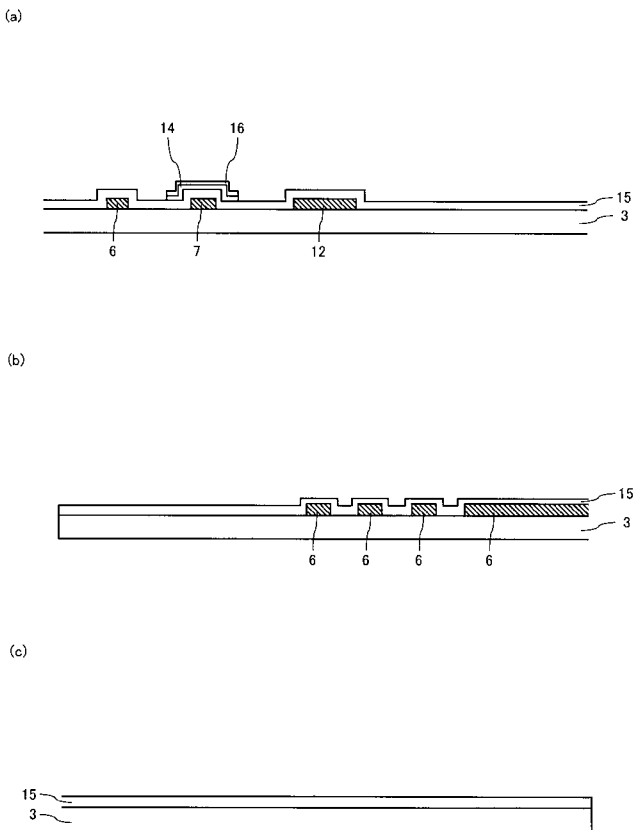
【 図 5 】



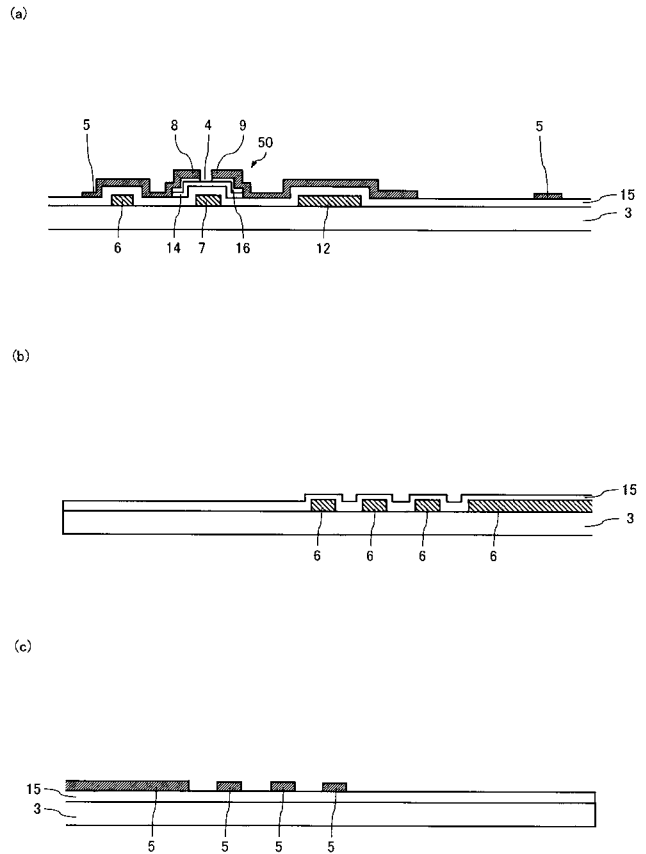
【 図 6 】



【 図 7 】

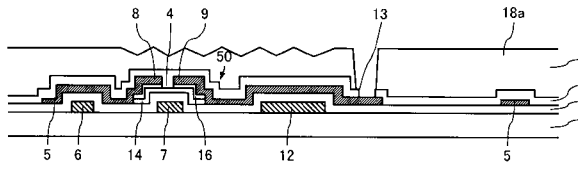


【 図 8 】

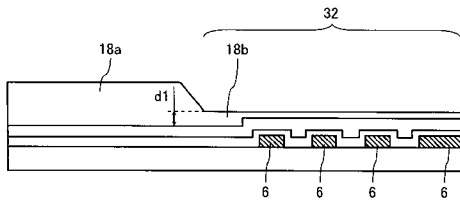


【 図 9 】

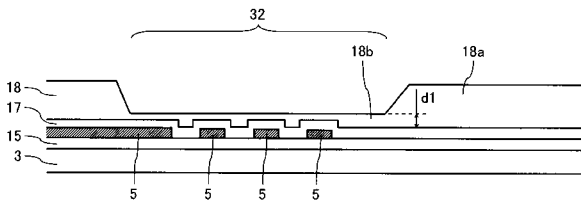
(a)



(b)

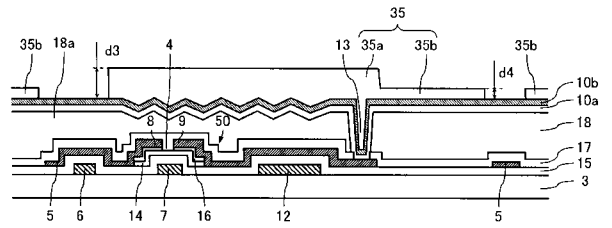


(c)

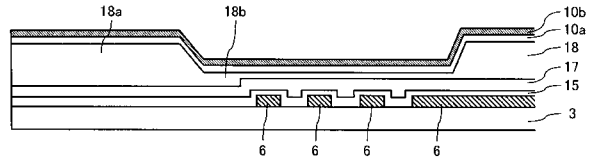


【 図 1 0 】

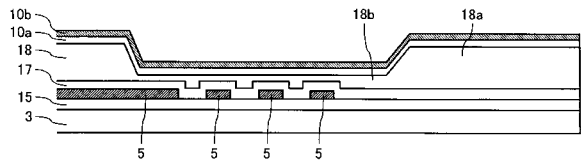
(a)



(b)

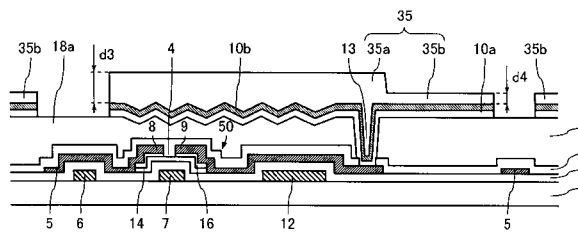


(c)

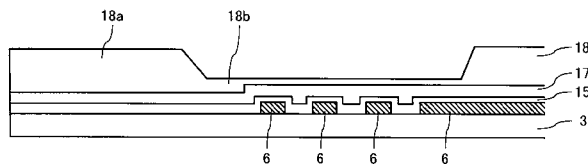


【 図 1 1 】

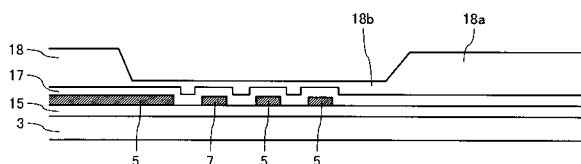
(a)



(b)

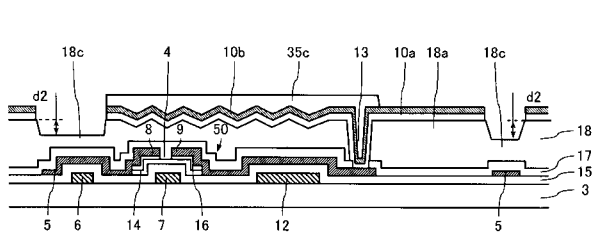


(c)

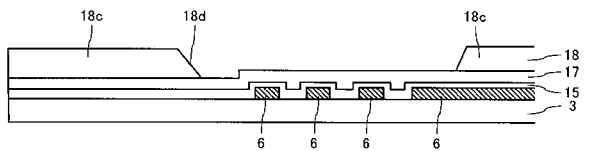


【 図 1 2 】

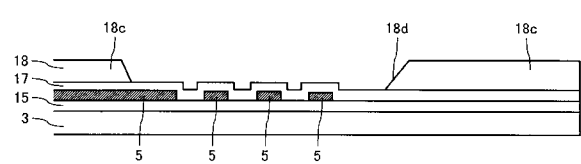
(a)



(b)

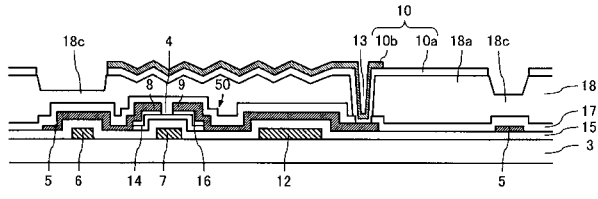


(c)

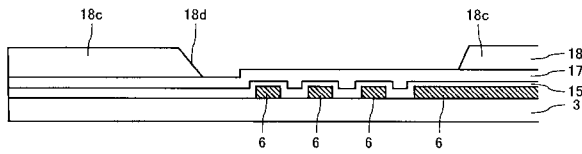


【 図 1 3 】

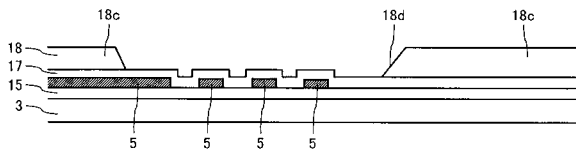
(a)



(b)



(c)



专利名称(译)	透反液晶显示装置及其制造方法		
公开(公告)号	JP2009139394A	公开(公告)日	2009-06-25
申请号	JP2007312224	申请日	2007-12-03
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	林正美		
发明人	林正美		
IPC分类号	G02F1/1368 G02F1/1335		
CPC分类号	G02F1/1339 G02F1/133371 G02F1/133555 G02F1/1345 G02F2001/133388 G02F2001/136231 H01L27/1248 H01L27/1288		
FI分类号	G02F1/1368 G02F1/1335.520		
F-TERM分类号	2H091/FA15Y 2H091/FA16Y 2H091/FB02 2H091/FB08 2H091/FD04 2H091/GA02 2H091/GA09 2H091/GA13 2H091/JA03 2H091/LA01 2H091/LA12 2H091/LA30 2H092/GA19 2H092/GA35 2H092/HA03 2H092/HA05 2H092/JA26 2H092/JA46 2H092/JB08 2H092/JB58 2H092/JB65 2H092/JB66 2H092/JB69 2H092/KB22 2H092/KB25 2H092/NA15 2H092/NA27 2H092/NA29 2H092/PA04 2H092/PA12 2H191/FA02Y 2H191/FA15Y 2H191/FA22X 2H191/FA22Z 2H191/FA30X 2H191/FA30Z 2H191/FA34Y 2H191/FA45Y 2H191/FA81Z 2H191/FA94Y 2H191/FA95Y 2H191/FB12 2H191/FB13 2H191/FB14 2H191/FB23 2H191/FC02 2H191/FC10 2H191/FC36 2H191/FD04 2H191/FD22 2H191/FD26 2H191/FD35 2H191/GA04 2H191/GA05 2H191/GA10 2H191/GA15 2H191/GA19 2H191/GA23 2H191/LA06 2H191/LA13 2H191/LA40 2H191/NA09 2H191/NA13 2H191/NA14 2H191/NA30 2H191/NA34 2H191/NA37 2H191/PA65 2H192/AA24 2H192/BC31 2H192/BC42 2H192/BC64 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CB35 2H192/DA13 2H192/DA43 2H192/EA22 2H192/EA43 2H192/EA67 2H192/EA68 2H192/EA74 2H192/FB46 2H192/GA41 2H192/GD25 2H192/HA44 2H291/FA02Y 2H291/FA15Y 2H291/FA22X 2H291/FA22Z 2H291/FA30X 2H291/FA30Z 2H291/FA34Y 2H291/FA45Y 2H291/FA81Z 2H291/FA94Y 2H291/FA95Y 2H291/FB12 2H291/FB13 2H291/FB14 2H291/FB23 2H291/FC02 2H291/FC10 2H291/FC36 2H291/FD04 2H291/FD22 2H291/FD26 2H291/FD35 2H291/GA04 2H291/GA05 2H291/GA10 2H291/GA15 2H291/GA19 2H291/GA23 2H291/LA06 2H291/LA13 2H291/LA40 2H291/NA09 2H291/NA13 2H291/NA14 2H291/NA30 2H291/NA34 2H291/NA37 2H291/PA65		
其他公开文献	JP5259163B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够在不增加光刻步骤数的情况下提高可靠性的半透射式液晶显示装置及其制造方法。制造根据本发明的透反射液晶显示装置的方法包括：在覆盖TFT的钝化膜上形成具有膜厚差的有机膜，并蚀刻该钝化膜以形成接触孔。形成。使用具有不同膜厚度的抗蚀剂图案35蚀刻有机膜18上的反射电极10b和透射电极10a。通过灰化，去除抗蚀剂图案35的薄膜部分35b，并且去除有机膜18的暴露的薄膜部分18b以形成开口18d。使用已经去除了薄膜部分的抗蚀剂图案35c来蚀刻反射电极10b。将基板3和基板21接合在一起，使得框状密封材料31布置在有机膜18的开口18d中。[选择图]图5

