

【特許請求の範囲】

【請求項 1】

画素電極が形成された第 1 基板と、該第 1 基板に対向するように設けられた第 2 基板と、それらの間に設けられた液晶層と、を備えた液晶表示装置であって、

上記第 1 基板は、上記画素電極の下方に設けられた層間絶縁膜と、該層間絶縁膜の下方に互いに平行に延びるように形成された複数の走査線と、該複数の走査線と直交する方向に互いに平行に延びるように形成された複数の信号線と、該複数の走査線と複数の信号線との各交差部に設けられて全体としてマトリクスを構成し、該各交差部において、対応する走査線及び信号線のそれぞれに電氣的に接続された薄膜トランジスタと、を備え、

上記薄膜トランジスタは、島状に形成され且つ上記層間絶縁膜に形成されたコンタクトホールを介して上記画素電極に電氣的に接続されたドレイン電極と、該ドレイン電極の周りに配置されたソース電極と、を備える液晶表示装置。

10

【請求項 2】

請求項 1 に記載された液晶表示装置において、

上記ソース電極は、上記ドレイン電極をコ字状に囲んでいる液晶表示装置。

液晶表示装置。

【請求項 3】

請求項 1 に記載された液晶表示装置において、

上記ソース電極は、上記ドレイン電極の周囲を全て囲んでいる液晶表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置等のスイッチング素子として用いられる薄膜トランジスタ 100 (TFT: Thin Film Transistor) は、図 9 に示すように、基板 103 上に互いに交差するように形成された複数のソース線 101 及びゲート線 102 の各交差部に設けられている。TFT 100 は、互いに半導体層 104 を介して配置されたゲート電極 105、ソース電極 106 及びドレイン電極 107 を備えている。そして、このソース電極 106 及びドレイン電極 107 は、図 9 に示すように、同一直線上に形成されるのが一般的である。

30

【0003】

TFT を形成する際、通常、ゲート - ドレイン間容量 (以下、 C_{gd} と記す) が発生する。この C_{gd} は、TFT 形成工程において、露光装置によるショットずれや、ゲート、半導体層又はソース線の線幅ばらつき、或いはレイヤーずれの原因となり、表示画面における輝度差を発生させ、表示品位に悪影響を与える。

【0004】

以下、 C_{gd} 及びそれによる輝度差の発生について、より具体的に説明する。

【0005】

図 10 は、液晶ディスプレイの画面である。 C_{gd} が発生すると、露光装置によるショットずれや、ゲート、半導体層又はソース線の線幅ばらつきが生じて、図 10 のように正常な表示をする領域 A 及び領域 B との間に画面継ぎ領域 C が生じる。

40

【0006】

具体的には、基板を複数の露光領域に分割して露光処理する場合に、分割露光する領域にずれが生じてしまい、表示品位に悪影響を与えることがあるが、これを抑制するために、分割露光によって画素パターンを形成する際、分割領域の境界部分を各分割領域それぞれに対する露光処理によって、すなわち、2重露光処理によって形成する。このとき、2重露光処理される領域が画面継ぎ領域 C となる。

【0007】

このように、画面継ぎ領域 C は、線幅ばらつきやレイヤー間のずれ等により生じるため

50

、図11のようにCgdによる引き込み電圧（ゲートの電圧をHighからLowにする際に起こる電圧降下）により、ドレイン印加電位が変化し、A領域及びB領域との輝度差が生じる。ここで、図11において、Vdは以下のように表される。

【0008】

$$Vd = Cgd / Cpix \times (Vgh - Vgl)$$

Vgh = ゲートHi電圧, Vgl = ゲートLow電圧, Cpix = Clc + Ccs + . . . : 画素総容量

$$= Vd(C領域) - Vd(A領域) = (Cgd(C領域) - Cgd(A領域)) / Cpix \times (Vgh - Vgl)$$

また、実効値電位差 Vrmsは、以下のように表される。

【0009】

$$Vrms = ((Vs^2 + Vs^2) / 2)^{0.5} - ((Vs -)^{0.5} + (Vs +)^2) / 2)^{0.5}$$

10

この値が大きければ大きいほど画面継ぎ領域Cのみ輝度差が発生して帯ムラが生じる。また、近年求められている表示装置の高精細機種においては、このムラが発生しやすい状況となっている。

【0010】

このような画面の表示ムラの原因となるCgdの発生を抑制する技術として、例えば特許文献1には、図12のように凹状のソース電極106と凸状のドレイン電極107とで構成したTF T 200が開示されている。

【0011】

また、特許文献2及び3には、図13のようにソース電極106及びドレイン電極107の間にL字状のチャンネル領域を形成したTF T 300が開示されている。

20

【0012】

さらに、特許文献4には、図14のようにゲートに対してソース電極106及びドレイン電極107が、それぞれ十字にクロスオーバーするように形成したTF T 400が開示されている。

【0013】

尚、図12～14において、図9と同符号を付したものは、互いに同じ構成要素を表している。

【特許文献1】特開平2-285326号公報

【特許文献2】特許第3654474号公報

【特許文献3】特開平7-66419号公報

30

【特許文献4】特許第3030751号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

しかしながら、特許文献1～3に開示されたTF Tは、依然としてショットずれによりCgdの変化が生じてしまう。また、ゲート、及び、ソースの線幅ばらつきによってもCgdが変化する。このため、輝度差が発生する。

【0015】

また、特許文献4に開示されたTF Tは、ショットずれによるCgdの変化は抑制されるが、依然としてゲート、及び、ソースの線幅ばらつきによってCgdが変化し、輝度差が発生する。

40

【0016】

本発明は、斯かる諸点に鑑みてなされたものであり、その目的とするところは、TF Tのゲート-ドレイン間容量の変化を良好に抑制することにより、表示品位の優れた液晶表示装置を提供することである。

【課題を解決するための手段】

【0017】

本発明に係る液晶表示装置は、画素電極が形成された第1基板と、第1基板に対向するように設けられた第2基板と、それらの間に設けられた液晶層と、を備えた液晶表示装置であって、第1基板は、画素電極の下方に設けられた層間絶縁膜と、層間絶縁膜の下方に

50

互いに平行に延びるように形成された複数の走査線と、複数の走査線と直交する方向に互いに平行に延びるように形成された複数の信号線と、複数の走査線と複数の信号線との各交差部に設けられて全体としてマトリクスを構成し、各交差部において、対応する走査線及び信号線のそれぞれに電氣的に接続された薄膜トランジスタと、を備え、薄膜トランジスタは、島状に形成され且つ層間絶縁膜に形成されたコンタクトホールを介して画素電極に電氣的に接続されたドレイン電極と、ドレイン電極の周りに配置されたソース電極と、を備えたことを特徴とする。ここで、ソース電極が「ドレイン電極の周りに配置された」とは、薄膜トランジスタをその上方から見た際に（平面視において）、ドレイン電極の周りにソース電極が配置されている構成をいう。

【0018】

このような構成によれば、薄膜トランジスタが、島状に形成されたドレイン電極と、ドレイン電極の周りに配置されたソース電極と、を備えるため、露光装置のショットずれによってソース電極及びドレイン電極の位置がずれてもゲート-ドレイン間容量の変化が生じない。また、本発明の構成によれば、ドレイン電極が、ゲート電極から延長して構成されるものではないため、ゲート電極幅のばらつきによるゲート-ドレイン間容量の変化が良好に抑制される。このため、輝度ムラの発生が抑制されて、液晶表示装置の表示品位が良好となる。

【0019】

また、本発明に係る液晶表示装置は、ソース電極がドレイン電極をコ字状に囲んでいてもよい。ここで、ソース電極が「ドレイン電極をコ字状に囲んでいる」とは、薄膜トランジスタをその上方から見た際に（平面視において）、ソース電極がドレイン電極をコ字状に囲んでいる構成をいう。

【0020】

このような構成によれば、下記実施形態で詳述するが、図1に示すTFT61のように、ソース電極20がドレイン電極21をコ字状に囲んでいるため、露光装置のショットずれによってソース電極及びドレイン電極の位置がずれてもゲート-ドレイン間容量の変化が生じない。また、本発明の構成によれば、ドレイン電極が、ゲート電極から延長して構成されるものではないため、ゲート電極幅のばらつきによるゲート-ドレイン間容量の変化が良好に抑制される。このため、輝度ムラの発生が抑制されて、液晶表示装置の表示品位が良好となる。

【0021】

さらに、本発明に係る液晶表示装置は、ソース電極がドレイン電極の周囲を全て囲んでいてもよい。ここで、ソース電極が「ドレイン電極の周囲を全て囲んでいる」とは、薄膜トランジスタをその上方から見た際に（平面視において）、ソース電極がドレイン電極の周囲を全て囲んでいる構成をいう。

【0022】

このような構成によれば、図2に示すTFT11のように、ソース電極20がドレイン電極21の周囲を全て囲んでいるため、露光装置のショットずれによってソース電極及びドレイン電極の位置がずれてもゲート-ドレイン間容量の変化が生じない。また、ソース電極20がドレイン電極21の周囲を全て囲んでいるため、実質的なゲート-ドレイン間容量がドレイン電極の中心位置で決まる。従って、ゲート電極幅及びドレイン電極幅のばらつきによってゲート-ドレイン間容量は変化することがないため、輝度ムラの発生が良好に抑制されて、液晶表示装置の表示品位が良好となる。

【発明の効果】

【0023】

本発明によれば、TFTのゲート-ドレイン間容量の変化を良好に抑制することにより、表示品位の優れた液晶表示装置を提供することができる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施形態に係る液晶表示装置を図面に基づいて詳細に説明する。尚、本

10

20

30

40

50

発明は、以下の実施形態に限定されるものではない。

【0025】

(実施形態)

(液晶表示装置10の構成)

図3は、本発明の実施形態に係る液晶表示装置10のTFT基板12の平面図である。

図4は、図3のIV-IV線に対応する液晶表示装置10の断面図である。図5は、図3のV-V線に対応する液晶表示装置10の断面図である。

【0026】

液晶表示装置10は、マトリクス状に配置された複数のTFT11(スイッチング素子)を有するTFT基板12と、TFT基板12に貼り合わされた対向基板としてのカラーフィルタ基板(以下、CF基板13という)とを備えており、これらTFT基板12とCF基板13との間には、液晶層15が配置されている。

10

【0027】

TFT基板12は、透明のガラス基板16を有している。ガラス基板16上には、縦方向(図3の上下方向)に延びる複数本のソース線17(信号線)と、横方向(図3の左右方向)に延びる複数本のゲート線18(走査線)とが互いに交差するように配置されており、各交差部の近傍には、ソース電極20、ドレイン電極21及びゲート電極22を有するTFT11と、このTFT11のドレイン電極21に電気的に接続された画素電極37とが配置されている。

20

【0028】

TFT11のソース電極20は、ソース線17に電気的に接続している。ソース線17、ソース電極20及びドレイン電極21と、ゲート線18及びゲート電極22とは、ゲート絶縁膜23によって電気的に絶縁されている。また、ドレイン電極21は、画素領域30の略中央位置の補助容量配線(以下、Cs線29という)上にも設けられ、補助容量用電極(以下、Cs電極31という)とされている。

【0029】

ゲート絶縁膜23上には、真性半導体層32及びN型半導体層33がこの順で形成されている。

【0030】

N型半導体層33上には、島状に形成されたドレイン電極21及びドレイン電極21の周囲を全て囲むように配置されたソース電極20が設けられている。ここで、ソース電極20は、島状のドレイン電極21の周囲を全て囲んでいなくてもよく、例えば図1に示すように、島状のドレイン電極21をコ字状に囲んでいてもよい。

30

【0031】

上記ソース線17、ソース電極20、ドレイン電極21及びCs電極31の上には、チャンネル保護層35及び層間絶縁膜36が設けられており、画素電極37は、その層間絶縁膜36上に配置されている。この画素電極37は、画素領域30の略全体を覆うように設けられている。

【0032】

各画素領域30において、島状のドレイン電極21及びCs電極31上の層間絶縁膜36には、それぞれコンタクトホール40が形成されており、このコンタクトホール40を経由して、TFT11のドレイン電極21と画素電極37、及び、Cs電極31と画素電極37とが電気的に接続している。

40

【0033】

CF基板13は、透明のガラス基板50を有している。このガラス基板50上において、TFT基板12のソース線17周り、及び、TFT11周りには、遮光層(不図示)が設けられており、それを覆うように色層(不図示)が設けられている。色層は、R(赤色)、G(緑色)、B(青色)の3種類の着色層が所定の画素配列に基づいて各画素領域30毎に択一的に配置されてなっている。つまり、本実施形態では、「画素」とは、サブピクセル(ドット)を表している。色層の上には、ITO膜からなる透明の対向電極52が

50

複数の画素領域 30 に亘って設けられている。なお、着色層を構成するものとしては、R G B の組合せ以外に、シアン、マゼンタ、イエローの補色を用いてもよい。

【0034】

さらに、CF基板 13 には、その対向電極 52 から対向する TFT 基板 12 へ向かって延びるように形成されたスペーサ（不図示）が形成されている。

【0035】

（液晶表示装置 10 の製造方法）

次に、液晶表示装置 10 の製造方法について説明する。

【0036】

（CF基板 13 の製造工程）

まず、本実施形態の CF 基板 13 の製造工程の一例について詳細に説明する。

10

【0037】

初めにガラス基板 50 を用意する。そして、遮光層をスパッタリング法により成膜し、その膜をパターンングして、遮光領域を形成する。次に、表示領域に赤の顔料が分散された樹脂フィルム（ドライフィルム）を全面にラミネートし、露光、現像及びベーク（熱処理）を行って、第 1 色層（赤）を形成する。次に、第 1 色層に重ねて、緑色の顔料が分散された樹脂フィルムを全面にラミネートし、露光、現像及びベーク（熱処理）を行って、第 2 色層（緑）を形成する。同様に、第 3 色層（青）を形成する。

【0038】

次に、色層の上層に ITO を蒸着して対向電極 52 を形成し、続いてスペーサを形成することにより、CF 基板 13 を製造する。

20

【0039】

尚、スペーサは、CF 基板 13 上ではなく、TFT 基板 12 上に形成しておいてもよい。

【0040】

（TFT 基板 12 の製造工程）

TFT 基板 12 については、まず、ガラス基板 16 を用意し、ゲート膜をスパッタリングにより成膜し、そのゲート膜をパターンングして、ゲート線 18、ゲート電極 22 および Cs 線 29 を形成する。次に、CVD 法によりゲート絶縁膜 23 を成膜し、その上に、真性半導体層 32 及び N 型半導体層 33 をこの順で形成後、ソース線 17、ソース電極 20、ドレイン電極 21 および Cs 電極 31 を設ける。また、このとき、パターンングにより、N 型半導体層 33 上にドレイン電極 21 を島状に形成し、この島状のドレイン電極 21 の周囲を全て囲むようにソース電極 20 を形成する。これにより、TFT 11 が完成する。

30

【0041】

続いて、エッチング保護膜として、例えば SiNx を形成し、パターン形成を行った後、層間絶縁膜 36 を形成する。次いで、エッチングによりコンタクトホール 40 をそれぞれ形成する。次に、ITO を真空蒸着して透明導電膜をパターンングして画素電極 37 を形成する。この画素電極 37 は、層間絶縁膜 36 に形成されたコンタクトホール 40 を経由して、Cs 電極 31、TFT 11 のドレイン電極 21 に電氣的に接続される。

40

【0042】

（基板貼り合わせ工程）

次に、TFT 基板 12 の遮光領域に対応する部位にシール材を塗布し、ディスプレイ等を用いて液晶材料をその内方に滴下する。続いて、液晶材料が滴下された TFT 基板 12 に CF 基板 13 を貼り合わせる。この工程は真空中で行われる。次いで、貼り合わせた両基板を大気中に戻すと貼り合わされた両基板間の液晶材料が大気圧により拡散する。次に、シール材の塗布領域に沿って UV 光源を移動させながら UV 光をシール剤に照射し、シール材を硬化させる。このようにして、拡散した液晶材料は 2 枚の基板間に封止されて液晶セルを形成し、これを用いて液晶表示装置 10 を完成させる。

【0043】

50

尚、液晶の注入は、本実施形態のように形成されなくてもよく、両基板の側方に液晶注入口を設けて、そこへ液晶材料を注入し、その後液晶注入口を紫外線硬化樹脂等で封止するものであってもよい。

【0044】

(作用効果)

次に、本発明の実施形態に係る液晶表示装置10の作用効果を説明する。

【0045】

まず、比較例として、従来の構造のTFT基板70の平面図を図6に示す。図7及び8は、TFT基板70を備えた従来の液晶表示装置71の断面図を示す。また、図7は図6のVII-VII線に対応する断面図であり、図8は図6のVIII-VIII線に対応する断面図である。

10

【0046】

従来の液晶表示装置71は、ガラス基板72上に複数のTFT73を備えたTFT基板70、ガラス基板74上に対向電極75を備えたCF基板76、及び、これらの間に設けられた液晶層77で構成されている。

【0047】

TFT基板70のガラス基板72上には、複数本のソース線80とゲート線81とが互いに交差するように配置されており、各交差部の近傍には、ソース電極82、ドレイン電極83及びゲート電極84を有するTFT73と、このTFT73のドレイン電極83に電氣的に接続された画素電極86とが配置されている。TFT基板70のソース線80、ソース電極82及びドレイン電極83と、ゲート線81およびゲート電極84とは、ゲート絶縁膜87によって電氣的に絶縁されている。ゲート絶縁膜87上には、真性半導体層88及びN型半導体層89がこの順で形成されている。N型半導体層89上には、ソース電極82及びドレイン電極83が形成されている。また、ドレイン電極83は、TFT73の位置から画素領域90の略中央位置のCs線91上まで延設されており、その端部は、Cs電極92とされている。上記ソース線80、ソース電極82、ドレイン電極83およびCs電極92の上には、チャンネル保護層93及び層間絶縁膜94が設けられており、画素電極86は、その層間絶縁膜94上に配置されている。各画素領域90において、Cs電極92上の層間絶縁膜94には、コンタクトホール95が一つ形成されており、このコンタクトホール95を経由して、Cs電極92、つまりTFT73のドレイン電極83と、画素電極86とが電氣的に接続している。

20

30

【0048】

従来の液晶表示装置71は、このように、ソース電極82及びドレイン電極83がチャンネル保護層93を介して同一直線上に形成されている。このようにTFT73を形成すると、通常、ゲート-ドレイン間容量(Cgd)が発生する。このため、TFT形成工程において、露光装置によるショットずれや、ゲート、半導体層又はソース線80の線幅ばらつき、或いはレイヤーずれの原因となり、表示画面における輝度差を発生させ、表示品位に悪影響を与える。

【0049】

これに対して、上述した本発明の実施形態に係る液晶表示装置10は、TFT基板12のTFT11が、島状に形成され且つ層間絶縁膜36に形成されたコンタクトホール40を介して画素電極37に電氣的に接続されたドレイン電極21と、ドレイン電極21の周りに配置されたソース電極20と、を備えている。

40

【0050】

このような構成によれば、薄膜トランジスタが、島状に形成されたドレイン電極21と、ドレイン電極21の周りに配置されたソース電極20と、を備えるため、露光装置のショットずれ、ソース電極20及びドレイン電極21等の線幅ばらつきが起因となって生じるゲート-ドレイン間容量の変化が良好に抑制される。このため、輝度ムラの発生が抑制されて、液晶表示装置10の表示品位が良好となる。

【産業上の利用可能性】

50

【 0 0 5 1 】

以上説明したように、本発明は、液晶表示装置について有用である。

【 図面の簡単な説明 】

【 0 0 5 2 】

【 図 1 】 本発明の実施形態に係るソース電極がドレイン電極をコ字状に囲んだ形態の T F T の平面図である。

【 図 2 】 本発明の実施形態に係るソース電極がドレイン電極の周囲を全て囲んだ形態の T F T の平面図である。

【 図 3 】 本発明の実施形態に係る液晶表示装置の T F T 基板の平面図である。

【 図 4 】 図 3 の IV - IV 線に対応する液晶表示装置の断面図である。

10

【 図 5 】 図 3 の V - V 線に対応する液晶表示装置の断面図である。

【 図 6 】 従来 of T F T 基板の平面図である。

【 図 7 】 図 6 の VII - VII 線に対応する液晶表示装置の断面図である。

【 図 8 】 図 6 の VIII - VIII 線に対応する液晶表示装置の断面図である。

【 図 9 】 従来 of T F T の平面図である。

【 図 1 0 】 従来 of 液晶ディスプレイの画面図である。

【 図 1 1 】 C g d による画面輝度差発生原理を示すグラフである。

【 図 1 2 】 特許文献 1 に係る T F T の平面図である。

【 図 1 3 】 特許文献 2 及び 3 に係る T F T の平面図である。

【 図 1 4 】 特許文献 4 に係る T F T の平面図である。

20

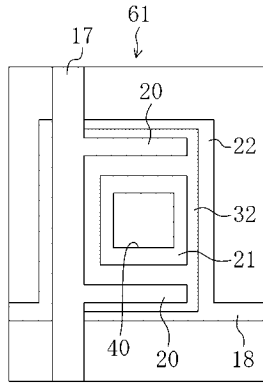
【 符号の説明 】

【 0 0 5 3 】

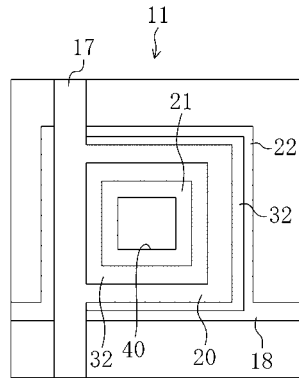
1 0	液晶表示装置
1 1 , 6 1	T F T
1 2	T F T 基板
1 3	C F 基板
1 7	ソース線
1 8	ゲート線
2 0	ソース電極
2 1	ドレイン電極
2 2	ゲート電極
2 3	ゲート絶縁膜
3 2	真性半導体層
3 3	N 型半導体層
3 5	チャンネル保護層
3 6	層間絶縁膜
3 7	画素電極
4 0	コンタクトホール

30

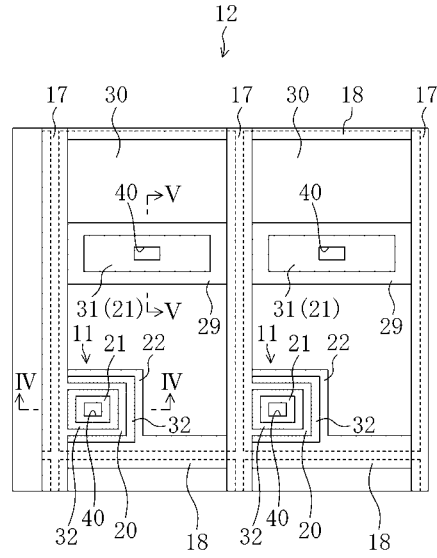
【 図 1 】



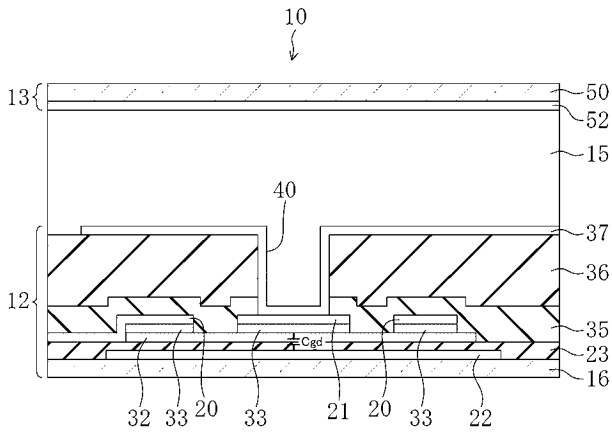
【 図 2 】



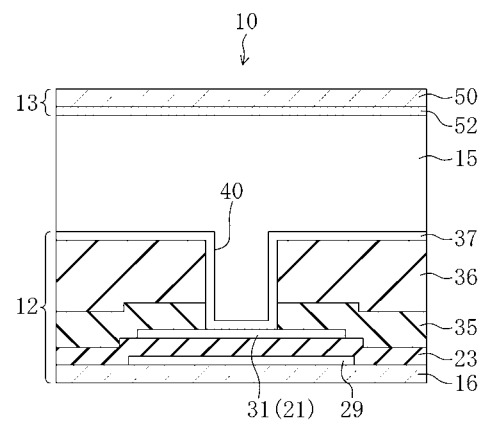
【 図 3 】



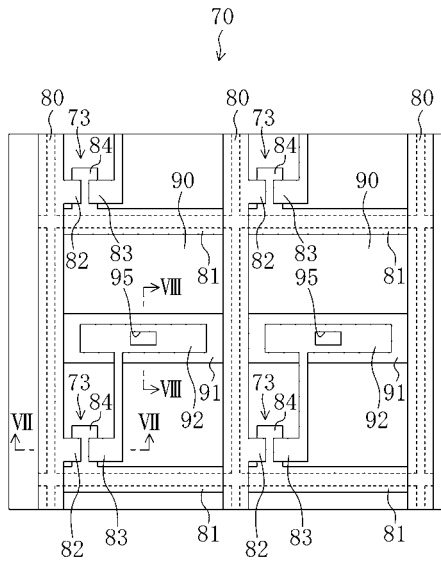
【 図 4 】



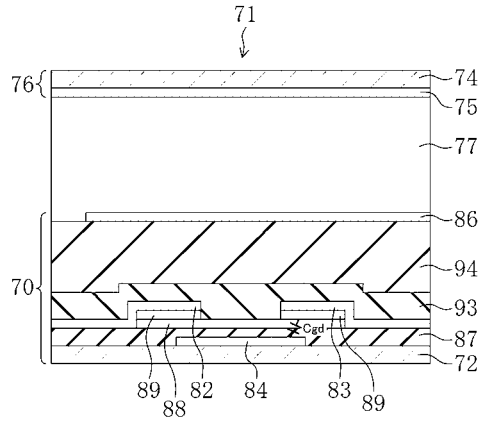
【 図 5 】



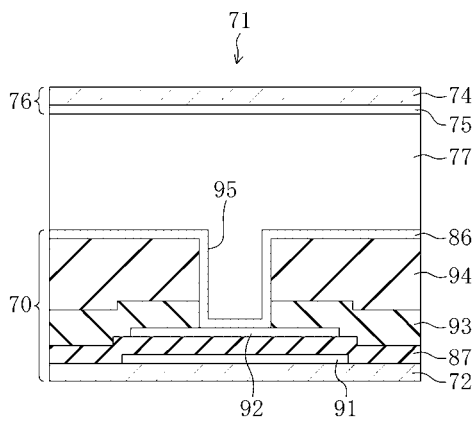
【 図 6 】



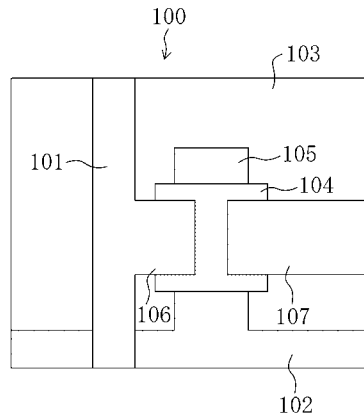
【 図 7 】



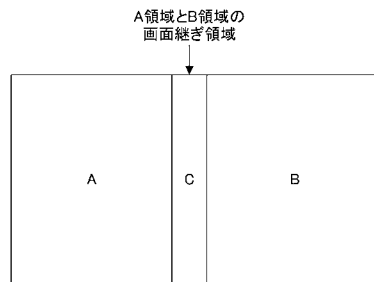
【 図 8 】



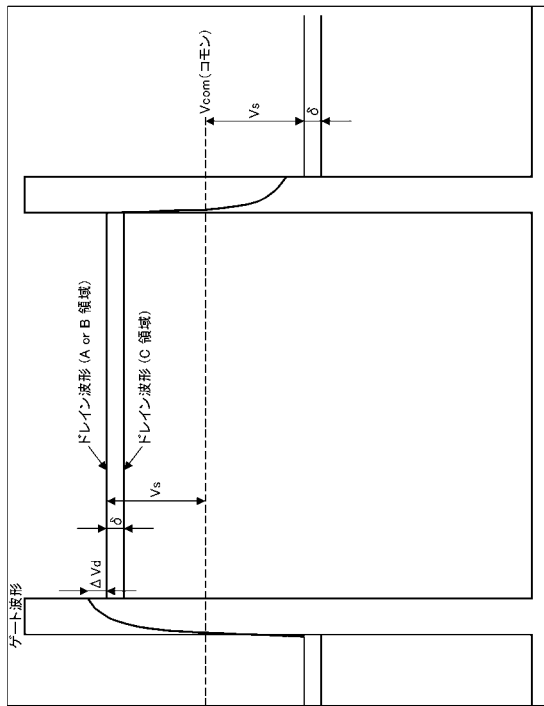
【 図 9 】



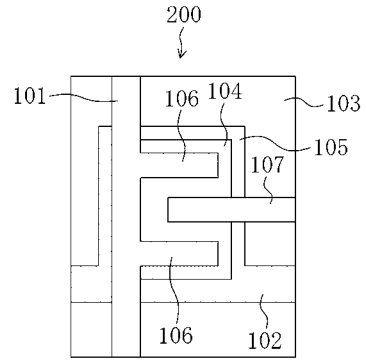
【 図 10 】



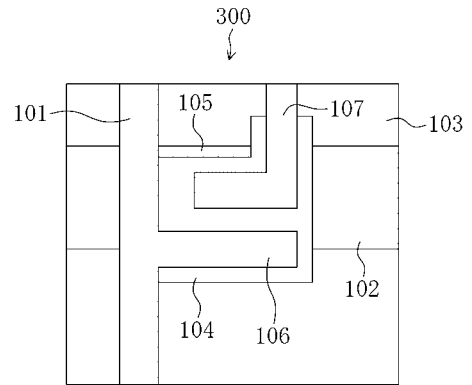
【図 1 1】



【図 1 2】



【図 1 3】



【図 1 4】

