

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-129289

(P2008-129289A)

(43) 公開日 平成20年6月5日(2008.6.5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 624A	5C080
	G09G 3/20 621M	
	G09G 3/20 680G	
審査請求 未請求 請求項の数 4 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2006-313588 (P2006-313588)	(71) 出願人	000005049
(22) 出願日	平成18年11月20日 (2006.11.20)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	110000338
			特許業務法人原謙三国際特許事務所
		(72) 発明者	後藤 利充
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	尾崎 正実
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	久保田 章敬
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		最終頁に続く	

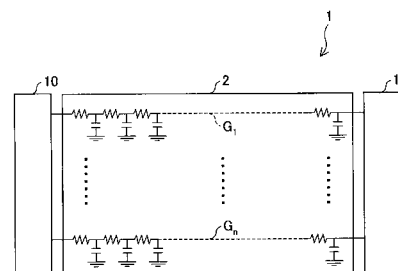
(54) 【発明の名称】 液晶表示装置および液晶駆動方法

(57) 【要約】

【課題】 薄膜トランジスタ素子の引き込み電圧 ΔV の大きさをさらに低減させ、かつ、 ΔV のばらつきをいっそう低減させる。

【解決手段】 液晶表示パネル2において対向する両辺に、一対のゲートドライバ10, 11のうち的一方がそれぞれ接続されている。第1ゲートドライバ10は、薄膜トランジスタ素子をオンするための基準走査信号を、ゲートバスラインG1~Gnの一端に出力する。第2ゲートドライバ11は、基準走査信号に比べて信号波形の立ち下がりが既定の時間だけ遅れる、薄膜トランジスタ素子をオンするための遅延走査信号を、第1ゲートドライバ10が基準走査信号を出力するときと同時に、ゲートバスラインG1~Gnの他端に出力する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインと上記ゲートバスラインとの交点ごとに、薄膜トランジスタ素子を介して接続された画素を有する液晶表示パネルを備えたアクティブマトリクス型の液晶表示装置において、

上記液晶表示パネルにおいて対向する両辺にそれぞれ接続される一対のゲートドライバをさらに備えており、

一方の上記ゲートドライバは、上記薄膜トランジスタ素子をオンするための基準走査信号を、上記ゲートバスラインに出力し、

他方の上記ゲートドライバは、上記基準走査信号に比べて信号波形の立ち下がりが既定の時間だけ遅れる、上記薄膜トランジスタ素子をオンするための遅延走査信号を、一方の上記ゲートドライバが上記基準走査信号を出力するときと同時に出力することを特徴とする液晶表示装置。

10

【請求項 2】

上記一対のゲートドライバは、上記基準走査信号を、1 フレームごとに交互に出力することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

上記既定の遅延時間は、上記基準走査信号の持続時間の半分以上であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

20

複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインと上記ゲートバスラインとの交点ごとに、薄膜トランジスタ素子を介して接続された画素を有し、かつ、上記液晶表示パネルにおいて対向する両辺にそれぞれ接続される一対のゲートドライバをさらに備えている液晶表示パネルを備えたアクティブマトリクス型の液晶表示装置における液晶駆動方法であって、

一方の上記ゲートドライバが、上記薄膜トランジスタ素子をオンするための基準走査信号を、上記ゲートバスラインに出力する工程と、

他方の上記ゲートドライバが、上記基準走査信号に比べて信号波形の立ち下がりが既定の時間だけ遅れる、上記薄膜トランジスタ素子をオンするための遅延走査信号を、一方の上記ゲートドライバが上記基準走査信号を出力するときと同時に出力する工程とを含んでいることを特徴とする液晶駆動方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、アクティブマトリクス型の液晶表示装置および液晶駆動方法に関する。

【背景技術】**【0002】**

液晶表示装置は、薄型、軽量、低消費電力等の優れた特徴を有している。このことから、テレビジョン装置、コンピュータ用のディスプレイ装置、あるいは携帯端末装置において、幅広く利用されている。

40

【0003】

中でも、表示画素ごとに薄膜トランジスタ素子 (Thin Film Transistor、以下、TFT と称す) 等のスイッチング素子を設けた、アクティブマトリクス型の液晶表示装置は、上記の各種特徴に加え、表示画素数が増大しても隣接表示画素間でのクロストークのない優れた表示画像を得ることができる。これにより高品位の映像を提供できる。

【0004】

しかし、TFT を用いる液晶表示装置では、画素電極ごとに、いわゆる引き込み電圧 (ΔV) がばらつくという問題が発生する。 ΔV とは、TFT をオンするための走査信号がオン状態からオフ状態に変化するときにおける、画素電極の電位差のことである。

50

【 0 0 0 5 】

液晶表示パネルの内部に存在するゲートバスラインには、画素ごとに、T F Tが接続されている。ゲートバスラインは、一定の配線抵抗および寄生容量を有している。また、各T F Tは、一定の寄生容量を有している。そのため、ゲートドライバから出力された走査信号のパルス波形は、ゲートドライバから離れるにつれて、これらの配線抵抗および寄生容量の影響を受け、徐々に変化し遅延していく。

【 0 0 0 6 】

具体的には、ゲートドライバの近く位置するT F Tに入力されるときには、走査信号の立下り波形は急峻なものとなる。しかし、ゲートドライバから離れるにつれて、立下り波形は、配線抵抗および寄生容量によって決定される一定の時定数を持った、なまった形状に変化していく。なまりの度合いは、ゲートバスラインの終端部により近づくほど、より大きくなる。

【 0 0 0 7 】

ΔV の値は、走査信号における立下り波形の形状によって変化する。具体的には、なまりの度合いが大きくなるほど、 ΔV の値は小さくなる。したがって、T F Tの形成位置がゲートドライバから離れるほど、立下り波形の形状がよりなまるので、 ΔV の値は小さくなる。これにより、液晶表示パネル内において、 ΔV の値は均一ではなく、ゲートバスラインの配線方向に沿ってばらつくことになる。

【 0 0 0 8 】

なお、走査信号波形の立下り形状に応じて ΔV の値が決まる原理については、特許文献1に詳述されている。

【 0 0 0 9 】

以上のような、液晶表示パネル内における ΔV のばらつきを低減させる技術の一つとして、特許文献2には、液晶表示パネルの対向する両辺の辺端部近傍に、走査信号を出力して上記ゲートバスラインを駆動し得る第1ゲートドライバと第2ゲートドライバとが上記液晶表示パネルを挟むように設けられており、上記第1ゲートドライバおよび第2ゲートドライバは、同じnライン目の上記ゲートバスラインを駆動するための走査信号を1フレーム毎に交互に出力することにより、1フレーム毎に交互に上記薄膜トランジスタ素子を駆動するアクティブマトリクス型液晶表示装置が開示されている。

【 0 0 1 0 】

この液晶表示装置によれば、 ΔV のパネル内分布がフレームごとに左右反転する。そのため、時間の経過とともに ΔV のばらつきが均一化していき、これにより、画素電極（絵素電極）が受ける電位の影響を抑え、液晶表示パネル面内のフリッカーを低減させることができ、表示品位を向上できる。

【特許文献1】特開2003-208141号公報（2003年07月25日公開）

【特許文献2】特開2004-341414号公報（2004年12月02日公開）

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 1 】

しかし、特許文献2の技術を用いたとしても、より高精細な液晶表示装置では、液晶表示パネルの中央部と端部とにおいて、 ΔV の差は無視できないほど大きくなる。また、 ΔV の大きさも十分に小さくできず、フリッカーを十分に低減できない問題が依然として残る。

【 0 0 1 2 】

本発明は上記の課題を解決するためになされたものであり、その目的は、 ΔV の大きさをさらに低減し、かつ、 ΔV のばらつきをいっそう低減する液晶表示装置および液晶駆動方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 3 】

本発明に係る液晶表示装置は、上記の課題を解決するために、

10

20

30

40

50

複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインと上記ゲートバスラインとの交点ごとに、薄膜トランジスタ素子を介して接続された画素を有する液晶表示パネルを備えたアクティブマトリクス型の液晶表示装置において、

上記液晶表示パネルにおいて対向する両辺にそれぞれ接続される一対のゲートドライバをさらに備えており、

一方の上記ゲートドライバは、上記薄膜トランジスタ素子をオンするための基準走査信号を、上記ゲートバスラインに出力し、

他方の上記ゲートドライバは、上記基準走査信号に比べて信号波形の立ち下がりが既定の時間だけ遅れる、上記薄膜トランジスタ素子をオンするための遅延走査信号を、一方の上記ゲートドライバが上記基準走査信号を出力するときと同時に出力することを特徴としている。

10

【0014】

上記の構成によれば、液晶表示装置は、液晶表示パネルにおいて対向する両辺にそれぞれ接続される一対のゲートドライバを備えている。いずれのゲートドライバも、薄膜トランジスタ素子をオンするための走査信号を、各ゲートバスラインに出力する。より詳細には、一対のゲートドライバのうちの1つは、液晶表示パネル内に設けられる各ゲートバスラインの一端に走査信号を出力する。もう1つは、同じゲートバスラインの他端に、走査信号を出力する。このとき両者はフレームごとに交互ではなく、各フレームにおいて同時に走査信号を出力する。

【0015】

20

ここで、一方のゲートドライバは、薄膜トランジスタ素子をオンするための基準走査信号をゲートバスラインに出力する。と同時に、他方のゲートドライバが、薄膜トランジスタ素子をオンするための遅延走査信号をゲートバスラインに出力する。ここで、遅延走査信号は、基準走査信号に比べて、信号波形の立ち下がりが既定の時間だけ遅れている。すなわち各ゲートバスラインには、立下りのタイミングが互いに異なる2つ走査信号が、両端にそれぞれ同時に入力される。

【0016】

ここで、基準走査信号がゲートバスラインの左端から入力され、一方、遅延走査信号が、ゲートドライバBの右端から入力されとする。また、遅れの時間を Δt だとする。このとき、基準走査信号の立下り波形は、ゲートバスラインの右端に行くほど、より大きく遅延する。一方、遅延走査信号の立下り波形は、ゲートバスラインの左端に行くほど、より大きく遅延する。

30

【0017】

この結果、液晶表示パネルの左端に近い位置に存在する薄膜トランジスタ素子には、ほぼ瞬間的に立下る基準走査信号と、立下りの開始が基準走査信号の立下り開始時点よりも Δt だけ遅れ、かつ立下り波形が最大限になまって遅延する遅延走査信号とが入力される。一方、液晶表示パネルの右端に近い位置に存在する薄膜トランジスタ素子には、立下りが最大になまって遅延する基準走査信号と、立下りが遅延走査信号の立下り開始時点よりも Δt だけ遅れて瞬間的に変化する遅延走査信号とが、入力される。一方、液晶表示パネルの中央に近い位置に存在する薄膜トランジスタ素子には、立下り波形が中程度になまって遅延する基準走査信号と、立下り波形が中程度になまって遅延する遅延走査信号とが、入力される。

40

【0018】

このとき、各薄膜トランジスタ素子において、基準走査信号の立下り波形と、遅延走査信号の立下り波形とが重なり合い、平均化される。さらに、ゲートバスラインに接続されている各薄膜トランジスタ素子の配線抵抗および寄生容量の影響を受けることによって、各薄膜トランジスタ素子に印加される、重なり波形の立下り部分が、二段階に変化して遅延する。この二段階遅延は、液晶表示パネルにおける薄膜トランジスタ素子の形成位置にかかわらず発生する。

【0019】

50

走査信号の立下りが二段階に変化して遅延するとき、一段階目の遅延は ΔV の発生に寄与せず、また、二段階目の遅延における、急激な立下り部分も、同様に、 ΔV の発生に寄与しない。なぜなら、これらの電圧変化は、薄膜トランジスタ素子を十分にオンできる範囲内に留まるからである。すなわち、各薄膜トランジスタ素子における ΔV の発生には、立下り波形の二段階目における、緩やかな遅延部分だけが寄与することになる。

【0020】

したがって、薄膜トランジスタ素子がオフするときにおける電圧の変化が、従来技術のものに比べて小さくなる。これにより、発生する ΔV の値をより小さくできる効果を奏する。さらに、各薄膜トランジスタ素子における ΔV のばらつきも、より小さくできる効果を奏する。

10

【0021】

本発明に係る液晶駆動方法は、上記の課題を解決するために、

複数のソースバスラインと複数のゲートバスラインとを有し、上記ソースバスラインと上記ゲートバスラインとの交点ごとに、薄膜トランジスタ素子を介して接続された画素を有し、かつ、上記液晶表示パネルにおいて対向する両辺にそれぞれ接続される一対のゲートドライバをさらに備えている液晶表示パネルを備えたアクティブマトリクス型の液晶表示装置における液晶駆動方法であって、

一方の上記ゲートドライバが、上記薄膜トランジスタ素子をオンするための基準走査信号を、上記ゲートバスラインに出力する工程と、

他方の上記ゲートドライバが、上記基準走査信号に比べて信号波形の立ち下がりが既定の時間だけ遅れる、上記薄膜トランジスタ素子をオンするための遅延走査信号を、一方の上記ゲートドライバが上記基準走査信号を出力するときと同時に出力する工程とを含んでいることを特徴としている。

20

【0022】

上記の構成によれば、本発明に係る液晶表示装置と同様の作用効果を奏する。

【0023】

また、本発明に係る液晶表示装置では、さらに、

上記一対のゲートドライバは、上記基準走査信号を、1フレームごとに交互に出力することが好ましい。

【0024】

上記の構成によれば、一対のゲートドライバは、基準走査信号を、1フレームごとに交互に出力する。ここで、一対のゲートドライバをゲートドライバAおよびゲートドライバBとする。あるフレームにおいてゲートドライバAが基準走査信号を出力する場合、次のフレームでは、ゲートドライバBが基準走査信号を出力する。つまり、フレームごとに、基準走査信号を出力するゲートドライバは、A、B、A、Bと入れ替わる。

30

【0025】

ここで、上述したように、一対のゲートドライバのうち、一方のゲートドライバが基準走査信号を出力するとき、他方のゲートドライバは、遅延走査信号を出力する。したがって、ゲートドライバAが基準走査信号を出力する場合、ゲートドライバBが遅延走査信号を出力する。一方、ゲートドライバBが基準走査信号を出力する場合、ゲートドライバAが遅延走査信号を出力する。

40

【0026】

これによりゲートドライバAは、フレームごとに基準走査信号および遅延走査信号を交互に出力することになる。一方、ゲートドライバBは、ゲートドライバAよりも1フレームずれたタイミングで、フレームごとに基準走査信号および遅延走査信号を交互に出力することになる。つまり、あるフレームでは、液晶表示パネルの左側から基準走査信号が入力され、一方、右側から遅延走査信号が入力される。そして、次のフレームでは、液晶表示パネルの左側から遅延走査信号が入力され、一方、右側からは遅延走査信号が入力される。

【0027】

50

このように、フレームごとに、液晶表示パネルの左右から入力される走査信号が入れ替わることになる。したがって、液晶表示パネル内における ΔV の分布が、フレームごとに反転する。これにより、 ΔV の分布が時間の経過とともに平均化され、均一化されていく。

【 0 0 2 8 】

以上のように、本構成の液晶表示装置では、一對のゲートドライバのうち決まった一方が基準走査信号を毎フレーム出力する場合に比べて、液晶表示パネル内における ΔV のばらつきをより低減できる効果を奏する。

【 0 0 2 9 】

本発明に係る液晶表示装置では、さらに、

上記既定の遅延時間は、上記基準走査信号の持続時間の半分以下であることが好ましい。

10

【 0 0 3 0 】

上記の構成によれば、ある薄膜トランジスタ素子に入力される遅延走査信号における立下り波形の遅れが、隣り合う他の薄膜トランジスタ素子に入力される基準走査信号や遅延走査信号に重なりあうことがない。したがって、薄膜トランジスタ素子に不要な電圧が印加されることを防止できる。

【 発明の効果 】

【 0 0 3 1 】

以上のように、本発明に係る液晶表示装置は、上記液晶表示パネルにおいて対向する両辺にそれぞれ接続される一對のゲートドライバを備えている。ここで、一方の上記ゲートドライバは、上記薄膜トランジスタ素子をオンするための基準走査信号を、上記ゲートバスラインに出力する。また、他方の上記ゲートドライバは、上記基準走査信号に比べて信号波形の立ち下がりが既定の時間だけ遅れる、上記薄膜トランジスタ素子をオンするための遅延走査信号を、一方の上記ゲートドライバが上記基準走査信号を出力するときと同時に出力する。したがって、 ΔV の大きさをさらに低減し、かつ、 ΔV のばらつきをいっそう低減する効果を奏する。

20

【 発明を実施するための最良の形態 】

【 0 0 3 2 】

本発明の一実施形態について、図 1 ~ 図 3 を参照して以下に説明する

30

まず、本実施形態に係る液晶表示装置 1 の構成について、図 1 を参照にして以下に説明する。図 1 は、本発明の一実施形態に係る液晶表示装置の要部構成を示すブロック図である。

【 0 0 3 3 】

この図に示すように、液晶表示装置 1 は液晶表示パネル 2 を備えている。この液晶表示パネル 2 は、複数のソースバスライン（図示しない）と、複数のゲートバスライン G 1 ~ G n とを有している。ここで液晶表示パネル 2 は、ソースバスラインとゲートバスライン G 1 ~ G n との交点ごとに、薄膜トランジスタ素子を介して接続された画素を有している。このような液晶表示パネル 2 を備えた液晶表示装置 1 は、いわゆるアクティブマトリクス型の液晶表示装置である。また、図 1 に示すように、ゲートバスライン G 1 ~ G n は、各薄膜トランジスタ素子が有する存在する配線抵抗や寄生容量が存在する。

40

【 0 0 3 4 】

なお、図 1 には、液晶表示装置 1 を説明する上で必要最小限の部材のみが示されている。したがって、薄膜トランジスタ素子の抵抗や寄生容量は図示しているが、画素や薄膜トランジスタ素子そのものは図示していない

液晶表示装置 1 では、図 1 に示すように、一對のゲートドライバ 1 0 , 1 1 が、液晶表示パネル 1 において対向する両辺に、それぞれ接続されている。具体的には、液晶表示パネル 2 における、図 1 を正対して見た左側に、第 1 ゲートドライバが接続されている。一方、液晶表示パネル 2 における、図 1 を正対してみた右側に、第 2 ゲートドライバが接続されている。

50

【 0 0 3 5 】

これら一対のゲートドライバ 1 0 , 1 1 のうち、一方のゲートドライバは、薄膜トランジスタ素子をオンするための基準走査信号を、ゲートバスラインに $G 1 \sim G n$ に出力する。また、他方のゲートドライバは、基準走査信号に比べて信号波形の立ち下がりが既定の時間だけ遅れる、薄膜トランジスタ素子をオンするための遅延走査信号を、一方のゲートドライバが基準走査信号を出力するときと同時に、ゲートバスライン $G 1 \sim G n$ に出力する。

【 0 0 3 6 】

ここで、本実施形態では、第 1 ゲートドライバ 1 0 が基準走査信号を出力し、同時に、第 2 ゲートドライバ 1 1 が遅延走査信号を出力する。しかしこれに限らず、逆でもよい。すなわち、第 1 ゲートドライバ 1 0 が基準走査信号を出力する一方で、第 2 ゲートドライバ 1 1 が遅延走査信号を出力する構成であってもよい。

【 0 0 3 7 】

以上のように、第 1 ゲートドライバ 1 0 は、液晶表示パネル 1 内に設けられるゲートバスライン $G 1 \sim G n$ の一端に基準走査信号を出力する。一方、第 2 ゲートドライバ 1 1 は、ゲートバスライン $G 1 \sim G n$ の他端に、遅延走査信号を出力する。このときゲートドライバ 1 0 , 1 1 はフレームごとに交互ではなく、各フレームにおいて同時に走査信号を出力する。すなわち、あるフレームにおいて、第 1 ゲートドライバ 1 0 がゲートバスライン $G 1 \sim G n$ に、基準走査信号を出力する場合、同じフレームにおいて、第 2 ゲートドライバ 1 1 は、ゲートバスライン $G 1 \sim G n$ に遅延走査信号を出力する。

【 0 0 3 8 】

基準走査信号および遅延走査信号について、図 2 を参照して以下に説明する。図 2 は、基準走査信号および遅延走査信号の波形を示す図である。この図に示すように、第 1 ゲートドライバ 1 0 は、振幅が電圧 ($V_{GH} - V_{GL}$) であり、時間 T だけ持続する基準走査信号を出力する。具体的には、ゲートバスライン $G 1 \sim G n$ を駆動するとき、まず電圧 V_{GL} を出力したあと、次に時間 T だけ電圧 V_{GH} を出力し、次にゲートバスライン $G 1 \sim G n$ をオープン状態にする。

【 0 0 3 9 】

一方、第 2 ゲートドライバ 1 1 は、振幅が電圧 ($V_{GH} - V_{GL}$) であり、時間 $T +$ 時間 Δt だけ持続する遅延走査信号を出力する。具体的には、ゲートバスライン $G 1 \sim G n$ を駆動するとき、まず電圧 V_{GL} を出力したあと、次に時間 $T +$ 時間 Δt だけ電圧 V_{GH} を出力し、次に電圧 V_{GL} を出力する。

【 0 0 4 0 】

なお、電圧 V_{GH} は各薄膜トランジスタ素子を完全にオンするのに十分な大きさの電圧である。この値は、薄膜トランジスタ素子をオンするために必要な電圧 V_H に比べて、十分に高い。また、電圧 V_{GL} は、薄膜トランジスタ素子を完全にオフするために十分な大きさの電圧である。この値は、電圧 V_H に比べて十分に低い。

【 0 0 4 1 】

図 2 に示すように、遅延走査信号は、基準走査信号に比べて、信号波形の立ち下がりが既定の時間 Δt だけ遅れている。すなわちゲートバスライン $G 1 \sim G n$ には、立下りのタイミングが互いに異なる 2 つ走査信号が、両端にそれぞれ同時に入力される。

【 0 0 4 2 】

上述したように、本実施形態では、基準走査信号がゲートバスライン $G 1 \sim G n$ の左端から入力され、一方、遅延走査信号が、ゲートバスライン $G 1 \sim G n$ の右端から入力される。また、遅れの時間は Δt である。このとき、基準走査信号の立下り波形は、ゲートバスライン $G 1 \sim G n$ の右端に行くほど、より大きく遅延する。一方、遅延走査信号の立下り波形は、ゲートバスライン $G 1 \sim G n$ の左端に行くほど、より大きく遅延する。

【 0 0 4 3 】

液晶表示パネル 1 の左端に近い位置に存在する薄膜トランジスタ素子には、ほぼ瞬間的に立下る基準走査信号と、立下りの開始が基準走査信号の立下り開始時点よりも Δt だけ

10

20

30

40

50

遅れ、かつ立下り波形が最大限になまって遅延する遅延走査信号とが入力される。一方、液晶表示パネルの右端に近い位置に存在する薄膜トランジスタ素子には、立下りが最大になまって遅延する基準走査信号と、立下りが遅延走査信号の立下り開始時点より Δt だけ遅れて瞬時的に変化する遅延走査信号とが、入力される。一方、液晶表示パネルの中央に近い位置に存在する薄膜トランジスタ素子には、立下り波形が中程度になまって遅延する基準走査信号と、立下り波形が中程度になまって遅延する遅延走査信号とが、入力される。

【0044】

ここで、ゲートバスライン $G_1 \sim G_n$ の両端から走査信号を同時に入力した場合の、各薄膜トランジスタ素子における、ゲート電圧およびソース電圧の変化の一例を、図3を参照して以下に説明する。図3は、ゲートバスライン $G_1 \sim G_n$ の両端から走査信号を同時に入力した場合の、各薄膜トランジスタ素子における、ゲート電圧およびソース電圧の変化を示す図である。上段が、入力走査信号の持続時間を Δt だけずらした場合の例であり、本発明の一実施例である。一方、下段は、ゲートバスライン $G_1 \sim G_n$ の両側から同じ長さの走査信号を入力した場合の参考例である。

10

【0045】

図3に示す各段において、 g で示す実線はゲート電圧（走査信号の電圧）の変化の様子を示し、 s で示す実線はソース電圧の変化の様子を示す。また、下三角で示す点線は、 ΔV の影響がない場合のソース電圧を示し、上三角で示す実線は、 ΔV の影響を受けて下落したソース電圧を示す。したがって、下三角と上三角とによってはさまれた範囲の大きさが、 ΔV の大きさの目安となる。

20

【0046】

ゲートバスライン $G_1 \sim G_n$ の両側から走査信号を同時に入力すると、各薄膜トランジスタ素子において、基準走査信号の立下り波形と、遅延走査信号の立下り波形とが重なり合い、平均化される。さらに、ゲートバスライン $G_1 \sim G_n$ に接続されている各薄膜トランジスタ素子の抵抗および寄生容量の影響を受けることによって、各薄膜トランジスタ素子に印加される、 g で示す重なり波形の立下り部分が、二段階に変化して遅延する。この二段階遅延は、液晶表示パネル1における薄膜トランジスタ素子の形成位置にかかわらず発生する。

30

【0047】

すなわち、図3に示すように、液晶表示パネル2において、薄膜トランジスタ素子が左端に近くても、中央に近くても、あるいは右端に近くても、同様に、走査信号の立下り波形は二段階に変化する。ただし変化の仕方は異なる。具体的には、液晶表示パネル2における右端に近づくほど、二段階目の変化の開始点の電圧が、より高いものとなる。言い換えれば、一段階目の電圧の降下の度合いが、右端に行くほどより小さくなる。

【0048】

しかし、いずれにせよ、薄膜トランジスタ素子に印加される走査信号の立下りが、二段階に変化して遅延するとき、一段階目の遅延は ΔV の発生に寄与せず、また、二段階目の遅延における、急激な立下り部分も、同様に、 ΔV の発生に寄与しない。なぜなら、これらの電圧変化は、薄膜トランジスタ素子を十分にオンできる範囲内（電圧 V_H 以上）に留まるからである。言い換えれば、各薄膜トランジスタ素子における ΔV の発生には、立下り波形の二段階目における、緩やかな遅延部分だけが寄与することになる。

40

【0049】

ここで、図3を参照すると、ゲートバスライン $G_1 \sim G_n$ の左端から基準走査信号を入力し、右端から同時に遅延走査信号を入力するとき、走査信号の立下り波形の二段階目における、緩やかな遅延部分の開始点は、いずれも、 V_{GH} と V_{GL} の中間部分に近い位置になっている。したがって、薄膜トランジスタ素子がオフするときにおける電圧の変化が、従来技術のものに比べて小さくなる。これにより、発生する ΔV の値をより小さくできる。さらに、各薄膜トランジスタ素子における ΔV のばらつきも、より小さくできる。

【0050】

50

なお、比較のため、図3の下段に示す波形を参照すると、ゲートバスラインG1～Gnの両側から、同じ波形、すなわち遅延時間のない波形を入力したとき、各薄膜トランジスタ素子に印加される走査信号の立下りは、二段階変化をせず、一段階となる。たとえば、液晶表示パネル2の左端に近い位置の薄膜トランジスタ素子では、立下り時、VGHからほぼ瞬間的にVGLまで変化する。したがって、この電圧変化のほとんどが ΔV の発生に寄与するため、ソース電圧の変化の度合いが、上段に示す本発明の場合に比べて格段に大きくなる。液晶表示パネル2の右端においても、同様である。

【0051】

また、液晶表示パネル2における中央部分では、緩やかに遅延する一段階の波形変化を示すため、 ΔV の値は、左端や右端の場合と比べて減少する。とはいえ、本発明における中央位置の場合に比べると、波形が二段階変化しない分、 ΔV の値はより大きくなる。

10

【0052】

なお、本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても、本発明の技術的範囲に含まれる。

【0053】

たとえば、液晶表示装置1では、ゲートドライバ10、11が、基準走査信号を、1フレームごとに交互に出力してもよい。すなわち、あるフレームにおいて第1ゲートドライバ10が基準走査信号を出力する場合、次のフレームでは、第2ゲートドライバ11が基準走査信号を出力する。つまり、フレームごとに、基準走査信号を出力するゲートドライバは、第1ゲートドライバ10、第2ゲートドライバ11、第1ゲートドライバ10、第2ゲートドライバ11のように交互に入れ替わる。

20

【0054】

ここで上述したように、ゲートドライバ10、11のうち、一方のゲートドライバが基準走査信号を出力するとき、他方のゲートドライバは遅延走査信号を出力する。したがって、第1ゲートドライバ10が基準走査信号を出力する場合、第2ゲートドライバ11が遅延走査信号を出力する。一方、第2ゲートドライバ11が基準走査信号を出力する場合、第1ゲートドライバ10が遅延走査信号を出力する。

【0055】

これにより第1ゲートドライバ10は、フレームごとに基準走査信号および遅延走査信号を交互に出力することになる。一方、第2ゲートドライバ11は、第1ゲートドライバ10よりも1フレームずれたタイミングで、フレームごとに基準走査信号および遅延走査信号を交互に出力することになる。つまり、あるフレームでは、ゲートバスラインG1～Gnの左端から基準走査信号が入力され、一方、右端から遅延走査信号が入力される。そして、次のフレームでは、ゲートバスラインG1～Gnの左端から遅延走査信号が入力され、一方、右端からは遅延走査信号が入力される。

30

【0056】

このように、フレームごとに、ゲートバスラインG1～Gnの左右端から入力される走査信号の持続時間が入れ替わることになる。したがって、液晶表示パネル1内において、ゲートバスラインG1～Gn方向に沿った ΔV の分布が、フレームごとに反転する。これにより、 ΔV の分布が時間の経過とともに平均化され、均一化されていく。したがって、一对のゲートドライバ10、11のうち決まった一方が基準走査信号を毎フレーム出力する場合に比べて、液晶表示パネル2内における ΔV のばらつきを、よりいっそう低減できる。

40

【0057】

なお、上述した Δt の値は、基準走査信号の持続時間Tの半分以下であることが好ましい。このとき、ある薄膜トランジスタ素子に入力される遅延走査信号における立下り波形の遅れが、隣り合う他の薄膜トランジスタ素子に入力される基準走査信号や遅延走査信号に重なりあうことがない。したがって、薄膜トランジスタ素子を不要な電圧がさらに印加されることを防止できる。

50

【産業上の利用可能性】

【0058】

本発明は、アクティブマトリクス型の液晶表示装置として、幅広く利用できる。

【図面の簡単な説明】

【0059】

【図1】本発明の一実施形態に係る液晶表示装置の要部構成を示すブロック図である。

【図2】基準走査信号および遅延走査信号の波形を示す図である。

【図3】ゲートバスラインの両端から走査信号を同時に入力した場合の、各薄膜トランジスタ素子における、ゲート電圧およびソース電圧の変化を示す図である。

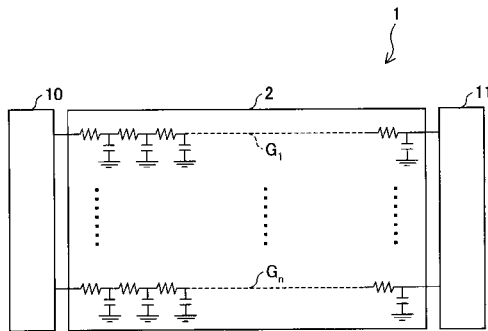
【符号の説明】

【0060】

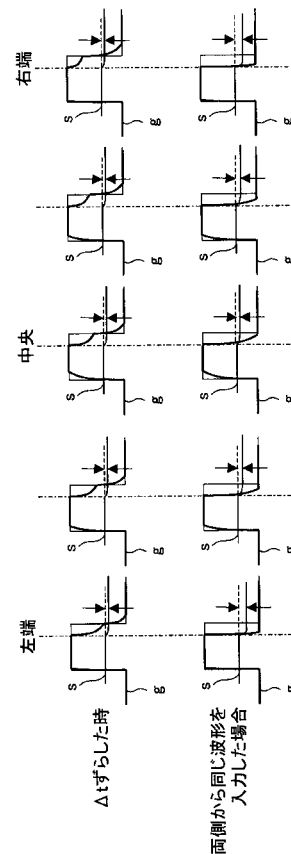
- 1 液晶表示装置
- 2 液晶表示パネル
- 10 第1ゲートドライバ
- 11 第2ゲートドライバ

10

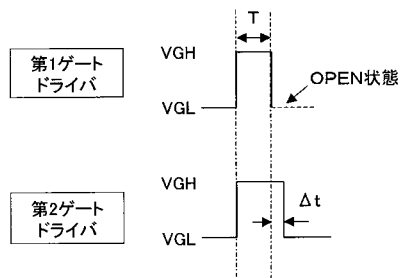
【図1】



【図3】



【図2】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 1 1 J
	G 0 9 G 3/20	6 1 1 E
	G 0 9 G 3/20	6 2 2 A

F ターム(参考)	2H093	NA33	NA34	NC16	NC34	ND06	ND31	ND40				
	5C006	AC11	AC22	AF42	AF44	AF50	AF71	BB16	BC02	BC03	BC24	
		BF07	BF42	FA16	FA23	FA26	FA37	FA38				
	5C080	AA10	BB05	DD06	FF11	JJ02	JJ04					

专利名称(译)	液晶显示装置和液晶驱动方法		
公开(公告)号	JP2008129289A	公开(公告)日	2008-06-05
申请号	JP2006313588	申请日	2006-11-20
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	後藤利充 尾崎正実 久保田章敬		
发明人	後藤 利充 尾崎 正実 久保田 章敬		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.624.A G09G3/20.621.M G09G3/20.680.G G09G3/20.622.D G09G3/20.611.J G09G3/20.611.E G09G3/20.622.A		
F-TERM分类号	2H093/NA33 2H093/NA34 2H093/NC16 2H093/NC34 2H093/ND06 2H093/ND31 2H093/ND40 5C006/AC11 5C006/AC22 5C006/AF42 5C006/AF44 5C006/AF50 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC24 5C006/BF07 5C006/BF42 5C006/FA16 5C006/FA23 5C006/FA26 5C006/FA37 5C006/FA38 5C080/AA10 5C080/BB05 5C080/DD06 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZC15 2H193/ZC20		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了进一步减小薄膜晶体管元件的引入电压 ΔV 的程度，并且进一步减小 ΔV 的波动。解决方案：一对栅极驱动器10,11的一侧分别连接到液晶显示面板2上彼此面对的两侧。第一栅极驱动器10输出用于将薄晶体管元件接通到一端的参考扫描信号的栅极总线G1~Gn。第二栅极驱动器11输出用于使薄膜晶体管元件导通的延迟扫描信号，其中信号波形的上升/下降与参考扫描信号相比延迟预定时间，到栅极总线的另一端线G1至Gn，同时第一栅极驱动器10输出参考扫描信号。Ž

